

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

147 618

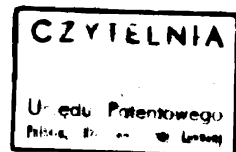
Patent dodatkowy
do patentu nr _____

Zgłoszono: 85 07 31 /P. 254789/

Pierwszeństwo _____

Zgłoszenie ogłoszono: 87 02 09

Opis patentowy opublikowano: 1989 11 30



Int. Cl.⁴ G06F 13/00

Twórcy wynalazku:

Janusz Sałaciński, Sławomir Wolszczak,
Zygmunt Sawicki, Andrzej Śmietanko

Uprawniony z patentu:

Instytut Maszyn Matematycznych, Fabryka Mierników
i Komputerów "Era", Warszawa /Polska/

UKŁAD AUTOMATYCZNEJ REKONFIGURACJI OBSZARU ADRESOWEGO PAMIĘCI GENERUJĄCY SYGNAŁ PRZEKROCZENIA ZAKRESU POJEMNOŚCI Z UWZGLĘDNIENIEM OBSZARU CHRONIONEGO

Przedmiotem wynalazku jest układ automatycznej rekonfiguracji obszaru adresowego pamięci mający zastosowanie w sterowaniu pamięcią składającą się z dowolnej ilości jednostek pamięci o różnych pojemnościach. Pamięć operacyjna lub inna może być zorganizowana w taki sposób, że składa się ze zmiennej ilości jednostek pamięci, a poszczególne jednostki mogą mieć różne pojemności wraz z pojemnością zerową, która oznacza wyłączenie danej jednostki z użytkowania, spowodowane celowo, bądź przez awarię jednostki. W tak zorganizowanej pamięci zachodzi potrzeba automatycznego przyporządkowania adresów do poszczególnych jednostek w zależności od tego, ile jednostek jest do dyspozycji, które są to jednostki i o jakiej pojemności. To przyporządkowanie adresów do poszczególnych jednostek wykonuje układ automatycznej rekonfiguracji obszaru adresowego pamięci.

Układ spełniający funkcję tego typu przedstawiony jest w patencie USA nr 4 001 786. Jest on jednak bardzo skomplikowany i wymaga dużej ilości elementów. Wad tych nie posiada układ będący przedmiotem wynalazku, który realizuje podobne zadanie działając w inny sposób, a zawiera ponad dwukrotnie mniejszą ilość elementów i ponadto generuje sygnał przekroczenia zakresu pojemności z uwzględnieniem obszaru chronionego.

Istotą wynalazku jest układ automatycznej rekonfiguracji obszaru adresowego pamięci składającej się z dowolnej ilości n jednostek o różnej pojemności, zawierający n komparatorów, $n-1$ sumatorów, układ ODEJMIJ 1, $n+2$ bramek NAND i n bramek NOT, tak połączonych ze sobą, że zapewniają one działanie polegające na porównywaniu najstarszych bitów adresu z sygnałem określającym pojemność kolejno pierwszej jednostki pamięci, sumy pierwszej i drugiej, sumy pierwszej, drugiej i trzeciej i tak dalej, aż do sumy pojemności wszystkich jednostek pamięci. Porównanie to dokonywane jest jednocześnie we wszystkich komparatorach z chwilą przyjęcia bitów adresu. Efektem porównania oraz odpowiedniego bramkowania jest wygenerowanie sygnału wybrania jednostki pamięci, a w przypadku zażądania adresu z obszaru chronionego, wygenerowanie sygnału przekroczenia zakresu pojemności pamięci.

Przedmiotem wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku, który przedstawia schemat połączeń układu automatycznej rekonfiguracji obszaru adresowego pamięci, a tabele od 1 do 4 podają stany sygnałów wejściowych i wyjściowych poszczególnych elementów układu w zależności od rodzaju i ilości jednostek-modułów pamięci w kasecie. Układ automatycznej rekonfiguracji UAR obszaru adresowego z uwzględnieniem obszaru chronionego pokazany na rysunku, współpracuje przykładowo z pamięcią operacyjną modułową, w której jednostkę pamięci stanowi moduł o zmiennej pojemności 256 kB lub 1024 kB. Pamięć może się składać z jednego, dwóch, trzech lub czterech modułów umieszczonych dowolnie w czterech miejscach w kasecie /tj. $n=4$ /. Moduł mały posiada pojemność 256 kB, a moduł duży pojemność 1024 kB. Obszar chroniony zajmuje ostatnie 16 kB. Zgodnie z istotą wynalazku układ UAR zawiera: $n=4$ komparatory CO1, CO2, CO3 i CO4; $n-1=3$ sumatory SUM1, SUM2 i SUM3; układ ODEJMIO 1, $n+2=6$ bramek NAND NA1, NA2, NA3, NA4, NA5 i NA6; oraz $n=4$ bramek NOT NE1, NE2, NE3 i NE4. Układ działa w następujący sposób. Z każdego modułu, a przy braku modułu z miejsca w kasecie, dochodzą do UAR dwa sygnały jednobitowe; z modułu małego sygnał MM i z modułu dużego sygnał MD, których odpowiednie poziomy oznaczają, że dla:

MM = 1 - jest do dyspozycji moduł mały
 MM = 0 - nie ma modułu małego bądź jest uszkodzony
 MD = 1 - jest do dyspozycji moduł duży
 MD = 0 - nie ma modułu dużego bądź jest uszkodzony

Sygnał MM=1 reprezentuje w UAR liczbę oktalnie 1000 000 to jest pojemność 256 kB, a sygnał MD=1 liczbę oktalnie 4000 000 to jest pojemność 1024 kB. Liczby te określają ilości komórek pamięci w danym module licząc od 1. Licząc od zera w module małym można umieścić oktalnie 777 777 adresów, a w module dużym oktalnie 3 777 777 adresów. W komparatorach CO1, CO2, CO3 porównywana jest liczba komórek pamięci licząc od 1 z wybraną porcją bitów adresu i jeżeli liczba ta jest większa od adresu, to generowany jest sygnał Si, przy czym $i=1,2,3$. Następnie na WE B komparatora CO1 podawana jest liczba komórek z pierwszego modułu, na WE B komparatora CO2 liczba komórek z pierwszego plus drugiego modułu, na WE B komparatora CO3 liczba komórek z pierwszego plus drugiego plus trzeciego modułu, a na WE B komparatora CO4 liczba komórek z pierwszego plus drugiego plus trzeciego plus czwartego modułu.

W komparatorze CO4 porównywana jest wybrana porcja bitów adresu z liczbą komórek wszystkich modułów licząc od zera. Liczba ta zostaje uzyskana w wyniku odjęcia 1 od liczby wyjściowej sumatora SUM3 przez układ ODEJMIO 1. Zatem, na przykład dla czterech małych modułów mających wypadkową ilość komórek w pamięci równą liczbie oktalnie 4 000 000, na WE układu ODEJMIO 1 podawany jest 0100 i po odjęciu 1 uzyskiwana jest liczba oktalnie 3 777 777, co oznacza, że na WY układu uzyskiwany jest sygnał 0011. Następnie na WY komparatora CO4 generowany jest sygnał S4 w dwóch przypadkach; gdy liczba komórek pamięci jest większa od wybranej porcji adresu, lub gdy liczba komórek pamięci jest równa wybranej porcji adresu, przy czym sygnał S0=1. Sygnał S0 jest negacją iloczynu bitów adresowych mniej znaczących od bitów wybranej porcji adresu, aż do bitu adresu decydującego o pojemności obszaru chronionego pamięci. W wyniku kombinacji sygnału S0 i sygnału wyjściowego "=" komparatora CO4 na WY bramki NE4 otrzymywany jest sygnał przekroczenia zakresu pojemności pamięci z uwzględnieniem obszaru chronionego WDBH, który może przybierać dwie wartości. Jeżeli WDBH=1, oznacza to, że zakres pojemności pamięci nie jest przekroczony, a w przypadku gdy WDBH=0, to zakres pojemności jest przekroczony. Sygnał wyboru jednostki pamięci-modułu SMODLi=1 wtedy i tylko wtedy, gdy $Si=1$ i $S/i-1=0$ dla $i = 1,2,3,4$. Sygnał SMODLi stanowi informację dla sterowania pamięci, że w i-tym module znajdują się komórki o danym adresie.

P r z y k ł a d 1. W pamięci są do dyspozycji cztery małe moduły na miejscach 1,2,3,4 kasety.

Miejsce w kasecie	1		2		3		4	
	MM1	MD1	MM2	MD2	MM3	MD3	MM4	MD4
Sygnały na wyjściach kasety	1	0	1	0	1	0	1	0

Dla takiego przypadku, w tabeli 1 wykazane są stany sygnałów wejściowych, a w tabeli 2 stany sygnałów wyjściowych odpowiednich elementów układu UAR pokazanych na schemacie połączeń przedstawionym na rysunku.

T a b e l a 1

Stan WE	SUM1	SUM2	SUM3	C01	C02	C03	C04
A1	1	0	1				
A2	0	1	1				
A3	0	0	0				
A4	0	0	0				
B0				1	0	1	1
B1	1	1	1	0	1	1	1
B2	0	0	0	0	0	0	0
B3	0	0	0	0	0	0	0
B4	0	0	0				

T a b e l a 2

Wybrana porcja adresu				S1	S2	S3	S4	SMODL1	SMODL2	SMODL3	SMODL4	WDBH
A21	A20	A19	A18									
0	0	0	0	1	1	1	1	1	0	0	0	1
0	0	0	1	0	1	1	1	0	1	0	0	1
0	0	1	0	0	0	1	1	0	0	1	0	1
0	0	1	1	0	0	0	1 ^{1/}	0	0	0	1 ^{1/}	1 ^{1/}
0	1	0	0	0	0	0	0	0	0	0	0	0
pozostałe				0	0	0	0	0	0	0	0	0

1/ pod warunkiem, że S0=1

P r z y k ł a d 2. W pamięci jest do dyspozycji jeden moduł mały na miejscu 2 w kasiecie i jeden moduł duży na miejscu 3.

Miejsce w kasiecie	1		2		3		4	
	MM1	MD1	MM2	MD2	MM3	MD3	MM4	MD4
Sygnały na wyjściach kasety	0	0	1	0	0	1	0	0

T a b e l a 3

Stan WE	SUM1	SUM2	SUM3	CO1	CO2	CO3	CO4
A1	0	1	1				
A2	0	0	0				
A3	0	0	1				
A4	0	0	0				
B0				0	1	1	0
B1	1	0	0	0	0	0	0
B2	0	0	0	0	0	1	1
B3	0	1	0	0	0	0	0
B4	0	0	0				

T a b e l a 4

Wybrana porcja adresu				S1	S2	S3	S4	SMODL1	SMODL2	SMODL3	SMODL4	WDBH
A21	A20	A19	A18									
0	0	0	0	0	1	1	1	0	1	0	0	1
0	0	0	1	0	0	1	1	0	0	1	0	1
0	0	1	0	0	0	1	1	0	0	1	0	1
0	0	1	1	0	0	1	1	0	0	1	0	1
0	1	0	0	0	0	1	1 ^{1/}	0	0	1	0	1 ^{1/}
0	1	0	1	0	0	0	0	0	0	0	0	0
pozostałe				0	0	0	0	0	0	0	0	0

1/ pod warunkiem, że S0=1

Z a s t r z e ż e n i e p a t e n t o w e

Układ automatycznej rekonfiguracji obszaru adresowego pamięci generujący sygnał przekroczenia zakresu pojemności z uwzględnieniem obszaru chronionego oraz sygnały wyboru jednostki pamięci do sterowania pamięcią zwłaszcza operacyjną składającą się z n jednostek pamięci o różnych pojemnościach, z n a m i e n n y t y m, że zawiera n komparatorów /CO/ n-1 sumatorów /SUM/, układ/ODEJMIO 1./n+2 bramek NAND /NA/ i n bramek NOT /NE/, tak połączonych, że na WE A wszystkich komparatorów /CO/ podawane są bity wybranej porcji adresu, na WE B komparatora /CO1/ oraz na WE A sumatora /SUM1/podawane są bity rozmiaru pierwszej

jednostki pamięci, przy czym WE B komparatorów /CO1/ oraz WE A sumatorów /SUM1/ połączone są z WY sumatora /SUM/i-1/, gdzie $i=2,3,\dots,m-1$; WE B komparatora /CON/ połączone jest z WY układu /ODEJMIJ 1/, WE układu /ODEJMIJ 1/ połączone jest z WY sumatora /SUM/n-1/, przy czym na WE B sumatora /SUM1/ podawane są bity rozmiaru $j+1$ -szej jednostki pamięci, gdzie $j=2,1,\dots,n-1$, natomiast na WE bramki /NA1/ podawane są bity adresu kolejno mniej znaczące od bitów wymienionej wybranej porcji adresu, aż do bitu decydującego o pojemności obszaru chronionego, a WY bramki /NA1/ połączone jest z WE bramki /NAN/, WY "<" komparatora /CO1/ połączone jest z WE bramki /NE1/, WY "<" komparatora /CO1/ połączone jest z WE bramki /NA1/ oraz z WE bramki /NE1/, WY bramki /NE1/ połączone jest z WE bramki /NA2/, a ponadto połączone są WY "=" komparatora /CON/ z WE bramki /NAN/, WY bramki /NE/n-1/ z WE bramki /NA/n+1/, WY bramki /NEN/ z WE bramki /NA/n+2/, WY bramki /NAN/ z WE bramki /NA/n+2//, WY bramki /NA/n+2// z WE bramki /NA/n+1// z tym, że sygnał WDBH przekroczenia zakresu pojemności pamięci z uwzględnieniem obszaru chronionego uzyskiwany jest na WY bramki /NA/n+1//, sygnał SMODL1 wyboru pierwszej jednostki pamięci uzyskiwany jest na WY bramki /NE1/ sygnał SMODLi wyboru i-tej jednostki pamięci uzyskiwany jest na WY bramki /NA1/, a sygnał SMODLn wyboru n-tej jednostki pamięci uzyskiwany jest na WY bramki /NA/n+1//.

