

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年5月1日(2014.5.1)

【公表番号】特表2014-501016(P2014-501016A)

【公表日】平成26年1月16日(2014.1.16)

【年通号数】公開・登録公報2014-002

【出願番号】特願2013-540186(P2013-540186)

【国際特許分類】

G 11 C 5/14 (2006.01)

G 11 C 11/4074 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 5/14

G 11 C 11/34 3 5 4 F

G 11 C 17/00 6 3 2 Z

【手続補正書】

【提出日】平成26年3月13日(2014.3.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリダイを備えるマルチチップパッケージであって、

各メモリダイが、内部電源電圧端子に接続された内部電源電圧発生器を備え、各メモリダイの前記内部電源電圧端子が、当該マルチチップパッケージ内で一緒に接続される、マルチチップパッケージ。

【請求項2】

前記メモリダイがDRAMダイである、請求項1に記載のマルチチップパッケージ。

【請求項3】

前記内部電源電圧発生器がワード線電源電圧発生器である、請求項2に記載のマルチチップパッケージ。

【請求項4】

前記内部電源電圧発生器が基板バイアス電源電圧発生器である、請求項2に記載のマルチチップパッケージ。

【請求項5】

前記メモリダイがフラッシュメモリダイである、請求項1に記載のマルチチップパッケージ。

【請求項6】

前記フラッシュダイがNANDフラッシュダイである、請求項5に記載のマルチチップパッケージ。

【請求項7】

前記内部電源電圧発生器がページプログラム電源電圧発生器である、請求項6に記載のマルチチップパッケージ。

【請求項8】

前記内部電源電圧発生器がブロック消去電源電圧発生器である、請求項6に記載のマルチチップパッケージ。

**【請求項 9】**

複数のメモリデバイスを備えるマルチチップパッケージであって、

各メモリデバイスが、内部電源電圧端子に接続された内部電源電圧発生器を備え、各メモリデバイスの前記内部電源電圧端子が、当該マルチチップパッケージ内で一緒に接続され、

前記内部電源電圧発生器が、

レギュレータ出力端子、レギュレータ入力端子、およびレギュレータイネーブル端子に接続されたレギュレータをさらに備え、前記第1のメモリデバイスの前記レギュレータイネーブル端子が、当該マルチチップパッケージ内で前記第1のデバイス内の前記レギュレータをイネーブルするために第1の電圧に接続され、第2のメモリデバイスの前記レギュレータイネーブル端子が、当該マルチチップパッケージ内で前記第2のデバイス内の前記レギュレータをディスエーブルするために第2の電圧に接続されている、

マルチチップパッケージ。

**【請求項 10】**

前記第1のメモリデバイスの前記レギュレータ出力端子が、第2のメモリデバイスの前記レギュレータ入力端子に接続されている、請求項9に記載のマルチチップパッケージ。

**【請求項 11】**

マルチチップパッケージを構成する方法であって、内部電源電圧端子に接続された内部電源電圧発生器を各メモリダイ<sub>1</sub>が有する、複数のメモリダイ<sub>1</sub>を設けるステップと、前記マルチチップパッケージ内で各メモリダイ<sub>1</sub>の前記内部電源電圧端子と一緒に接続するステップとを含む方法。

**【請求項 12】**

前記メモリダイ<sub>1</sub>がDRAMダイである、請求項11に記載のマルチチップパッケージを構成する方法。

**【請求項 13】**

前記内部電源電圧発生器がワード線電源電圧発生器である、請求項12に記載のマルチチップパッケージを構成する方法。

**【請求項 14】**

前記内部電源電圧発生器が基板バイアス電源電圧発生器である、請求項12に記載のマルチチップパッケージを構成する方法。

**【請求項 15】**

前記メモリダイ<sub>1</sub>がフラッシュメモリダイである、請求項11に記載のマルチチップパッケージを構成する方法。

**【請求項 16】**

前記フラッシュダイ<sub>1</sub>がNANDフラッシュダイである、請求項15に記載のマルチチップパッケージを構成する方法。

**【請求項 17】**

前記内部電源電圧発生器がページプログラム電源電圧発生器である、請求項16に記載のマルチチップパッケージを構成する方法。

**【請求項 18】**

前記内部電源電圧発生器がブロック消去電源電圧発生器である、請求項16に記載のマルチチップパッケージを構成する方法。

**【請求項 19】**

マルチチップパッケージを構成する方法であって、

内部電源電圧端子に接続された内部電源電圧発生器を各メモリダイ<sub>1</sub>が有する、複数のメモリダイ<sub>1</sub>を設けるステップと、

前記マルチチップパッケージ内で各メモリダイ<sub>1</sub>の前記内部電源電圧端子と一緒に接続するステップとを含む方法であって、

前記内部電源電圧発生器が、レギュレータ出力端子、レギュレータ入力端子、およびレギュレータイネーブル端子に接続されたレギュレータをさらに含み、当該方法が、前記第

1のメモリデバイスの前記レギュレータイネーブル端子を前記マルチチップパッケージ内で前記第1のデバイス内の前記レギュレータをイネーブルするために第1の電圧に接続するステップと、第2のメモリデバイスの前記レギュレータイネーブル端子を前記マルチチップパッケージ内で前記第2のデバイス内の前記レギュレータをディスエーブルするために第2の電圧に接続するステップとをさらに含む方法。

【請求項 20】

前記第1のメモリデバイスの前記レギュレータ出力端子を前記第2のメモリデバイスの前記レギュレータ入力端子に接続するステップをさらに含む、請求項19に記載のマルチチップパッケージを構成する方法。

【請求項 21】

共通パッケージ内の少なくとも1つの他の集積回路ダイと共有するように適合された内部電源を有する集積回路ダイであって、前記適合は前記内部電源への第1の外部接続部を含む、集積回路ダイ。

【請求項 22】

前記第1の外部接続部が、ワイヤボンドパッドおよびTSVバンプからなる群から選択される、請求項21に記載の内部電源を有する集積回路ダイ。

【請求項 23】

共通パッケージ内の少なくとも1つの他の集積回路デバイスと共有するように適合された内部電源を有する集積回路デバイスであって、前記適合は前記内部電源への第1の外部接続部を含む、集積回路デバイスであって、

前記第1の接続部とは異なる電位を有する前記内部電源への第2の接続部をさらに備える集積回路デバイス。

【請求項 24】

共通パッケージ内の少なくとも1つの他の集積回路デバイスと共有するように適合された内部電源を有する集積回路デバイスであって、前記適合は前記内部電源への第1の外部接続部を含む、集積回路デバイスであって、

前記電源内のレギュレータと、

別の同様な集積回路内のレギュレータをディスエーブルするための前記内部電源への第2の接続とをさらに備える集積回路デバイス。

【請求項 25】

マルチチップパッケージ内の複数のメモリダイを備え、各メモリダイが、内部電源電圧端子に接続された内部電源電圧発生器をさらに備え、各メモリダイの前記内部電源電圧端子が、前記マルチチップパッケージ内で一緒に接続される、システム。

【請求項 26】

前記メモリダイがDRAMダイである、請求項23に記載のシステム。

【請求項 27】

前記内部電源電圧発生器がワード線電源電圧発生器である、請求項24に記載のシステム。

【請求項 28】

前記内部電源電圧発生器が基板バイアス電源電圧発生器である、請求項24に記載のシステム。

【請求項 29】

前記メモリダイがフラッシュメモリダイである、請求項24に記載のシステム。

【請求項 30】

前記フラッシュダイがNANDフラッシュダイである、請求項27に記載のシステム。

【請求項 31】

前記内部電源電圧発生器がページプログラム電源電圧発生器である、請求項28に記載のシステム。

【請求項 32】

前記内部電源電圧発生器がブロック消去電源電圧発生器である、請求項28に記載のシステム。

【請求項 3 3】

各メモリデバイスが、内部電源電圧端子に接続された内部電源電圧発生器を備え、各メモリデバイスの前記内部電源電圧端子が、当該マルチチップパッケージ内で一緒に接続される、マルチチップパッケージ内の複数のメモリデバイスを備えるシステムであって、

前記内部電源電圧発生器が、

レギュレータ出力端子、レギュレータ入力端子、およびレギュレータイネーブル端子に接続されたレギュレータをさらに備え、前記第1のメモリデバイスの前記レギュレータイネーブル端子が、前記マルチチップパッケージ内で前記第1のデバイス内の前記レギュレータをイネーブルするために第1の電圧に接続され、第2のメモリデバイスの前記レギュレータイネーブル端子が、前記マルチチップパッケージ内で前記第2のデバイス内の前記レギュレータをディスエーブルするために第2の電圧に接続されているシステム。

【請求項 3 4】

前記第1のメモリデバイスの前記レギュレータ出力端子が、前記第2のメモリデバイスの前記レギュレータ入力端子に接続されている、請求項33に記載のシステム。