



(10) **DE 10 2007 023 885 B4** 2016.11.24

(12)

Patentschrift

(21) Aktenzeichen: **10 2007 023 885.3**
(22) Anmeldetag: **23.05.2007**
(43) Offenlegungstag: **17.01.2008**
(45) Veröffentlichungstag
der Patenterteilung: **24.11.2016**

(51) Int Cl.: **H01L 29/78** (2006.01)
H01L 21/336 (2006.01)
H01L 29/739 (2006.01)
H01L 29/06 (2006.01)
H01L 29/161 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2006-188804 **10.07.2006** **JP**

(72) Erfinder:
Tsuji, Takashi, Hino, Tokyo, JP

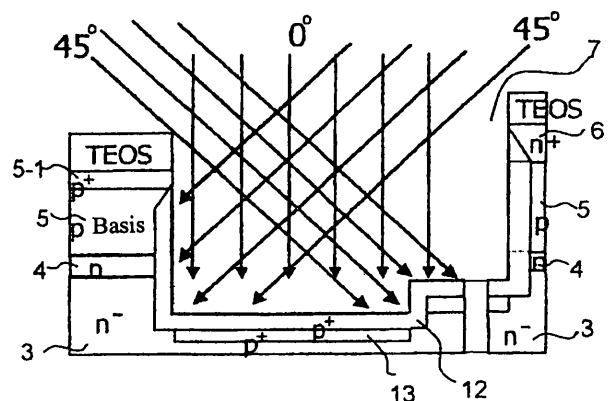
(73) Patentinhaber:
Fuji Electric Co., Ltd., Kawasaki-shi, JP

(56) Ermittelter Stand der Technik:
US 2004 / 0 195 618 A1

(74) Vertreter:
**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(54) Bezeichnung: **Siliziumcarbid-Halbleitervorrichtung vom Graben-MOS-Typ und Verfahren zur Herstellung derselben**

(57) Hauptanspruch: Siliziumcarbid(SiC)-Halbleitervorrichtung vom Graben-MOS-Typ, welche aufweist:
ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp;
eine Driftschicht vom ersten Leitfähigkeitstyp, die auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildet ist;
eine Basisschicht von einem zweiten Halbleitertyp, die auf der Driftschicht vom ersten Halbleitertyp gebildet ist;
eine Sourceschicht vom ersten Halbleitertyp, die auf der Basisschicht vom zweiten Halbleitertyp gebildet ist,
einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht vom ersten Halbleitertyp zur Driftschicht vom ersten Halbleitertyp reicht und über eine Gateoxidschicht eine Gateelektrode hat;
eine Schicht vom zweiten Halbleitertyp, die nur auf dem Boden des streifenförmigen Grabens gebildet ist; und
einen Bereich vom zweiten Halbleitertyp, der auf der Schicht vom zweiten Halbleitertyp und zwar auf den Seitenwänden über die Breite des Grabens an wenigstens einem ersten Ende des streifenförmigen Grabens gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp elektrisch koppelt.



Beschreibung

HINTERGRUND DER ERFINDUNG

1. Gebiet der Erfindung

[0001] Die Erfindung betrifft Siliziumcarbid(hiernach als SiC bezeichnet)-Halbleitervorrichtungen, welche SiC als ein Halbleitermaterial verwenden, besonders eine spannungsgetriebene (MOS-Typ Leistungs)-SiC-Halbleitervorrichtung mit einer Grabengatestruktur wie ein Metalloxid-Halbleiterfeldeffekttransistor (hiernach bezeichnet als MOSFET) und einen bipolaren Transistor mit isoliertem Gate (Insulated Gate Bipolar Transistor, hiernach bezeichnet als IGBT) und ein Verfahren zur Herstellung derselben.

2. Stand der Technik

[0002] Ein SiC-Halbleitermaterial hat eine hohe Isolationsdurchschlagsfeldstärke, da das SiC-Halbleitermaterial eine große Bandlücke hat im Vergleich mit einem Silizium-Halbleitermaterial. Ein On-Widerstand ist ein Widerstand, bei dem eine Halbleitervorrichtung im Leitungszustand ist. Beispielsweise kann ein On-Widerstand der als ein 4H-Typ bezeichneten und weithin verwendeten SiC-Halbleitervorrichtung auf mehrere Hundertstel Teile eines On-Widerstands einer Silizium-Halbleitervorrichtung herabgesetzt werden, da der On-Widerstand im umgekehrten Verhältnis zur dritten Potenz der Isolationsdurchschlagsfeldstärke steht. Weiterhin hat die SiC-Halbleitervorrichtung auch eine große spezifische Wärmeleitfähigkeit, so daß sie leicht Wärme abstrahlen kann. Daher bestehen hohe Erwartungen, daß die SiC-Halbleitervorrichtung eine Leistungs-Halbleitervorrichtung der nächsten Generation mit geringem Verlust sein wird. In den letzten Jahren wurde die Qualität einer SiC-Wafer (Halbleitersubstrat) verbessert und auch die SiC-Wafer mit großem Durchmesser entwickelt und es fand so eine aktive Entwicklung von SiC-Halbleitervorrichtungen wie ein MOSFET, ein bipolarer Transistor und ein Feldeffekttransistor vom Junction-Typ (Junction-type Field Effect Transistor, hiernach bezeichnet als JFET) statt, worin die Charakteristika der SiC-Halbleitervorrichtungen diejenigen der Silizium-Halbleitervorrichtungen wesentlich übersteigen. Besonders zeigt der MOSFET hohe Schaltgeschwindigkeiten im Vergleich mit der bipolaren Vorrichtung, in welcher sowohl ein Elektron wie ein Loch zu Leitung beitragen, da der MOSFET nicht nur ermöglicht, daß sein Gatetreiberkreis billig ist wegen der spannungsgetriebenen Vorrichtung, sondern sein Träger wird auch aus der Vorrichtung ausgeschwemmt, ohne beim Abschalten eine Ausschwemmzeit zu benötigen, da es sich um eine Majoritätsträgervorrichtung mit nur einem Elektron oder einem Loch handelt, wo keine Speicherung des Trägers bei Leitung vorhanden ist.

[0003] Fig. 9 zeigt eine Querschnittsstruktur einer Einheitszelle eines üblichen und allgemeinen mit vertikalem Graben ausgebildeten U-förmigen Metalloxid-Halbleiterfeldeffekttransistors (hiernach als ein üblicher und allgemeiner UMOSFET bezeichnet). Nach aufeinanderfolgenden Ausbilden einer n-Typ Driftschicht **22** mit hohem Widerstand und einer p-Typ Basisschicht **23** auf einem n-Typ SiC-Halbleitersubstrat mit niedrigem Widerstand (eine Drainschicht) **21** durch epitaktisches SiC-Wachstum wird ein n+-Typ Sourcebereich **24** gebildet durch eine Ionenimplantation in die Oberfläche der p-Typ Basisschicht **23**. Ein Gategraben **25** wird in einer solchen SiC-Wafer **30** gebildet. Nacheinander werden eine Gateoxidschicht **26**, eine Gateelektrode **27**, eine Source-/Basiselektrode **28** und eine Drainelektrode **29** gebildet, womit die Wafer vollständig ist.

[0004] In einem Off-Zustand, wo die Source-/Basiselektrode **28** geerdet ist und an die Gateelektrode **27** eine für den Off-Zustand ausreichende negative Vorspannung angelegt wird, werden Löcher induziert und in einem Bereich der Basisschicht **23** gespeichert, der zwischen dem Sourcebereich **24** und der Driftschicht **22** liegt. So fließt kein Strom, da ein Weg von Elektronen als Leitungsträger unterbrochen ist. Wenn an die Drainelektrode **29** eine positive hohe Spannung angelegt wird, breiten sich Sperrschichten (Verarmungsschichten) in sowohl der Basisschicht **23** als auch der Driftschicht **22** aus und die hohe Spannung wird in einem Zustand mit unterdrücktem geringem Leckstrom gehalten, da sich ein Übergang zwischen der Basisschicht **23** und der Driftschicht **22** in einem Sperrvorspannungszustand befindet.

[0005] In einem On-Zustand, wo an die Gateelektrode **27** eine für den On-Zustand ausreichende positive Vorspannung angelegt ist, werden Elektronen in dem Bereich (einer Inversionsschicht) der Basisschicht **23** induziert, die benachbart ist einer Grenzfläche zwischen der Gateoxidschicht **26** und der Basisschicht **23**, die sich zwischen dem Sourcebereich **24** und der Driftschicht **22** befindet. So fließen Elektronen als Leitungsträger der Reihe nach von der Source-/Basiselektrode **28**, dem Sourcebereich **24**, der Inversionsschicht (nicht gezeigt), der Driftschicht **22**, dem Substrat **21** zur Drainelektrode **29**.

[0006] Hinsichtlich eines Widerstands im On-Zustand hat ein allgemeiner doppelimplantierter Metalloxid-Halbleiterfeldeffekttransistor (Double-Implanted Metal Oxide Semiconductor Field Effect Transistor, hiernach bezeichnet als ein allgemeiner DIMOSFET), wie in Fig. 10 gezeigt, eine Struktur mit zwei zusätzlichen Widerständen, d. h. der erste Widerstand ist eine Akkumulation, wo Elektronen sich über eine Nachbarschaft einer Grenzfläche zwischen einer Driftschicht **32** und einer Gateoxidschicht **36** bewegen, und der zweite Widerstand ist ein JFET, der leicht auftritt wegen der Driftschicht **32**, die zwischen

die Basisschichten **33** beider Seiten eingeschaltet ist, wenn Elektronen von der Nachbarschaft der Gateoxidschicht **36** in die Driftschicht **32** in Richtung auf eine unter der Driftschicht **32** befindliche Drainschicht fließen. Der übliche und allgemeine UMOSFET wie in **Fig. 9** gezeigt hat jedoch das Merkmal, daß diese zwei Widerstände nicht auftreten. Wenn daher ein Abstand von Einheitszellen im allgemeinen DIMOSFET verringert wird, tritt der JFET-Widerstand bei einem kritischen Abstand und mehr des Abstands der Einheitszellen auf und der On-Widerstand steigt. Andererseits hat der übliche und allgemeine UMOSFET das Merkmal, daß der On-Widerstand mit kleinerem Abstand der Einheitszellen monoton abnimmt. Besonders da es notwendig ist, den Abstand von Einheitszellen durch Mikrofabrikation bei dem MOSFET mit einer Durchbruchspannung von weniger als etwa 3 KV herabzusetzen, da ein MOS-Kanalwiderstand nicht vernachlässigt werden kann, wird vorzugsweise ein UMOSFET mit vertikalem Graben verwendet.

[0007] **Fig. 11** ist eine Querschnittansicht, die eine Struktur eines üblichen und allgemeinen UMOSFET zeigt, und ein Diagramm der elektrischen Feldstärkenverteilung, das die elektrische Feldstärke in einem Off-Zustand in einer horizontalen Achse und einer Dickenrichtung des Substrats in einer Längsachse in Entsprechung mit dieser Querschnittansicht im Hinblick auf einen PN-Übergangsteil und einen MOS-Strukturteil zeigt, die in jedem Rahmen einer gestrichelten Linie angegeben sind. Wie aus **Fig. 11** ersichtlich ist die elektrische Feldstärke, die an die Oxidschicht (die SiO₂-Schicht) **26** am Boden des Grabens angelegt wird, sehr groß. Das hängt ab von der Differenz zwischen der relativen Influenzkonstante (Permittivity) (9,7 im Fall von 4H-SiC) von SiC und der relativen Influenzkonstante (3,8) einer SiO₂-Schicht. Weiter wird die elektrische Feldstärke, die an die Oxidschicht an den Ecken des Grabens angelegt wird, höher als die an die Oxidschicht des Bodens des Grabens angelegte wegen der Konzentration des elektrischen Feldes, obgleich das in **Fig. 11** nicht gezeigt ist. Ein Ideal ist, daß die SiC-Halbleitervorrichtung durchschlägt, wenn der Peak der elektrischen Feldstärke eines p-n-Übergangs zwischen der p-Typ Basisschicht **23** und der n-Typ Driftschicht **22** wie in **Fig. 11** gezeigt die elektrische Feldstärke beim Isolationsdurchschlag des SiC erreicht. Jedoch erreicht im Fall des üblichen und allgemeinen UMOSFET die Oxidschicht (die SiO₂-Schicht) **26** des Bodens des Grabens die elektrische Feldstärke beim Isolationsdurchschlag (etwa 10 MV/cm), bevor der Spitzenwert der elektrischen Feldstärke des p-n-Übergangs zwischen der Basisschicht **23** und der Driftschicht **22** die elektrische Feldstärke beim Isolationsdurchbruch erreicht. So besteht ein Problem darin, daß beim üblichen und allgemeinen UMOSFET der Isolationsdurchschlag bei einer geringeren Spannung als die theoretische Durchschlagspannung eintritt. Da die elektrische Feldstärke beim Isolations-

durchschlags eines Silizium-Halbleiters 0,2 MV/cm, d. h. um zwei Stellen kleiner als die der Oxidschicht (der SiO₂-Schicht) von 10 MV/cm ist, tritt der Isolationsdurchschlag des Silizium-Halbleiters annähernd im p-n-Übergang auf. Da die elektrische Feldstärke des SiC-Halbleiters (im Fall von 4H-SiC) beim Isolationsdurchschlag 2 MV/cm, also mehr als die des Silizium-Halbleiters beträgt und die des 4H-SiC-Halbleiters um nur eine Größenordnung verschieden ist von der der Oxidschicht (der SiO₂-Schicht), wird der Isolationsdurchschlag der Oxidschicht (der SiO₂-Schicht) zu einem Problem.

[0008] Als ein Verfahren einer Gegenmaßnahme bei einem solchen Problem beschreiben beispielsweise J. Tan et al., IEEE Electron Dev. Lett., Band 19, S. 487- (1998), daß eine Aluminium- oder Borionimplantation über die gesamte Fläche eines Elements unter Verwendung einer Maske durchgeführt wird, unmittelbar nachdem ein Graben und dann ein UMOSFET hergestellt wird durch ein Verfahren der Bildung einer p⁺-Schicht nur auf dem Boden des Grabens, worin eine Verunreinigungskonzentration etwa 1×10^{18} cm⁻³ und die Dicke etwa 0,5 µm beträgt. Dadurch wird in Bezug auf eine elektrische Feldstärkenverteilung in einem Querschnitt senkrecht zum Boden des Grabens das sehr große elektrische Feld durch die p⁺-Schicht (eine Relaxationschicht des elektrischen Feldes) **40** am Boden des Grabens absorbiert und das sehr starke elektrische Feld wird nicht an einer Oxidschicht (der SiO₂-Schicht) **26** angelegt, wie in **Fig. 12** gezeigt, obgleich die sehr hohe elektrische Feldstärke an die Oxidschicht (die SiO₂-Schicht) **26** in einer üblichen und allgemeinen Struktur wie in **Fig. 11** gezeigt angelegt wird. So wird eine Verbesserung einer Durchschlagspannung erreicht, indem der Isolationsdurchschlag in der Oxidschicht (der SiO₂-Schicht) **26** verhindert wird.

[0009] Das japanische Patent JP 3711906 B2 (entsprechend US 2003/0042538 A1) beschreibt eine SiC-Halbleitervorrichtung, bei der eine p⁺-Schicht längs einer Innenwandfläche eines Grabens und dadurch eine spannungsstoßabsorbierende Diode gebildet wird. Weiterhin beschreibt die japanische Patentanmeldung JP 2006-93186 A, entsprechend US 2006/0060884 A1, eine SiC-Halbleitervorrichtung, bei der eine p⁺⁺-Kontaktschicht von Gatebereichen am Boden eines Grabens längs einer Innenwandfläche des Grabens gebildet wird und wodurch eine Spannung von außen angelegt werden kann, so daß ein Gatewiderstand klein wird und eine hohe Schaltgeschwindigkeit ermöglicht wird. Ferner beschreibt die japanische Patentanmeldung JP 2004-06723 A, die US 2005/0029551 A1, US 2005/0029558 A1, US 2006/0226504 A1 und US 2003/0178672 A1 entspricht, eine SiC-Halbleitervorrichtung mit hoher Durchschlagspannung, bei der eine ausgezeichnete Abschaltcharakteristik erhalten wird durch eine p-Typ Gateschicht, die

auf dem Boden eines Grabens gebildet wird. Ferner beschreibt die japanische Patentanmeldung Nr. JP H10-098188 A, entsprechend Nr. JP H10-098188 A, eine Erfindung, welche eine hohe Durchschlagspannung ermöglicht durch Bildung einer Relaxationsschicht des elektrischen Feldes (p^+ -Schicht) von einem Leitfähigkeitstyp entgegengesetzt dem einer Driftschicht in der Driftschicht unterhalb einer Isolationschicht eines Grabens in einem UMOSFET.

[0010] Da jedoch die p^+ -Schicht am Boden des Grabens in der obigen japanischen Patentanmeldung JP H10-098188 A geerdet sein muß, ist es erforderlich, eine Elektrode für die p^+ -Schicht zur Ausleitung an der Oberfläche zu bilden. Es ist daher erforderlich, drei Elektrodenanschlußflächen für ein Gate, eine Source und die p^+ -Schicht an der Oberfläche (einer Element-Herstellungsfäche) auszubilden. In einer üblichen Struktur gibt es nur zwei Elektrodenanschlußflächen an der Oberfläche, nämlich für das Gate und die Source. So tritt bei der obigen JP H10-098188 A das Problem auf, daß eine aktive Region in einem Element, wo ein Strom fließt, wegen der vergrößerten Anschlußfläche für die p^+ -Schicht verkleinert wird. So besteht also ein Problem darin, daß der On-Widerstand pro Flächeneinheit im Chip insgesamt steigt. Weiterhin besteht ein Problem darin, daß das Herstellungsverfahren umfangreicher wird, d. h. die Drahtanschlußstellen zur Verbindung von Elektroden mit einem äußeren Stromkreis von zwei auf drei erhöht werden.

[0011] In US 2004/0195618 A1 ist eine Halbleitervorrichtung mit einem isolierten Gate offenbart, die eine Steuerelektrode mit einer Grabenstruktur entlang einer Oberfläche des Substrats aufweist, wobei entlang des Grabenbodens und entlang der Seitenwände eine Schicht ausgebildet ist, die einen zu dem Leitfähigkeitstyp der darunterliegenden Driftschicht komplementär Leitfähigkeitstyp aufweist.

ZUSAMMENFASSUNG DER ERFINDUNG

[0012] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung nach Anspruch 1 und ein Verfahren zur Herstellung einer solchen nach Anspruch 2 oder 4. Anspruch 3 bezieht sich auf eine weitere vorteilhafte Ausgestaltung des Verfahrens nach Anspruch 2.

[0013] Die Erfindung wurde im Hinblick auf die obigen Probleme geschaffen. Es ist eine Aufgabe der Erfindung, eine SiC-Halbleitervorrichtung vom Graben-MOS-Typ und ein Verfahren zur Herstellung derselben zu schaffen, wodurch ein On-Widerstand klein gemacht werden kann, ohne daß eine neue Elektrode gebildet wird, die elektrisch mit einer Grabenboden- p^+ -Schicht gebildet wird, die am Boden des Grabens ausgebildet wird, selbst im Fall der SiC-Halbleitervor-

richtung mit MOS-Struktur, worin die Grabenboden- p^+ -Schicht geerdet werden muß.

[0014] Zur Behebung der Schwierigkeiten und Lösung der Aufgabe ist eine erfindungsgemäße SiC-Halbleitervorrichtung vom Graben-MOS-Typ gemäß Anspruch 1 dadurch gekennzeichnet, daß sie aufweist: ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp, eine Driftschicht vom ersten Leitfähigkeitstyp, die auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildet ist, eine Basisschicht vom zweiten Leitfähigkeitstyp, die auf der Driftschicht vom ersten Leitfähigkeitstyp gebildet ist, eine Sourceschicht vom ersten Leitfähigkeitstyp, die auf der Basisschicht vom zweiten Leitfähigkeitstyp gebildet ist, einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht vom ersten Leitfähigkeitstyp zur Driftschicht vom ersten Leitfähigkeitstyp reicht und eine Gateelektrode über eine Gateoxidschicht hat, eine Schicht vom zweiten Leitfähigkeitstyp, die auf dem Boden des streifenförmigen Grabens gebildet ist, und einen Bereich vom zweiten Leitfähigkeitstyp, der auf der Schicht vom zweiten Leitfähigkeitstyp gebildet ist und auf über die Breite reichenden Seitenwänden von wenigstens einem ersten Ende des streifenförmigen Grabens gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp elektrisch koppelt.

[0015] Gemäß Anspruch 2 ist ein Verfahren zur Herstellung einer SiC-Halbleitervorrichtung vom Graben-MOS-Typ, die aufweist: eine Halbleitersubstrat von einem ersten Leitfähigkeitstyp, eine auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildete Driftschicht vom ersten Leitfähigkeitstyp, eine auf der Driftschicht vom ersten Leitfähigkeitstyp gebildete Basisschicht von einem zweiten Leitfähigkeitstyp, eine auf der Basisschicht vom zweiten Leitfähigkeitstyp gebildete Sourceschicht vom ersten Leitfähigkeitstyp, einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht des ersten Leitfähigkeitstyps zur Driftschicht vom ersten Leitfähigkeitstyp reicht und eine Gateelektrode über einer Gateoxidschicht hat, eine auf dem Boden des streifenförmigen Grabens gebildete Schicht vom zweiten Leitfähigkeitstyp, und einen auf der Schicht vom zweiten Leitfähigkeitstyp gebildeten Bereich vom zweiten Leitfähigkeitstyp, der an über die Breite reichenden Seitenwänden von wenigstens einem ersten Ende des streifenförmigen Grabens gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp elektrisch mit der Basisschicht vom zweiten Leitfähigkeitstyp koppelt, dadurch gekennzeichnet, daß das Verfahren den Schritt aufweist, daß der Bereich des zweiten Leitfähigkeitstyps auf der Schicht des zweiten Leitfähigkeitstyps und auf den über die Breite reichenden Seitenwänden von wenigstens dem ersten Ende des streifenförmigen Grabens gebildet wird durch eine Ionimplan-

tation einer Ionenart, um elektrisch die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp zu koppeln.

[0016] Ein Verfahren zur Herstellung einer SiC-Halbleitervorrichtung vom Graben-MOS-Typ ist gemäß Anspruch 3 dadurch gekennzeichnet, daß beim Verfahren gemäß Anspruch 2 die Ionimplantation der Ionenart in den Richtungen senkrecht zu und geneigt zu einer Hauptfläche des Halbleitersubstrats vom ersten Leitfähigkeitstyp durchgeführt wird. Gemäß Anspruch 4 ist ein Verfahren zur Herstellung einer SiC-Halbleitervorrichtung vom Graben-MOS-Typ, die aufweist: ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp, eine auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildete Driftschicht vom ersten Leitfähigkeitstyp, eine auf der Driftschicht vom ersten Leitfähigkeitstyp gebildete Basisschicht vom zweiten Leitfähigkeitstyp, eine auf der Basisschicht von einem zweiten Leitfähigkeitstyp gebildete Sourceschicht vom ersten Leitfähigkeitstyp, einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht vom ersten Leitfähigkeitstyp zur Driftschicht vom zweiten Leitfähigkeitstyp führt und eine Gateelektrode über einer Gateoxidschicht hat, eine auf dem Boden des streifenförmigen Grabens gebildete Schicht vom zweiten Leitfähigkeitstyp, und einen auf der Schicht vom zweiten Leitfähigkeitstyp gebildeten Bereich vom zweiten Leitfähigkeitstyp, der über die Breite an Seitenwänden von wenigstens einem Ende des streifenförmigen Grabens gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp elektrisch die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp koppelt, und das Verfahren dadurch gekennzeichnet ist, daß es den Schritt aufweist, daß eine Tantalcarbid (hiernach bezeichnet als TaC)-Schicht gebildet wird, die als eine Maske zur selektiven Bildung des Bereichs des zweiten Leitfähigkeitstyps auf der Schicht vom zweiten Leitfähigkeitstyp und über die Breite an Seitenwänden von wenigstens dem ersten Ende des streifenförmigen Grabens gebildet wird, um elektrisch die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp zu koppeln, und den Schritt aufweist, daß der Bereich des zweiten Leitfähigkeitstyps auf der Schicht vom zweiten Leitfähigkeitstyp des Bodens des streifenförmigen Grabens und über die Breite an Seitenwänden von wenigstens dem ersten Ende des streifenförmigen Grabens gebildet wird, indem selektiv epitaktisch SiC aufgebracht wird, um elektrisch die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp zu koppeln.

[0017] Kurz gesagt besteht die Struktur, welche die oben beschriebenen Probleme löst, darin, daß die auf der Innenfläche des Grabens gebildete p⁺-Region elektrisch die p⁺-Schicht des Grabenbodens mit der p-Basisschicht koppelt. In einem Herstellungsverfahren wird die elektrisch koppelnde p⁺-Region ge-

bildet durch eine Ionimplantation eines Akzeptorelements in Richtung senkrecht und geneigt zur Hauptebene des Halbleitersubstrats, um den p⁺-Bereich auf der Grabenboden-p⁺-Schicht und über die Breite an Seitenwänden von wenigstens einem ersten Ende des streifenförmigen Grabens im MOSFET-Substrat zu bilden, das den streifenförmigen Graben aufweist. Bei einem alternativen Herstellungsverfahren wird auf der gesamten Fläche des den streifenförmigen Graben aufweisenden MOSFET-Substrats der Reihe nach eine TaC-Schicht gebildet, die TaC-Schicht von nur dem Boden des Grabens und den über die Breite reichenden Seitenwänden von wenigstens einem ersten Ende des streifenförmigen Grabens wird selektiv entfernt und die elektrisch koppelnde p⁺-Region wird gebildet durch selektives Aufwachsen des epitaktischen SiC.

[Wirkungen der Erfindung]

[0018] Erfindungsgemäß kann erreicht werden, daß bei der SiC-Halbleitervorrichtung vom Graben-MOS-Typ und dem Verfahren zu deren Herstellung der On-Widerstand klein gemacht wird ohne neu die Elektrode zu bilden, die elektrisch mit einer auf dem Boden des Grabens gebildeten Grabenboden-p⁺-Schicht verbunden wird, selbst im Fall, daß die SiC-Halbleitervorrichtung eine MOS-Struktur hat, worin die auf dem Boden des Grabens gebildete p⁺-Schicht geerdet werden muß.

FIGURENBESCHREIBUNG

[0019] Fig. 1(a) ist eine Querschnittsansicht eines Halbleitersubstrats zur Erläuterung eines Verfahrens zur Herstellung einer erfindungsgemäßen Halbleitervorrichtung.

[0020] Fig. 1(b) ist eine Draufsicht eines Tetraethyl-oxidsilikats (TEOS)-Musters zur Erläuterung des erfindungsgemäßen Verfahrens zur Herstellung einer Halbleitervorrichtung.

[0021] Fig. 1(c) ist eine Querschnittsansicht des Halbleitersubstrats zur Erläuterung des erfindungsgemäßen Verfahrens zur Herstellung der Halbleitervorrichtung.

[0022] Fig. 1(d) ist eine Querschnittsansicht des Halbleitersubstrats zur Erläuterung des Verfahrens zur Herstellung der Halbleitervorrichtung gemäß der Erfindung.

[0023] Fig. 2 ist eine Querschnittsansicht des Halbleitersubstrats zur Erläuterung des Verfahrens zur Herstellung der Halbleitervorrichtung gemäß der Erfindung.

[0024] Fig. 3 ist eine Draufsicht eines Grabenmusters gemäß einer ersten Ausführungsform der Erfindung.

[0025] Fig. 4(a) ist eine Querschnittsansicht des Halbleitersubstrats und zeigt die Ionenimplantation senkrecht und in Schrägrichtung gemäß der ersten Ausführungsform der Erfindung.

[0026] Fig. 4(b) ist eine vergrößerte perspektivische Ansicht eines Kerbbereichs einer n^+ -Sourceschicht im Halbleitersubstrat gemäß der ersten Ausführungsform der Erfindung.

[0027] Fig. 5 ist eine Querschnittsansicht des Halbleitersubstrats eines U-förmigen Metalloxidhalbleiterfeldeffekttransistors (eines UMOSFET) mit vertikalem Graben gemäß einer zweiten Ausführungsform der Erfindung.

[0028] Fig. 6 ist eine Querschnittsansicht des Halbleitersubstrats, die eine Richtung der Strahlung einer Ionenimplantation gemäß der zweiten Ausführungsform der Erfindung zeigt.

[0029] Fig. 7 ist eine Draufsicht, die ein TaC-Schichtmuster gemäß der zweiten Ausführungsform der Erfindung zeigt.

[0030] Fig. 8 ist eine Querschnittsansicht des Halbleitersubstrats gemäß der zweiten Ausführungsform der Erfindung.

[0031] Fig. 9 ist eine Querschnittsansicht einer Einheitszelle eines üblichen und allgemeinen UMOSFET.

[0032] Fig. 10 ist eine Querschnittsansicht eines üblichen und allgemeinen MOSFET.

[0033] Fig. 11 ist ein Diagramm der elektrischen Feldstärkenverteilung des üblichen und allgemeinen UMOSFET.

[0034] Fig. 12 ist ein Diagramm der elektrischen Feldstärkenverteilung des üblichen UMOSFET.

Bezugszeichenliste

1	n-Typ SiC-Halbleitersubstrat
2	n^+ -Typ Pufferschicht
3	n-Typ Driftschicht
4	n-Typ Stromausbreitungsschicht
5	p-Typ Basisschicht
6	n^+ -Typ Sourceschicht
7	Graben
8	Gateoxidschicht
9	Sourceelektrode
10	Drainelektrode
11	Gateelektrode

12	p^+ -SiC-Bereich (p^+ -Bereich)
13	Grabenboden- p^+ -SiC-Schicht
14	TaC-Schicht
15	p^+ epitaktischer SiC-Bereich

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0035] Bevorzugte Ausführungsformen einer Halbleitervorrichtung und das Verfahren zur Herstellung derselben gemäß der Erfindung werden nun im einzelnen mit Bezug auf die beigefügten Zeichnungen erläutert.

[0036] Die Fig. 1(a) bis Fig. 1(d) und Fig. 2 ausgenommen Fig. 1(b) sind Querschnittsansichten von Halbleitersubstraten, welche ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß der Erfindung zeigen. Fig. 1(b) ist eine Draufsicht eines Tetraäthylsiloxidsilikat (TEOS)-Musters zur Erläuterung des Verfahrens zur Herstellung der Halbleitervorrichtung gemäß der Erfindung. Fig. 3 ist eine Draufsicht eines Grabenmusters gemäß einer ersten Ausführungsform der Erfindung. Fig. 4(a) ist eine Querschnittsansicht des Halbleitersubstrats und zeigt die Ionenimplantation in senkrechter und schräger Richtung gemäß der ersten Ausführungsform der Erfindung. Fig. 4(b) ist eine vergrößerte perspektivische Ansicht eines Kerbbereichs einer n^+ -Sourceschicht im Halbleitersubstrat gemäß der ersten Ausführungsform der Erfindung. Fig. 5 ist eine Querschnittsansicht des Halbleitersubstrats eines U-förmigen Metalloxidhalbleiterfeldeffekttransistors (eines UMOSFET) mit vertikaler Grabenform gemäß einer zweiten Ausführung der Erfindung. Fig. 6 ist eine Querschnittsansicht des Halbleitersubstrats, welche eine Richtung der Strahlung einer Ionenimplantation gemäß der zweiten Ausführungsform der Erfindung zeigt. Fig. 7 ist eine Draufsicht, die ein Tantalcarbidgebiet (TaC)-Schichtmuster gemäß der zweiten Ausführungsform der Erfindung zeigt. Fig. 8 ist eine Querschnittsansicht des Halbleitersubstrats gemäß der zweiten Ausführungsform der Erfindung.

[Erste Ausführungsform]

[0037] Ein Verfahren zur Herstellung einer Graben-MOS-Typ-Siliziumcarbidhalbleitervorrichtung gemäß der Erfindung wird im einzelnen mit Bezug auf die beigefügten Zeichnungen beschrieben. Die Erfindung ist durch die folgende Beschreibung der erläuterten Ausführungsform nicht begrenzt.

[0038] Eine geschichtete epitaktische Wafer wird wie in Fig. 1(a) hergestellt. Die geschichtete epitaktische Wafer weist auf: ein n-Typ 4H-SiC-Substrat 1 von geringem Widerstand mit einer Dicke von etwa 400 μm und einer Verunreinigungskonzentration von $1 \times 10^{18} \text{ cm}^{-3}$ und darauf der Reihe nach durch epitaktisches SiC-Wachstum gebildete Hauptschicht-

ten: eine n⁺-Typ-Pufferschicht **2** mit einer Schichtdicke von 0,5 µm und einer Verunreinigungskonzentration von $1 \times 10^{18} \text{ cm}^{-3}$, eine n-Typ Driftschicht **3** mit einer Schichtdicke von 10 µm und einer Verunreinigungskonzentration von $1 \times 10^{16} \text{ cm}^{-3}$, eine n-Typ Stromausbreitungsschicht **4** mit einer Schichtdicke von 0,4 µm und einer Verunreinigungskonzentration von $1 \times 10^{17} \text{ cm}^{-3}$, eine p-Typ-Schicht **5** mit einer Schichtdicke von 1 µm und einer Verunreinigungskonzentration von $1 \times 10^{17} \text{ cm}^{-3}$ und eine n⁺-Typ-Sourceschicht **6** mit einer Schichtdicke von 0,5 µm und einer Verunreinigungskonzentration von $1 \times 10^{19} \text{ cm}^{-3}$. Danach wird eine Tetraethyloxidsilikat(hiernach TEOS)-Oxidschicht, welche zu einer Maske wird, auf der gesamten Oberfläche abgeschieden und ein in **Fig. 1(b)** gezeigtes TEOS-Muster wird unter Verwendung von Photolithographie und Naßätzen mit gepuffeter Fluorwasserstoffsäure (hiernach BHF) gebildet. Danach wurde die n⁺-Typ-Sourceschicht **6** selektiv entfernt durch anisotropes Ätzen mittels reaktiven Ionenätzens (Reactive Ion Etching = RIE) unter Verwendung der TEOS-Oxidschicht als eine Maske, und die p-Typ-Basissschicht **5** wurde selektiv freigelegt. Nach Entfernung der gesamten als Maske verwendeten TEOS-Oxidschicht verbleibt die n⁺-Sourceschicht **6** in Form des Musters der **Fig. 1(b)**, und die p-Typ-Basissschicht **5** ist rings um die Schicht **6** freigelegt. Dieser Zustand ist in **Fig. 1(c)** gezeigt, die eine Querschnittsansicht längs der Schnittlinie C-C der **Fig. 1(b)** ist. In diesem Stadium werden Ionen von Aluminium, das ist ein Element vom p-Leitfähigkeitstyp, in die gesamte Fläche des SiC-Substrats implantiert. Die Verunreinigungskonzentration und Tiefe eines p⁺-Bereichs **5-1** sind jeweils $1 \times 10^{18} \text{ cm}^{-3}$ und 0,3 µm nach der Ionenimplantation und Aktivierung. Dieser Zustand ist in **Fig. 1(d)** als eine Querschnittsansicht längs der Schnittlinie C-C der **Fig. 1(b)** gezeigt.

[0039] Weiter wird, wie in **Fig. 2** gezeigt, ein Graben **7** senkrecht zu einer Hauptfläche auf der Seite der n⁺-Typ-Sourceschicht **6** durch RIE unter Verwendung einer Siliziumoxidschicht (TEOS-Oxidschicht) als eine Maske gebildet. Die Tiefe am Boden des Grabens ist tiefer als wenigstens das untere Ende der Stromausbreitungsschicht **4**, wie in **Fig. 2** gezeigt. Das zu diesem Zeitpunkt an der Oberfläche der n⁺-Typ-Sourceschicht **6** gebildete Muster des Grabens **7** ist als Draufsicht der **Fig. 3** gezeigt. Danach werden Aluminiumionen, die der p-Leitfähigkeitstyp werden, in den Richtungen der durch Pfeillinien der **Fig. 4(a)** angegebenen Strahlen in die Hauptfläche der Wafer implantiert, in der der streifenförmige Graben **7** gebildet wird. **Fig. 4(a)** ist die Querschnittsteilansicht unter Weglassung eines Mittelteils, wenn die Wafer längs der Grabenmitte gemäß der Schnittlinie A-A in **Fig. 3** geschnitten ist. Wie durch die Pfeillinien der **Fig. 4(a)** gezeigt, wird eine senkrechte Ionenimplantation und eine schräge Ionenimplantation mit $\pm 45^\circ$ zur geschichteten epitaktischen Wafer vorgenommen, in welcher der Graben **7** entsprechend dem

in **Fig. 3** gezeigten Flächenmuster gebildet ist, insgesamt dreimal durchgeführt. Die schrägen Ionenimplantationen sind durch die schrägen Pfeillinien gezeigt, aus Gründen der Beschreibung ohne Neigen der Wafer in **Fig. 4(a)**. Ein tieferer Teil des Grabenbodens mit einer Höhendifferenz, wie in **Fig. 4(a)** gezeigt, entspricht einem Grabenteil in einem Kerbbereich **6-1** der n⁺-Sourceschicht **6**, wie in **Fig. 3** gezeigt. **Fig. 4(b)** ist eine perspektivische Ansicht, die zeigt, daß ein erstes Ende des Grabens **7** im Kerbbereich **6-1** gebildet ist. Zu diesem Zeitpunkt erfolgt eine Orientierung zum Neigen der Wafer um eine Drehachse senkrecht zu einer Längsrichtung des streifenförmigen Grabens. Dadurch werden, wie oben beschrieben, die Ionen nur in den Seitenwänden quer zur Breite des ersten und zweiten Endes des Grabens, der Grabenboden-p⁺-Schicht **13** und den Seitenwänden **7-1** (in **Fig. 4(a)** als verdickte Linien gezeigt) des ersten Endes des Grabens **7** im Kerbbereich **6-1** der n⁺-Sourceschicht **6** implantiert, und die Ionen werden wegen einer Maske von TEOS-Oxidschicht nur in einem Bereich des Grabenmusters und auch nicht in die Seitenwände einer Längsrichtung des Grabens implantiert, die einen großen Bereich der gesamten Seitenwände einnimmt und besonders den Bereich, wo ein Kanal (Inversionsschicht) gebildet wird. Als Ergebnis wird die Gateschwellenspannung kaum verändert und die Mobilität kaum beeinflusst. Da die Ionen in die Seitenwände quer zur Breite des ersten Endes und zweiten Endes des streifenförmigen Grabens der **Fig. 3** (gezeigt ist das erste Ende) und die Grabenboden-p⁺-Schicht **13** implantiert werden, sind die Grabenboden-p⁺-Schicht **13** und ein p⁺-Bereich **5-1** in der Fläche durch diesen implantierten Abschnitt elektrisch gekoppelt. Mit anderen Worten ist es im Gegensatz zur üblichen Maßnahme nicht notwendig, neu eine Elektrodenanschlußfläche elektrisch mit der Grabenboden-p⁺-SiC-Schicht **13** zu verbinden, da der p⁺-Bereich **12** auf den Seitenwänden des ersten Endes und zweiten Endes des Grabens über dessen Breite hin durch diese Ionenimplantation gebildet wurde und ermöglicht, daß die Grabenboden-p⁺-Schicht **13**, der p-Basisbereich **5** und die Sourceelektrode **9** auf der Seite der Hauptfläche elektrisch miteinander koppeln. Danach werden die implantierten Aluminiumionen durch Tempern bei einer hohen Temperatur elektrisch aktiviert. Anschließend werden der Reihe nach eine Gateoxidschicht **8**, eine Sourceelektrode **9**, eine Drainelektrode **10** und eine Gateelektrode **11** gebildet und so der in **Fig. 5** gezeigte UMOSFET vervollständigt.

[Zweite Ausführungsform]

[0040] Das Verfahren zur Herstellung einer SiC-Halbleitervorrichtung gemäß einer zweiten Ausführungsform ist das gleiche wie bei der ersten Ausführungsform bis zum Verfahren der Bildung des Grabens wie in **Fig. 2** gezeigt. Danach wird die Ionenimplantation von Aluminium durchgeführt durch Be-

strahlen in nur einer Richtung senkrecht zur Hauptfläche der SiC-Wafer wie in **Fig. 6** gezeigt, und eine schräge Ionenimplantation von Aluminiumionen unter Neigen der SiC-Wafer wird nicht durchgeführt. **Fig. 6** ist die Querschnittsansicht des Grabens der längs der Linie B-B in **Fig. 7** geschnitten ist. Die p⁺-SiC-Schicht **13** wird nur auf dem Boden des Grabens durch diese vertikal einfallenden Ionenimplantation gebildet. Danach wird ein Tantalmetall (hier nach als Ta bezeichnet) auf die gesamte Fläche der Hauptfläche der SiC-Wafer gesputtert und dann auf der gesamten Fläche der Wafer durch Tempern in Propan (C₃H₈) eine TaC-Schicht **14** gebildet. Weiter wird die TaC-Schicht **14** des dem Oberflächenmuster **7** des Grabens entsprechenden Teils durch Photolithographie und Entfernen durch nasses BHF-Ätzen wie in **Fig. 7** gezeigt, geöffnet und entfernt und so die Grabenboden-p⁺-SiC-Schicht **13** freigelegt. Anschließend, wenn ein p⁺ epitaktischer SiC-Bereich **15** durch ein epitaktisches p⁺ SiC-Aufwachsen gebildet wird, wird der p⁺ epitaktische SiC-Bereich **15** selektiv auf dem Boden des Grabens und den Seitenwänden des ersten Endes des Grabens über dessen Breite gebildet, wie in **Fig. 8** gezeigt, da SiC auf einer TaC-Schicht **14** nicht epitaktisch wächst. Dieser selektiv gewachsene p⁺ epitaktische SiC-Bereich **15** ermöglicht es, daß die Grabenboden-p⁺-Schicht **13** und der p-Basisbereich **5** elektrisch miteinander koppeln. Danach werden wie im Fall der ersten Ausführungsform die implantierten Aluminiumionen durch Tempern bei einer hohen Temperatur elektrisch aktiviert. Weiter werden der Reihe nach eine Gateoxidschicht **8**, eine Sourceelektrode **9**, eine Drainelektrode **10** und eine Gateelektrode **11** gebildet und so der in **Fig. 5** gezeigte UMOSFET vervollständigt.

[0041] Der On-Widerstand kann durch den SiC-UMOSFET mit der in der ersten und zweiten Ausführungsform erläuterten Struktur verringert werden, da es nicht erforderlich ist, neu eine Elektrodenanschlußfläche herzustellen, die elektrisch mit der p⁺-Schicht des Bodens des Grabens verbunden ist. Dieser Vorteil wird deutlich, wenn die Stromkapazität kleiner wird und eine Fläche der Elektroden kleiner wird. Beispielsweise kann der On-Widerstand im Fall der SiC-Halbleitervorrichtung mit einer Stromstärke von 100 A (Ampere) um 5% verringert werden, und im Fall der SiC-Halbleitervorrichtung mit einer Stromstärke von 10 A (Ampere) um 20% verringert werden. Außerdem konnten die Drahtanschlußstellen pro SiC-Halbleitervorrichtung von zwei auf drei verringert werden.

Patentansprüche

1. Siliziumcarbid(SiC)-Halbleitervorrichtung vom Graben-MOS-Typ, welche aufweist:
ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp;

eine Driftschicht vom ersten Leitfähigkeitstyp, die auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildet ist;
eine Basisschicht von einem zweiten Halbleitertyp, die auf der Driftschicht vom ersten Halbleitertyp gebildet ist;
eine Sourceschicht vom ersten Halbleitertyp, die auf der Basisschicht vom zweiten Halbleitertyp gebildet ist,
einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht vom ersten Halbleitertyp zur Driftschicht vom ersten Halbleitertyp reicht und über eine Gateoxidschicht eine Gateelektrode hat;
eine Schicht vom zweiten Halbleitertyp, die nur auf dem Boden des streifenförmigen Grabens gebildet ist; und
einen Bereich vom zweiten Halbleitertyp, der auf der Schicht vom zweiten Halbleitertyp und zwar auf den Seitenwänden über die Breite des Grabens an wenigstens einem ersten Ende des streifenförmigen Grabens gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp elektrisch koppelt.

2. Verfahren zur Herstellung einer SiC-Halbleitervorrichtung vom Graben-MOS-Typ, welche aufweist:
ein Halbleitersubstrat von einem ersten Leitfähigkeitstyp, eine Driftschicht vom ersten Leitfähigkeitstyp, die auf dem Halbleitersubstrat vom ersten Leitfähigkeitstyp gebildet ist, eine Basisschicht von einem zweiten Leitfähigkeitstyp, die auf der Driftschicht vom ersten Leitfähigkeitstyp gebildet ist, eine Sourceschicht vom ersten Leitfähigkeitstyp, die auf der Basisschicht vom zweiten Leitfähigkeitstyp gebildet ist, einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht des ersten Leitfähigkeitstyps zur Driftschicht des ersten Leitfähigkeitstyps reicht und eine Gateelektrode über einer Gateoxidschicht aufweist, wobei eine Schicht vom zweiten Leitfähigkeitstyp nur auf dem Boden des streifenförmigen Grabens gebildet ist und auf der Schicht vom zweiten Leitfähigkeitstyp und auf den Seitenwänden über die Breite von wenigstens einem ersten Ende des streifenförmigen Grabens ein Bereich vom zweiten Leitfähigkeitstyp gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp elektrisch koppelt und das Verfahren folgende Stufe aufweist:

der Bereich vom zweiten Leitfähigkeitstyp auf der Schicht vom zweiten Leitfähigkeitstyp und auf den Seitenwänden beiderseits und über die Breite von wenigstens dem ersten Ende des streifenförmigen Grabens wird durch eine Ionenimplantation einer Ionenart gebildet, um die Schicht des zweiten Leitfähigkeitstyps mit der Basisschicht des zweiten Leitfähigkeitstyps elektrisch zu koppeln.

3. Verfahren zur Herstellung der SiC-Halbleitervorrichtung vom Graben-MOS-Typ nach Anspruch 2, worin die Ionenimplantation so erfolgt, daß die Ionenart in den Richtungen senkrecht zu und geneigt zu einer Hauptfläche des Halbleitersubstrats des ersten Leitfähigkeitstyps erfolgt.

4. Verfahren zur Herstellung einer SiC-Halbleitervorrichtung vom Graben-MOS-Typ, welche aufweist: ein Halbleitersubstrat eines ersten Leitfähigkeitstyps, eine Driftschicht des ersten Leitfähigkeitstyps, die auf dem Halbleitersubstrat des ersten Leitfähigkeitstyps gebildet ist, eine Basisschicht eines zweiten Leitfähigkeitstyps, die auf der Driftschicht des ersten Leitfähigkeitstyps gebildet ist, eine Sourceschicht des ersten Leitfähigkeitstyps, die auf der Basisschicht des zweiten Leitfähigkeitstyps gebildet ist, einen streifenförmigen Graben, der von der Oberfläche der Sourceschicht des ersten Leitfähigkeitstyps zur Driftschicht des zweiten Leitfähigkeitstyps reicht und eine Gateelektrode über einer Gateoxidschicht hat, eine Schicht des zweiten Leitfähigkeitstyps, die auf dem Boden des streifenförmigen Grabens gebildet ist und einen Bereich des zweiten Leitfähigkeitstyps, der auf der Schicht vom zweiten Leitfähigkeitstyp und an den Seitenwänden von wenigstens einem ersten Ende des streifenförmigen Grabens über dessen Breite hin gebildet ist, wobei der Bereich vom zweiten Leitfähigkeitstyp die Schicht vom zweiten Leitfähigkeitstyp mit der Basisschicht vom zweiten Leitfähigkeitstyp elektrisch koppelt und das Verfahren folgende Stufen aufweist:

Bilden einer TaC-Schicht, die als eine Maske verwendet wird, um den Bereich des zweiten Leitfähigkeitstyps auf der Schicht des zweiten Leitfähigkeitstyps und auf den Seitenwänden und über die Breite von wenigstens dem ersten Ende des streifenförmigen Grabens zu bilden, um die Schicht des zweiten Leitfähigkeitstyps mit der Basisschicht des zweiten Leitfähigkeitstyps elektrisch zu koppeln und

Bilden des Bereichs des zweiten Leitfähigkeitstyps auf der Schicht des zweiten Leitfähigkeitstyps und auf den Seitenwänden von wenigstens dem ersten Ende des streifenförmigen Grabens über dessen Breite hinweg indem man selektiv epitaktisch SiC aufwachsen läßt, um die Schicht des zweiten Leitfähigkeitstyps mit der Basisschicht des zweiten Leitfähigkeitstyps elektrisch zu koppeln.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1 (a)

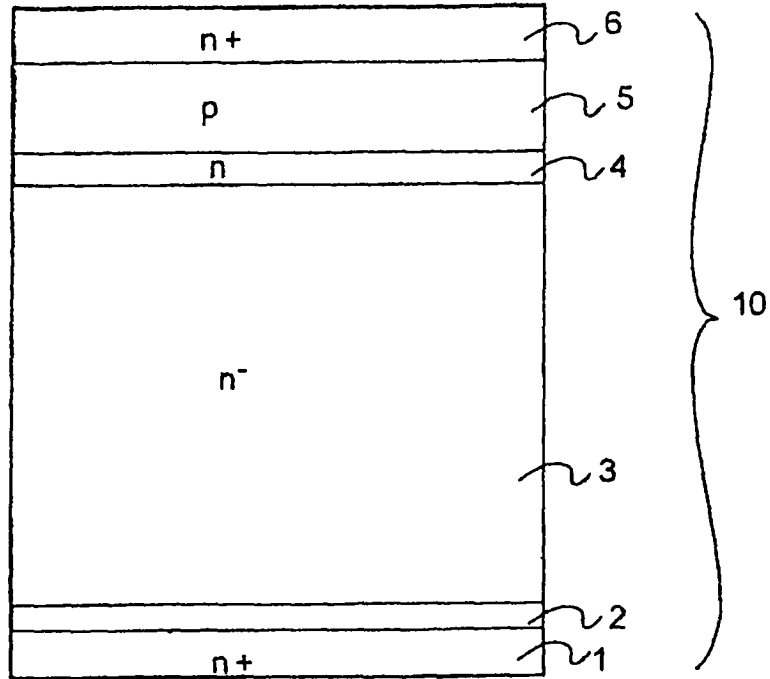


FIG. 1 (b)

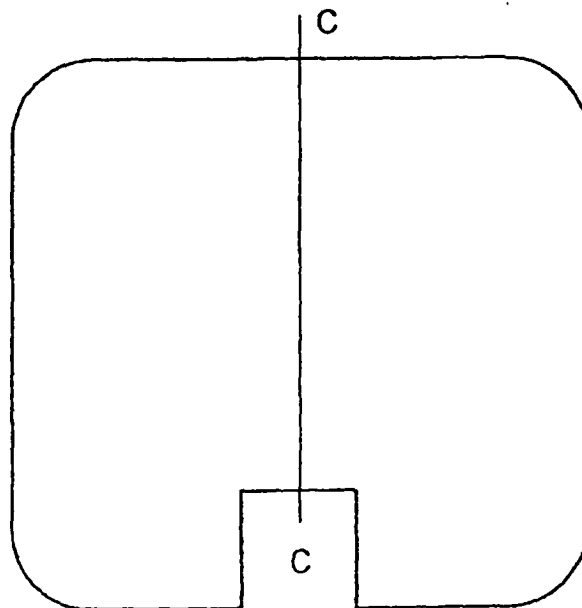


FIG. 1(c)

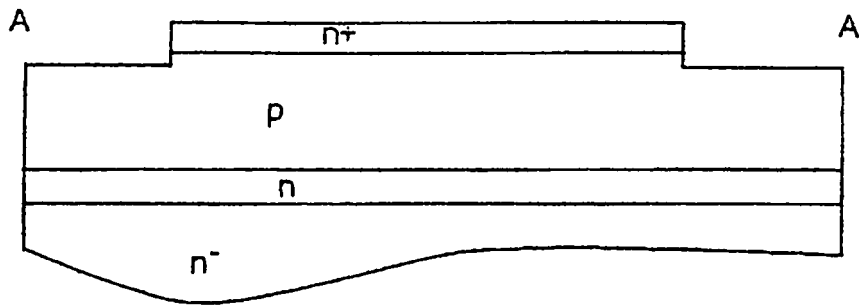


FIG. 1(d)

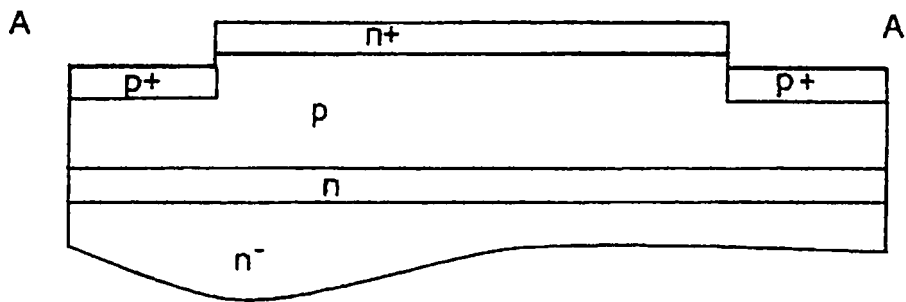


FIG. 2

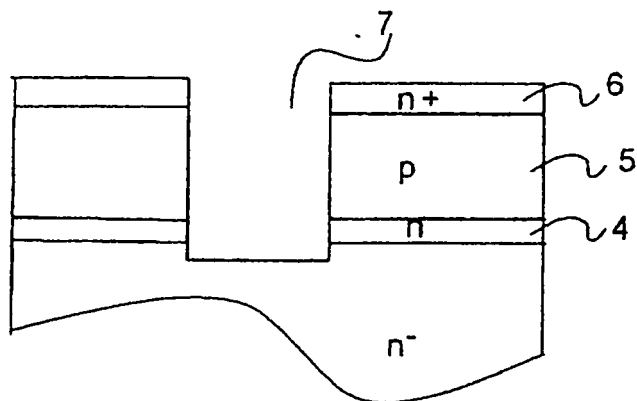


FIG. 3

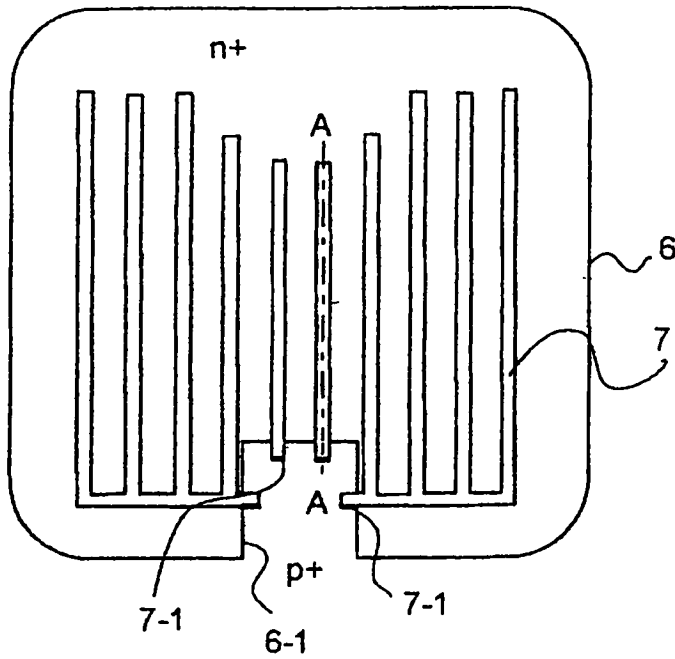


FIG. 4 (a)

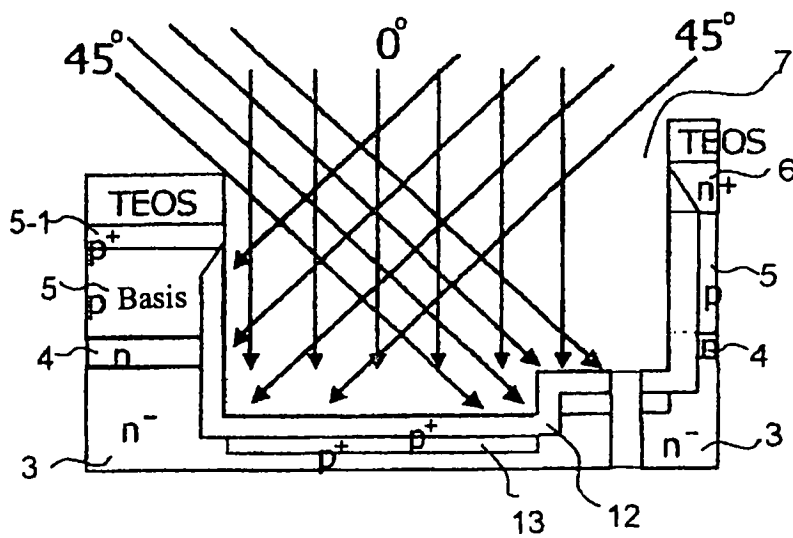


FIG. 4(b)

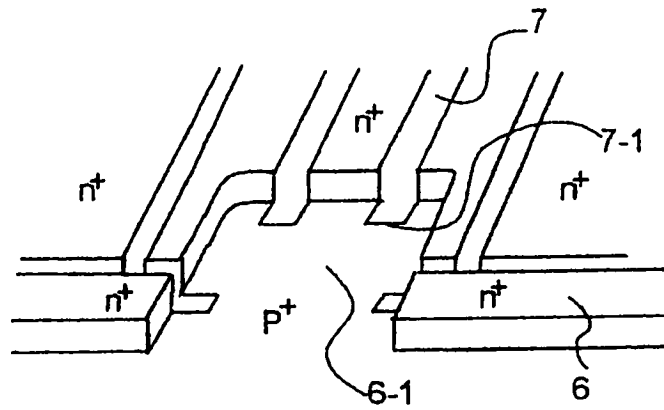


FIG. 5

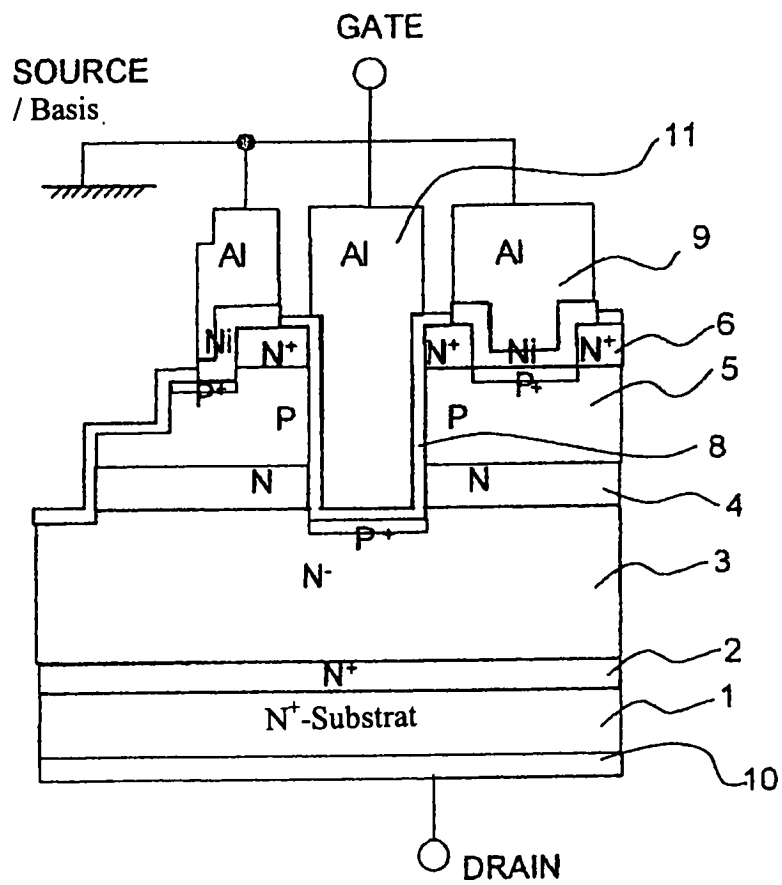


FIG. 6

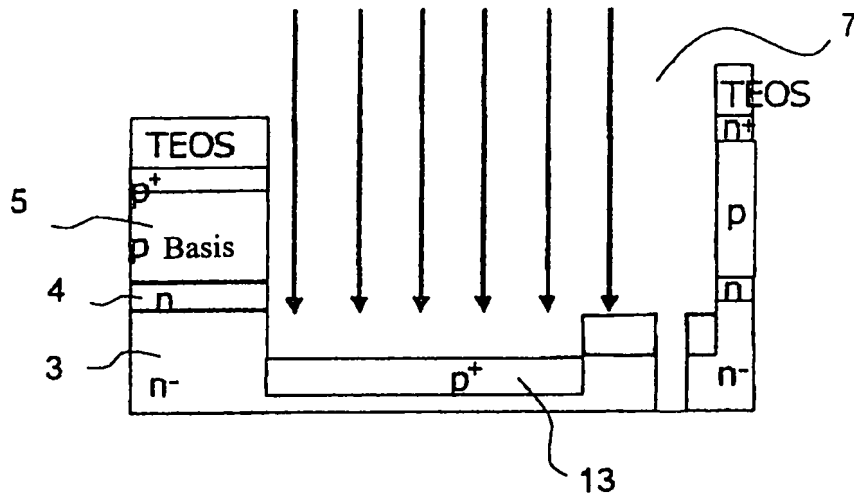


FIG. 7

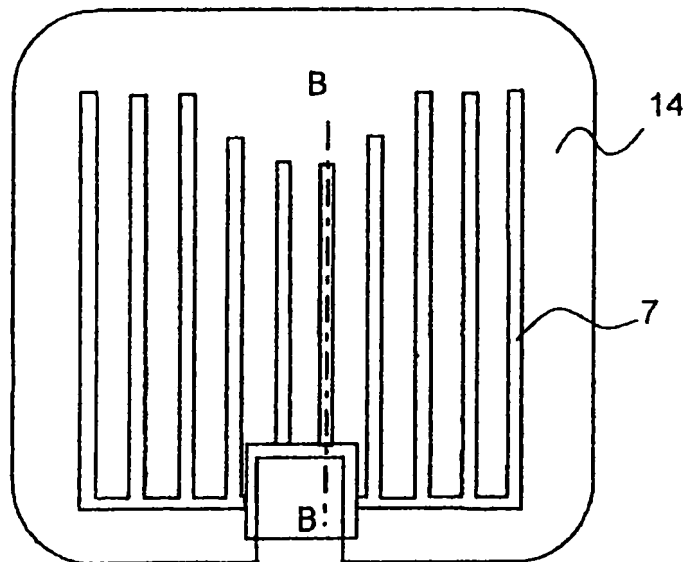


FIG. 8

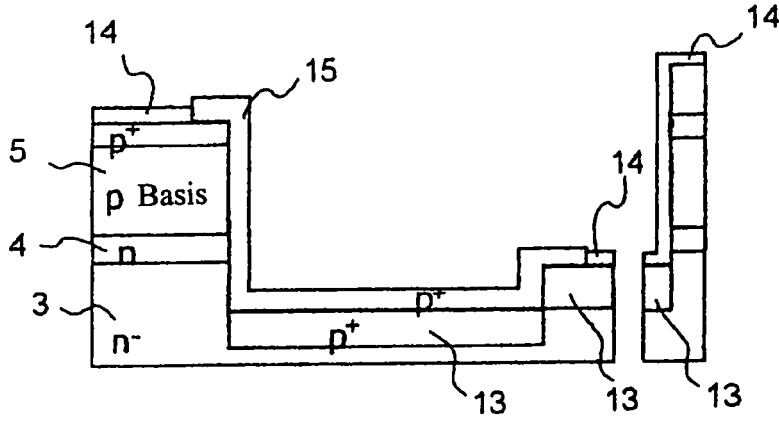


FIG. 9

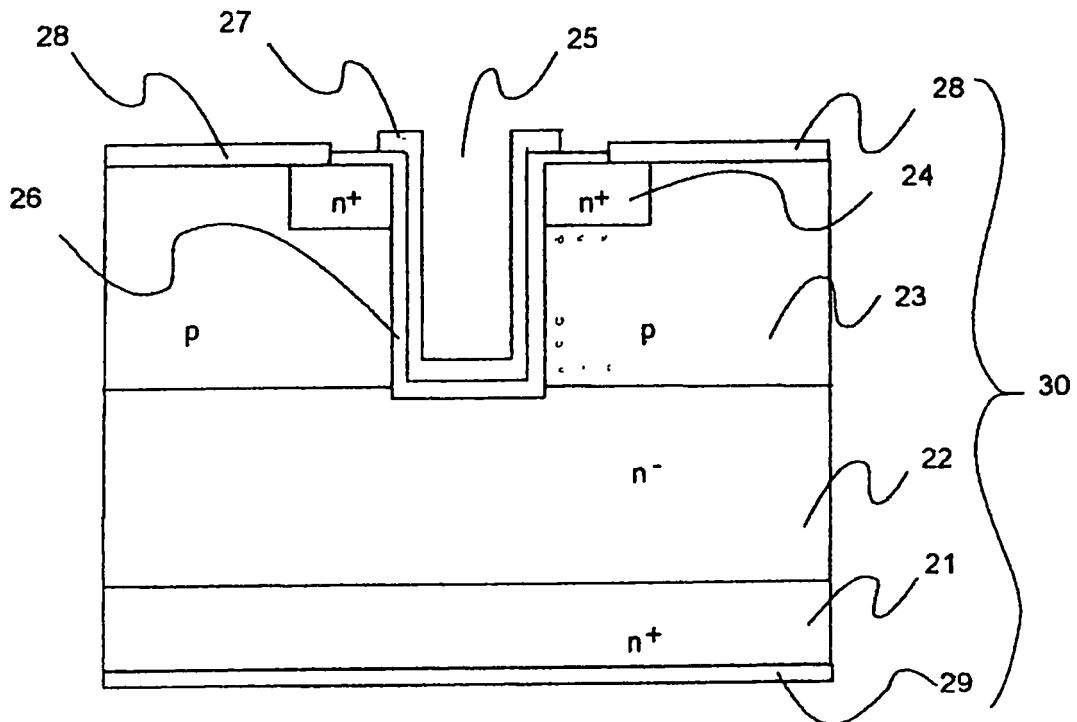


FIG. 10

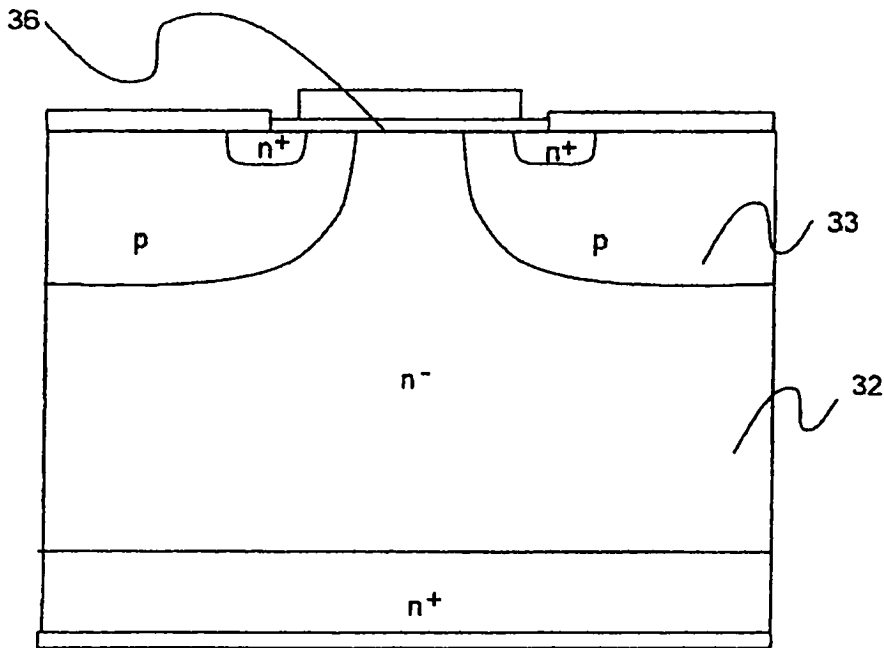


FIG. 11

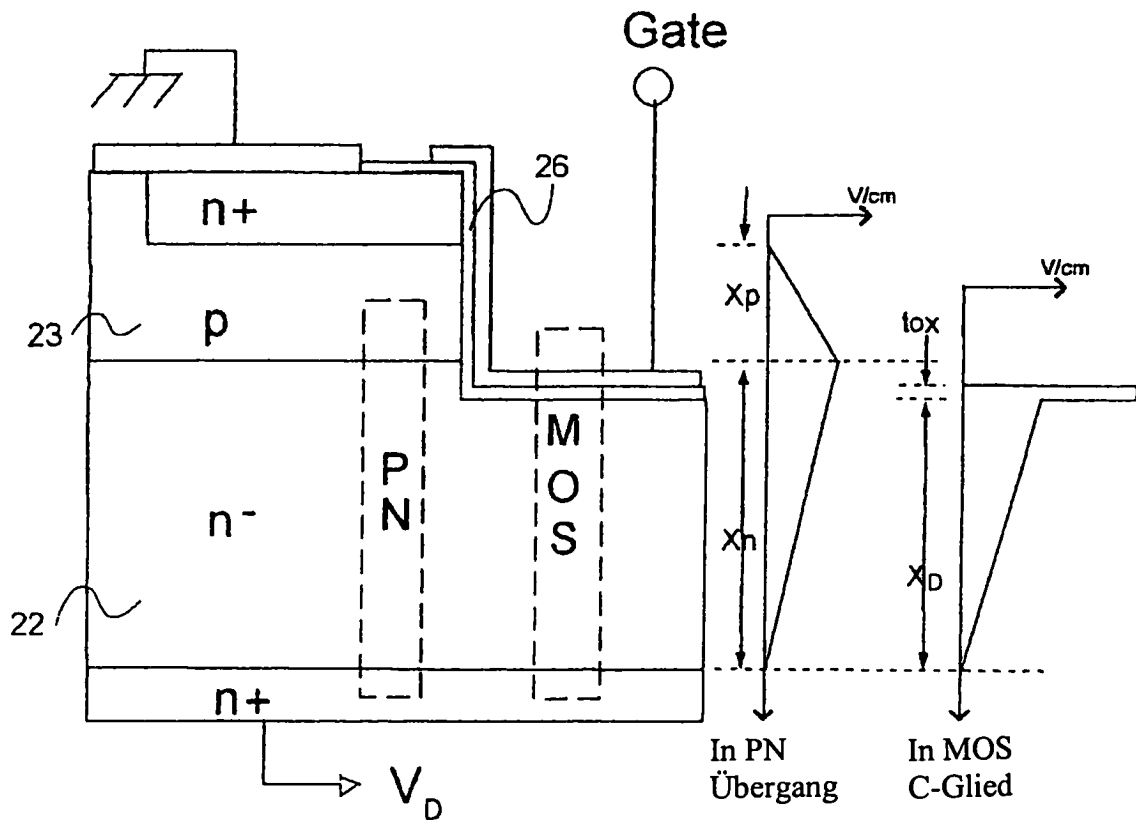


FIG. 12

