



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0054048
(43) 공개일자 2014년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/12 (2006.01)
H01L 23/28 (2006.01) H01L 23/34 (2006.01)
(21) 출원번호 10-2014-7003696
(22) 출원일자(국제) 2012년08월13일
심사청구일자 없음
(85) 번역문제출일자 2014년02월12일
(86) 국제출원번호 PCT/US2012/050566
(87) 국제공개번호 WO 2013/025603
국제공개일자 2013년02월21일
(30) 우선권주장
13/210,841 2011년08월16일 미국(US)

(71) 출원인
어드밴스드 아날로직 테크놀로지스 인코퍼레이티드
미국 캘리포니아주(우편번호 95054) 산타클라라
스코트 블러바드 3230
(72) 발명자
윌리엄스, 리차즈, 케이.
미국 95014 캘리포니아주 쿠퍼티노 노위치 애비뉴
10292
린, 켈, 형
대만 카오싱 신장 레인 9 넘버 25
(74) 대리인
백만기, 양영준, 정은진

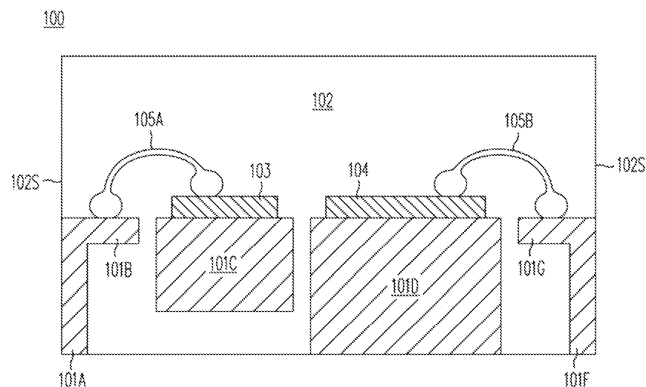
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 하나 이상의 내장된 다이 패드를 갖는 멀티-다이 반도체 패키지

(57) 요약

인쇄 회로 보드(PCB)에 멀티-다이 반도체 패키지를 실장함에 있어서 인접하는 다이 패드들 간의 단락을 방지하기 위해, 다이 패드들 중 하나가 폴리머 캡슐 내에 내장되고, 나머지 다이 패드는 패키지의 바닥에서 노출되어, PCB로의 열 탈출 경로를 제공한다. 이러한 배열은 멀티-다이 패키지 내의 다이들 중 하나가 패키지 내의 다른 다이보다 많은 열을 생성할 때 특히 유용하다.

대표도 - 도4a



특허청구의 범위

청구항 1

반도체 패키지로써,

캡슐 내에 봉입된 적어도 2개의 반도체 다이 - 상기 캡슐은 저면을 갖고, 상기 적어도 2개의 반도체 다이는 제1 반도체 다이 및 제2 반도체 다이를 포함함 -; 및

제1 다이 패드 및 제2 다이 패드 - 상기 제1 반도체 다이는 상기 제1 다이 패드 상에 실장되고, 상기 제2 반도체 다이는 상기 제2 다이 패드 상에 실장되며, 상기 제1 다이 패드 및 상기 제2 다이 패드는 서로 전기적으로 절연됨 -

을 포함하고,

상기 제1 다이 패드는 상기 캡슐의 상기 저면에서 노출되고, 상기 제2 다이 패드의 저면이 상기 캡슐 내에 내장되는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 반도체 패키지는 노-리드(no-lead) 반도체 패키지를 포함하는 반도체 패키지.

청구항 3

제2항에 있어서,

복수의 콘택을 포함하는 반도체 패키지.

청구항 4

제3항에 있어서,

상기 콘택들 각각은 상기 캡슐의 상기 저면에서 노출되며, 상기 콘택들 중 적어도 하나는 상기 제2 다이 패드의 일체 연장부(integral extension)를 포함하는 반도체 패키지.

청구항 5

제4항에 있어서,

상기 콘택들 각각은 노출된 저면 및 내장된 저면을 가지며, 각각의 콘택의 상기 노출된 저면은 상기 캡슐의 상기 저면에서 노출되는 반도체 패키지.

청구항 6

제5항에 있어서,

상기 콘택들 각각의 상기 내장된 저면은 상기 제2 다이 패드의 상기 저면과 동일 평면 상에 있는 반도체 패키지.

청구항 7

제6항에 있어서,

상기 제1 다이 패드는 주변 선반(shelf)을 포함하고, 상기 주변 선반의 저면은 상기 캡슐 내에 내장되는 반도체 패키지.

청구항 8

제7항에 있어서,

상기 주변 선반의 저면은 상기 제2 다이 패드의 상기 저면과 동일 평면 상에 있는 반도체 패키지.

청구항 9

제1항에 있어서,

상기 패키지는 복수의 리드를 포함하고, 상기 리드들 각각은 상기 캡슐의 측면 에지로부터 옆으로(laterally) 연장하는 반도체 패키지.

청구항 10

제1항에 있어서,

상기 제1 반도체 다이는 전력 장치를 포함하고, 상기 제2 반도체 다이는 제어 장치를 포함하는 반도체 패키지.

청구항 11

반도체 패키지를 제조하는 방법으로서,

리드프레임을 제공하는 단계;

제1 다이 패드가 배치되고, 복수의 콘택 각각의 노출된 저면이 배치될, 상기 리드프레임의 표면을 마스크하는 단계;

상기 리드프레임의 제1 부분 에치를 수행하여 제2 다이 패드의 저면을 정의하는 단계;

상기 제2 다이 패드의 상기 저면의 표면을 마스크하는 단계;

상기 리드프레임의 제2 부분 에치를 수행하여 복수의 콘택 각각의 내장된 저면을 정의하는 단계;

상기 복수의 콘택 각각의 상기 내장된 저면을 마스크하는 단계 - 상기 콘택들 중 적어도 하나의 콘택의 상기 내장된 저면은 상기 제2 다이 패드로 연장함 -; 및

상기 리드프레임의 제3 관통 에치를 수행하여, 상기 콘택들 각각을 서로 그리고 상기 제1 다이 패드로부터 분리하고, 상기 적어도 하나의 콘택을 제외한 상기 콘택들 각각을 상기 제2 다이 패드로부터 분리하는 단계

를 포함하는 방법.

청구항 12

제11항에 있어서,

상기 제1 다이 패드 상에 제1 다이를 실장하는 단계; 및

상기 제2 다이 패드 상에 제2 다이를 실장하는 단계

를 더 포함하는 방법.

청구항 13

제12항에 있어서,

상기 제1 다이를 상기 콘택들 중 하나에 와이어 본딩하는 단계;

상기 제2 다이를 상기 콘택들 중 다른 하나에 와이어 본딩하는 단계; 및

상기 제1 다이, 상기 제2 다이, 상기 제1 다이 패드 및 상기 제2 다이 패드를 캡슐 내에 봉입하는 단계 - 상기 제1 다이의 상기 저면은 상기 캡슐의 저면에서 노출됨 -

를 더 포함하는 방법.

청구항 14

반도체 패키지를 제조하는 방법으로서,

리드프레임을 제공하는 단계;

제1 다이 패드가 배치되고, 복수의 콘택 각각의 노출된 저면이 배치될, 상기 리드프레임의 표면을 마스킹하는 단계;

상기 리드프레임의 제1 부분 에치를 수행하여, 제2 다이 패드의 저면 및 복수의 콘택 각각의 내장된 저면을 정의하는 단계;

제2 다이 패드의 상기 저면 및 상기 복수의 콘택 각각의 상기 내장된 저면을 마스킹하는 단계 - 상기 콘택들 중 적어도 하나의 콘택의 상기 내장된 저면은 상기 제2 다이 패드로 연장됨 -; 및

상기 리드프레임의 제2 관통 에치를 수행하여, 상기 콘택들 각각을 서로 그리고 상기 제1 다이 패드로부터 분리하고, 상기 적어도 하나의 콘택을 제외한 상기 콘택들 각각을 상기 제2 다이 패드로부터 분리하는 단계

를 포함하는 방법.

청구항 15

제14항에 있어서,

상기 제1 다이 패드 상에 제1 다이를 실장하는 단계; 및

상기 제2 다이 패드 상에 제2 다이를 실장하는 단계

를 더 포함하는 방법.

청구항 16

제15항에 있어서,

상기 제1 다이를 상기 콘택들 중 하나에 와이어 본딩하는 단계;

상기 제2 다이를 상기 콘택들 중 다른 하나에 와이어 본딩하는 단계; 및

상기 제1 다이, 상기 제2 다이, 상기 제1 다이 패드 및 상기 제2 다이 패드를 캡슐 내에 봉입하는 단계 - 상기 제1 다이의 상기 저면은 상기 캡슐의 저면에서 노출됨 -

를 더 포함하는 방법.

명세서

기술분야

[0001] 본원은 다수의 반도체 다이를 포함하는 반도체 다이 패키지에 관한 것이다.

배경기술

[0002] 반도체 패키지들에서, 때때로 반도체 다이는 패키지의 바닥에 노출되는 높은 열 전도성의 (통상적으로 금속인) 다이 패드 상에 실장된다. 특히, 다이가 상당한 양의 열을 발생시키는 장치 - 예를 들어, 전력 MOSFET 또는 다른 반도체 전력 장치 -를 포함할 때, 다이 패드(또는 금속 슬러그)는 다이에서 생성된 열이 패키지가 실장된 구조, 통상적으로 인쇄 회로 보드(PCB)로 흐르게 하는 열 전도 경로로서 역할한다. 이것은 다이를 손상시키거나 파괴할 수 있는 과열로부터 다이를 보호하는 것을 돕는다.

[0003] 일부 예들에서는 단일 패키지 내에 둘 이상의 다이가 수용된다. 예를 들어, 단일 패키지가 전력 MOSFET 다이, 및 전력 MOSFET를 턴 오프 및 온하기 위한 회로를 포함하는 제어 다이를 함께 포함할 수 있다. 이러한 타입의 회로는 도 1에 도시된 제어 다이(2) 및 전력 MOSFET 다이(3)에 의해 개략적으로 표현된다. 전력 MOSFET 다이(3)는 전력 MOSFET(6)를 포함하며, 이것의 소스 및 보드 단자들은 함께 단락되고 접지에 접속되며, 이것의 드레인 단자는 부하(8)에 접속된다. MOSFET(6) 내의 소스-보드 단락은 MOSFET(6)의 소스-보드 및 드레인 단자들과 병렬인 진성 다이오드(7)를 생성한다.

[0004] MOSFET(6)는 제어 요소(4) 및 버퍼(5)를 포함하는 제어 다이(2)에 의해 제어되고, 버퍼(5)의 출력 단자는 MOSFET(6)의 게이트 단자에 접속된다. 도시된 바와 같이, 제어 다이(2)는 양의 전원 전압(Vcc)과 접지 사이에 접속된다.

- [0005] 도 2a는 P 기판(2)을 포함하는 제어 다이(2) 내의 버퍼(5)의 단면도를 나타낸다. 버퍼(5)는 N 채널 MOSFET(26A) 및 P 채널 MOSFET(26B)를 포함하고, MOSFET(26A)는 P 웰(23) 내에 형성되고, MOSFET(26B)는 N 웰(22) 내에 형성되며, 이들 웰은 각각의 MOSFET의 보디 영역으로서 역할한다. MOSFET(26A)에서는, N+ 소스 영역(25C) 및 P+ 보디 콘택 영역(24A)이 함께 단락되고, 접지에 접속된다. MOSFET(26B)에서는, P+ 소스 영역(24C) 및 N+ 보디 콘택 영역(25A)이 함께 단락되고, Vcc에 접속된다. MOSFET(26A)의 N+ 드레인 영역(25B) 및 MOSFET(26B)의 P+ 드레인 영역(24B)이 함께 접속되며, 전력 MOSFET(6)의 게이트 단자로 전달되는 출력 전압(Vout)을 제공한다. 제어 요소(4)로부터의 입력 전압(Vin)은 MOSFET들(26A, 26B)의 각각의 게이트 단자로 전달된다. 따라서, Vin이 하이일 때, MOSFET(26A)는 턴온되고, MOSFET(26B)는 턴오프되고, Vout은 접지와 대략 동일하며, Vin이 로우일 때, MOSFET(26A)는 턴오프되고, MOSFET(26B)는 턴온되고, Vout은 Vcc와 대략 동일하다.
- [0006] 도 2b는 N+ 기판(31)을 포함하는 다이(3) 내의 MOSFET(6)의 단면도를 나타낸다. N+ 기판(31) 상에 N 에피택셜 층(32)이 성장된다. N+ 소스 영역들(35), P 보디 영역들(33) 및 P+ 보디 콘택 영역들(34)이 N 에피택셜 층(32) 내에 주입되며, 다이(3)의 표면으로부터 N+ 소스 영역들(35) 및 P 보디 영역들(33)을 통해 트렌치들(38)이 에칭된다. 트렌치들(38) 각각은 게이트 단자(37), 및 게이트 단자(37)를 N 에피택셜 층(32)으로부터 격리하는 게이트 산화물 층(36)을 포함한다. 금속 층(39)이 N 에피택셜 층(32)의 표면 상에 배치되며, N+ 소스 영역들(35), P 보디 영역들(33) 및 P+ 보디 콘택 영역들(34)을 함께 단락시킨다. N+ 기판(31)은 MOSFET(6)의 드레인 단자를 나타낸다. 도 1과 일치하게, 금속 층(39)(소스-보디 단자)은 접지에 접속되고, N+ 기판(31)(드레인 단자)은 부하(8)에 접속된다.
- [0007] 게이트 전극들(37)은 도 2b의 평면 밖의 제3 차원에서 액세스되며, 이러한 접속은 개략적으로 도시된다.
- [0008] 따라서, 전력 MOSFET(6)는 N 채널 MOSFET이다. 버퍼(5)로부터의 Vout은 게이트 전극들(37)에 접속된다. Vout이 하이(Vcc)일 때, MOSFET(6)는 턴온되며, Vout이 로우(접지)일 때, MOSFET(6)의 게이트-소스 전압은 0이고, MOSFET(6)는 턴오프된다.
- [0009] 다이들(2, 3)의 중요한 양태는, 이러한 배열에서 다이(2)의 P 기판(21)이 접지에 접속되고, 다이(3)의 N+ 기판(31)이 부하(8)에 접속된다는 점이다. 도 1에 도시된 바와 같이, MOSFET(6)의 소스-보디 단자는 접지되므로, N+ 기판(31)(드레인)은 MOSFET(6)의 하이 측에 있다. 결과적으로, MOSFET(6)가 턴오프될 때, N+ 기판(31)에서의 전압은 부하(8)를 구동하는 하이 전압(+HV)에 접근한다.
- [0010] 도 3a는 다이들(2, 3)을 포함하는 전통적인 반도체 패키지(50)의 단면도를 나타낸다. 다이(2)는 다이 패드(51B) 상에 실장되고, 다이(3)는 다이 패드(51C) 상에 실장된다. 다이들(2, 3) 및 다이 패드들(51B, 51C)은 성형 화합물, 통상적으로는 플라스틱 재료로 제조된 캡슐(53) 내에 봉입된다. 전력 MOSFET(6)는 상당한 양의 열을 생성하므로, 다이 패드(51C)는 캡슐(53)의 저면(53B)에서 노출되어, 다이(3)에서 생성되는 열이 패키지(50)가 실장되는 PCB 또는 다른 구조(도시되지 않음)로 빠져나가게 하기 위한 열 전도 경로를 제공한다. 마찬가지로, 다이 패드(51B)는 캡슐(53)의 저면(53B)에서 노출된다. 다이 패드들(51B, 51C)은 이들의 열적 기능과는 별개로 다이들(2, 3)의 저면 상의 단자들에 대한 전기적 접촉도 제공한다.
- [0011] 다이(2)의 상면은 본딩 와이어(52A)를 통해 콘택(51A)에 접속되며, 다이(3)의 상면은 본딩 와이어(52B)를 통해 콘택(51D)에 접속된다. 패키지(50)는 "노-리드(no-lead)" 타입의 패키지이므로, 콘택들(51A, 51D)의 외면들은 캡슐(53)의 저면(53B) 및 측면들(53S)과 같은 높이를 갖는다. 도 1과 일치하게, 본딩 와이어(52A)는 MOSFET(26B)의 소스-보디 단자에 접속되고, 따라서 콘택(51A)은 Vcc에 접속된다. (다른 본딩 와이어 및 콘택(도시되지 않음)이 MOSFET(26A)의 소스-보디 단자를 접지에 접속시킨다.) 본딩 와이어(52B)는 MOSFET(6)의 소스-보디 단자에 접속되며, 따라서 콘택(51D)은 접지에 접속된다.
- [0012] 다이(2)의 P 기판(21)은 다이 패드(51B)를 통해 접지에 접속되며, 다이(3)의 N+ 기판(31)은 다이 패드(51C)를 통해, 하이 전압(+HV)에 접근할 수 있는 전압에 접속된다. 전술한 바와 같이, 다이 패드(51B) 및 다이 패드(51C) 양자는 패키지(50)의 바닥에서 노출된다.
- [0013] 도 3b는 패키지(50)의 저면도이다. 다이 패드들(51B, 51C)의 노출된 저면들은 물론, 도 3a의 단면 3A-3A도도 도시된다.
- [0014] 동작 시에 상이한 전압들을 나타낼 수 있는 다이 패드들을 노출시키는 것은 문제를 유발할 수 있다. 패키지가 PCB 또는 다른 지지 구조 상에 실장될 때, 금속 또는 다른 도전성 재료들의 부분들(bits) 또는 조각들(pieces)이 패키지와 PCB 사이에 갇힐 수 있으며, 다이 패드들 사이에 단락을 형성할 수 있다. 이러한 잠재적인 단락들은 검출되지 않고, 시각적으로는 플라스틱 패키지 아래에 계속 숨겨질 수 있다. X선을 이용하여 단락들을 식별

할 수 있지만, X선 검사는 고가이며, 잠재적으로는 작업자들에게 해롭다.

발명의 내용

- [0015] 발명의 요약
- [0016] 본 발명에 따른 멀티-다이 패키지에서, 다이 패드들 중 적어도 하나는 그의 저면이 노출되지 않도록 캡슐 내에 계속 내장된다. 통상적으로, 이것은 더 적은 열을 생성하는 다이에 부착되는 다이 패드일 것이다. 위의 예에서, 제어 다이에 부착되는 다이 패드는 캡슐 내에서 좌측에 내장될 것이다. 그러나, 본 발명은 이러한 방식에서 한정되지 않는다. 멀티-다이 패키지에서, 노출된 다이 패드와의 가능한 단락을 방지하기 위해, 다이 패드들 중 어느 하나 이상이 캡슐 내에서 좌측에 내장될 수 있다.
- [0017] 다이 패드를 캡슐 내에 내장한 상태로 두는 것은 패키지가 PCB 또는 다른 지지 구조 상에 실장될 때 내장된 다이 패드와 패키지 내의 다른 다이 패드들 간의 단락의 위험을 제거한다.
- [0018] 내장된 다이 패드 상에 실장되는 다이의 바닥 상의 단자와의 전기적 콘택을 제공하기 위하여, 패키지 내의 콘택들 또는 리드들 중 하나 이상은 내장된 다이 패드의 일체 요소(integral part)로서 형성될 수 있다.
- [0019] 본 발명은 전술한 바와 같은 멀티-다이 패키지를 제조하기 위한 프로세스를 포함한다. 프로세스는 내장된 다이 패드의 저면을 정의하는 부분적 에치를 포함하며, 콘택들 또는 리드들 중 하나 이상을 내장된 다이 패드에 일체로 접속된 상태로 두는 관통 에치를 포함할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 전력 MOSFET, 전력 MOSFET에 의해 스위칭되는 부하, 및 전력 MOSFET에 대한 제어 회로를 포함하는 전통적인 회로의 회로도이다.
- 도 2a는 전력 MOSFET에 대한 제어 회로의 일부의 단면도이다.
- 도 2b는 전력 MOSFET의 단면도이다.
- 도 3a 및 3b는 각각 전통적인 멀티-다이 패키지의 단면도 및 저면도이다.
- 도 4a 및 4b는 본 발명에 따른 노-리드 멀티-다이 반도체 패키지의 단면도이다.
- 도 5a 및 5b는 각각 도 4a 및 4b에 도시된 반도체 패키지의 저면도 및 평면도이다.
- 도 6은 반도체 패키지를 제조하기 위한 프로세스의 흐름도이다.
- 도 7a-7f는 3-마스크 제조 프로세스의 여러 단계를 나타낸다.
- 도 8 및 9는 대안적인 2-마스크 프로세스에 의해 제조된 실시예들을 나타낸다.
- 도 10은 주변 선반이 노출된 다이 패드 주위에 형성되는 실시예를 나타낸다.
- 도 11은 소형 트랜지스터(small-outline transistor; SOT) 패키지 또는 임의의 다양한 소형 패키지들(SOP, SSOP, TSOP, TSSOP 등)과 같은 "갈매기 날개형(gull-winged)" 멀티-다이 패키지에 대한 본 발명의 응용을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0021] 도 4는 본 발명에 따른 반도체 패키지(100)의 단면도이다. 제어 다이(103)가 다이 패드(101C) 상에 실장된다. 전력 MOSFET 다이(104)가 다이 패드(101D) 상에 실장된다. 이 실시예에서, 제어 다이(102)는 제어 다이(2)와 유사하며, 전력 MOSFET 다이(104)는 전력 MOSFET 다이(3)와 유사하다.
- [0022] 다이(103)의 상면 상의 회로는 본딩 와이어(105A)를 통해 콘택(101A)에 접속되며, 이 콘택은 수평 외팔보 연장부(101B)를 포함한다. 다이(104)의 상면 상의 회로는 본딩 와이어(105B)를 통해 콘택(101F)에 접속되며, 이 콘택은 수평 외팔보 연장부(101G)를 포함한다. 위의 컴포넌트들 모두는 폴리머 재료로 구성된 캡슐(102) 내에 봉입되며, 이 캡슐은 측면 에지들(102S) 및 저면(102B)을 갖는다.
- [0023] 패키지(100)는 "노-리드" 패키지이다. 따라서, 콘택들(101A, 101F)은 캡슐(102)로부터 돌출되지 않으며, 대신에 콘택들(101A, 101F)의 측면 에지들은 캡슐(102)의 측면 에지들(102S)과 같은 높이를 갖고(동일 평면 상에 있

고), 콘택들(101A, 101F)의 저면들은 캡슐(102)의 저면(102B)과 같은 높이를 갖는다.

- [0024] 다이 패드(101D)의 바닥은 캡슐(102)의 저면(102B)에서 노출되는 반면, 다이 패드(101C)는 캡슐(102) 내에 내장된다. 따라서, 패키지(100)가 PCB(도시되지 않음) 상에 실장될 때 다이 패드(101C)와 다이 패드(101D) 사이에 단락이 형성될 위험이 존재하지 않는다.
- [0025] 도 5a는 패키지(100)의 저면도이고, 도 5b는 평면도이며, 각각의 도면은 도 4에서 취해진 단면 4-4을 도시한다. 도 5a 및 5b로부터 명백하듯이, 콘택들(101A, 101F)은 패키지(100)의 둘레를 따르는 16개의 콘택(101) 중 2개의 콘택일 뿐이며, 패키지(100)의 각각의 측면 상에는 4개의 콘택이 존재한다. 도 5a에서, 다이 패드(101C)가 이 저면도에서는 실제로는 보이지 않는다는 것을 지시하기 위해 다이 패드(101C)는 점선들 내에 도시된다. 도 5b는 패키지(100)의 제조 동안 다이 패드(101D)를 리드프레임에 접속하는 타이 바들(tie bars)(131A, 131B)을 도시한다. 유사하게, 타이 바(131C)는 다이 패드(101C)를 리드프레임에 접속한다. 후술하는 바와 같이, 타이 바들(131A-131C)은 패키지(100)가 리드프레임으로부터 제조되는 다른 반도체 패키지들로부터 개별화될 때 통상의 방식으로 절단된다.
- [0026] 도 5b의 평면도에 도시된 바와 같이, 콘택들(101H, 101I)은 다이 패드(101C)에 직접 접속되며, 사실상 다이 패드(101C)의 일체 요소들로서 형성된다. 콘택(101I)의 구조는 도 5b의 단면 4B-4B에서 취해진 패키지(100)의 단면도인 도 4b에 도시된다. 도 4b에 도시된 바와 같이, 콘택(101I)은 다이 패드(101C)와 결합하는 수평 외팔보 연장부(101K)를 포함한다. 따라서, 콘택(101I)은 사실상 다이 패드(101C)의 일체 연장부이다. 이것은 콘택(101I)을 통해 다이(103)의 저면에 대해 전기적 접촉이 이루어지게 한다. 도 1 및 2a와 일치하게, 콘택(101I)은 접지에 접속되는 것으로 도시된다.
- [0027] 캡슐(102)의 바닥에서의 콘택들(101I, 101H)의 노출된 표면들은 저면이 노출될 경우의 다이 패드(101C)보다 다이 패드(101D)의 노출된 표면으로부터 더 멀기 때문에, 패키지(100)가 PCB 상에 실장될 때 다이 패드들(101C, 101D) 사이에 전기적 단락이 생성될 위험은 도 3a에 도시된 타입의 패키지에서보다 훨씬 적다.
- [0028] 도 6은 본 발명의 반도체 패키지를 제조하기 위한 가능한 프로세스의 흐름도이다.
- [0029] 프로세스는 전통적인 구리 리드프레임을 이용하여 시작된다(박스 150). 리드프레임은, 노출된 다이 패드들 및 콘택들의 노출된 저면들이 배치될 곳이 마스크되고, 내장된 다이 패드들의 저면을 정의하기 위해, 예를 들어 과황산 암모늄, 과황산 나트륨, 염화 제2철, 또는 염산, 질산 또는 황산을 포함하는 다른 에천트들을 이용하여 부분적으로 에칭된다. 이것은 "셸로우 모우트(shallow moat)"로서 지칭된다(박스 155). 리드프레임은 콘택들 및 노출되고 내장된 다이 패드들의 저면들을 커버하도록 다시 마스크되며, 콘택들의 수평 외팔보 연장부들의 하부면들을 정의하기 위해 제2의 "딥 모우트(deep moat)" 부분 에치가 수행된다(박스 160). 노출된 다이 패드는 히트 슬러그(heat slug)로도 지칭될 수 있으며, 내장된 다이 패드는 비노출 다이 패드로도 지칭될 수 있다.
- [0030] 셸로우 모우트 에치는 콘택들의 수평 외팔보 연장부들의 하부면들은 물론, 내장된 다이 패드들의 저면들을 정의하는 데에도 사용될 수 있으며, 이 경우에는 "딥 모우트" 에치가 생략된다. 리드프레임은 노출되고 내장된 다이 패드들의 바닥들 및 콘택들의 외팔보 연장부들의 노출된 저면들 및 하부면들을 커버하도록 다시 마스크되며, 다이 패드들 및 콘택들을 서로 분리하기 위해 관통 에치가 수행된다(박스 165). 이어서, 다이들은 다이 패드들에 부착되고, 콘택들에 와이어 본딩된다(박스 170). 이 시점에서 전체 리드프레임은 통상적으로 완성시에 다수의 패키지를 형성하는 다이 패드들 및 콘택들의 직사각 어레이로 구성된다. 이어서, 리드프레임은 통상적으로 사출 성형 프로세스를 이용하여 폴리머 성형 화합물 내에 봉입되며, 폴리머 코팅된 리드프레임을 수직 라인들을 따라 소잉(sawing) 또는 펀칭(punching)함으로써 개별 패키지들이 개별화된다(박스 175).
- [0031] 프로세스의 일 버전이 도 7a-7f의 단면도들에 더 상세히 도시된다.
- [0032] 도 7a는 통상적으로 0.2 내지 0.4 mm 두께의 구리 시트(151)를 나타내며, 이 시트로부터 리드프레임이 제조될 것이다. 제1 마스크 층(160), 통상적으로는 유기 포토레지스트가 구리 시트(151)의 표면 상에 퇴적되며, 이어서 노출된 다이 패드들 및 콘택들의 저면들이 배치될 장소에 마스크 층을 남기도록 포토리소그래피 방식으로 패터닝된다. 대안으로서, 마스크 재료는 패터를 정의하도록 실크스크리닝될 수 있다. 이어서, 구리 시트(151)는 트렌치들(152A, 152B)을 포함하는 "제1 모우트"를 형성하도록 부분적으로 에칭되는데, 10% 내지 60%, 바람직하게는 약 30%의 구리 두께가 에칭된다. 제1 마스크 층 재료(160)는 후속 에칭 단계들을 마스크할 장소에서 제거되거나 대안적으로 남을 수 있다. 결과적인 구조가 도 7b에 도시되며, 여기서 영역들(152A, 152B)은 구리 시트(151)의 시작 두께의 40% 내지 90%와 동일한 두께를 갖는다.
- [0033] 제2 마스크 층(161)이 퇴적되며, 포토리소그래피 방식으로 패터닝되어, 내장된 다이 패드들이 배치될 장소에 마

스크 층(161)을 남긴다. 이어서, 구리 시트(151)가 다시 부분적으로 에칭되어, 트렌치들(153A, 153B, 153C)을 포함하는 "제2 모우트"를 형성한다. 두 번 에칭된 구리 영역들(153A, 153B, 153C)의 결과적인 두께는 한 번 에칭된 영역들보다 얇으며, 구리 시트(151)의 최초 두께의 10% 내지 60%의 최종 두께를 갖는다. 그 결과가 도 7c에 도시된다. 영역(152A)은 이러한 작업에 의해 계속 영향을 받지 않고, 도 7b에 도시된 것과 동일한 두께를 유지한다. 제1 또는 제2 에치 동안 에칭되지 않은 다른 부분들은 구리 시트(151)의 최초 두께를 계속 유지한다.

[0034] 바람직한 실시예에서, 두 번 에칭된 영역들(153A, 153B, 153C)은 제1 에칭된 영역들(152A, 152B) 내에 완전히 포함되며, 따라서 제1 에치 동안에 이미 얇아진 구리 시트(151)의 영역들만이 제2 에칭 단계를 받는다. 마스크 층(161)은 격리된 다이 패드 부분(예로서, 도 4a의 다이 패드(101C))을 커버 및 보호한다. 마스크 층(161)은 제1 에칭 단계 후에 제거되는 경우에, 마스크 층(161)은 마스크 층(160)에 의해 최초로 보호된 구리 시트(151)의 부분들도 커버해야 한다.

[0035] 제3 마스크 층(163)이 배치되고, 포토리소그래피 방식으로 패턴화되어, 제3 구리 에칭 동안에 히트 슬러그로부터 그리고 비노출 다이 패드로부터 콘택들을 선택적으로 분리하도록 설계된 장소에 마스크 층(163)을 남긴다. 제3 마스크 층(163)이 도포된 후, 노출된 다이 패드(101D)로부터 그리고 콘택들(101A, 101F)로부터 내장된 다이 패드(101C)를 분리하기 위해 구리 시트(151)가 완전히 관통 에칭된다. 구체적으로, 제3 에치는 이전에 에칭된 영역들(153A, 153B, 153C)의 비보호 부분들로부터 구리를 완전히 제거하여, 도 7d에 도시된 바와 같은 완전히 에칭된 영역들(154A, 154B, 154C)을 형성한다. 마스크(163)는 리드(101A)의 수평 외팔보 연장부(101B) 및 리드(101F)의 수평 외팔보 연장부(101G)가 형성되게 한다.

[0036] 바람직한 실시예에서, 제2 에칭된 영역들(154A, 154B, 154C)은 두 번 에칭된 영역들(153A, 153B, 153C) 내에 완전히 포함되며, 따라서 제1 및 제2 구리 에치 동안에 얇아진 구리 시트(151)의 영역들만이 제3 에칭 단계를 받는다. 마스크 층(163)은 수평 외팔보 연장부들(101B, 101G)을 커버 및 보호한다.

[0037] 마스크 층(160)이 제1 에치 단계 후에 제거되고, 마스크 층(161)이 제2 에치 단계 후에 제거되는 경우에, 마스크 층(163)은 마스크 층들(160, 161)에 의해 최초로 보호된 구리 시트(151)의 부분들도 커버해야 한다. 대안으로서, 외팔보 부분들(101B, 101G)의 두께가 내장된 다이 패드(101C)의 적은 부분인 경우, 구리 요소들(101A, 101C, 101D, 101F)의 바닥 측은 제3 에치 동안에 침식될 수 있다. 그러한 예에서의 최종 패키지 두께는 동일 영역들이 제3 에치 동안 보호되는 경우보다 얇을 것이다.

[0038] 도 4b의 콘택(101I)에 의해 도시되는 바와 같이, 콘택들 중 하나 이상이 내장된 다이 패드(101C)의 일체 연장부들로서 형성되어야 하는 경우, 제3 마스크 층(163)은 또한 수평 외팔보 연장부(101K) 위에 남도록 패턴화될 것이라는 것을 이해할 것이다. 결과적으로, 콘택(101I)은 최종 관통 에치 후에 다이 패드(101C)의 일체 연장부로서 남을 것이다.

[0039] 도 7d에는 다이 패드들(101C, 101D)이 콘택들(101A, 101F)로부터 완전히 분리되는 것으로 나타나지만, 다이 패드들(101C, 101D)은 도 7d의 평면 밖에 있는 도 5b에 도시된 타이 바들(131A-131C)에 의해 리드프레임에 접속된 상태로 유지된다는 것을 이해할 것이다.

[0040] 이어서, 마스크 층들(161-163)이 제거되고, 제어 다이(103)가 내장된 다이 패드(101C)에 부착되며, 전력 MOSFET 다이(104)가 노출된 다이 패드(101D)에 부착된다. 와이어 본드들(105A, 105B)이 형성되어, 도 7e에 도시된 구조를 남긴다.

[0041] 이어서, 사출 성형 프로세스를 이용하여, 패키지의 모든 요소들이 폴리머 성형 화합물 내에 봉입되며, 노출된 다이 패드(101D) 및 콘택들(101A, 101F)의 저면들은 성형 프로세스가 완료된 후에 노출된 상태로 남는다. 그 결과는 직사각 어레이 내에 배치된 많은 패키지를 포함하는 폴리머 시트이다. 제조 프로세스를 완료하기 위하여, 폴리머 시트를 수직 라인들을 따라 소잉하여, 패키지들을 서로 분리하며, 이 프로세스는 종종 "개별화"로서 지칭된다. 그 결과는 도 7f에 도시된 패키지(100)이다. 소우 컷들(saw cuts)이 패키지의 측면 에지들(102S)에서 행해져, 인접하는 패키지들 상의 콘택 금속 영역들(101A, 101F)을 통해 절단할 것이며, 패키지(100)의 좌측 및 우측에는 패키지(100)와 동일한 패키지들이 존재한다는 것을 이해할 것이다.

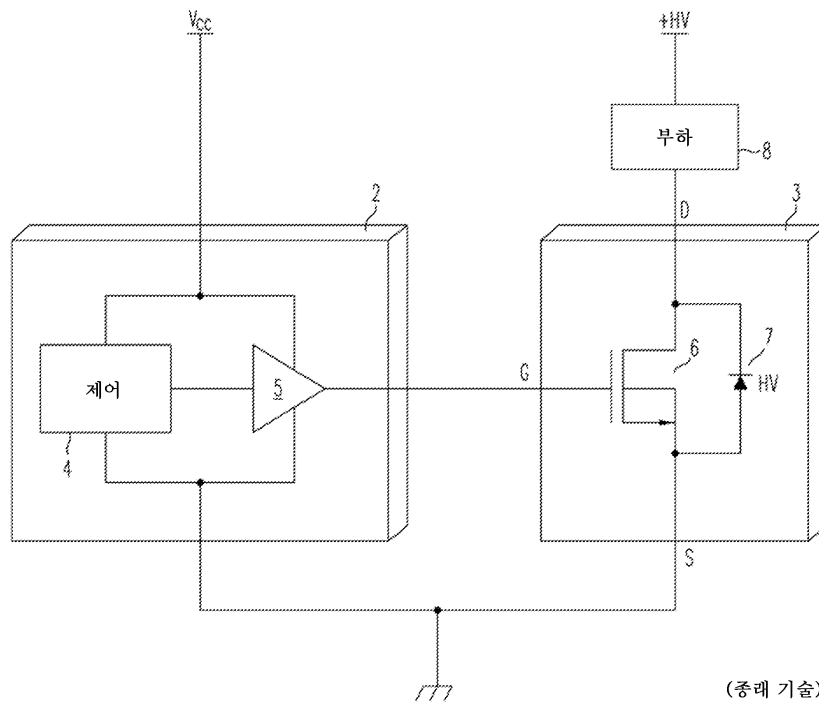
[0042] 프로세스의 대안 버전에서, 제2 및 제3 마스크 층들은 단일 제2 마스크 층으로 결합되며, 내장된 다이 패드 및 콘택들의 수평 외팔보 연장부 양자의 저면들을 정의하는 하나의 부분 에치만이 존재한다. 결과적인 패키지는 도 8에 도시된 패키지(200)에 의해 예시되며, 여기서 콘택들(201A, 201F)의 수평 외팔보 연장부들(201B, 210G)의 저면들은 각각 내장된 다이(201C)의 저면과 동일 평면 상에 있다. 도 8에는 노출된 다이(201D), 다이들

(203, 204), 본딩 와이어들(205A, 205B) 및 폴리머 캡슐(202)도 도시된다.

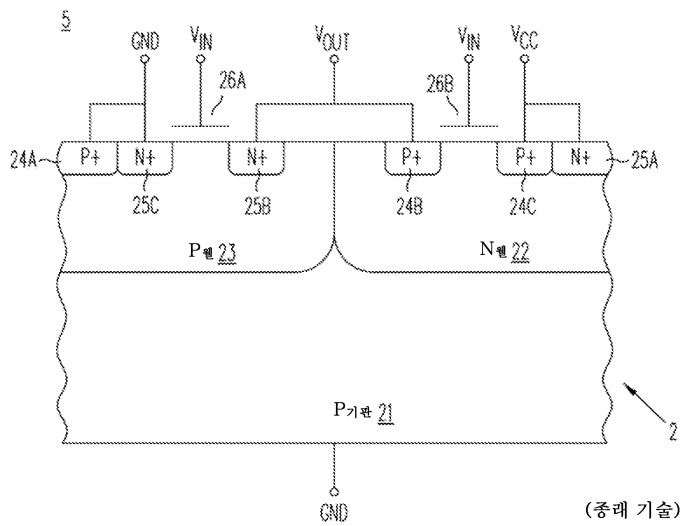
- [0043] 패키지(200)에서, 내장된 다이 패드(201C)는 패키지(100) 내의 내장된 다이 패드(101C)와 대략 동일하다. 결과적으로, 패키지(200) 내의 수평 외팔보 연장부들(201B, 201G)은 패키지(100) 내의 수평 외팔보 연장부들(101B, 101G)보다 두껍다. 그러나, 더 두꺼운 층들을 통한 에칭은 일반적으로 다양한 구리 요소들 간의 더 큰 공간을 필요로 하며, 따라서 동일 패키지 풋프린트 내의 실리콘 장치들을 위한 사용 가능 면적을 줄인다.
- [0044] 대안으로서, 간소화된 2-마스크 프로세스를 이용하면, 수평 외팔보 연장부는 패키지(100) 내의 수평 외팔보 연장부들(101B, 101G)과 동일한 두께를 가질 수 있다. 그 결과는 도 9에 도시된 패키지(220)이며, 여기서 콘택들(221A, 221G)의 수평 외팔보 연장부들(221B, 221G)은 각각 패키지(100) 내의 수평 외팔보 연장부들(101B, 101G)과 동일한 두께를 갖는다. 결과적으로, 패키지(220) 내의 내장된 다이 패드(221C)는 패키지(100) 내의 내장된 다이 패드(101C)보다 얇다. 더 얇은 내장된 다이 패드(101C)는 핸들링 및 조립 프로세스 동안 실리콘 다이를 더 많은 스트레스 및 변형에 노출시켜, 다이 균열, 플라스틱 박리 및 플라스틱 균열의 기회를 증가시킨다. 도 9에는 노출된 다이(221D), 다이들(203, 204), 본딩 와이어들(205A, 205B) 및 폴리머 캡슐(222)도 도시된다.
- [0045] 다른 대안에서, (도 7a-7f에 도시된 3-마스크 프로세스에서의) 제3 마스크 층 또는 (2-마스크 프로세스에서의) 제2 마스크 층은 노출된 다이 주위에 주변 선반(shelf)을 정의하는 데 사용될 수 있다. (2-마스크 프로세스를 이용한) 그 결과는 도 10에 도시된 패키지(240)이며, 여기서 노출된 다이(241E)는 캡슐(242) 내의 노출된 다이(241E)의 앵커링을 돕는 주변 선반(241D, 241F)을 갖는다. 도 10에는 내장된 다이(241C), 다이들(203, 204), 본딩 와이어들(205A, 205B), 콘택들(241A, 241G) 및 폴리머 캡슐(242)도 도시된다.
- [0046] 전술한 본 발명의 실시예들은 2면 또는 4면 편평 노-리드 패키지들에 대한 약어인 DFN 또는 QFN과 같은 소위 "노-리드" 반도체 패키지들이며, 여기서 콘택들은 폴리머 캡슐로부터 돌출되지 않는다. 그러나, 본 발명은 다른 패키지 타입들에도 적용 가능하다. 도 11은 예를 들어 전통적인 "갈매기 날개" 패키지(260)를 도시하며, 여기서 리드들(261A, 261D)은 캡슐(262)로부터 옆으로 돌출하고, 점선으로 도시된 실장 표면(265)을 향해 아래로 굽는다. 그러한 패키지들은 소형 트랜지스터(SOT) 패키지, SC70 패키지, 또는 소형 패키지(SOP), 수퍼 소형 패키지(SSOP), 얇은 소형 패키지(TSOP) 및 얇은 수퍼 소형 패키지(TSSOP)를 포함하는 임의의 다양한 리드 표면 실장 패키지들을 포함한다. 본 방법은 이중 인라인 패키지(DIP) 또는 단일 인라인 패키지(SIP)와 같은 비 표면 실장 리드 패키지들에도 적용될 수 있다.
- [0047] 내장된 다이 패드(261B), 노출된 다이 패드(261C) 및 리드들(261A, 261D)을 제조하는 프로세스는, 최종 에치가, 리드들(261A, 261D)을 다이 패드들(261B, 261C)로부터 밖으로 옆으로 연장하는 상태로 두고, 그들이 실장 표면(265)과 만나도록 리드들(261A, 261D)을 아래로 굽은 상태로 둔다는 점 외에는 "노-리드" 패키지(100)에 대해 전술한 것과 유사하다. 제조 프로세스에서의 다른 차이는 캡슐(262)이 초기에 개별 캡슐로서 형성되고, 전술한 개별화 프로세스가 행해지지 않는다는 것이다.
- [0048] 전술한 본 발명의 실시예들은 한정이 아니라 예시적인 것으로 간주되어야 한다. 본 발명의 넓은 범위 내의 다양한 대안 실시예들이 이 분야의 기술자들에게 명백할 것이다.

도면

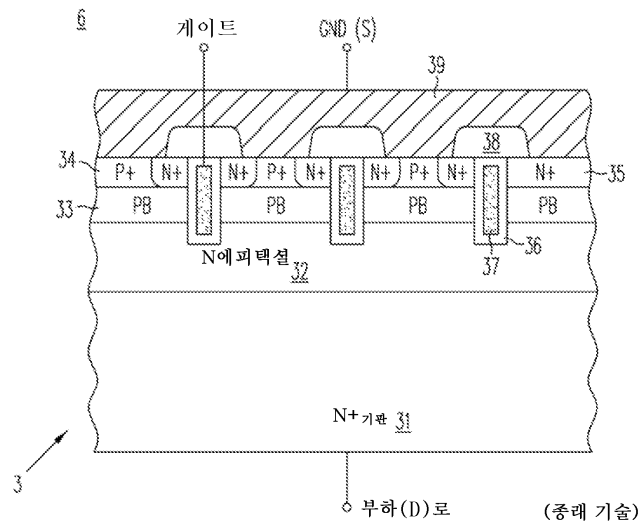
도면1



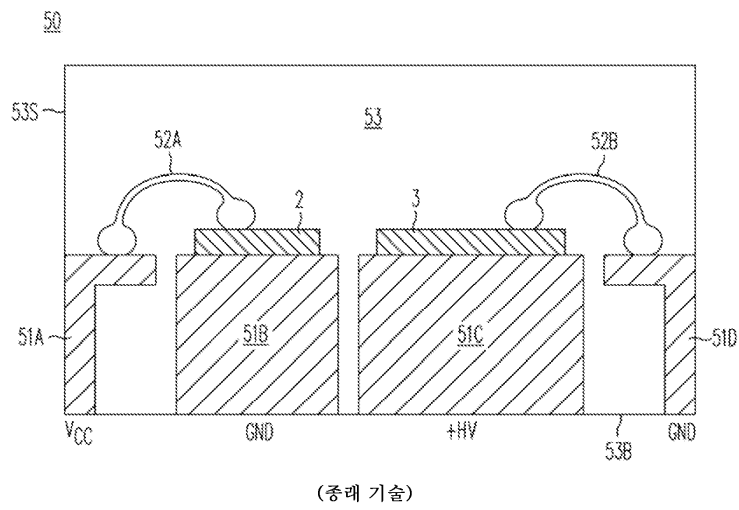
도면2a



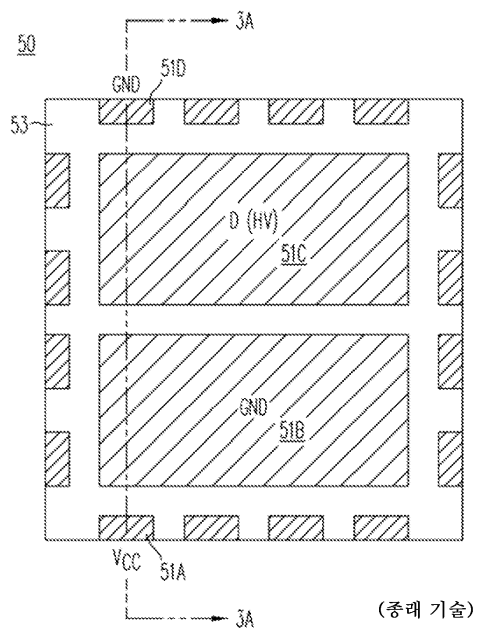
도면2b



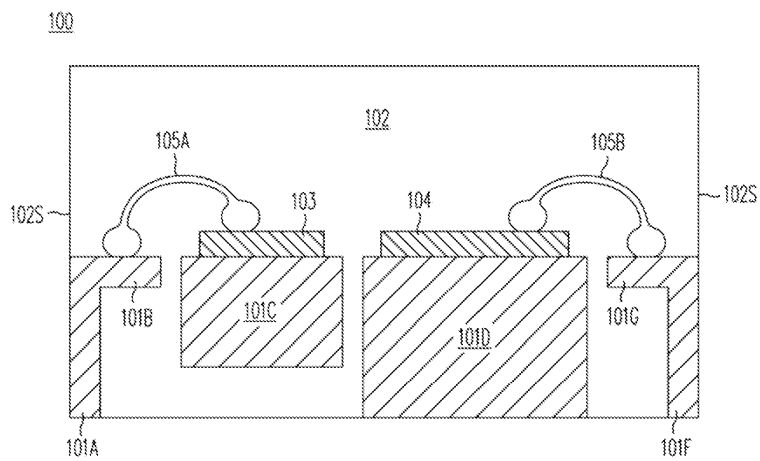
도면3a



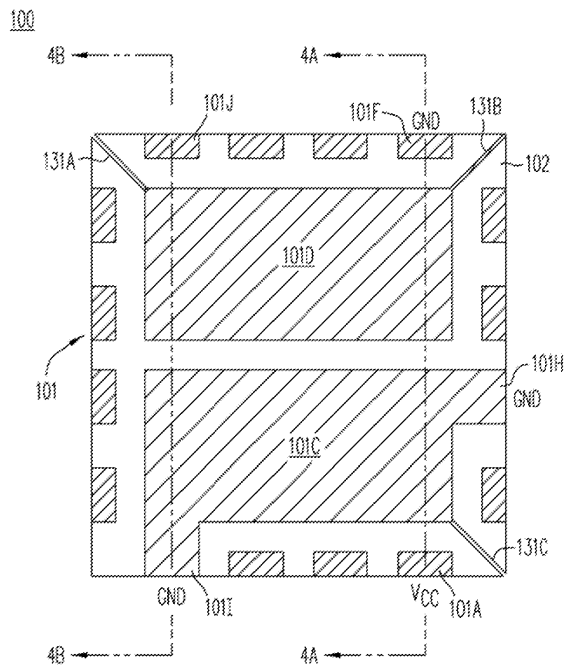
도면3b



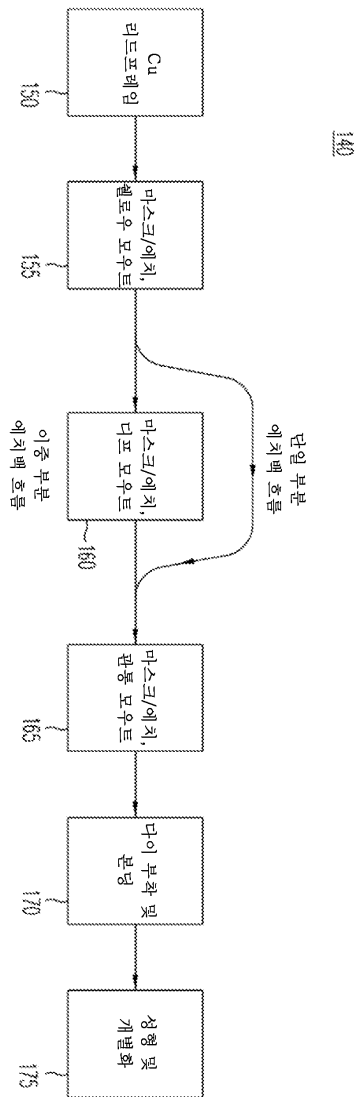
도면4a



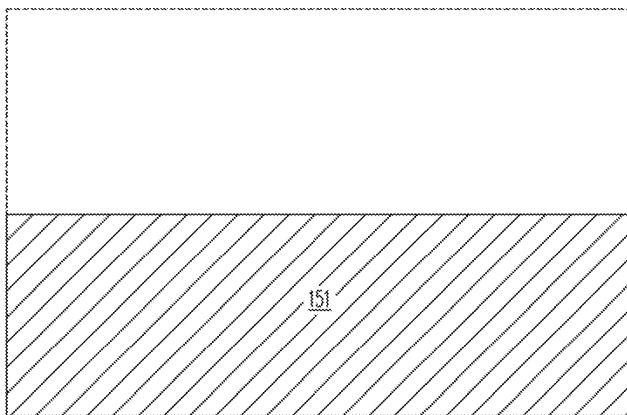
도면5b



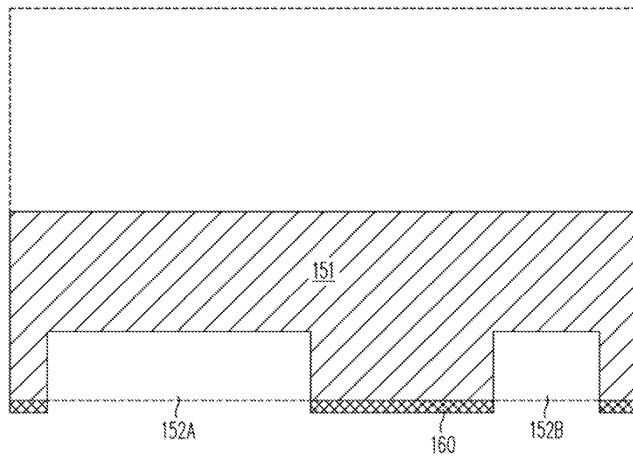
도면6



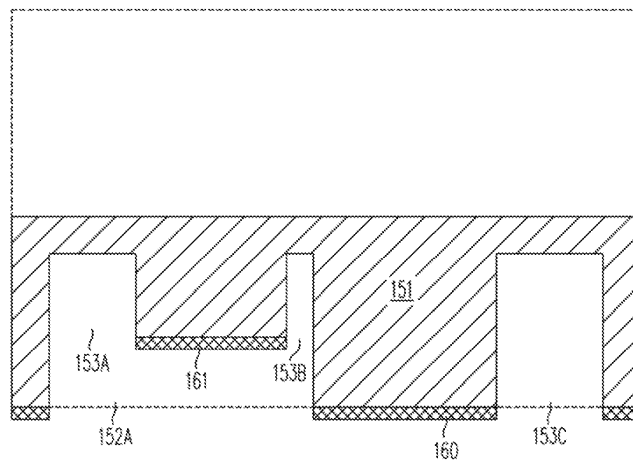
도면7a



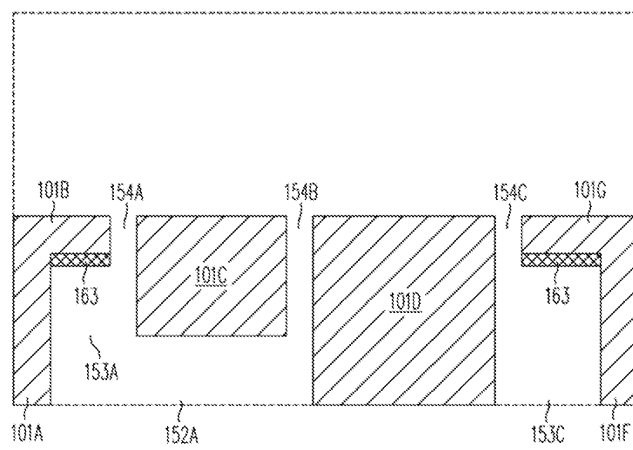
도면7b



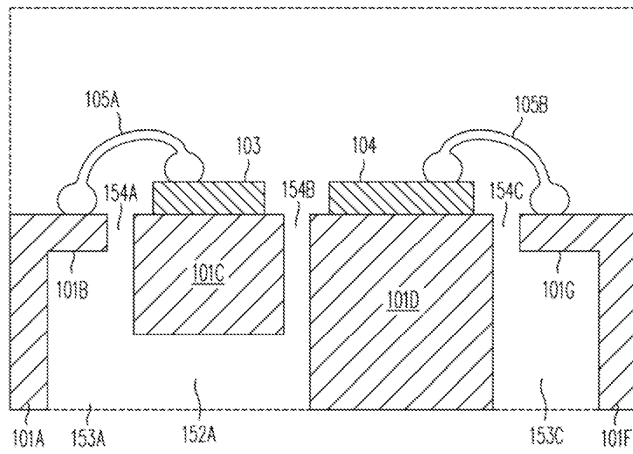
도면7c



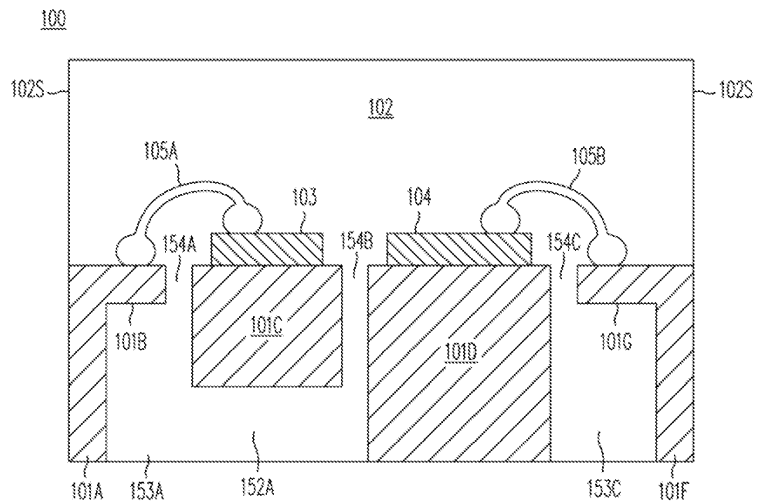
도면7d



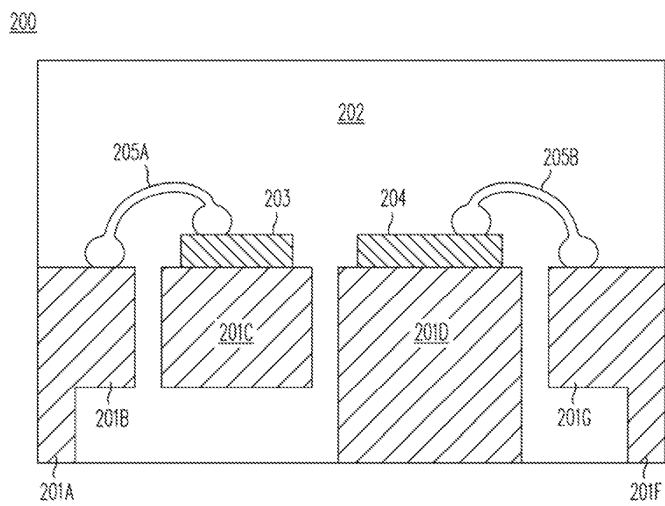
도면7e



도면7f

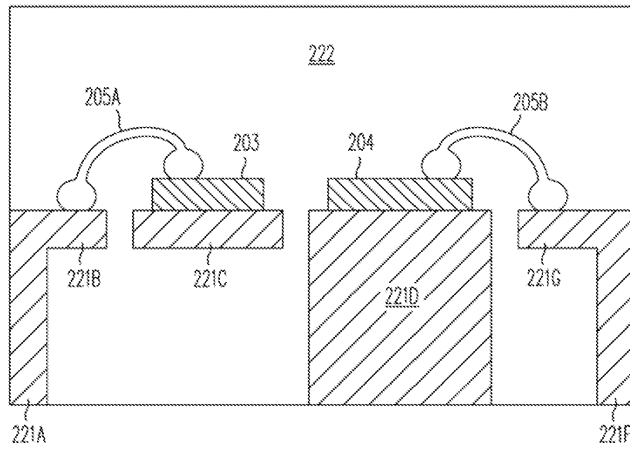


도면8



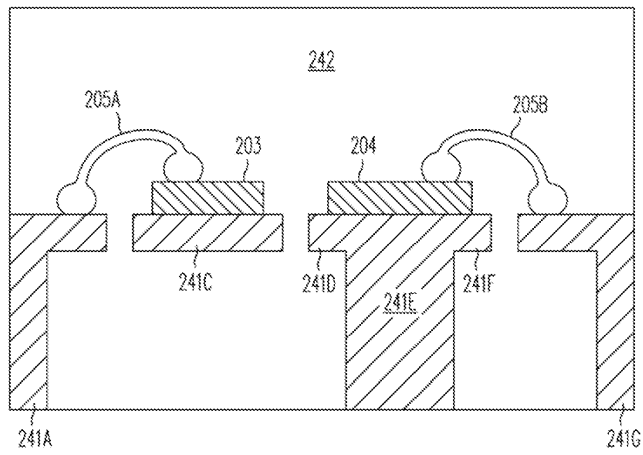
도면9

220



도면10

240



도면11

260

