

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成30年1月18日 (2018.1.18)

【公開番号】特開2016-143430(P2016-143430A)
 【公開日】平成28年8月8日 (2016.8.8)
 【年通号数】公開・登録公報2016-047
 【出願番号】特願2015-16977(P2015-16977)
 【国際特許分類】

G 1 1 C 15/04 (2006.01)

G 0 6 F 17/30 (2006.01)

【 F I 】

G 1 1 C 15/04 6 3 1 M

G 0 6 F 17/30 2 1 0 D

G 0 6 F 17/30 3 5 0 D

【手続補正書】
 【提出日】平成29年12月1日 (2017.12.1)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 5 4
 【補正方法】変更
 【補正の内容】
 【 0 0 5 4 】

距離 / クロック数変換回路 DC_1 は、一般的に、 W 個の距離信号 $D_{11} \sim D_{1W}$ を受ける。そして、 W 個の距離信号 $D_{11} \sim D_{1W}$ のそれぞれは、 M ビットのビット長を有する。したがって、距離 / クロック数変換回路 DC_1 は、 $M \times W$ ビットのビット長を有する距離信号 $D_{11} D_{12} \dots D_{1W}$ を受ける。カウンタ一致検出回路 131 において、距離信号 D_{11} が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンタ一致検出回路 132 ~ 13W は、それぞれ、カウンタ一致検出回路 131 ~ 13W - 1 から一致信号を受けた後に、距離信号 $D_{12} \sim D_{1W}$ にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離 / クロック数変換回路 DC_1 においてカウントされる全体のクロック数 CN_total は、カウンタ一致検出回路 131 ~ 13W のそれぞれにおいてカウントされたクロック数の和に等しい。カウンタ一致検出回路 131 ~ 13W のそれぞれにおいてカウントされたクロック数は、それぞれ、距離信号 $D_{11} \sim D_{1W}$ が示す各距離の二乗値に相当するため、距離 / クロック数変換回路 DC_1 においてカウントされる全体のクロック数 CN_total は、各距離信号 $D_{11} \sim D_{1W}$ の二乗値の和を表している。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 7 3
 【補正方法】変更
 【補正の内容】
 【 0 0 7 3 】

クラス識別回路 33 は、 R 個のマッチ信号検出回路 331 と、デマルチプレクサ 332 と、二つのバッファ 333, 334 とを含む。クラス識別回路 33 には、直列に接続されたバッファ 333 とバッファ 334 を介してクロック信号 CLK が接続されている。制御回路 20 から出力されるマッチ信号アクティブ検出信号 MD が H レベルに遷移することで、バッファ 333 およびバッファ 334 を介してクラス識別回路 33 にクロック信号 CLK が供給される。これにより、クラス識別回路 33 は動作を開始する。また、クラス識別

回路 3 3 によるクラス識別動作が終了すると終了信号 $e n d$ が H レベルに遷移する。終了信号 $e n d$ が H レベルに遷移することで、バッファ 3 3 4 がクラス識別回路 3 3 へのクロック信号 $C L K$ の供給を遮断する。これにより、クラス識別回路 3 3 は動作を停止する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 0

【補正方法】変更

【補正の内容】

【0 0 8 0】

レジスタ 3 3 1 2 には、直列に接続されたバッファ 3 3 1 5 とバッファ 3 3 1 6 を介してクロック信号 $C L K$ が接続されている。動作開始信号 $n e x t_{i-1}$ が H レベルになると、バッファ 3 3 1 5 はクロック信号 $C L K$ をバッファ 3 3 1 6 へ供給する。さらに、一致信号 $m a t c h$ の反転が H レベルになるとバッファ 3 3 1 6 はクロック信号 $C L K$ をレジスタ 3 3 1 2 へ供給する。レジスタ 3 3 1 2 はクロック信号 $C L K$ を受けると保持値を 1 に変更する。これにより、アクティブのマッチ信号 M_i とレジスタ 3 3 1 2 の保持値とが一致して一致信号 $m a t c h$ が H レベルとなる。このとき、AND ゲート 3 3 1 3 の出力が H レベルとなり、次段のマッチ信号検出回路 3 3 1 に動作開始信号 $n e x t_{i-1}$ が供給される。また、AND ゲート 3 3 1 4 の出力は L レベルとなる。すなわち、クラスデータの選択信号 $a c t_i$ が L レベルに遷移する。このように、マッチ信号 M_i がアクティブのとき、マッチ信号検出回路 3 3 1 は、クラスデータの選択信号を出力してから 1 クロック周期後に、入力された動作開始信号を次段のマッチ信号検出回路 3 3 1 に伝達する。このとき出力されるクラスデータの選択信号は 1 クロック周期だけ H レベルとなる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 8

【補正方法】変更

【補正の内容】

【0 0 9 8】

- 1 0 0 k 近傍法連想メモリ
- 1 0 クロックカウンタ式連想メモリ
- 2 0 制御回路
- 3 0 k 近傍クラスタリング回路
- 3 1 クラスデータメモリ
- 3 2 クラスカウンタ
- 3 3 クラス識別回路
- 3 3 1 マッチ信号検出回路
- 3 4 最大カウンタ検出回路
- 3 4 1 ダウンカウンタ
- 3 4 2 一致検出回路
- 3 4 5 最大値選出回路
- 3 5 k - マッチ信号数一致検出回路