



(12) 发明专利

(10) 授权公告号 CN 102376768 B

(45) 授权公告日 2015.08.19

(21) 申请号 201110349590.5

(22) 申请日 2008.02.18

(30) 优先权数据

11/707, 586 2007.02.16 US

(62) 分案原申请数据

200810080752.8 2008.02.18

(73) 专利权人 电力集成公司

地址 美国加利福尼亚州

(72) 发明人 V·帕塔萨拉蒂 S·巴纳吉

M·H·曼利

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 李晓冬

(51) Int. Cl.

H01L 29/78(2006.01)

(56) 对比文件

EP 1689001 A2, 2006.08.09, 附图 4, 8, 10,
第 0045-0085 段.

JP H10107282 A, 1998.04.24, 附图 1, 2, 第
0011-0042 段.

JP H10107282 A, 1998.04.24, 附图 1, 2, 第
0011-0042 段.

US 2005167742 A1, 2005.08.04, 附图 33A、
60, 61, 第 0161, 0218-0219 段.

US 5821580 A, 1998.10.13, 附图 3, 第 4 栏第
38 行至第 6 栏第 6 行.

审查员 刘天飞

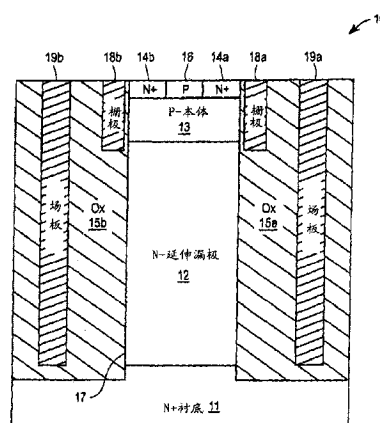
权利要求书2页 说明书8页 附图12页

(54) 发明名称

与高压垂直晶体管集成的感测 FET

(57) 摘要

公开了与高压垂直晶体管集成的感测 FET。在一个实施例中, 半导体器件包括主垂直场效应晶体管 (FET) 和感测 FET。主垂直 FET 和感测 FET 都形成在半导体材料柱上。两者共享形成在衬底之上的柱中的延伸漏极区, 并且第一和第二栅极元件形成在柱的相对侧的电介质中。主垂直 FET 和感测 FET 沿第一横向分开并且电隔离。在操作中, 感测 FET 采样在主垂直 FET 中流动的电流的小部分。要强调的是, 提供该摘要是为了遵守需要摘要的规定以使得检索者或其他读者迅速确定本技术公开的主题。



1. 一种半导体器件,包括:

主垂直高电压场效应晶体管,其包括:

第一导电类型的衬底;

设置在衬底之上的半导体材料柱,所述柱具有沿横向延伸的长度,所述柱包括:

i) 第一源极区包括设置在所述柱的顶表面处或附近的第一导电类型的一个或多个区域和设置在所述柱的顶表面处或附近的第二导电类型的一个或多个区域的交替图案,所述第一和第二导电类型的区域被以交替方式设置使得所述第一导电类型的区域中的每个区域邻接所述第二导电类型的区域中的至少一个区域,

ii) 第二导电类型的本体区被设置在第一源极区和衬底之间的柱中,并且

iii) 第一导电类型的延伸漏极区被设置在本体区和衬底之间的柱中;

分别设置在柱的相对侧的第一和第二介电区域;

分别设置在邻近本体区的柱的顶表面处或附近的第一和第二介电区域中的第一和第二栅极元件,所述第一和第二栅极元件通过栅极氧化物与本体区分开;

感测晶体管,被结合在所述半导体材料柱中,并且与所述主垂直晶体管共享所述第一和第二栅极元件以及所述延伸漏极区,其包括:

设置在柱的顶表面处或附近的第一导电类型的第二源极区,第二源极区沿横向借助延伸到柱的顶表面的本体区的区域与包括第一源极区的第一和第二导电类型的区域的交替图案分开,

其中所述本体区是轻掺杂本体区;

其中感测晶体管用来采样在主垂直晶体管中流动的电流的小部分。

2. 根据权利要求 1 所述的半导体器件,其中:

所述柱设置成跑道形布局;

所述第一介电区域被所述柱横向包围;并且

所述第二节点区域横向包围所述柱。

3. 根据权利要求 1 所述的半导体器件,进一步包括:

电接触所述一个或多个第一源极区的源电极;

电接触第二源极区的感测源电极;以及

电接触衬底的底表面的漏电极。

4. 根据权利要求 1 所述的半导体器件,其中所述柱的沿横向的长度比所述柱的宽度大至少 30 倍。

5. 一种半导体器件,包括:

主垂直场效应晶体管;以及

感测场效应晶体管,主垂直场效应晶体管和感测场效应晶体管都形成在设置在第一导电类型的衬底之上的半导体材料柱上,所述柱具有沿横向延伸的长度,第一和第二介电区域设置在柱的相对侧,第一和第二栅极元件分别设置得邻近在柱本体区的顶表面处或附近的第一和第二介电区域中的柱,主垂直场效应晶体管和感测场效应晶体管两者共享形成在衬底之上的柱中的第一导电类型的延伸漏极区,第一和第二栅极元件也通常被主垂直场效应晶体管和感测场效应晶体管共享;

主垂直场效应晶体管进一步包括:

设置在柱本体区中的第二导电类型的第一本体区 ; 以及
设置在柱的顶表面处或附近的第一源极区, 所述源极区借助第一本体区与延伸漏极区分开 ;

感测场效应晶体管进一步包括 :

设置在延伸漏极区上的柱本体区中的第二导电类型的第二本体区 ; 以及

设置在柱的顶表面处或附近的第二源极区, 所述第二源极区借助第二本体区与延伸漏极区垂直分开, 第二源极区与第一源极区沿横向分开并且电隔离,

所述第二本体区与所述第一本体区由延伸漏极区的区域沿横向分开, 所述延伸漏极区的区域延伸到所述柱的顶表面,

其中第一源极区和第二源极区分别包括 N^+/P^+ 区的交替序列,

其中所述延伸漏极区是轻掺杂区 ; 并且

其中感测场效应晶体管用来采样在主垂直场效应晶体管中流动的电流的小部分。

6. 根据权利要求 5 所述的半导体器件, 进一步包括分别设置在第一和第二介电区域中的第一和第二场板。

7. 根据权利要求 6 所述的半导体器件, 进一步包括 :

电接触第一源极区的源电极 ;

电接触第二源极区的感测源电极 ; 以及

电接触衬底的底表面的漏电极。

8. 根据权利要求 7 所述的半导体器件, 其中源电极也电接触第一和第二场板。

9. 根据权利要求 7 所述的半导体器件, 其中延伸漏极区的区域延伸到第一和第二本体区之间的柱的顶表面。

10. 根据权利要求 9 所述的半导体器件, 其中第一本体区沿横向延伸到在第一源极区的相对侧的柱的顶表面, 并且第二本体区沿横向延伸到在第二源极区的相对侧的柱的顶表面。

11. 根据权利要求 5 所述的半导体器件, 其中第一和第二本体区包括为主垂直场效应晶体管和感测场效应晶体管共用的单个本体区, 该单个本体区的区域延伸到第一和第二源极区之间的柱的顶表面。

12. 根据权利要求 5 所述的半导体器件, 其中所述柱设置成跑道形布局, 所述柱的长度比宽度大至少 30 倍。

13. 根据权利要求 5 至 12 中任一项所述的半导体器件, 其中所述柱本体区是轻掺杂的本体区。

与高压垂直晶体管集成的感测 FET

[0001] 本申请是于 2008 年 2 月 18 日递交的名为“与高压垂直晶体管集成的感测 FET”的专利申请 200810080752.8 的分案申请。

技术领域

[0002] 本公开涉及半导体器件、器件结构和用来制作高压或功率晶体管器件的工艺。

背景技术

[0003] 电流感测场效应晶体管,通常被称作感测 fet,在其中精确电流感测可以为控制和过电流保护提供信息的应用中已经被广泛使用许多年。感测场效应晶体管通常构成更大的、主电流运载半导体器件的小部分或晶体管部分。例如,在常规的绝缘栅场效应晶体管(MOSFET)器件中,感测场效应晶体管可以包括主器件的沟道区的小部分。在操作中,感测场效应晶体管可以采样更大器件的沟道电流的小部分,由此提供流过主晶体管器件的电流的指示。感测场效应晶体管和主器件通常共享公共漏极和栅极,但是均具有单独的源电极。

[0004] 在半导体领域中高电压场效应晶体管(HVFET)已是公知的。很多 HVFET 采用的器件结构包括延伸漏极区,当器件处于“截止”状态时,该延伸漏极区支持或阻断所施加的高电压(例如几百伏)。在常规的垂直 HVFET 结构中,半导体材料的台或柱形成用于导通状态中的电流的延伸的漏极或漂移区。在衬底顶部附近、与台的侧壁区域相邻地形成沟槽栅极结构,在台处将本体区设置在延伸漏板区上方。向栅极施加适当的电压电势沿着本体区的垂直侧壁部分形成导电沟道,使得电流可以垂直到过半导体材料,即,从设置源极区的衬底顶表面向下流到设置漏极区的衬底底部。

[0005] 存在的一个问题是被设计用于供常规 MOSFET 使用的现有技术感测 FET 通常由于形成隔离沟道和漂移区的柱的深沟槽而不可用于供垂直功率晶体管结构使用。

发明内容

[0006] 根据本发明的一个实施例,提供一种半导体器件,包括:主垂直晶体管,其包括:第一导电类型的衬底;设置在衬底之上的半导体材料柱,所述柱具有宽度和沿第一横向延伸的长度,第一源极区包括设置在所述柱的顶表面处或附近的第一导电类型的一个或多个区域,第二导电类型的本体区被设置在第一源极区下面的柱中,第一导电类型的延伸漏极区被设置在本体区下面的柱中;分别设置在柱的相对侧的第一和第二介电区域,第一介电区域被柱横向包围,并且第二介电区域横向包围所述柱;分别设置在第一和第二介电区域中的第一和第二场板;分别设置在邻近本体区的柱的顶表面处或附近的第一和第二介电区域中的第一和第二栅极元件,所述第一和第二栅极元件通过具有第一厚度的栅极氧化物与本体区分开;感测晶体管,其包括:设置在柱的顶表面处或附近的第一导电类型的第二源极区,第二源极区沿第一横向借助延伸到柱的顶表面的本体区的区域与第一源极区分开,其中感测晶体管用来采样在主垂直晶体管中流动的电流的小部分。

[0007] 根据本发明的一个实施例,提供一种半导体器件,包括:主垂直场效应晶体管

(FET) ;以及感测 FET,主垂直 FET 和感测 FET 都形成在形成在第一导电类型的衬底上的半导体材料柱上,所述柱具有宽度和沿第一横向延伸的长度,第一和第二介电区域设置在柱的相对侧,第一和第二栅极元件分别设置得邻近在柱本体区的顶表面处或附近的第一和第二介电区域中的柱,主垂直 FET 和感测 FET 两者共享形成在衬底之上的柱中的第一导电类型的延伸漏极区,第一和第二栅极元件也通常被主垂直 FET 和感测 FET 共享 ;主垂直 FET 进一步包括 :设置在延伸漏极区上的柱中的第二导电类型的第一本体区 ;以及设置在柱的顶表面处或附近的第一源极区,所述源极区借助第一本体区与延伸漏极区垂直分开 ;感测 FET 进一步包括 :设置在延伸漏极区上的柱中的第二导电类型的第二本体区 ;以及设置在柱的顶表面处或附近的第二源极区,所述第二源极区借助第二本体区与延伸漏极区垂直分开,第二源极区与第一源极区沿第一横向分开并且电隔离,其中感测 FET 用来采样在主垂直 FET 中流动的电流的小部分。

[0008] 根据本发明的一个实施例,提供一种半导体器件,包括 :设置成并排关系的多个晶体管段,每个晶体管段包括 :在第一导电类型的衬底上形成跑道形布局的半导体材料柱,所述柱具有沿第一横向延伸的长度和宽度,所述柱具有设置在柱的顶表面处或附近的源极区、延伸漏极区、以及垂直分开源极和延伸漏极区的第二导电类型的本体区 ;分别设置在所述柱的相对侧的第一和第二介电区域,第一介电区域被柱横向包围,并且第二介电区域横向包围所述柱 ;分别设置在邻近本体区的柱的顶表面处或附近的第一和第二介电区域中的第一和第二栅极元件 ;分别设置在第一和第二介电区域中的第一和第二场板 ;电接触大多数晶体管段的源极区的源电极,该源电极与主垂直晶体管相关联 ;电接触少数晶体管段的源极区的感测电极,该感测电极与感测晶体管相关联,所述感测晶体管用来采样在主垂直晶体管中流动的电流的小部分 ;以及电接触衬底的底表面的漏电极,该漏电极与第一和第二栅极元件均为主垂直晶体管和感测晶体管所共用。

附图说明

[0009] 从下面的详细说明和附图将可以更全面地理解本发明,不过,详细说明和附图不应用来将本发明限制到所示的具体实施例,而是仅用于解释和理解。

[0010] 图 1 示出了垂直 HVFET 结构的实例截面侧视图。

[0011] 图 2A 示出了图 1 中所示的垂直 HVFET 结构的实例布局。

[0012] 图 2B 为图 2A 中所示的实例布局的一部分的放大视图。

[0013] 图 3A 示出了图 1 中所示的垂直 HVFET 结构的另一实例布局。

[0014] 图 3B 为图 3A 中所示的实例布局的一部分的放大视图。

[0015] 图 4A 示出了图 1 中所示的垂直 HVFET 结构的又一实例布局。

[0016] 图 4B 为图 4A 中所示的实例布局的一部分的放大视图。

[0017] 图 5 示出了具有管芯至管芯棋盘式布置的 HVFET 的晶片的实例布局。

[0018] 图 6 示出了具有管芯至管芯棋盘式布置的分段的 HVFET 的晶片的实例布局。

[0019] 图 7 示出了具有 HVFET 段的棋盘式块的矩形管芯的实例布局。

[0020] 图 8A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的实例布局的一部分的顶视图。

[0021] 图 8B 是通过图 8A 中所示的实例布局的切割线 A-A' 的截面侧视图。

[0022] 图 9 是图 8A 和 8B 中所示的集成的器件结构的实例电路示意图。

[0023] 图 10A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的另一个实例布局的一部分的顶视图。

[0024] 图 10B 是通过图 10A 中所示的感测 fet 和 HVFET 的切割线 B-B' 的截面侧视图。

[0025] 图 11 是图 10A 和 10B 中所示的集成的器件结构的实例电路示意图。

[0026] 图 12A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的又一个实例布局的一部分的顶视图。

[0027] 图 12B 是通过图 12A 中所示的器件结构的切割线 C-C' 的截面侧视图。

[0028] 图 12C 是通过图 12A 中所示的器件结构的切割线 D-D' 的截面侧视图。

[0029] 图 13 是图 12A-12C 中所示的集成的器件结构的实例电路示意图。

具体实施方式

[0030] 在下述说明中,为了提供对本发明的透彻理解,给出了具体细节,例如材料类型、尺寸、结构特点、处理步骤等。不过,本领域的普通技术人员将理解,实施本发明可以不需要这些具体细节。还应理解,图中的元件是代表性的,为了清晰起见没有按照比例绘制。

[0031] 图 1 示出了垂直 HVFET 10 的实例截面侧视图,该 HVFET 10 具有这样的结构,其包括形成于 N⁺ 掺杂硅衬底 11 上的 N 型硅的延伸漏极区 12。对衬底 11 进行重掺杂以使其对流经漏电极的电流的电阻最小化,在完成的器件中漏电极位于衬底的底部上。在一个实施例中,延伸漏极区 12 为从衬底 11 延伸到硅晶片的顶表面的外延层的一部分。接近外延层的顶表面形成 P 型本体区 13 以及被 P 型区域 16 横向分开的 N⁺ 掺杂的源极区 14a 和 14b。如可以看到的,P 型本体区 13 设置于延伸漏极区 12 上方且垂直地将延伸漏极区 12 与 N⁺ 源极区 14a 和 14b 以及 P 型区域 16 分开。

[0032] 在一个实施例中,外延层包括延伸漏极区 12 的部分的掺杂浓度是线性渐变的,以产生表现出基本均匀的电场分布的延伸漏极区。线性渐变可以在外延层 12 的顶表面下方的某个点处停止。

[0033] 在图 1 的实例垂直晶体管中,延伸漏极区 12、本体区 13、源极区 14a 和 14b 以及 P 型区域 16 共同包括硅材料的台或柱 17(在本申请中两个术语作为同义词使用)。用介电材料(例如氧化物)层填充形成于柱 17 的相对侧上的垂直沟槽,所述介电材料形成介电区域 15。可以由器件的击穿电压要求决定柱 17 的高度和宽度以及相邻垂直沟槽之间的间距。在各实施例中,台 17 的垂直高度(厚度)在大约 30 μm 到 120 μm 厚的范围内。例如,在尺寸大约为 1mm $\times$ 1mm 的管芯上形成的 HVFET 可以具有垂直厚度为大约 60 μm 的柱 17。作为另一实例,在每一侧的大约 2mm-4mm 的管芯上形成的晶体管结构可以具有大约 30 μm 厚的柱结构。在特定实施例中,柱 17 的横向宽度尽量窄到能可靠制造的程度(例如大约 0.4 μm 到 0.8 μm 宽),以便实现非常高的击穿电压(例如 600-800V)。

[0034] 在另一实施例中,不是跨越柱 17 的横向宽度在 N⁺ 源极区 14a 和 14b 之间布置 P 型区域 16(如图 1 所示),而是可以跨越柱 17 的横向长度在柱 17 的顶部交替形成 N⁺ 源极区和 P 型区域。换句话说,诸如图 1 中所示的给定的截面图将具有跨越柱 17 的整个横向宽度延伸的 N⁺ 源极区 14 或 P 型区域 16,取决于该截面取自哪里。在这样的实施例中,每个 N⁺ 源极区 14 在两侧(沿柱的横向长度)与 P 型区域 16 邻接。类似地,每个 P 型区域 16 在两

侧（沿柱的横向长度）与 N+ 源极区 14 邻接。（这样的实施例的实例在下面讨论的图 12A 和 12B 中示出）。

[0035] 介电区域 15a、15b 可以包括二氧化硅、氮化硅或其他合适的介电材料。可以使用多种公知方法，包括热生长和化学汽相淀积来形成介电区域 15。设置在每个介电层 15 中并与衬底 11 和柱 17 完全绝缘的是场板 (field plate) 19。用于形成场板 19 的导电材料可以包括重掺杂的多晶硅、金属（或金属合金）、硅化物或其他适当的材料。在完成的器件结构中，场板 19a 和 19b 通常起电容极板的作用，当 HVFET 处于截止状态时（即当漏极被升高至高电压电势时）所述电容极板可用于耗尽延伸漏极区的电荷。在一个实施例中，将每个场板 19 与柱 17 的侧壁分开的氧化物区域 15 的横向厚度大约为 $4\mu\text{m}$ 。

[0036] 垂直 HVFET 晶体管 80 的沟槽栅极结构包括栅极元件 18a、18b，每个栅极元件分别设置在场板 19a、19b 和本体区 13 之间、柱 17 的相对侧上的氧化物区域 15a 和 15b 中。高质量的薄（例如， $\sim 500\text{\AA}$ ）栅极氧化物层将栅极元件 18 与和本体区 13 相邻的柱 17 的侧壁分开。栅极元件 18 可以包括多晶硅、或某种其他适合的材料。在一个实施例中，每个栅极元件 18 具有大约 $1.5\mu\text{m}$ 的横向宽度和大约 $3.5\mu\text{m}$ 的深度。

[0037] 本领域的实践人员将会理解，柱 17 的顶部附近的 N+ 源极区 14 和 P- 型本体区 13 均可以使用普通的淀积、扩散和 / 或注入处理技术形成。在形成 N+ 源极区 38 之后，通过利用常规制造方法形成电连接到器件的相应区域 / 材料（为了清晰图中未示出）的源、漏、栅、和场板电极可以完成 HVFET 10。

[0038] 图 2A 示出了图 1 中所示的垂直 HVFET 结构的实例布局。图 2A 的顶视图示出了单个分立的 HVFET，其包括半导体管芯 21 上的上部晶体管部分 30a 和下部晶体管部分 30b。由伪硅柱 32 将这两部分分开。每个部分 30 包括多个“跑道 (racetrack)”形晶体管结构或段，每个晶体管段包括细长环或椭圆，其包括在相对侧由介电区域 15a 和 15b 包围的硅柱 17。柱 17 本身在 x 和 y 方向上横向延伸以形成连续细长的跑道形环或椭圆。设置在介电区域 15a 和 15b 中的是相应的栅极元件 18a 和 18b 以及场板 19a 和 19b。场板 19a 包括单个细长元件，其在圆形指尖 (fingertip) 区域中终结于任一端。另一方面，场板 19b 包括环绕柱 17 的细长环或椭圆。相邻跑道结构的场板 19b 被示为合并的 (merged)，从而它们共享在一侧的公共元件。作为参考，图 1 的截面图可以取自图 2A 的实例布局的切割线 A-A'。

[0039] 应当理解，在图 2A 的实例中，每个跑道形晶体管段在 y 方向上的宽度（即间距）大约为 $13\mu\text{m}$ ，在 x 方向上的长度在大约 $400\mu\text{m}$ 到 $1000\mu\text{m}$ 的范围内，且柱高度约为 $60\mu\text{m}$ 。换句话说，包括部分 30a 和 30b 的各个跑道形晶体管段的长宽比在大约 30 直到 80 的范围内。在一个实施例中，每个跑道形段的长度大于其间距或宽度至少 20 倍。

[0040] 本领域的实践人员将理解，在完成的器件结构中，使用图案化金属层来互连各个晶体管段的每个硅柱 17。也就是说，在实际实施例中，分别将所有的源极区、栅极元件和场板一起布线至管芯上对应的电极。在图示的实施例中，每个部分 30 中的晶体管段基本跨越管芯 21 的宽度沿 y 方向设置成并排关系。类似地，在 x 方向上，部分 30a 和 30b 的晶体管段的额外长度基本在管芯 21 的长度上延伸。在图 2A 的实例布局中，跨越半导体管芯 21，分开硅柱的介电区域 15 的宽度以及场板的宽度是基本均匀的。以均匀的宽度和间隔距离布置晶体管段防止了在用于共形地淀积包括介电区域 15 和场板 19 的层的处理步骤之后形成空隙或孔。

[0041] 图 2B 为图 2A 中所示的实例布局的一部分的放大视图。为了清晰起见,仅示出了每个晶体管段的柱 17 和介电区域 15b。图示的伪硅柱 32 分开相应晶体管段部分 30a 和 30b 的介电区域 15b 的圆端区域。换句话说,在半导体衬底中被蚀刻来限定柱 17 的深垂直沟槽也限定伪硅柱 32。在一个实施例中,使伪硅柱 32 在 x 方向上的宽度(即其分开晶体管段部分)小到能被可靠地制造。

[0042] 将单个管芯 HVFET 分段成由伪硅柱 32 分开的部分的目的在于在细长跑道形晶体管段中引入长度方向上(x 方向)的应力消除(stressrelief)。将晶体管器件结构分段或断开成两个或更多个部分减轻了跨越管芯长度的机械应力。该应力由位于柱侧面的氧化物区域引起,并且通常集中于每个跑道形段的圆形端处。由此通过将晶体管器件结构分段成两个或更多个部分来减轻机械应力防止了由应力导致的不希望有的硅柱翘曲和对硅的损伤(例如位错)。

[0043] 要理解的是,在通过高度分段的布局提供的应力消除和导电区域的损失之间存在折衷。更多的分段导致更大的应力减轻,但是以导电区域为代价。通常,柱的垂直高度越大且半导体管芯越大,则需要的晶体管部分或段的数目越大。在一个实施例中,对于具有 $60\text{ }\mu\text{m}$ 高的柱的 $2\text{mm}\times 2\text{mm}$ 的管芯,利用包括四个跑道形晶体管部分的布局在导通电阻约为 1 欧姆的 HVFET 中提供足够的应力减轻,所述四个跑道形晶体管部分由伪硅柱分开,每个伪硅柱具有大约 $13\text{ }\mu\text{m}$ 的间距(y 方向)和大约 $450\text{ }\mu\text{m}$ 的长度(x 方向)。

[0044] 在另一个实施例中,不是用伪硅柱来分开成对的跑道形晶体管段,每一对位于不同部分中,而是可以用包括不同材料的伪柱。用于伪柱的材料应当具有接近硅的热膨胀系数或充分不同于介电区域的热膨胀系数的热膨胀系数以便减轻由位于硅柱侧面的介电区域引起的长度方向上的应力。

[0045] 图 3A 示出了图 1 所示的垂直 HVFET 结构的另一实例布局。图 3B 为图 3A 中所示的实例布局的一部分的放大图,仅示出了柱 17、氧化物区域 15b 和可选的伪硅柱 33。类似于图 2A 和 2B 的实施例,图 3A 和 3B 示出了半导体管芯 21 上的单个分立的 HVFET,其包括上部晶体管部分 30a 和下部晶体管部分 30b。但是在图 3A 和 3B 的实例中,由氧化物区域 15b 填充的深垂直沟槽以及晶体管部分 30a 和 30b 的场板 19b 重叠,或者被合并,在分段的晶体管部分之间留下小的菱形伪硅柱 33。在该实施例中,单个伪柱中心位于两个部分上相邻成对的晶体管段的四个圆形端之间。在所示的实例中,对于包括管芯 21 的晶体管部分 30 中的每 N 个(其中 N 为大于 1 的整数)跑道形段或结构,存在总共 N-1 个伪柱 33。

[0046] 图 4A 示出了图 1 所示的垂直 HVFET 结构的又一实例布局。图 4B 为图 4A 中所示的实例布局的一部分的放大图。在图 4B 的放大图中为了清晰仅示出了柱 17 和氧化物区域 15b。在该实例中,将半导体管芯 21 的包括 HVFET 的晶体管段交替移动每个跑道形段的长度的一半,结果形成交替与上部晶体管部分 40a 和下部晶体管部分 40b 相关联的跑道形晶体管段。换句话说,一行部分 40a 的每个晶体管段由部分 40b 的一对晶体管段分开,该对晶体管段沿 x 方向设置成端到端的关系。

[0047] 要理解的是,可以将各段交替移动段长度的任何百分数(fraction)。换句话说,段的移动不限于长度的 50%或一半。多种实施例可以包括交替移动了晶体管段的长度的从大于 0%到小于 100%的任何百分比或百分数的段。

[0048] 在图 4A 和 4B 的实例中,相应部分 40a 和 40b 中交替的晶体管段的介电区域 15b

被合并。在图示的具体实施例中,与不同相邻部分相关联的晶体管段的圆形端重叠或被合并,使得相邻部分的场板 19b 在各端处(沿 x 方向)被合并。而且,不同部分的交替晶体管段的场板 19b 的延伸的直边部分沿着每个段的基本长度被合并。要理解的是,区域 15b 和 19b 在相应部分之间有或没有伪柱(或隔离的伪硅柱)的情况下都可以被合并。

[0049] 图 5 示出了晶片 50 的实例布局,其在半导体管芯 21a-21d 上分别具有管芯至管芯的棋盘式 HVFET 10a-10d。HVFET 10 的每一个包括如图 1 所示的多个跑道形晶体管段,它们沿着其宽度并排设置成基本方形的块。在该实例中,HVFET 10a-10d 均包括长度基本跨越相应管芯 21a-21d 的长度延伸的晶体管段。在一个实施例中,每个段的宽度约为 $13\text{ }\mu\text{m}$,且长度在大约 $500\text{ }\mu\text{m}$ 到 $2000\text{ }\mu\text{m}$ 的范围内。其他实施例可以具有大于 $2000\text{ }\mu\text{m}$ 的长度。段的块或堆叠结构也基本跨越每个管芯的宽度延伸。(注意每个管芯 21 的有边的方形代表相邻半导体管芯之间划线区域的边缘。)虽然图 5 示出了两行和两列的 HVFET 10,但可以理解的是,可以跨越整个晶片衬底重复所示出的管芯至管芯棋盘式布置。

[0050] 在图 5 的实例中,行或列中相邻的管芯被取向为使得一个管芯中的晶体管段的长度在一个方向上延伸,且相邻管芯中的晶体管段的长度沿第二正交方向延伸。例如,HVFET 10a 被示为其晶体管段的长度沿 x 方向取向,而相邻的 HVFET 10b 和 10c。通过跨越晶片 50 正交地交替每个管芯 21 中的晶体管段的取向(即棋盘式布置),将由长介电区域产生的机械应力沿两个正交方向分布,由此减少了晶片 50 的翘曲。

[0051] 图 6 示出了具有分段的 HVFET 的管芯到管芯棋盘式布置的晶片的另一实例布局。图 6 的实例使用了与图 5 相同的方法管芯到管芯地交替晶体管结构的取向;然而,在图 6 的实施例中,将 HVFET 结构分段成多个(例如两个)部分。例如,将基本跨越半导体管芯 21 的长度和宽度延伸的每个 HVFET 分段成由伪柱 32 分开的两个部分 30a 和 30b。

[0052] 对于基本方形的管芯而言,图 6 中所示的每个半导体管芯 21 具有与图 2 所示的相同的布局。类似于图 5 中所示的实例,相邻管芯具有跨越晶片 50 正交交替的晶体管段。也就是说,管芯 21a 和 21d 的部分 30a 和 30b 中的晶体管段具有在 x 方向上取向的长度,而管芯 21b 和 21c 的部分 30a 和 30b 中的晶体管段具有在 y 方向上取向的长度。

[0053] 可以理解,可以用多个均由一个或多个伪柱分开的晶体管部分,例如大于 2 个的晶体管部分形成每个管芯 21 的 HVFET。此外,可以将图 2A-4B 的实例中所示的具有多个晶体管部分的单个管芯布局中的任何一个用在图 6 中所示的每个管芯 21 中,且各段的取向跨越晶片 50 管芯到管芯地交替。

[0054] 图 7 示出了管芯 25 的实例矩形布局,其具有以并排布置的基本方形块或部分 36 堆叠的跑道形 HVFET 段的棋盘式块。行或列中的相邻部分被取向成使得一个部分中的晶体管段的长度在一个方向上延伸,且其他相邻部分中的晶体管段的长度在第二正交方向上延伸。例如,管芯 25 的每个行和列包括取向为细长的晶体管段沿 x 方向对准(aligned)的晶体管部分 36a 和取向为细长的晶体管段沿 y 方向对准的交替的晶体管部分 36b。晶体管部分 36a 和 36b 之间的空间包括伪硅柱;也就是说,形成伪柱的硅不是有源晶体管区域。

[0055] 在图示的实施例中,管芯 25 包括三行和四列的晶体管部分 36。图 7 的实例中所示的棋盘式布局方式可以用来在几乎任何(在可行的限度内)直线形状的管芯上生产单个分立的 HVFET。

[0056] 图 8A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的实例布局的一部分的顶视

图。在所示的实施例中,感测 fet 被集成到相同的硅柱 17 中作为主垂直功率晶体管器件。图 8B 是通过图 8A 中所示的实例布局的切割线 A-A' 的截面侧视图。图 9 是图 8A 和 8B 中所示的集成的器件结构的实例电路示意图。总体观察,柱 17 的顶部看起来包括沿给定的跑道形晶体管段中的柱的横向长度交替的 N+ 源极区 14 和 P+ 区 16。例如,从左到右,图 8A 和 8B 示出了包括垂直 HVFET 器件 58(见图 9)的顶部部分的区域 14a、16a、14b、和 16b。P- 本体区 13 延伸到柱 17 的项表面至区域 16b 的紧邻的右边,由此将区域 16b 与 N+ 区域 24 分开,其与感测 fet 器件 59 相关联。

[0057] 应当理解, N+ 区域 24 的另一横向侧(到所示部分的右边)类似地借助延伸到柱 17 的表面的 P- 本体区 13 的区域与相应 N+/P+ 区域 14 和 16 的交替图案分开。在典型的实施例中,区域 24 包括整个晶体管段(柱)布局的小部分,使得感测 fet 59 感测流过主垂直晶体管器件 58 的电流的小部分。

[0058] 在图 8A 和 8B 的实例中,柱 17 通过栅极元件 18a 和 18b 在相对的横向侧侧面相接,所述栅极元件 18a 和 18b 分别通过栅极氧化物层 20a 和 20b 与柱 17 的顶部部分分开。源电极 61 电接触区域 14 和 16 中的每一个,而感测电极 62 仅接触感测 fet 59 的 N+ 区域 24。在特定实施例中,源电极 61 也可以电接触内部和外部场板元件 19a 和 19b。

[0059] 图 9 的电路示意图示出垂直 HVFET 器件 58 和感测 fet 59 共享公共栅极 18 和公共漏极节点 63。延伸漏极区 12 和 N+ 衬底 11 分别被示为耦合在节点 63 和漏电极 71 之间的串联连接的电阻器 64 和 65,后者形成在衬底 11 的底表面上。在操作中,感测 fet 59 的电极 62 可以被用来采样流过大得多的垂直晶体管器件 58 的电流的小部分,由此提供流过主晶体管 58 的电流的指示。

[0060] 图 10A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的另一个实例布局的一部分的顶视图。图 10B 是通过图 10A 中所示的感测 fet 和 HVFET 的切割线 B-B' 的截面侧视图。图 11 是图 10A 和 10B 中所示的集成的器件结构的实例电路示意图。注意图 10A、10B 和 11 中所示的实施例,感测 fet 69 包括沿柱 17 的横向长度(即围绕跑道形状)交替的 P+ 区域 25 和 N+ 区域 24。区域 24 和 25 中的每一个被设置在 P- 本体区 13b 中,所述 P- 本体区 13b 借助延伸到柱 17 的表面的延伸漏极区 12 的区域与和主垂直晶体管 68 相关联的 P- 本体区 13a 分开。P- 本体区 13a 和 13b 中的每一个延伸到在相应晶体管 68 和 69 的 N+/P+ 区域的交替序列的两个横向侧的柱的表面。

[0061] 在图 11 中,垂直 HVFET 器件 68 和感测 fet 69 被示为共享公共栅极 18 和公共漏极节点 63。公共延伸漏极区 64 和 N+ 衬底 65 分别被示为耦合在节点 63 和漏电极 71 之间的串联连接的电阻器 64 和 65。源电极 81 电接触主垂直晶体管 68 的区域 14 和 16 中的每一个,而感测电极 82 仅接触感测 fet 69 的区域 24 和 25。源电极 81 也可以电接触金属化布局中的内部和外部场板元件 19a 和 19b。

[0062] 图 12A 是并入图 1 中所示的垂直 HVFET 结构的感测 fet 的又一个实例布局的一部分的顶视图。图 12B 和 12C 分别是通过图 12A 中所示的器件结构的切割线 C-C' 和 D-D' 的截面侧视图。注意,在该实施例中,感测 fet 和主垂直 HVFET 器件形成在彼此隔离的分开的柱上。图 12B 是主垂直晶体管器件 78(与柱 17 相关联)的截面,而图 12C 是感测 fet 79(与柱 17' 相关联)的截面。作为实例,柱 17' 可以包括专用于感测 fet 79 的单个跑道形晶体管段,所述单个跑道形晶体管段被设置得邻近专用于主垂直晶体管器件 78 的多个

其它类似形状的晶体管段。应当理解,主垂直 HVFET 器件包括管芯上的的大多数的晶体管段,并且感测 fet 包括少数(例如单个一个)的晶体管段。

[0063] 如图 12B 中所示,主垂直晶体管器件 78 包括设置在柱 17 的顶部的交替 N+ 区域 14 和 P+ 区域 16。源电极 91 电接触区域 14 和 16 中的每一个。在主晶体管器件 78 中,P- 本体区 13a 分开区域 14 和 16 与在下面的延伸漏极区 12a。类似地,图 12C 示出包括设置在柱 17' 的顶部的交替 N+ 区域 24 和 P+ 区域 25 的感测 fet 79。感测电极 92 电接触区域 24 和 25 中的每一个。P- 本体区 13b 分开区域 24 和 25 与在下面的延伸漏极区 12b。

[0064] 注意,在图 13C 的实例电路示意图中,电阻器 65 表示被示为在公共节点 95 和漏电极 71 之间的 N+ 衬底 11 的电阻。延伸漏极区 12b 的电阻被示为连接在感测 fet 79 的漏极和节点 95 之间的电阻器 64b。类似地,延伸漏极区 12a 的电阻被示为连接在主垂直晶体管器件 78 的漏极和公共节点 95 之间的电阻器 64a。图 13 的等效电路图反映了这样的事实:即使感测 fet 79 和主晶体管 78 形成在分开的柱上,在半导体管芯上的每个柱仍共享公共 N+ 衬底区域。

[0065] 虽然已经结合具体器件类型描述了以上实施例,但是本领域的普通技术人员将理解多种变型和改变都在本发明的范围内。例如,虽然已经描述了 HVFET,但是图示的方法、布局 and 结构同样适用于其他结构和器件类型,包括肖特基、二极管、IGBT 和双极型结构。因此,应当将说明书和附图看作是示例性的而不是限制性的。

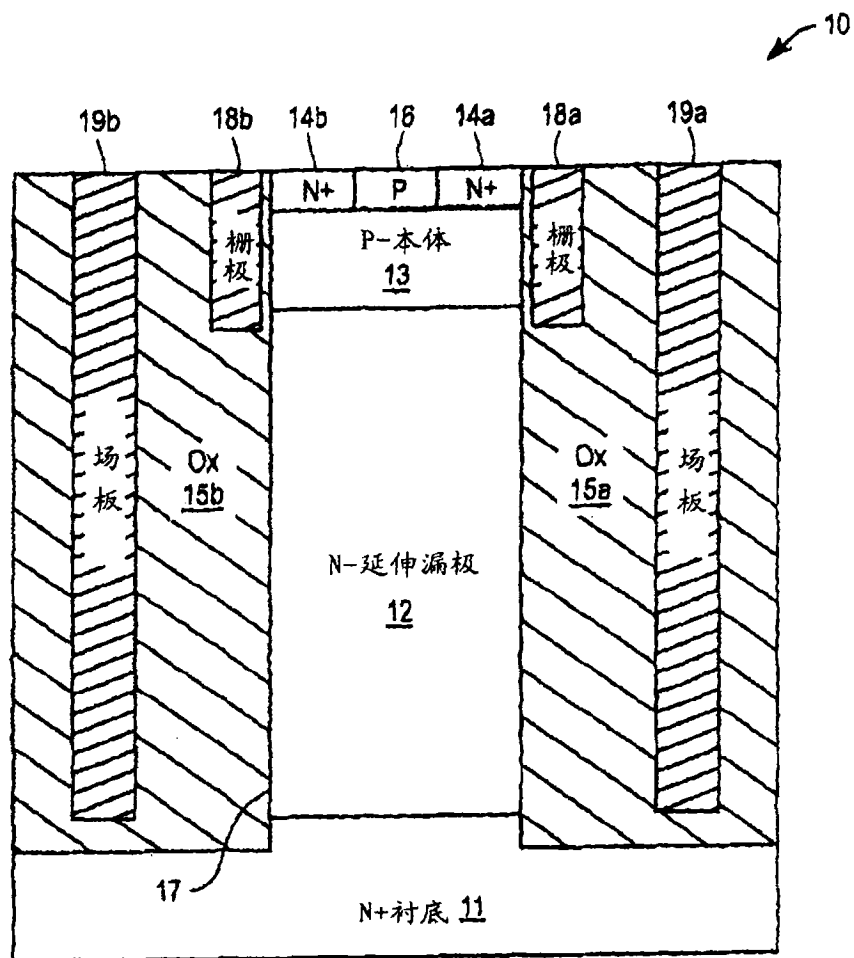


图 1

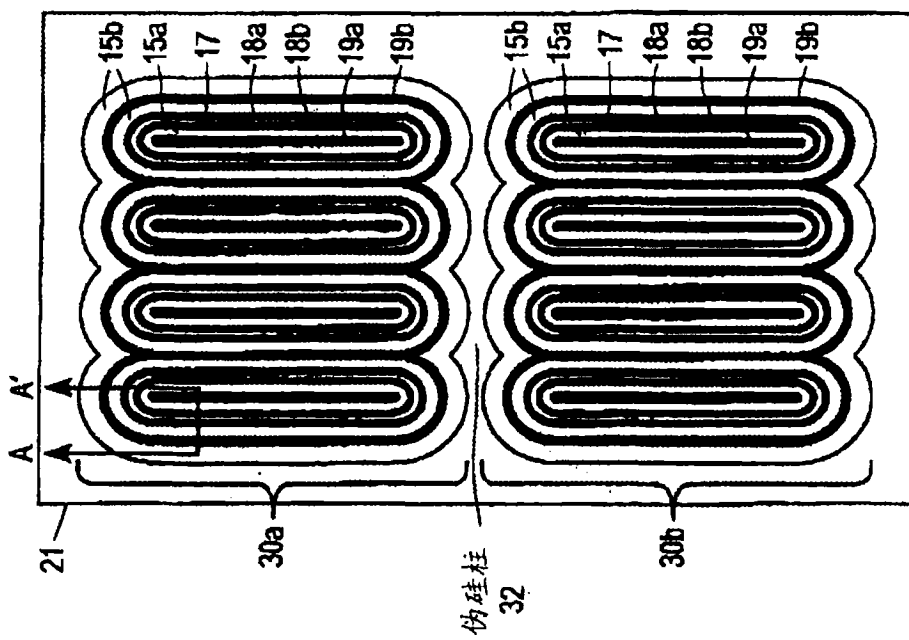


图 2A

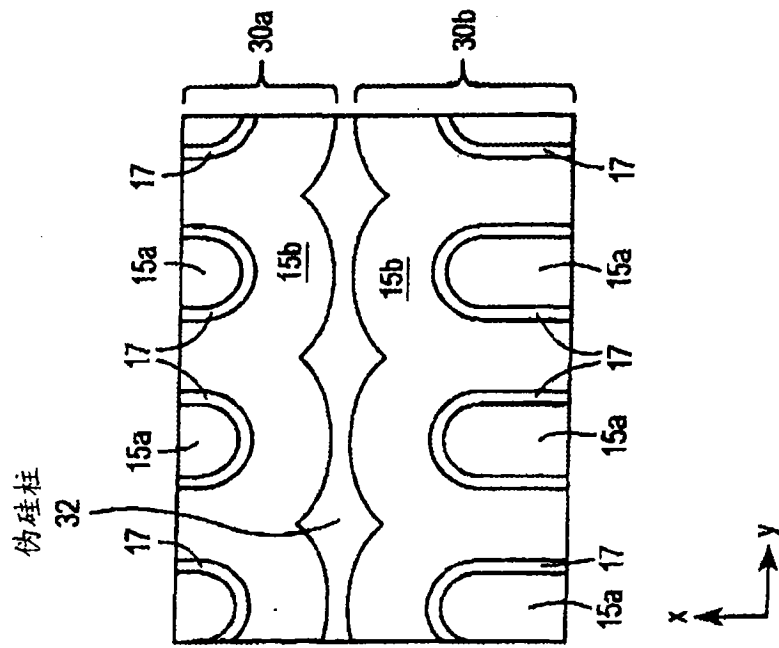


图 2B

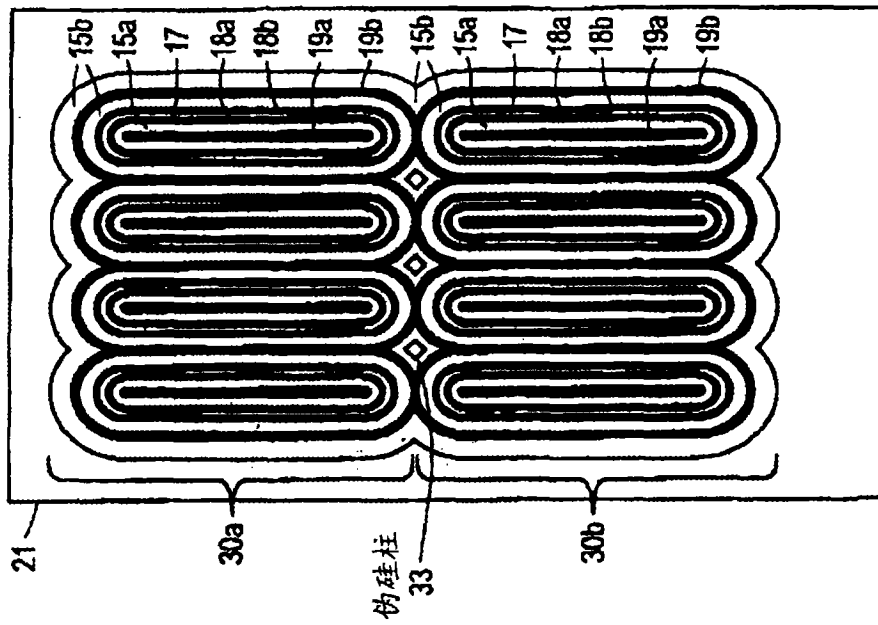


图 3A

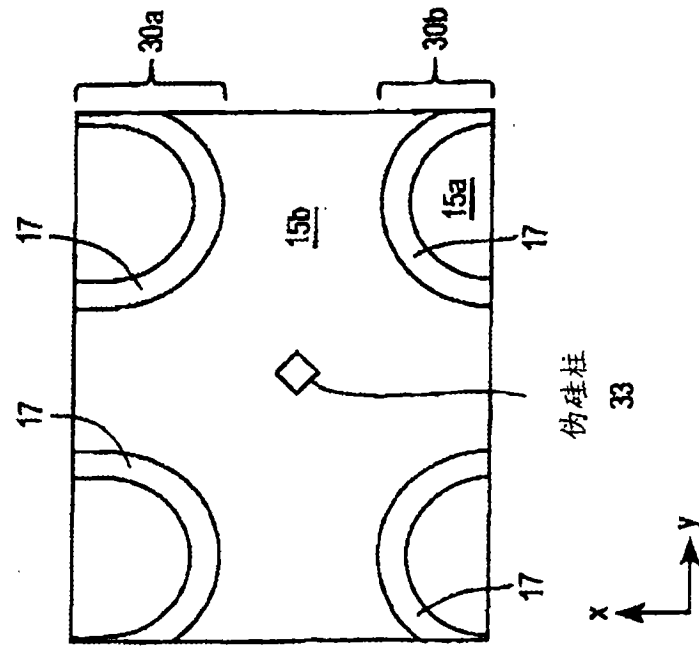


图 3B

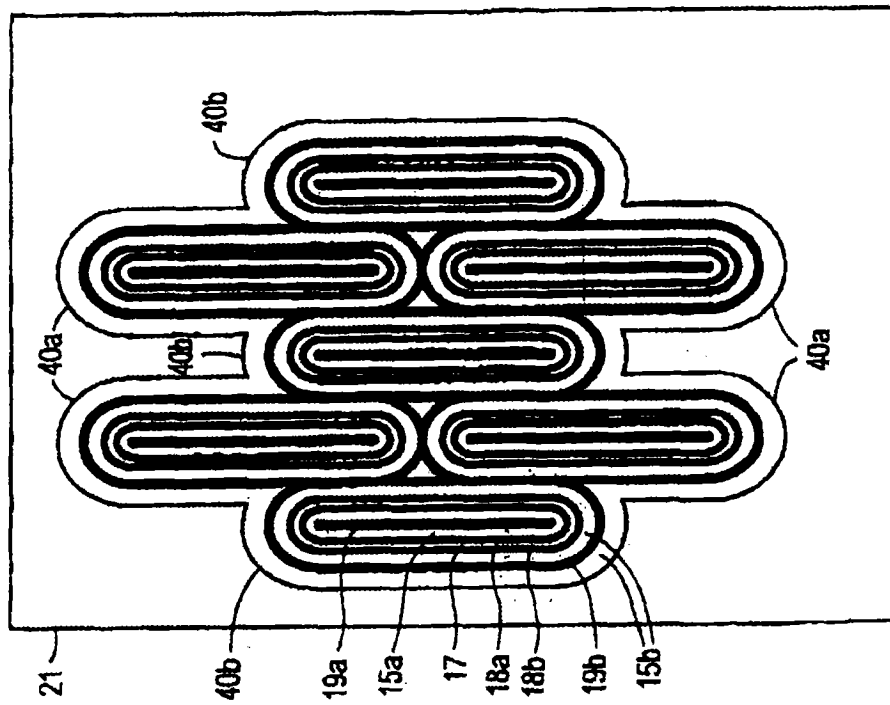


图 4A

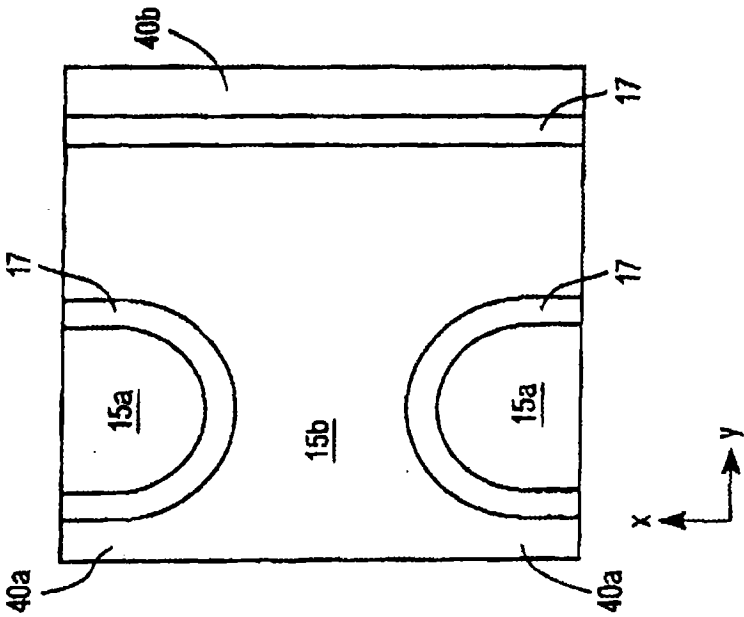


图 4B

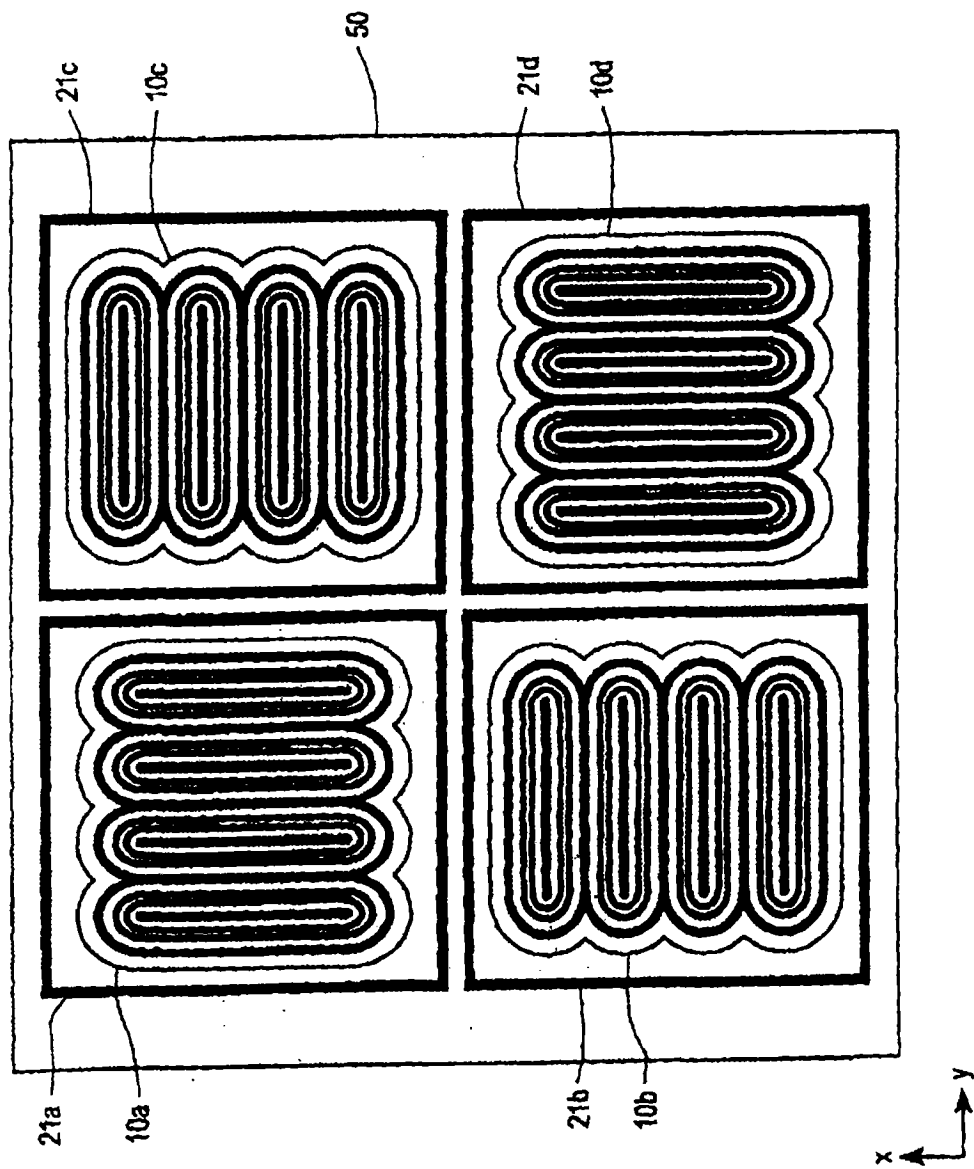


图 5

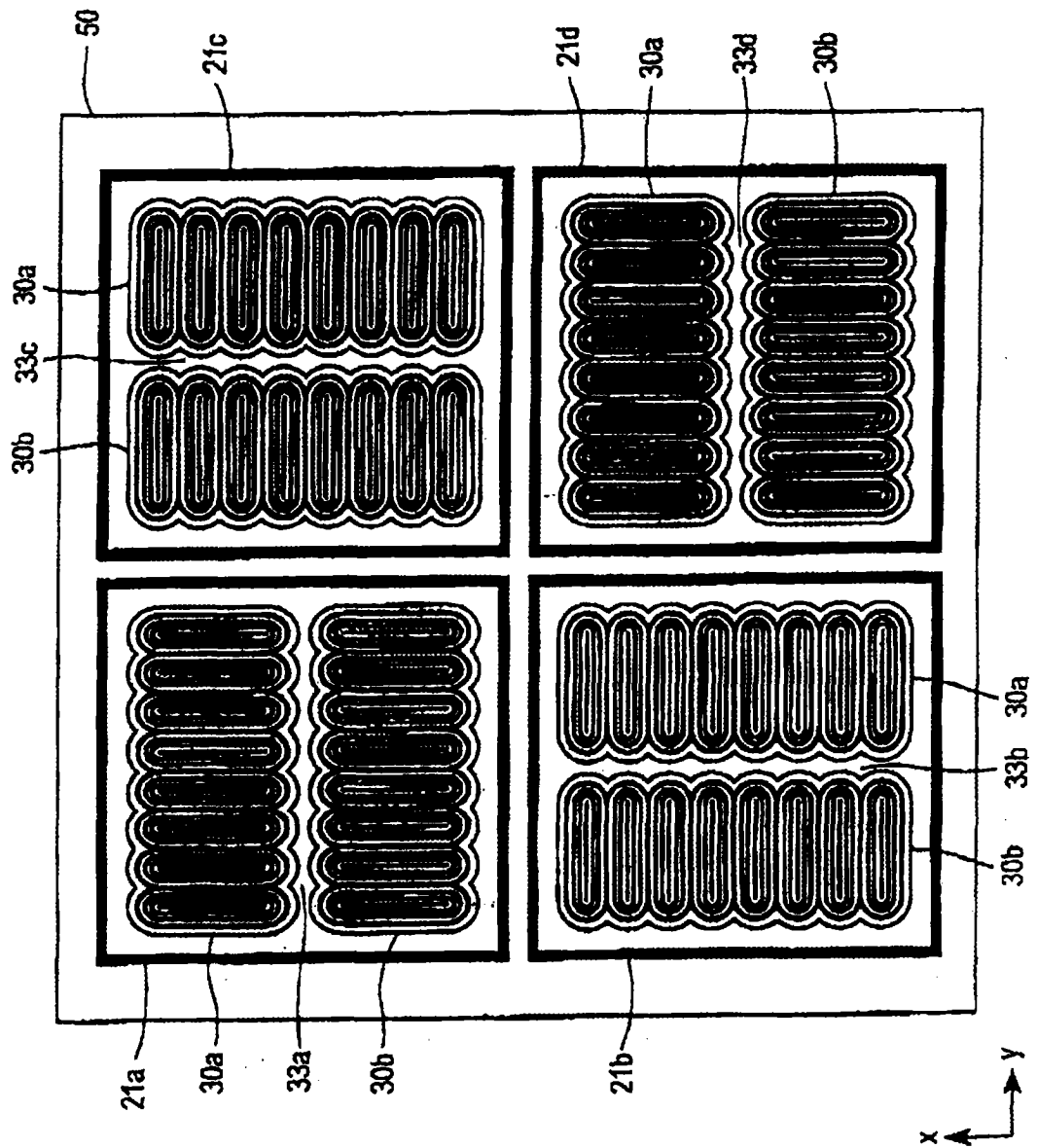


图 6

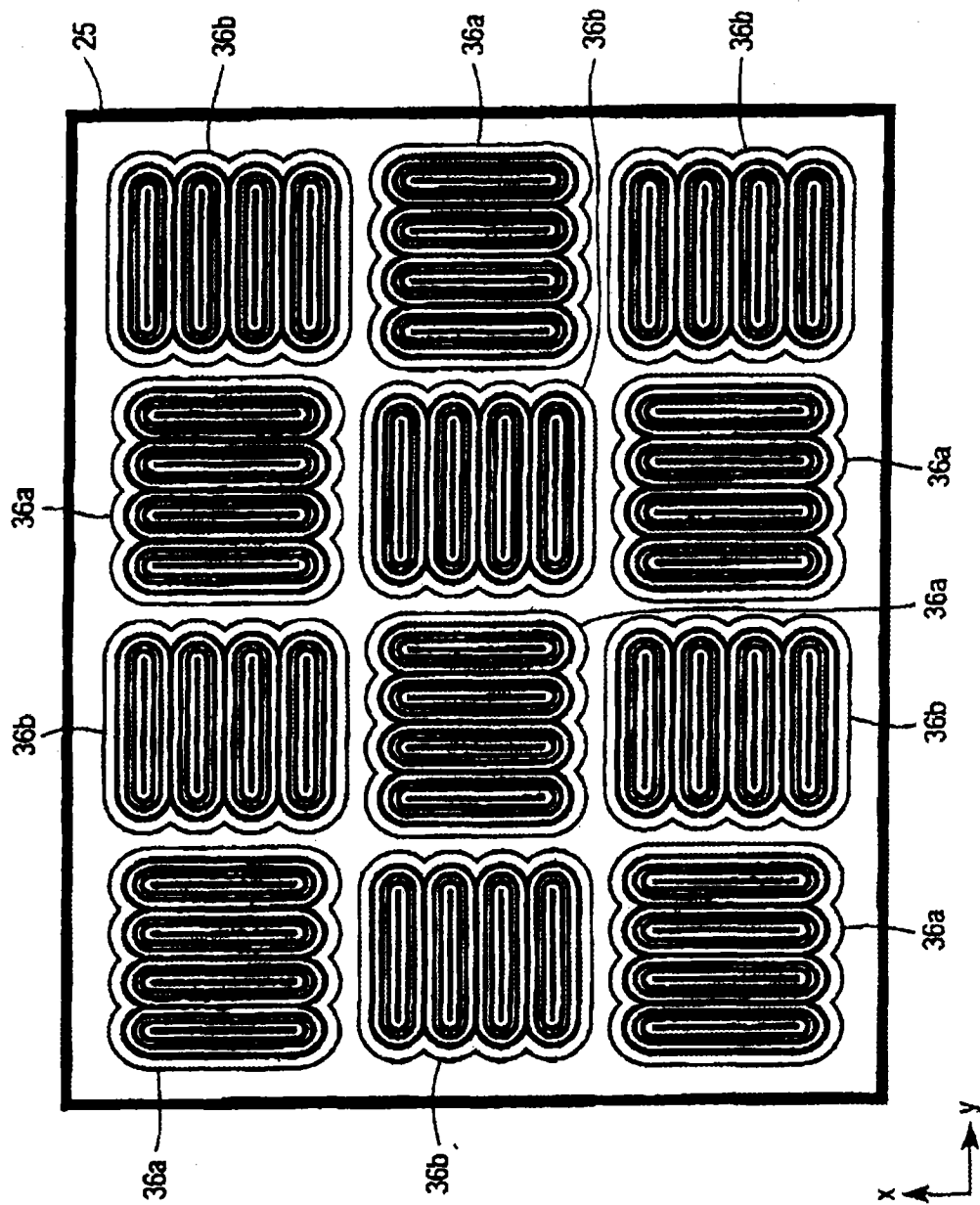


图 7

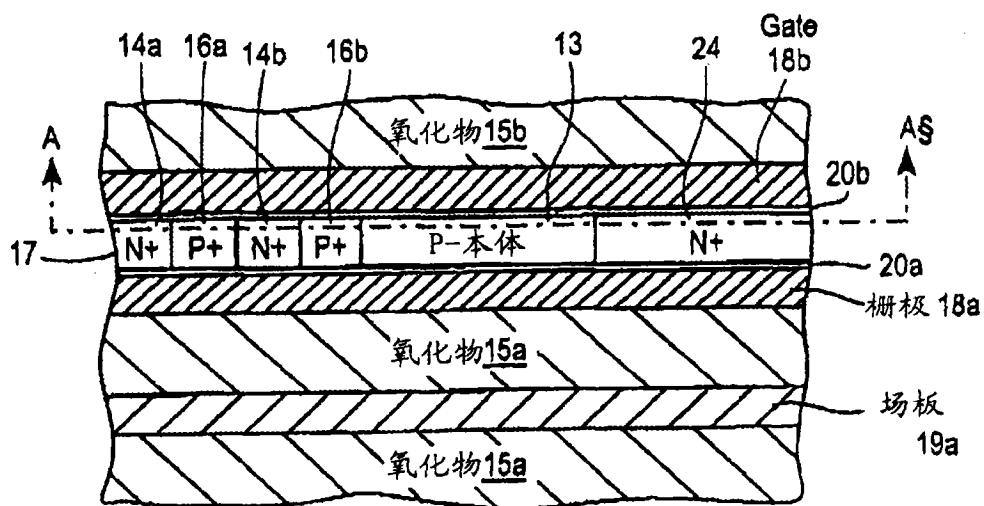


图 8A

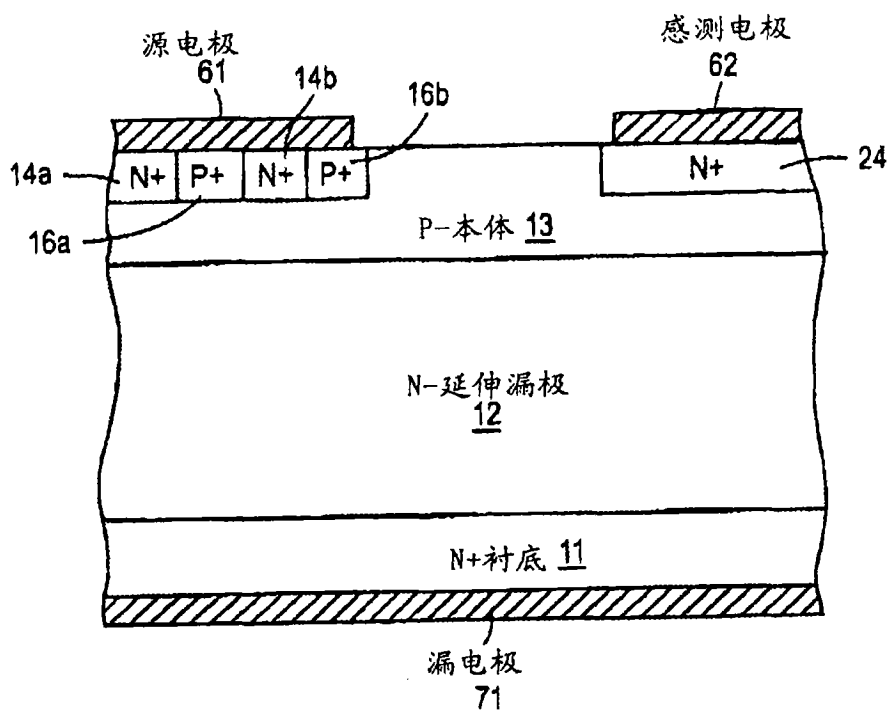


图 8B

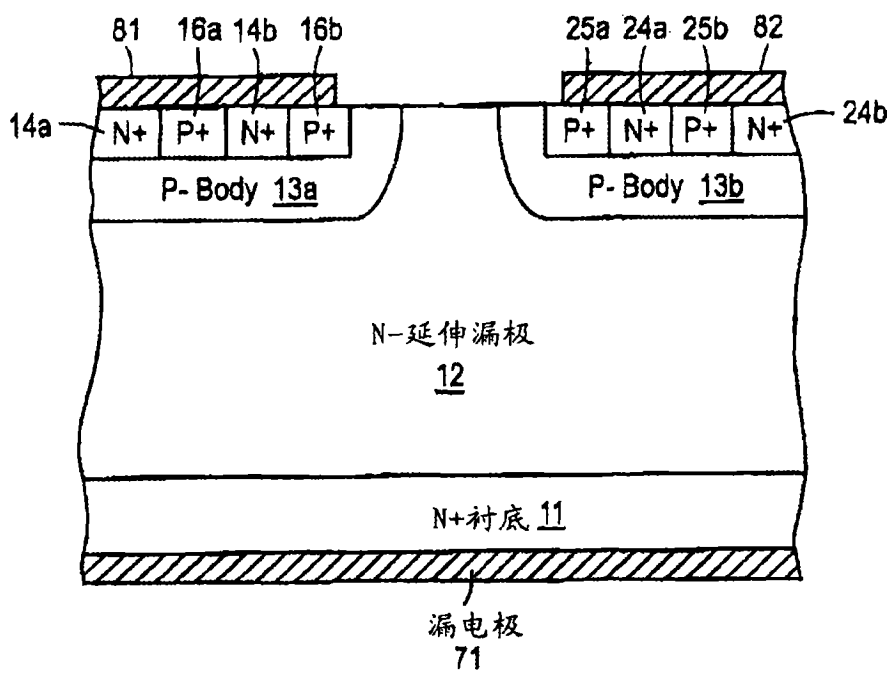


图 10B

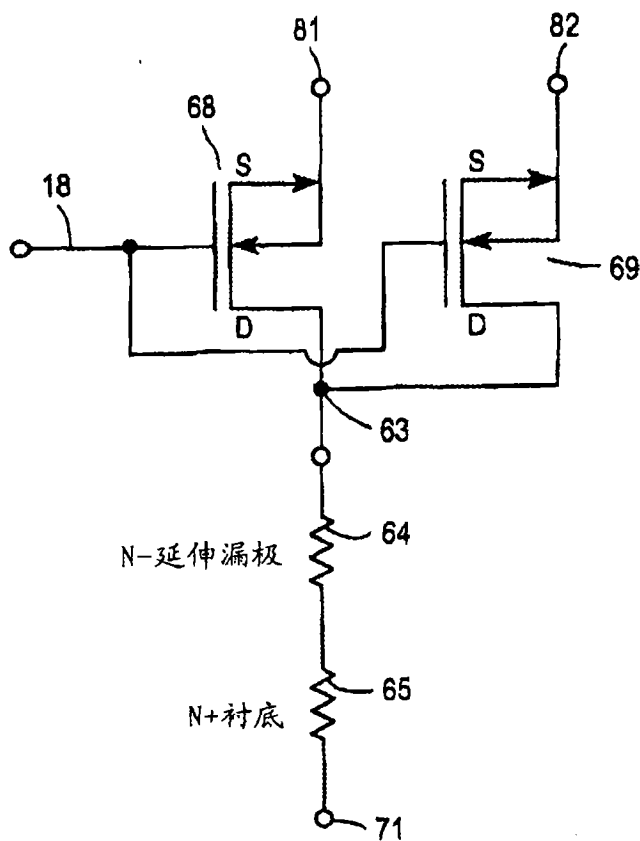


图 11

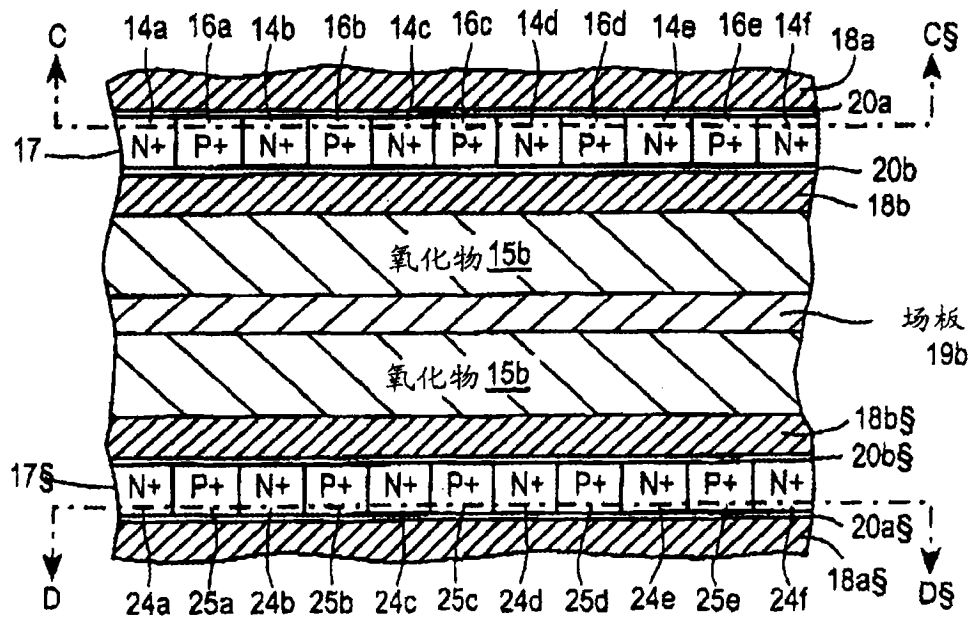


图 12A

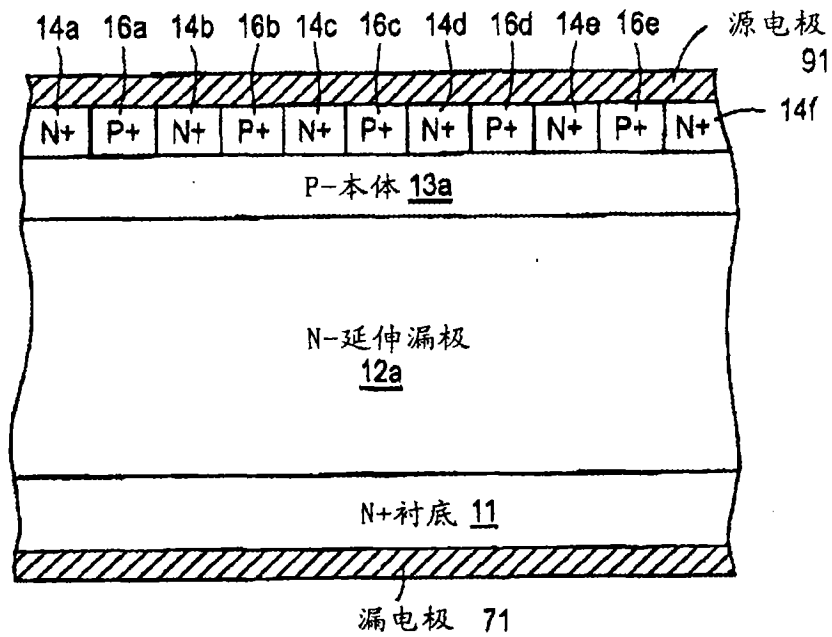


图 12B

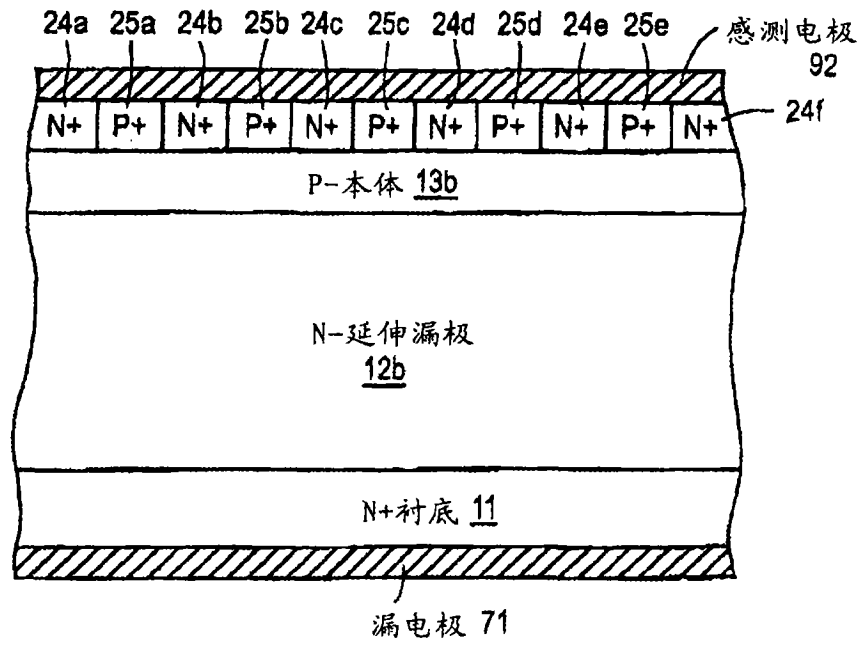


图 12C

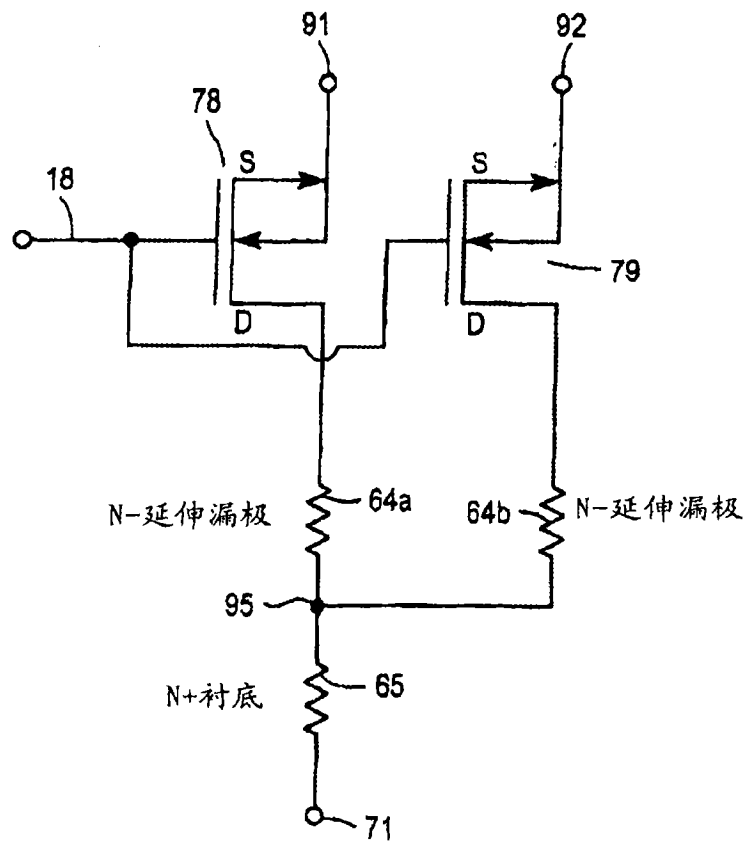


图 13