申請日期	79年11月23日
案號	79109934
類別	G06F 13/00

（以上各欄由本局填註）

公告本

A4
C4

發明 ~~新型~~ 專利說明書

一、發明 ~~創作~~ 名稱	中文	具有休眠機能之電腦系統
	英文	
二、發明 ~~創作~~ 人	姓名	渡邊稔
	籍貫（國籍）	日本
	住、居所	日本國東京都青梅市新町2016-8-111
三、申請人	姓名（名稱）	株式會社東芝 （東芝股份有限公司）
	籍貫（國籍）	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	青井舒一

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局印製

甲4(210×297公釐)

五、發明說明（1）

本發明係有關於個人電腦，特別是有關於一種備有在ＣＰＵ未執行有效資料處理之閒（idle）狀態下，可控制對ＣＰＵ之時鐘供給而節省系統之電源消耗之休眠機能的電腦系統。

最近乃開發出使用電池（可充電之內部電池）作為系統之電源的膝上型個人電腦。於該電腦中，為了要節制電源之連續使用時間，乃必須要下功夫於節省電源消耗。

休眠機能（sleep mode）即是一在一定條件下，使ＣＰＵ（微處理器）的動作停止或變成低速，而節省電源消耗的手段。在未執行輸出入動作時，則可使ＣＰＵ動作速度降低，或是使其停止，而ＣＰＵ之動作速度係依時鐘脈衝的頻率來決定。因此在使ＣＰＵ之動作速度降低時，一般乃將供給至ＣＰＵ之高頻的時鐘脈衝，於休眠模態時切換成低頻之時鐘脈衝而供給。又在欲使ＣＰＵ之動作停止時，則停止對ＣＰＵ供給時鐘脈衝。

而切換至休眠模態之條件，則例如為當檢測出未有來自鍵盤之資料輸入，而ＣＰＵ處於未執行有效資料處理之狀態（idle）時。有關該休眠模態機能則記載於美國專利Ｎｏ．１３７，６６７之文獻中。

但是在切換至休眠機能時，必須要檢測出ＣＰＵ未執行有效的資料處理才可。以往使用者在執行應用程式時，則必須令使用程式具備可檢測出ＣＰＵ未執行有效資料處理的機能。具體地說明個人電腦中所預先設置之ＢＩＯＳ（Basic Input Output System），當具有來自輸出入單元

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（2）

（例如鍵盤）之響應response（中斷動作）時，則設定旗標（flag）。而應用程式當其旗標未被設定時，則判斷處於未存在資料之輸出入動作的狀態（亦即ＣＰＵ未執行有效資料處理之狀態），而執行在休眠模態下之處理。該休眠模態在發生來自輸出入單元之中斷信號時才被解除。

如此般以往為了使休眠機能具有有效的機能，乃必須開發出可意識休眠模態之應用程式。因此在開發應用程式時乃產生負擔，此外亦有應用程式之執行處理效率低落的問題。

而本發明之目的，即是在實現一備有休眠機能之電腦系統，乃藉設置一可判斷ＣＰＵ未執行有效資料處理之狀態，而即使是未能意識休眠機能之應用程式，亦可有效發揮休眠模態機能。

又本發明乃提供一備有休眠機能之電腦系統，其包括有：可產生在執行各種資料處理時之ＣＰＵ動作所必須的時鐘脈衝，而將其供給至ＣＰＵ的時鐘產生電路；收納有表示ＣＰＵ處於未執行有效資料處理之閒（idle）狀態之資料的暫存器；及根據收納在暫存器之資料，而設定休眠模態，而執行停止自上述時鐘產生電路對ＣＰＵ供給上述時鐘脈衝之控制的休眠控制單元等所構成。

又休眠控制單元，在休眠模態時，則停止對ＣＰＵ供給時鐘脈衝，而使ＣＰＵ的動作停止。藉此在ＣＰＵ未執行有效資料處理之閒狀態，可發揮節省電源消耗之休眠模態機能。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（3）

圖面之簡單說明：

第1圖係表示本發明實施例之電腦系統之要部構成的方塊圖；

第2圖係表同一實施例之休眠模態指示器（sleep mode indicator）之構成的方塊圖；

第3A圖～3C圖係用以說明同一實施例之CPU動作的時序圖；

第4A圖～4C圖係用以說明同一實施例之系統動作的時序圖；

第5圖～第8圖係用以說明同一實施例之系統動作的流程圖；

第9圖係表同一實施例之時鐘控制電路之變形例的方塊圖；

第10圖係表本發明實施例之電腦系統之整體構成的方塊圖。

以下請參照圖面說明本發明之實施例。

同一實施例之電腦系統乃為膝上型個人電腦，而係藉可充電之電池電源的驅動。本系統則如第10圖所示般，乃具備有構成中央處理單元之微處理器（CPU）10鍵盤11、鍵盤控制器（KBC）12、記憶體13、收納有BIOS的ROM（read only memory）14及I／O（input output）裝置15。鍵盤11及KBC12乃藉鍵盤11之各種鍵的操作，而構成輸入資料之輸入裝置。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（4）

記憶體１３係由讀／寫記憶體（ＲＡＭ）所構成，而構成收納有自鍵盤１１所輸入之輸入資料之鍵緩衝器（key buffer）等的各種暫存器。ＲＯＭ１４則收納有用以執行輸出入控制動作之ＢＩＯＳ。Ｉ／Ｏ裝置１５則為鍵盤１１以外之輸出入裝置，例如可為軟碟裝置等之外部記憶裝置。

更者本系統乃具備有ＤＭＡ控制器（ＤＭＡＣ）１６、休眠模態邏輯電路１７及時鐘控制電路（clock control circuit）１８。ＤＭＡ控制器１６為一用以控制直接記憶體存取之電路、休眠模態邏輯電路１７則為一用以執行休眠機能之電路、時鐘控制電路１８為一可對於ＣＰＵ１０及ＤＭＡ控制器１６之各時鐘端子ＣＫ供給時鐘脈衝ＣＰ之電路。時鐘控制電路１８，則如第１圖所示般，具有用以產生決定ＣＰＵ１０之動作速度之時鐘脈衝ＣＰ的時鐘產生器２０與及閘（And gate）２１。及閘２１及係藉來自電路１７而輸出之控制信號ＳＳ而被閘控制，而將來自時鐘控制電路１８之時鐘脈衝ＣＰ轉送至ＣＰＵ１０及控制器１６之各時鐘端子ＣＫ。

第１圖係表休眠模態邏輯電路１７及ＣＰＵ１０之周邊邏輯電路的詳細方塊圖。周邊邏輯電路則具有Ｉ／Ｏ解碼器２２，記憶體解碼器２３以及指令解碼器２４。Ｉ／Ｏ解碼器２２乃輸出用以存取Ｉ／Ｏ裝置１５時之Ｉ／Ｏ選擇信號，於同一實施例中則輸出視頻ＲＡＭ選擇信號ＶＲＳ（ｂａｒ），而視頻ＲＡＭ選擇信號ＶＲＳ為一指定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（5）

用以收納應表示在Ｉ／Ｏ裝置１５之一顯示裝置畫面之資料的視頻ＲＡＭ。指令解碼器２４，當對記憶體或Ｉ／Ｏ裝置１５進行存取時，則將來自ＣＰＵ１０之控制信號（記憶體與Ｉ／Ｏ選擇信號Ｍ／ＩＯ　ｂａｒ）等予以解碼，而輸出記憶體之讀取控制信號ＭＲＤ　ｂａｒ、寫入控制信號ＭＷＲ　ｂａｒ，或是輸出Ｉ／Ｏ之讀取控制信號ＩＯＲＤ　ｂａｒ、寫入控制信號ＩＯＷＲ　ｂａｒ。

更者周邊邏輯電路乃具有各種邏輯閘電路。於各種邏輯閘電路則使用有反轉輸入及反轉輸出之或閘（ＯＲ　ｇａｔｅ）２５～２８、反轉輸入及反轉輸出之及閘（ＡＮＤ　ｇａｔｅ）２９～３２，其中一方為反轉輸入之ＮＡＮＤ閘３３。又周邊邏輯電路則具備有資料鎖存用之正反器３４、３５、構成時間調整用同步電路之正反器３６、用以緩衝（buffer）正反器３４之輸出的緩衝電路３７以及休眠控制暫存器３８。

又ＣＰＵ１０之同邊電路乃設有中斷控制器３９、重置控制器４０及資料匯流排４１。中斷控制器３９當對來自鍵盤１１之鍵輸入或Ｉ／Ｏ裝置１５進行存取時，則輸出中斷信號ＩＮＴ及ＮＭＩ（non-maskable interrupt）。重置控制器４０則輸出系統重置信號RESET bar。

其次請參照第５圖～第８圖來說明同一實施例之動作。

首先當切入系統之電源（電池）時，則時鐘控制電路１８之時鐘產生器２０會動作，而產生時鐘脈衝ＣＰ。此

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

五、發明說明（6）

時在休閒機能未發生作用之通常動作時，則自休閒模態邏輯電路１７輸出邏輯位準〝Ｈ〞的控制信號ＳＳ。因此則如第１圖所示般，及閘２１乃將時鐘脈衝ＣＰ轉送至ＣＰＵ１０之時鐘端子ＣＫ。藉此ＣＰＵ１０，乃與時鐘脈衝ＣＫ（ＣＰ）同步，而藉第３Ａ圖～第３Ｃ圖所示之機器週期實施通常之資料處理。

在此於系統中，當ＣＰＵ１０執行應用程式時，則資料之輸出入動作係藉ＢＩＯＳ而被控制。ＢＩＯＳ則如第５圖所示般，乃藉Ｉ／Ｏ之常式（routine)的實施，當有來自鍵盤１１及Ｉ／Ｏ裝置１５之響應（存取）時（步驟Ｓ２為ＹＥＳ），則執行資料之輸出入動作（步驟Ｓ３）。ＢＩＯＳ則如第６圖所示般，乃藉作為副常式之Ｉ／Ｏ狀態常式（Status routine），當有來自鍵盤１１及Ｉ／Ｏ裝置１５之響應時（步驟Ｓ５為ＹＥＳ），則設定旗標（藉軟體之輸出入控制用旗標）（步驟Ｓ６）。又當無響應時（步驟Ｓ５為Ｎｏ），則將旗標予以清除（步驟Ｓ７）。另一方面當應用程式被起動時，則如第７圖所示般，乃呼叫（call）ＢＩＯＳ之Ｉ／Ｏ狀態常式，而執行判斷是否旗標被設定之處理（步驟Ｓ１２）。當被設定時（步驟Ｓ１４），則呼叫ＢＩＯＳ之Ｉ／Ｏ常式（步驟Ｓ１４），而藉該Ｉ／Ｏ常式執行資料之輸出入動作（步驟Ｓ１５）。又當旗標未被設定時（步驟Ｓ１２為ＮＯ），由於未執行資料之輸出入動作，因此應用程式則執行一般資料處理以外之其他處理（例如於顯示裝置之畫面顯示時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

鐘模態）（步驟Ｓ１３）。於步驟Ｓ１３中亦包含完全未執行任何處理的情況。亦即於步驟Ｓ１３中，亦會產生ＣＰＵ１０未執行有效資料處理之閒（idle）狀態。本發明乃藉第１圖所示之邏輯電路而斷ＣＰＵ１０之閒狀態。在閒狀態則執行休眠模態機能。

具體地說，如第８圖所示般，於ＢＩＯＳ之Ｉ／Ｏ狀態常式中，乃附加用以判斷ＣＰＵ１０之閒狀態的步驟Ｓ２２。該ＣＰＵ１０之閒狀態的判斷處理，係ＣＰＵ１０藉經由資料匯流排４１，而自緩衝器３７讀取之表示閒狀態之資料ＣＩ而進行。資料ＣＩ則如第１圖所示般乃被鎖存在正反器３４。該正反器３４乃於第４Ａ圖所示之時間，藉由及閘３０所輸出之Ｉ／Ｏ埠（Ｉ／Ｏ裝置１５）之讀取控制信號ＰＲＤ　ｂａｒ之上升緣，而鎖存邏輯位準的＂Ｈ＂的資料ＣＩ。正反器３４係藉來自或閘２７之輸出信號（邏輯位準＂Ｌ＂）而被重置。或閘２７乃係藉由或閘２５，２６、及閘３１，３２及ＮＡＮＤ閘３３所構成之邏輯電路，當輸出第４Ｂ圖所示之邏輯位準＂Ｌ＂之信號ＶＲＳ　ｂａｒ、Ｉ／Ｏ之讀取控制信號ＩＯＲＤ　ｂａｒ以及寫入控制信號ＩＯＷＲ　ｂａｒ之任一者時，則會輸出正反器３４之重置信號（邏輯位準＂Ｌ＂）。亦即當作為視頻ＲＡＭ之記憶體或Ｉ／Ｏ裝置１５被存取時（有響應），則正反器３４被重置。換言之在正反器３４未被重置時，則記憶體或Ｉ／Ｏ裝置１５未被存取，而ＣＰＵ１０處於閒狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(8)

此外或閘２７，當輸入有來自休眠控制暫存器３８之休眠禁止信號ＳＤ　ｂａｒ或是來自重置控制器４０之系統重置信號ＲＥＳＥＴ　ｂａｒ時，則會輸出正反器３４之重置信號。休眠控制暫存器３８，乃為一利用系統之設置（ｓｅｔ　ｕｐ）畫面，而收納有禁止由使用者所輸入之休眠模態之資料的暫存器。

ＣＰＵ１０則如第４Ｃ圖所示，在讀取控制信號ＰＲＤ　ｂａｒ之上升時刻之稍前時刻Ｔ，乃讀取鎖存在正反器３４之邏輯位準〝Ｈ〞的資料ＣＩ。因此如第８圖所示般，於ＢＩＯＳ之Ｉ／Ｏ狀態常式中，當ＣＰＵ１０讀取到資料ＣＩ時，則判斷ＣＰＵ１０處於閒狀態（步驟Ｓ２２為ＹＥＳ）。藉此ＢＩＯＳ則設定休眠模態（步驟Ｓ２４）。亦即ＣＰＵ１０乃輸出使休眠模態產生功能之控制信號，而自第１圖所示之及閘２９輸出休眠脈衝ＳＰ。正反器３５則與休眠脈衝ＳＰ同步，而鎖存用以指示休眠模態之資料，且輸出邏輯〝Ｈ〞的信號Ｑ。正反器３６則對應於來自正反器３５之輸出信號，而輸出作為邏輯位準〝Ｌ〞休眠模態信號之控制信號ＳＳ。該控制信號ＳＳ則藉正反器３６而以延遲一定時間的狀態而被轉送至及閘２１之閘控制端子。及閘２１乃禁止來自時鐘產生器２０之時鐘脈衝ＣＰ的轉送，而停止對ＣＰＵ１０之供給。而藉作為同步信號之正反器３６，在ＣＰＵ１０實施令休眠脈衝ＳＰ輸出之休眠模態處理後，則停止對ＣＰＵ１０供給時鐘脈衝ＣＰ。

（請先閱讀背面之注意事項再填寫本頁）
裝　訂　線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

如此般ＣＰＵ１０未有效處理之閒狀態即被鎖存在正反器３４，而藉ＣＰＵ１０被讀取而檢出，且對應於檢測出ＣＰＵ１０之閒狀態，而使休眠模態產生作用。當休眠模態作用時，即停止ＣＰＵ１０供給時鐘脈衝ＣＰ，因此ＣＰＵ１０成為動作停止的狀態。藉此在ＣＰＵ１０未有效處理之閒狀態中，由於對ＣＰＵ１０停止供給時鐘脈衝ＣＰ的休眠機能產生作用，因此可節省系統之電源消耗。

在此乃如第２圖所示般，本系統乃具備有用以指示休眠機能正在發生作用之指示器５０。該指示器５０乃具有發光二極體５１，對應於來自正反器３６之邏輯位準〝Ｌ〞之控制信號ＳＳ，而使發光二極體５１發光。藉此使用者可藉指示器５０，而以視覺確認系統是否處於休眠模態狀態。

其次如第８圖之步驟Ｓ２３所示，在休眠模態被設定時，若自鍵盤１１之鍵輸入而執行中斷處理（步驟２４為ＹＥＳ），則解除休眠模態（步驟Ｓ２５）。亦即如第１圖所示般，當自鍵盤１１進行鍵輸入時，則中斷控制器３９會輸出中斷信號ＩＮＴ　ｂａｒ。該中斷信號ＩＮＴ　ｂａｒ除了被輸入至ＣＰＵ１０外，亦被輸入至或閘２８。該或閘２８即對應於中斷信號ＩＮＴ　ｂａｒ的輸入，而輸出用以重置正反器３５之重置信號。藉此被鎖存在正反器３５之表示休眠模態的資料即被重置，而邏輯位準〝Ｈ〞的控制信號ＳＳ即被轉送至及閘２１之閘控制端子。藉此及閘２１即轉送來自時鐘產生器２０之時鐘脈衝ＣＰ

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

五、發明說明（10）

，而將其供給至ＣＰＵ１０。在此或閘２８，即使自中斷控制器３９之信號ＮＭＩ　ｂａｒ或自ＤＭＡ控制器１６對ＣＰＵ１０所輸出之資料要求信號ＤＲＱ　ｂａｒ被輸入時，亦輸出一用以重置正反器３５之重置信號。

此外於第８圖中，若步驟Ｓ２１為ＹＥＳ及步驟Ｓ２２為ＮＯ時，則ＢＩＯＳ會執行第６圖所示之旗標之設定或清除處理。

更者本系統乃如第９圖所示般，具備有時鐘分頻器６０及選擇器６１，於休眠模態時亦可不停止對ＣＰＵ１０供給時鐘脈衝ＣＰ，而取代以供給低頻的時鐘脈衝ＬＰ。亦即時鐘分頻器６０乃將來自時鐘產生器２０之高頻時鐘脈衝ＣＰ予以分頻，而輸出休眠模態之低頻的時鐘脈衝ＬＰ。又選擇器６１，在通常動作時則將來自時鐘產生器２０之高頻時鐘脈衝ＣＰ供給至ＣＰＵ１０，而另一方面則對應於來自正反器３６之邏輯位準〝Ｌ〞之控制信號ＳＳ，選擇器６１會將高頻時鐘脈衝ＣＰ切換成低頻時鐘脈衝ＬＰ而供給至ＣＰＵ１０。亦即當休眠模態被設定時，ＣＰＵ１０即藉低頻之時鐘脈衝ＬＰ而動作。藉此於休眠模態時，ＣＰＵ１０可實施低速的資料處理，因此較高速動作時可節省系統之電源消耗。

如上所述，根據本發明，可藉硬體之邏輯電路來判斷ＣＰＵ未執行有效資料處理之閒狀態。藉此於藉ＢＩＯＳ之Ｉ／Ｏ狀態常次進行Ｉ／Ｏ狀態檢查處理時，若ＣＰＵ１０處於閒狀態，則可實現使休眠機能發揮作用的處理。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（11）

因此即使是執行未能意識休眠模態之應用程式時，亦可有效地發揮休眠機能。換言之於開發應用程式中，可去除具備休眠機能之負擔，而可有效地發揮休眠機能。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

四、中文發明摘要（發明之名稱：　　）

具有休眠機能之電腦系統

本發明係一種具有休眠機能之電腦系統，其主要設有暫存器（３４），該暫存器（３４）鎖存有指示ＣＰＵ（１０）處於未執行有效資料處理之閒狀態的資料，而藉ＣＰＵ（１０）自暫存器（３４）讀取資料，ＢＩＯＳ會判斷ＣＰＵ（１０）是否處於閒狀態。ＢＩＯＳ在ＣＰＵ（１０）處於閒狀態時則設定休閒模態，而執行停止對ＣＰＵ（１０）供給時鐘脈衝ＣＰ的控制。

英文發明摘要（發明之名稱：　　）

附註：本案已向　　國（地區）申請專利，申請日期：　　案號：

日本　　1989.10.6　P01-261566

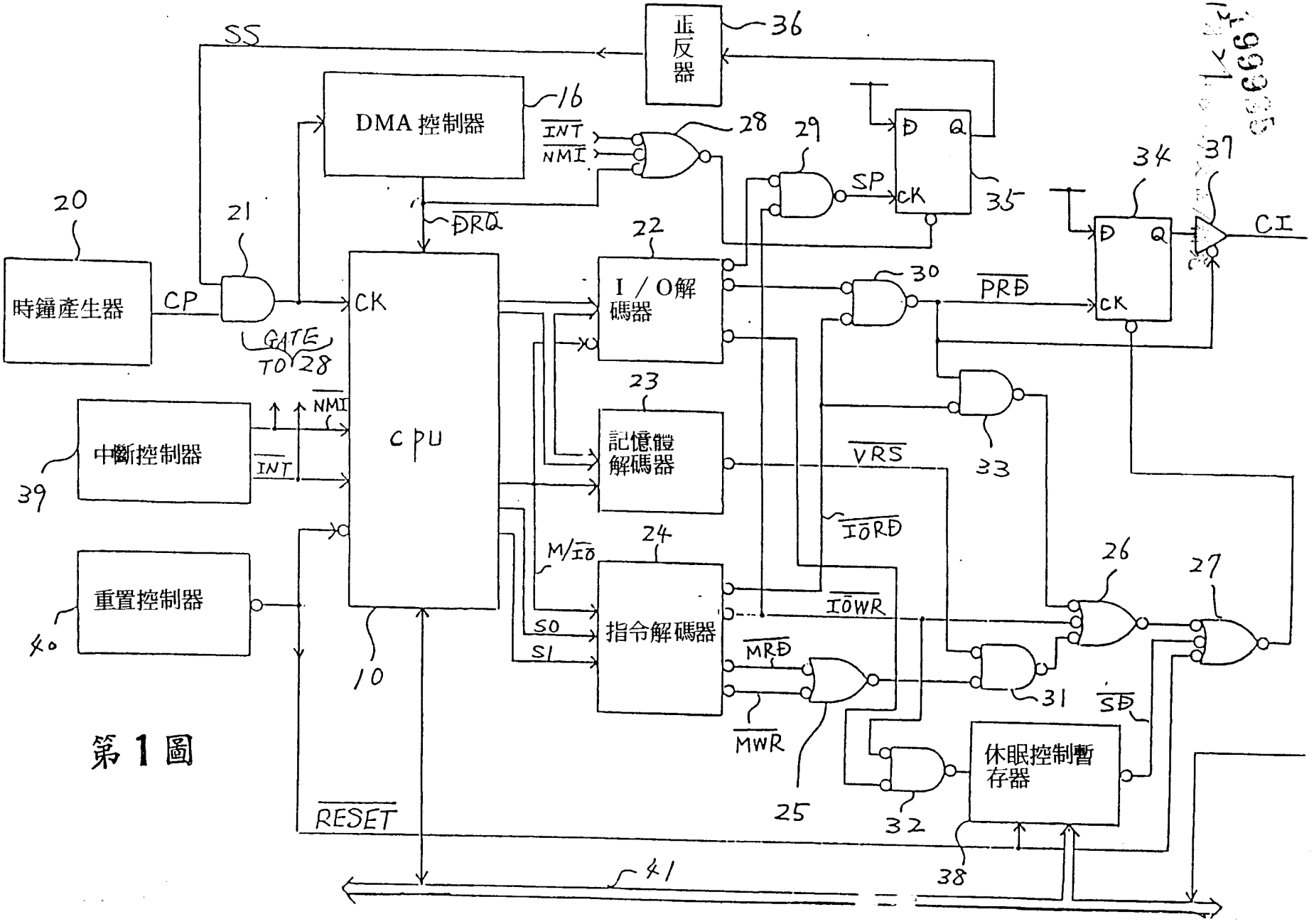
（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

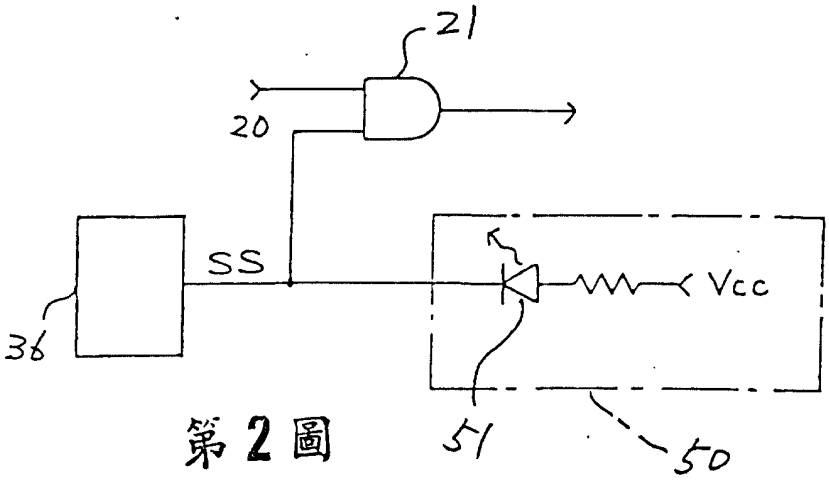
線

經濟部中央標準局印製

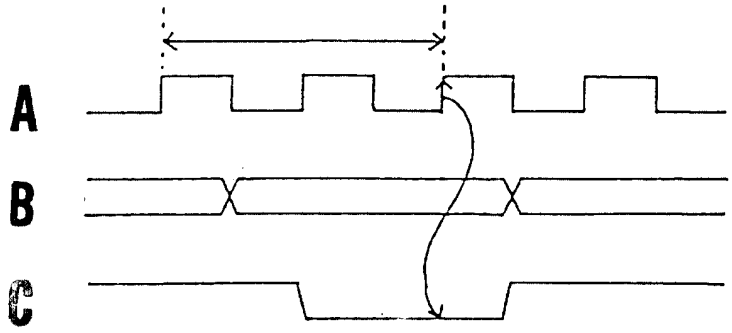


正反器
36
SS
DMA 控制器
16
INT
NMI
28
29
SP
D
Q
CK
35
34
37
CI
20
21
時鐘產生器
CP
GATE TO 28
DRQ
CK
CPU
10
22
I / O解碼器
30
PRD
23
記憶體解碼器
VRS
33
IORD
24
指令解碼器
M/IO
S0
S1
IOWR
MRD
MWR
25
26
27
31
SD
32
休眠控制暫存器
38
中斷控制器
39
NMI
INT
重置控制器
40
RESET
41

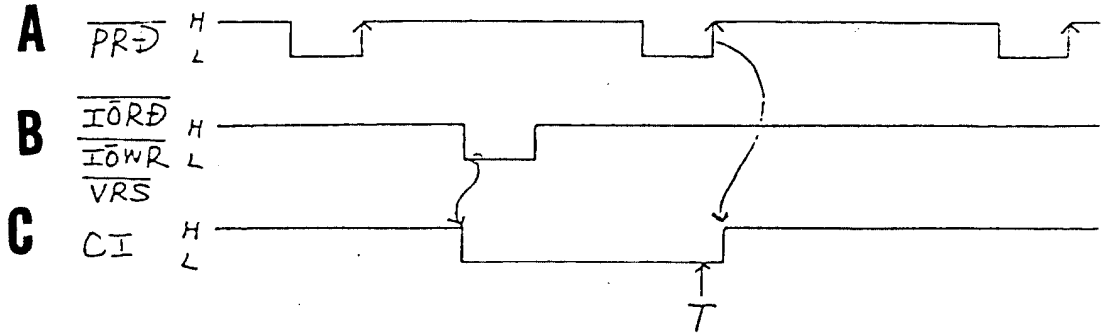
第1圖



第 2 圖



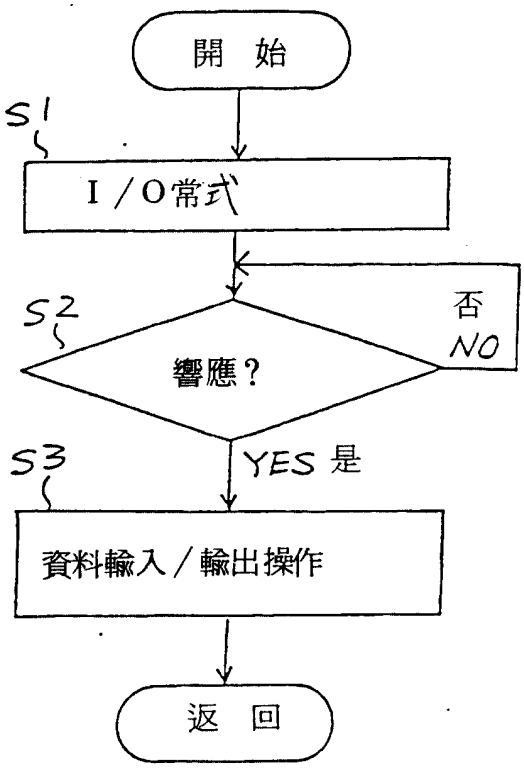
第 3 圖



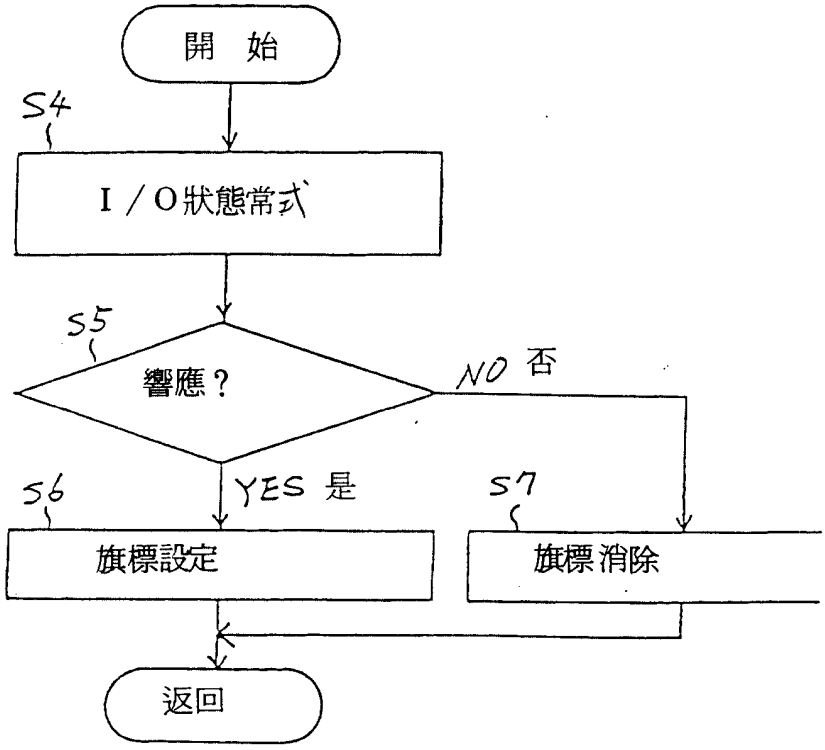
第 4 圖

199905

81年2月21日修正/更正/補充

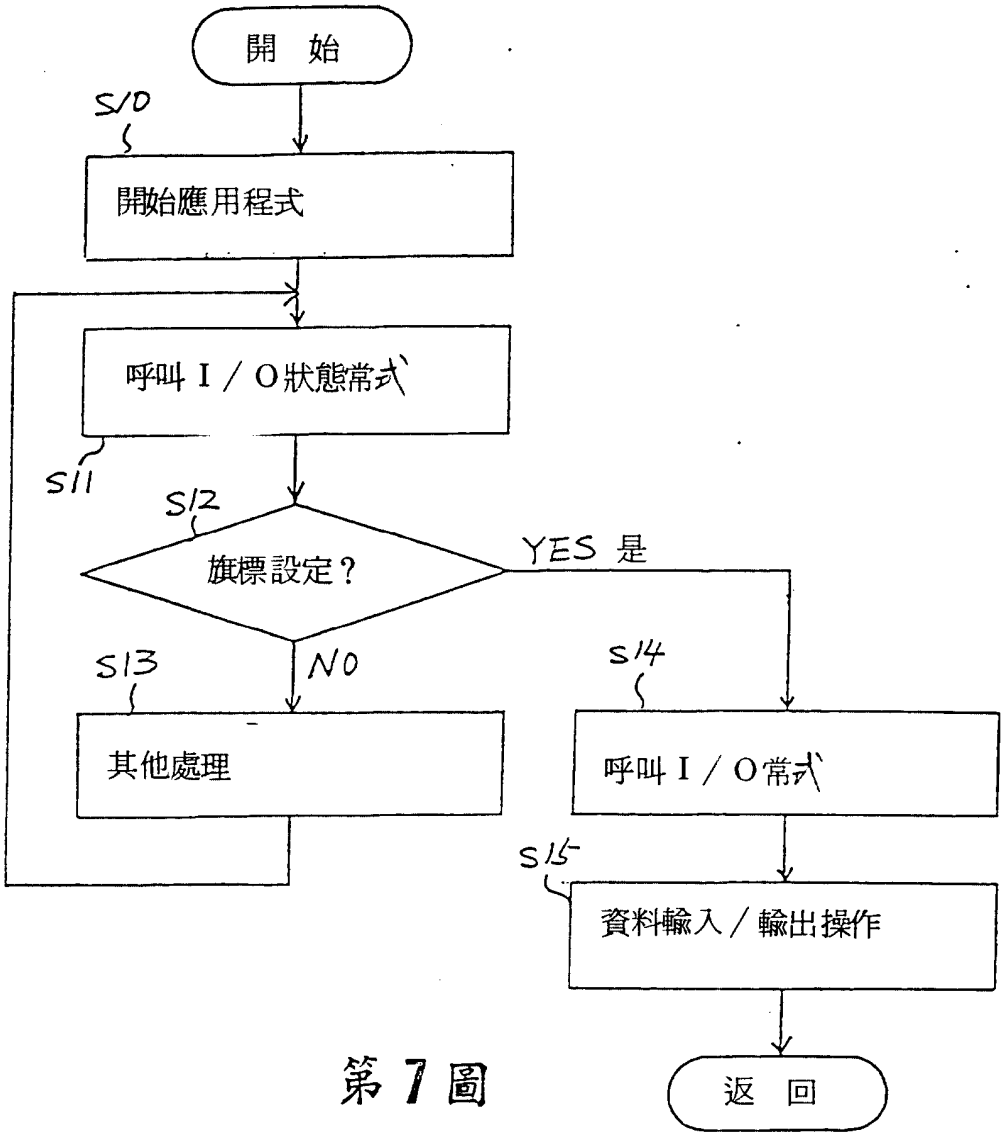


第 5 圖



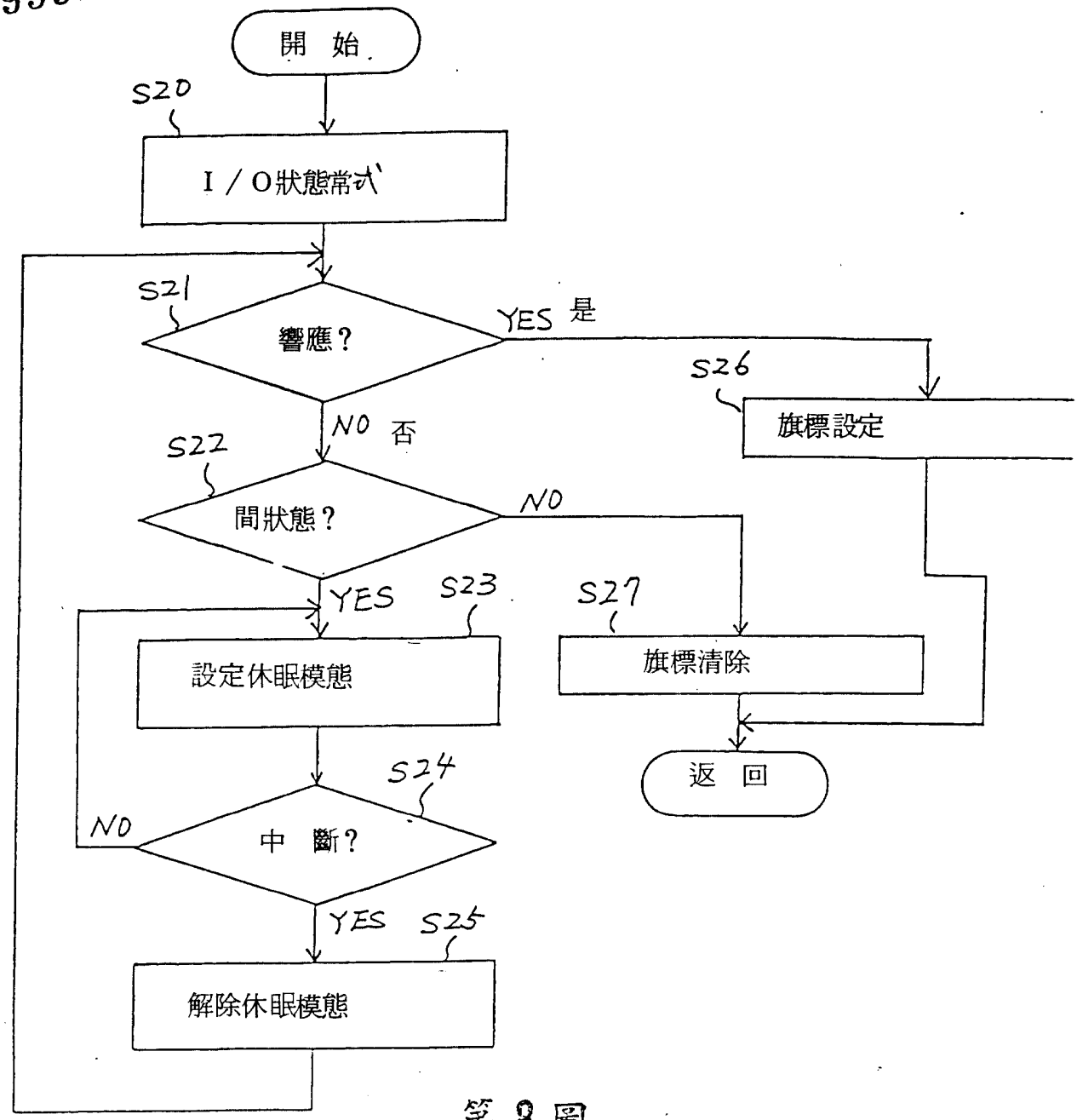
第 6 圖

199905


開 始
S10
開始應用程式
呼叫 I / O狀態常式
S11
S12
旗標設定？
YES 是
NO
S13
其他處理
S14
呼叫 I / O常式
S15
資料輸入 / 輸出操作
返 回

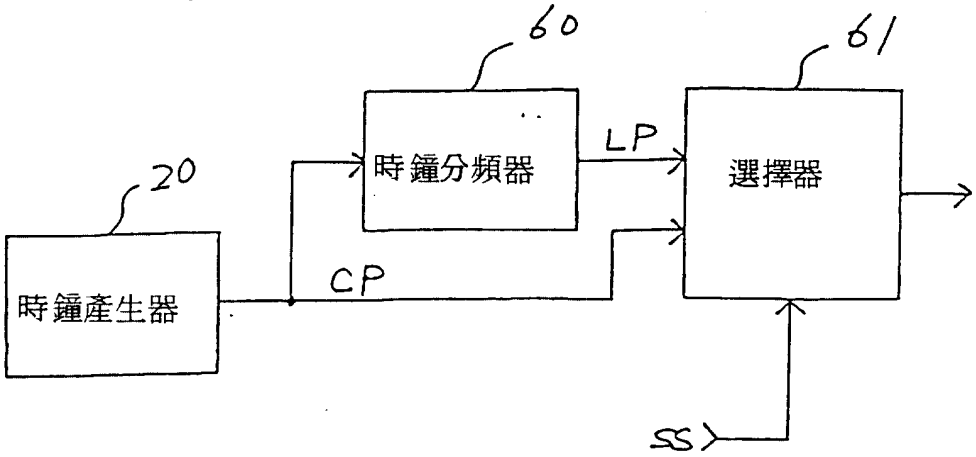
第 7 圖

199925

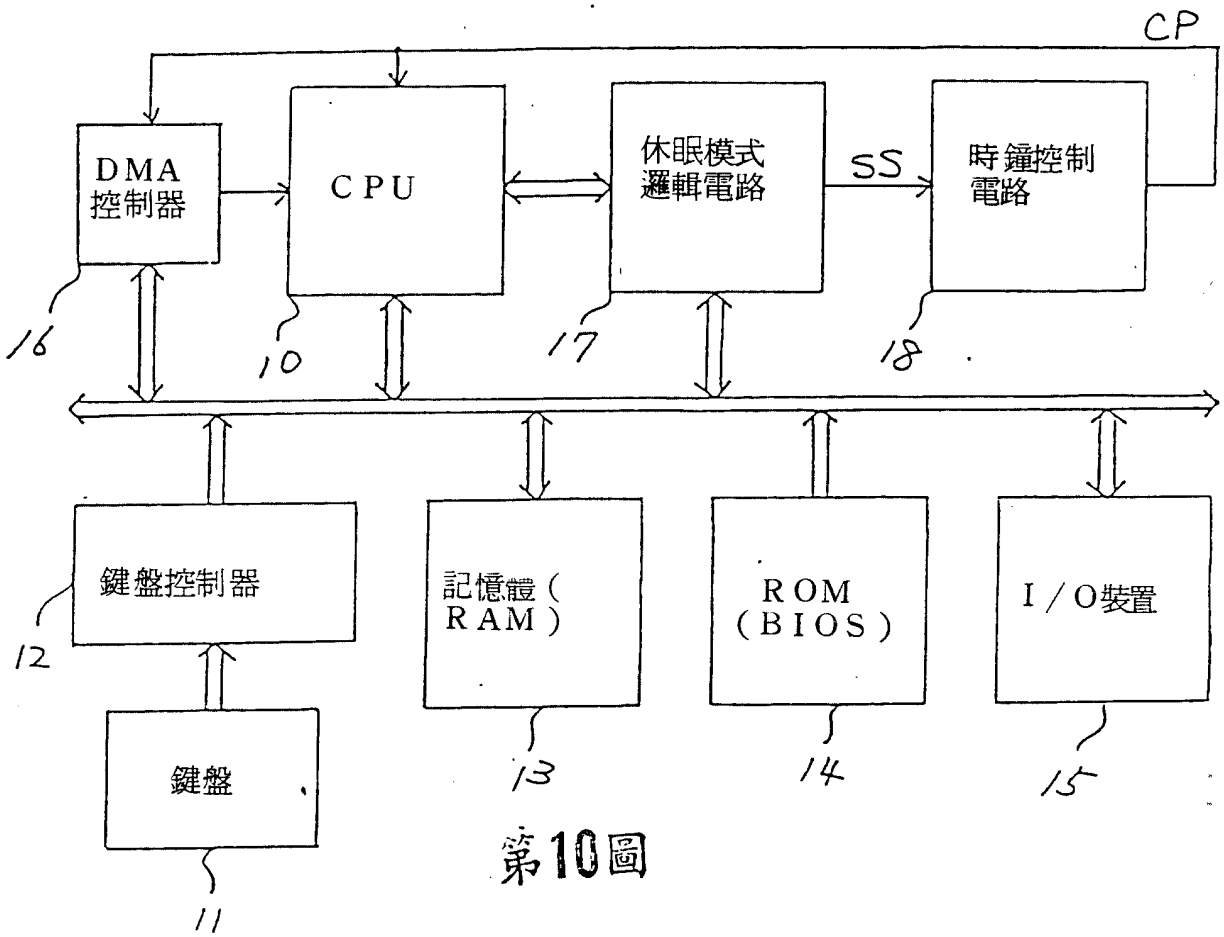

開 始
S20
I / O狀態常式
S21
響應？
YES 是
S26
旗標設定
NO 否
S22
間狀態？
NO
YES
S23
設定休眠模態
S27
旗標清除
S24
NO
中 斷？
返 回
YES
S25
解除休眠模態

第 8 圖

81.9.12-24 99925



第9圖



第10圖

A7
B7
C7
D7

1999358/4/12 21

六、申請專利範圍

第79109934號專利申請案

中文申請專利範圍修正本

民國81年12月修正

1．一種具有休眠機能之電腦系統，其主要特徵包括：中央處理裝置及、將來自上述中央處理裝置的資料加以輸出或是對上述中央處理裝置提供資料，而利用中斷信號對上述中央處理裝置要求服務之資料輸出入裝置及、視頻ＲＡＭ及產生對上述中央處理裝置之動作必要的時鐘脈衝，而對上述中央處理裝置提供時鐘脈衝的時鐘脈衝產生單元及、當上述資料輸出入裝置與上述視頻ＲＡＭ未被存取時，則產生一表示上述中央處理裝置處於休閒狀態之ＣＰＵ間信號的單元及、響應於上述ＣＰＵ間信號，而儲存一表示上述中央處理裝置處於閒狀態之ＣＰＵ閒資料的暫存器單元及，根據儲存在上述暫存器單元之ＣＰＵ閒資料而設定休眠模式，當自上述資料輸出入裝置接受到中斷信號時，則結束上述休眠模式之休眠控制單元及、當上述休眠控制單元設定休眠模式時，變更自上述時鐘產生單元對上述中央處理裝置之時鐘脈衝供給的時鐘脈衝控制單元。

2．如申請專利範圍第1項之具有休眠機能之電腦系統，更具備有在上述資料輸出入裝置或是上述視頻ＲＡＭ被存取時，可重置上述暫存器單元之重置單元。

3．如申請專利範圍第1項之具有休眠機能之電腦系

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

統，上述時鐘脈衝控制單元係由當上述休眠控制單元結束休眠模式時，可自上述時鐘脈衝產生單元，將上述時鐘脈衝轉送到上述中央處理裝置，而當上述休眠控制單元設定為休眠模式時，可阻止上述時鐘脈衝自上述時鐘脈衝產生裝置供給至上述中央處理裝置之邏輯閘電路。

4．如申請專利範圍第1項之具有休眠機能之電腦系統，上述時鐘脈衝控制單元係由以下所構成，亦即將藉對由時鐘脈衝產生單元所輸出之上述時鐘脈衝進行分頻所得之低頻的時鐘脈衝予以輸出之時鐘脈衝分頻單元以及當上述休眠控制單元設定為休眠模式時，可將自上述時鐘脈衝分頻單元所輸出之低頻的時鐘脈衝選擇性地轉送到上述中央處理裝置之選擇單元。

5．如申請專利範圍第1項之具有休眠機能之電腦系統，具備有可控制上述資料輸出入裝置之資料輸出入動作之基本Ｉ／Ｏ系統，而上述休眠控制單元，當上述基本Ｉ／Ｏ系統，藉儲存在上述暫存器單元之ＣＰＵ閒資料，檢測出上述中央處理裝置處於閒狀態時，可設定為休眠模式。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製