

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年8月7日(2008.8.7)

【公表番号】特表2008-505412(P2008-505412A)

【公表日】平成20年2月21日(2008.2.21)

【年通号数】公開・登録公報2008-007

【出願番号】特願2007-519760(P2007-519760)

【国際特許分類】

G 0 5 F 3/26 (2006.01)

【F I】

G 0 5 F 3/26

【手続補正書】

【提出日】平成20年6月13日(2008.6.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の入力と第 2 の入力を有し、かつカレントミラー回路を駆動する出力を有する第 1 の増幅器を備える電圧回路であって、前記カレントミラー回路からの出力は前記増幅器の前記第 1 の入力および第 2 の入力にそれぞれ結合された第 1 の n 型バイポーラトランジスタおよび第 2 の n 型バイポーラトランジスタを駆動し、前記増幅器が前記第 1 のトランジスタのベースおよびコレクタを同じ電位に保つように前記第 1 の n 型トランジスタのベースは前記増幅器の前記第 2 の入力に結合され、さらに前記第 1 の n 型トランジスタのコレクタは前記増幅器の前記第 1 の入力に結合されており、前記第 2 の n 型トランジスタはダイオード構成で設けられており、さらに、前記第 1 の n 型トランジスタおよび第 2 の n 型トランジスタは、前記第 1 の n 型トランジスタと前記第 2 の n 型トランジスタのベース - エミッタ電圧の差が前記第 2 の n 型トランジスタに結合された負荷抵抗の両端間に発生することができるように、異なる電流密度で動作するように構成されており、ベース - エミッタ電圧の前記差は P T A T 電圧であり、前記回路はさらに、第 1 の p 型トランジスタおよび第 2 の p 型バイポーラトランジスタを備え、前記第 1 の p 型トランジスタは、前記増幅器の出力ノードと前記増幅器の反転入力との間にフィードバック構成で設けられ、前記第 2 の p 型トランジスタは、ベースおよびコレクタが前記抵抗器を介して前記第 2 の n 型トランジスタに共通に結合されたダイオード構成で設けられ、前記第 1 の p 型トランジスタのベースは、前記第 1 の n 型トランジスタのベースおよび前記増幅器の反転入力に結合され、前記第 1 の p 型トランジスタのコレクタは、前記第 1 の n 型トランジスタのコレクタおよび前記増幅器の非反転入力に結合され、前記第 1 の p 型トランジスタと前記第 1 の n 型トランジスタの構成は、前項増幅器により実現される増幅の前の前記信号の前増幅を実現することを特徴とする電圧回路。

【請求項 2】

前記カレントミラー回路は、マスタトランジスタおよびスレーブトランジスタを備え、前記マスタトランジスタは前記第 2 の n 型トランジスタに結合され、前記スレーブトランジスタは前記第 1 の n 型トランジスタに結合され、前記マスタトランジスタは前記第 2 の p 型トランジスタであり前記スレーブトランジスタは前記第 2 の p 型トランジスタであることを特徴とする請求項 1 に記載の回路。

【請求項 3】

前記スレーブトランジスタおよび第 1 のトランジスタは、増幅器の第 1 段を形成していることを特徴とする請求項 2 に記載の回路。

【請求項 4】

前記負荷抵抗は、前記第 1 の n 型トランジスタのベースと前記第 2 の n 型トランジスタのコレクタの間に直列に設けられていることを特徴とする請求項 1 に記載の回路。

【請求項 5】

前記第 1 の n 型トランジスタのベースは、前記第 2 の n 型トランジスタのコレクタに直接結合され、前記負荷抵抗は、前記第 2 の n 型トランジスタのエミッタと前記第 1 の n 型トランジスタのエミッタの間に直列に設けられていることを特徴とする請求項 1 に記載の回路。

【請求項 6】

前記第 1 の n 型トランジスタおよび第 2 の n 型トランジスタのエミッタは、両方とも、第 2 の負荷抵抗を介して接地に結合されていることを特徴とする請求項 1 に記載の回路。

【請求項 7】

前記第 1 の n 型トランジスタおよび前記スレーブトランジスタのベース - エミッタ電圧は、絶対温度に対して相補的 (C T A T) な電圧を与え、前記相補的な電圧は、前記増幅器によって前記 P T A T 電圧と組み合わせられて前記増幅器の出力に電圧基準を与えることを特徴とする請求項 2 に記載の回路。

【請求項 8】

前記第 1 の n 型トランジスタおよび第 2 の n 型トランジスタのエミッタは、両方とも、第 2 の負荷抵抗を介して接地に結合され、前記回路は、湾曲補正を行うように構成された追加の回路を備え、前記追加の回路は、C T A T 電流源および第 3 の負荷抵抗を備え、前記第 3 の負荷抵抗は、前記第 1 の n 型トランジスタおよび第 2 の n 型トランジスタのエミッタに結合されており、それによって、前記第 2 の負荷抵抗および第 3 の負荷抵抗の値の調整を、湾曲を補正するために使用することができることを特徴とする請求項 7 に記載の回路。

【請求項 9】

前記 C T A T 電流は、第 2 の組のカレントミラー回路によってミラーされ、前記第 2 の組のカレントミラー回路はマスタトランジスタとスレーブトランジスタを備え、さらに、前記第 3 の負荷抵抗の両端間に T l o g T の型の信号を発生させるために、前記スレーブトランジスタのコレクタに反映される C T A T 電流が前記増幅器の出力から取り出されるように前記スレーブトランジスタは 2 つのダイオード接続トランジスタを通して前記増幅器の出力に結合され、前記第 3 の負荷抵抗は前記スレーブトランジスタに結合されていることを特徴とする請求項 7 に記載の回路。

【請求項 10】

前記 C T A T 電流源は、前記回路の外に設けられていることを特徴とする請求項 9 に記載の回路。

【請求項 11】

第 4 の負荷抵抗をさらに備え、前記第 4 の負荷抵抗は、前記増幅器の出力と前記第 1 の n 型トランジスタと第 2 の n 型トランジスタの共通に結合されたエミッタとの間に設けられ、前記第 4 の負荷抵抗を設けることによって、前記増幅器の出力に与えられる電圧の調整が可能になることを特徴とする請求項 9 に記載の回路。

【請求項 12】

前記マスタトランジスタおよびスレーブトランジスタのエミッタ面積は、前記マスタトランジスタおよびスレーブトランジスタが異なる電流密度で動作しそれによって前記回路の開ループ利得を高めるように、異なっていることを特徴とする請求項 2 に記載の回路。

【請求項 13】

第 1 の入力と第 2 の入力を有し、かつ前記第 1 の入力および第 2 の入力にそれぞれ結合された第 1 のトランジスタおよび第 2 のトランジスタを有する第 1 の増幅器を備える電圧回路であって、前記第 1 のトランジスタは、前記増幅器が前記第 1 のトランジスタのベー

スノードとコレクタノードを同じ電位に保つように前記増幅器の前記第 2 の入力にさらに結合されており、前記第 2 のトランジスタは、前記 2 つのトランジスタのベース - エミッタ電圧の差が負荷の両端間に発生することができるように、前記第 1 のトランジスタの電流密度と比べてより高い電流密度で動作可能であり、さらに、前記回路は、前記増幅器の出力と前記第 1 のトランジスタおよび第 2 のトランジスタとの間のフィードバック経路に設けられたカレントミラー回路を備えるようにさらに構成されており、前記カレントミラーは、前記トランジスタの各々のベース - コレクタ電圧が最小限になるように前記第 1 のトランジスタおよび第 2 のトランジスタにベース電流を供給するように構成され、それによってアーリ効果を軽減させ、前記カレントミラー回路は、マスタトランジスタおよびスレーブトランジスタを備え、前記マスタトランジスタは前記第 2 のトランジスタに結合され、前記スレーブトランジスタは前記第 1 のトランジスタに結合され、前記スレーブトランジスタおよび第 1 のトランジスタは、増幅器の第 1 段を形成するように構成されていることを特徴とする電圧回路。

【請求項 14】

前記マスタトランジスタおよびスレーブトランジスタは、p 型トランジスタとして設けられ、前記第 1 のトランジスタおよび第 2 のトランジスタは、n 型トランジスタとして設けられていることを特徴とする請求項 13 に記載の回路。

【請求項 15】

前記マスタトランジスタおよびスレーブトランジスタは、n 型トランジスタとして設けられ、前記第 1 のトランジスタおよび第 2 のトランジスタは、p 型トランジスタとして設けられていることを特徴とする請求項 14 に記載の回路。

【請求項 16】

前記負荷は、前記第 1 のトランジスタのベースと前記第 2 のトランジスタのコレクタの間に直列に設けられていることを特徴とする請求項 13 に記載の回路。

【請求項 17】

前記第 1 のトランジスタのベースは、前記第 2 のトランジスタのコレクタに直接結合され、前記負荷は、前記第 2 のトランジスタのエミッタと前記第 1 のトランジスタのエミッタの間に直列に設けられていることを特徴とする請求項 13 に記載の回路。

【請求項 18】

前記第 1 のトランジスタおよび第 2 のトランジスタのエミッタは、両方とも、第 2 の負荷を介して接地に結合されていることを特徴とする請求項 13 に記載の回路。

【請求項 19】

前記第 1 のトランジスタおよび前記スレーブトランジスタのベース - エミッタ電圧は、絶対温度に対して相補的 (C T A T) な電圧を与え、前記相補的な電圧は、前記増幅器によって、前記 2 つのトランジスタのベース - エミッタ電圧の差によってもたらされ前記負荷の両端間に発生した P T A T 電圧と組み合わせられて、前記増幅器の出力に電圧基準を与えることを特徴とする請求項 14 に記載の回路。

【請求項 20】

前記第 1 のトランジスタおよび第 2 のトランジスタのエミッタは、両方とも、第 2 の負荷を介して接地に結合され、前記回路は、湾曲補正を行うように構成された追加の回路を備え、前記追加の回路は、C T A T 電流源および第 3 の負荷を備え、前記第 3 の負荷は、前記第 1 のトランジスタおよび第 2 のトランジスタのエミッタに結合されており、それによって、前記第 2 の負荷および第 3 の負荷の値の調整を、湾曲を補正するために使用することができることを特徴とする請求項 19 に記載の回路。

【請求項 21】

前記 C T A T 電流は、第 2 の組のカレントミラー回路によってミラーされ、前記第 2 の組のカレントミラー回路は、マスタトランジスタとスレーブトランジスタを備え、さらに、前記第 3 の負荷抵抗の両端間に T l o g T の型の信号を発生させるために、前記スレーブトランジスタのコレクタに反映される C T A T 電流が前記増幅器の出力から取り出されるように前記スレーブトランジスタは 2 つのダイオード接続トランジスタを通して前記増

幅器の出力に結合され、前記第 3 の負荷は前記スレーブトランジスタに結合されていることを特徴とする請求項 20 に記載の回路。

【請求項 22】

前記 C T A T 電流源は、前記回路の外に設けられていることを特徴とする請求項 20 に記載の回路。

【請求項 23】

第 4 の負荷をさらに備え、前記第 4 の負荷は、前記増幅器の出力と前記第 1 のトランジスタと第 2 のトランジスタの共通に結合されたエミッタとの間に設けられ、前記第 4 の負荷を設けることによって、前記増幅器の出力に与えられる電圧の調整が可能になることを特徴とする請求項 20 に記載の回路。

【請求項 24】

前記マスタトランジスタおよびスレーブトランジスタのエミッタ面積は、前記マスタトランジスタおよびスレーブトランジスタが異なる電流密度で動作しそれによって前記回路の開ループ利得を高めるように、異なっていることを特徴とする請求項 14 に記載の回路。

【請求項 25】

増幅器に第 1 の入力および第 2 の入力を与える第 1 のアームおよび第 2 のアームを備えるトランジスタのブリッジ構成を備えた、前記増幅器が次いで出力として電圧基準を与えるバンドギャップ電圧基準回路であって、前記ブリッジの各アームはトランジスタを備え、前記第 2 のアームのトランジスタは前記第 1 のアームのトランジスタの電流密度と比べてより高い電流密度で動作可能であり、その結果、前記第 1 のトランジスタと第 2 のトランジスタのベース - エミッタ電圧の差を反映する電圧が前記第 2 のアームの一部として設けられた抵抗回路網の中の抵抗器の両端間に発生するようになり、さらに、前記第 1 のアームは、前記回路網の中の中間点で前記第 2 のアームに結合され、前記ブリッジは、前記増幅器が前記第 1 のアームのトランジスタのベース - コレクタ電圧を減少させるように前記増幅器の出力からの前記電圧基準に結合され、前記回路は、カレントミラー回路をさらに備え、前記カレントミラー回路はマスタトランジスタおよびスレーブトランジスタを備え、前記マスタトランジスタは前記第 2 のアームのトランジスタに結合され、前記スレーブトランジスタは前記第 1 のアームのトランジスタに結合され、前記スレーブトランジスタおよび前記第 1 のアームのトランジスタは、増幅器の第 1 段を形成していることを特徴とするバンドギャップ電圧基準回路。

【請求項 26】

前記マスタトランジスタおよびスレーブトランジスタは、p 型トランジスタとして設けられ、前記第 1 のトランジスタおよび第 2 のトランジスタは、n 型トランジスタとして設けられていることを特徴とする請求項 25 に記載の回路。

【請求項 27】

前記マスタトランジスタおよびスレーブトランジスタは、n 型トランジスタとして設けられ、前記第 1 のトランジスタおよび第 2 のトランジスタは、p 型トランジスタとして設けられていることを特徴とする請求項 25 に記載の回路。

【請求項 28】

前記抵抗器は、前記第 1 のアームのトランジスタのベースと前記第 2 のアームのトランジスタのコレクタの間に直列に設けられていることを特徴とする請求項 25 に記載の回路。

【請求項 29】

前記第 1 のアームのトランジスタのベースは、前記第 2 のアームのトランジスタのコレクタに直接結合され、前記抵抗器は、前記第 2 のアームのトランジスタのエミッタと前記第 1 のアームのトランジスタのエミッタの間に直列に設けられていることを特徴とする請求項 28 に記載の回路。

【請求項 30】

前記第 1 のアームのトランジスタおよび前記第 2 のアームのトランジスタのエミッタは

、両方とも、前記回路網の第 2 の抵抗器を介して接地に結合されていることを特徴とする請求項 28 に記載の回路。

【請求項 31】

前記第 1 のアームのトランジスタおよび前記スレーブトランジスタのベース - エミッタ電圧は、絶対温度に対して相補的 (CTAT) な電圧を与え、前記相補的な電圧は、前記増幅器によって、前記 2 つのアームのトランジスタのベース - エミッタ電圧の差によってもたらされ前記抵抗器の両端間に発生した PTAT 電圧と組み合わせられて、前記増幅器の出力に電圧基準を与えることを特徴とする請求項 25 に記載の回路。

【請求項 32】

前記第 1 のアームのトランジスタおよび前記第 2 のアームのトランジスタのエミッタは、両方とも、前記回路網の第 2 の抵抗器を介して接地に結合されており、前記回路は、湾曲補正を行うように構成された追加の回路を備え、前記追加の回路は、CTAT 電流源および第 3 の抵抗器を備え、前記第 3 の抵抗器は、前記第 1 のアームのトランジスタおよび前記第 2 のアームのトランジスタのエミッタに結合されており、それによって、前記第 2 の抵抗器および第 3 の抵抗器の値の調整を、湾曲を補正するために使用することができることを特徴とする請求項 31 に記載の回路。

【請求項 33】

前記 CTAT 電流は、一組のカレントミラー回路によってミラーされ、前記カレントミラー回路は、マスタトランジスタとスレーブトランジスタを備え、さらに、前記第 3 の抵抗器の両端間に $\log T$ の型の信号を発生させるために、前記スレーブトランジスタのコレクタに反映される CTAT 電流が前記増幅器の出力から取り出されるように前記スレーブトランジスタは 2 つのダイオード接続トランジスタを通して前記増幅器の出力に結合され、前記第 3 の抵抗器は前記スレーブトランジスタに結合されていることを特徴とする請求項 32 に記載の回路。

【請求項 34】

前記 CTAT 電流源は、前記回路の外に設けられていることを特徴とする請求項 32 に記載の回路。

【請求項 35】

第 4 の抵抗器をさらに備え、前記第 4 の抵抗器は、前記増幅器の出力と前記第 1 のアームのトランジスタおよび前記第 2 のアームのトランジスタの共通に結合されたエミッタとの間に設けられ、前記第 4 の抵抗器を設けることによって、前記増幅器の出力に与えられる電圧の調整が可能になることを特徴とする請求項 33 に記載の回路。

【請求項 36】

第 1 の入力および第 2 の入力を有しかつ出力に電圧基準を与える第 1 の増幅器を備えるバンドギャップ電圧基準回路であって、

前記第 1 の入力に結合され、前記回路の第 1 のトランジスタおよび第 2 のトランジスタを有する第 1 のアームであって、前記第 1 のトランジスタおよび第 2 のトランジスタの各々のベースは互いに結合され、前記第 1 のトランジスタは前記増幅器の出力にさらに結合されているものである第 1 のアームと、

前記第 2 の入力に結合され、前記回路の第 3 のトランジスタおよび第 4 のトランジスタ、および負荷抵抗器を有する第 2 のアームであって、前記第 4 のトランジスタは前記第 2 のトランジスタのエミッタ面積よりも大きなエミッタ面積を有し、前記第 3 のトランジスタは前記増幅器の出力に結合されているものである第 2 のアームとを備え、

前記負荷抵抗器は、使用中に、前記バンドギャップ基準電圧の形成で使用するための、前記第 2 のトランジスタと第 4 のトランジスタのベース - エミッタ電圧の適量の差 V_{be} を与え、

前記第 1 のトランジスタと第 2 のトランジスタの前記共通に結合されたベースは、前記第 3 のトランジスタのベースおよび前記増幅器の前記第 2 の入力にさらに結合され、それによって、前記第 1 のアームと第 2 のアームを結合し、かつ 3 つのトランジスタすべてに

ベース電流を供給し、前記増幅器は、使用中に、前記第 1 のトランジスタのベースとコレクタを同じ電位に保つことを特徴とするバンドギャップ電圧基準回路。

【請求項 37】

バンドギャップ基準回路を実現する方法であって、

第 1 の入力および第 2 の入力を有し、使用中に電圧基準を出力に発生する第 1 の増幅器を設けるステップと、

前記第 1 の入力に結合され、前記回路の第 1 のトランジスタおよび第 2 のトランジスタを有する第 1 のアームを設けるステップであって、前記第 1 のトランジスタおよび第 2 のトランジスタの各々のベースは互いに結合され、前記第 1 のトランジスタは前記増幅器の出力にさらに結合されるステップと、

前記第 2 の入力に結合され、前記回路の第 3 のトランジスタおよび第 4 のトランジスタ、および負荷抵抗器を有する第 2 のアームを設けるステップであって、前記第 4 のトランジスタは前記第 2 のトランジスタのエミッタ面積よりも大きなエミッタ面積を有し、前記第 3 のトランジスタは前記増幅器の出力に結合されるステップと

を含み、その結果、使用中に、

前記負荷抵抗器は、使用中に、前記バンドギャップ基準電圧の形成で使用するための、前記第 2 のトランジスタと第 4 のトランジスタのベース - エミッタ電圧の適量の差 V_{be} を与えるようになり、さらに、

前記第 1 のトランジスタと第 2 のトランジスタの前記共通に結合されたベースは、前記第 3 のトランジスタのベースおよび前記増幅器の前記第 2 の入力にさらに結合され、それによって、前記第 1 のアームと第 2 のアームを結合し、かつ 3 つのトランジスタすべてにベース電流を供給し、前記増幅器は、使用中に、前記第 1 のトランジスタのベースとコレクタを同じ電位に保つことを特徴とする方法。