(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 114342569 A
(43)申请公布日 2022.04.12

(21)申请号 202080057850.9
(22)申请日 2020.08.19
(30)优先权数据
19192262.4 2019.08.19 EP
(85)PCT国际申请进入国家阶段日
2022.02.16
(86)PCT国际申请的申请数据
PCT/EP2020/073185 2020.08.19
(87)PCT国际申请的公布数据
WO2021/032775 EN 2021.02.25
(71)申请人 德国艾托特克有限两合公司
地址 德国柏林
(72)发明人 A•厄兹柯克 B•雷恩特斯 M•厄兹柯克 M•米尔科维奇 M•尤克哈尼斯 H•布吕格曼 S•兰普雷希特 K-J•马泰加特
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 林斯凯
(51)Int.Cl.
H05K 1/11(2006.01)
H05K 3/42(2006.01)

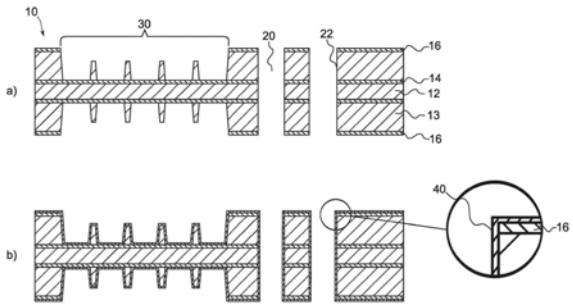
权利要求书3页 说明书12页 附图15页

(54)发明名称

高密度互连印刷电路板的制造顺序及高密度互连印刷电路板

(57)摘要

本发明涉及一种制备包含用铜填充的穿孔及/或格栅结构的高密度互连印刷电路板(HDI PCB)或IC衬底的方法,其包括以下步骤:a)提供多层衬底,所述多层衬底包括(i)绝缘核心层,其具有外围表面,或(i')堆叠组合件,其包括嵌入于两个导电夹层之间的绝缘核心层及附接于所述导电夹层上且具有外围表面的至少一个外绝缘层,(ii)任选覆盖层,其覆盖所述外围表面,及(iii)至少一个穿孔,其延伸穿过所述多层衬底的所有层;及格栅结构,其具有延伸穿过所述任选覆盖层且部分延伸于所述绝缘核心层中或延伸穿过至少所述任选覆盖层及所述外绝缘层中的至少一者的多个狭槽;b)在所述格栅结构的内表面上,分别在所述覆盖层上及在所述穿孔的内表面上形成非铜导电层或铜层;c)在所述非铜导电层上或在所述铜层上形成图案化遮蔽膜;d)在一个步骤中在所述穿孔内部电沉积足以形成两个盲微通孔的铜内密封件,分别在所述格栅结构的所述内表面的所述非铜导电层上或所述铜层上及在所述非铜导电层或所述铜层的剩余外围表面上电沉积铜嵌体;e)移除所述遮蔽膜;及f)在一个步骤中在所述盲微通孔中,分别在所述铜嵌体及在所述第一铜层上电沉积铜填充物。



CN 114342569 A

1.一种制备包含用铜填充的穿孔及/或格栅结构的高密度互连印刷电路板(HDI PCB)或IC衬底的方法,所述方法包括以下步骤:

a)提供多层衬底(10),其包括

(i)绝缘核心层(12),其具有外围表面,或

(i')堆叠组合件,其包括嵌入于两个导电夹层(14)之间的绝缘核心层(12)及附接于所述导电夹层(14)上且具有外围表面的至少一个外绝缘层(13),

(ii)任选覆盖层(16),其覆盖所述外围表面,及

(iii)至少一个穿孔(20),其延伸穿过所述多层衬底(10)的所有层,及/或

格栅结构(30、32),其具有延伸穿过所述任选覆盖层(16)且部分延伸于所述绝缘核心层(12)中或延伸穿过至少所述任选覆盖层(16)及所述外绝缘层(13)中的至少一者的多个狭槽(36);

b)在所述格栅结构(30、32)的内表面上,分别在所述覆盖层(16)上及在所述穿孔(20)的内表面(22)上形成非铜导电层(40)或铜层(40);

c)在所述非铜导电层(40)上或在所述铜层(40)上形成图案化遮蔽膜(50);

d)在一个步骤中在所述穿孔(20)内部电沉积足以形成两个盲微通孔(64)的铜内密封件(62),分别在所述格栅结构(30、32)的所述内表面的所述非铜导电层(40)上或所述铜层(40)上电沉积铜嵌体(66)及在所述非铜导电层(40)或所述铜层(40)的剩余外围表面上电沉积第一铜层(60);

e)移除所述遮蔽膜(50);及

f)在一个步骤中在所述盲微通孔(64)中,分别所述铜嵌体(66)及在所述第一铜层(60)上电沉积铜填充物(70)。

2.根据权利要求1所述的方法,其中所述穿孔(20)具有在从30μm到1000μm的范围内的直径及/或所述多个狭槽(36)具有在从30μm到300μm的范围内的直径。

3.根据权利要求1或2所述的方法,其中步骤b)的所述非铜导电层(40)优选选自由以下各者组成的群组:金属或金属合金层;导电金属氧化物层;由石墨、石墨炔、石墨二炔制成的碳层;有机层。

4.根据前述权利要求中任一权利要求所述的方法,其中所述非铜导电层(40)是由以下中的一或多者形成:无电镀敷工艺、无电沉积工艺、物理沉积工艺、化学气相沉积工艺或等离子体增强型化学气相沉积工艺。

5.根据前述权利要求中任一权利要求所述的方法,其中在所述穿孔(20)内部电沉积所述铜内密封件(62)及电沉积第一铜层(60)的步骤d)包含将所述多层衬底(10)浸入到具有作为阴极连接的所述非铜导电层(40)的电解铜镀敷系统中的电解浴中,所述镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源,其中所述电解浴包括酸、铜离子源、Fe^{2+}及/或Fe^{3+}离子源及用于控制经沉积铜的物理-机械性质的至少一种添加剂;及

在所述不溶性尺寸稳定阳极与所述非铜导电层(40)之间施加电压,使得电流在其之间流动持续足以电沉积铜以形成所述铜内密封件(62)及在所述外围非铜导电层(40)上形成第一铜层(60)的时间,其中在所述电解浴中建立Fe^{2+}/Fe^{3+}氧化还原系统以提供通过溶解来自所述铜金属源的铜离子而电沉积的额外铜离子。

6.根据前述权利要求中任一权利要求所述的方法,其中电沉积所述铜填充物(70)的步

骤f)包含将所述多层衬底(10)浸入到具有作为阴极连接的所述非铜导电层(40)的电解铜镀敷系统中的电解浴中,所述镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源,其中所述电解浴包括酸、铜离子源、Fe^{2+}及/或Fe^{3+}离子源及用于控制经沉积铜的物理-机械性质的至少一种添加剂;及

在所述不溶性尺寸稳定阳极与所述铜层(40)或非铜导电层(40)之间施加电压,使得电流在其之间流动持续足以电沉积铜以在所述盲微通孔(64)及铜嵌体(66)中形成所述铜填充物(70)的时间,同时减小所述第一铜层(60)的层厚度,其中在所述电解质浴中建立Fe^{2+}/Fe^{3+}氧化还原系统以提供通过溶解来自所述铜金属源而非所述第一铜层(60)的所述铜的铜离子而电沉积的额外铜离子。

7.根据权利要求5及/或6所述的方法,其中所述酸优选选自由以下各者组成的群组:硫酸、甲烷磺酸、焦磷酸、氟硼酸及氨基磺酸。

8.根据权利要求5到7中任一权利要求所述的方法,其中所述铜离子源是铜(II)盐,优选选自由以下各者组成的群组:硫酸铜(II)、五水硫酸铜(II)、七水硫酸铜(II)、甲烷磺酸铜(II)、焦磷酸铜(II)、氟硼酸铜(II)及氨基磺酸铜(II)。

9.根据权利要求5到8中任一权利要求所述的方法,其中所述亚铁离子源是Fe(II)盐,优选选自由以下各者组成的群组:七水硫酸铁(II)、乙酸铁(II)、丙酸铁(II)、苯甲酸铁(II)及六氟硅酸铁(II)。

10.根据权利要求5到9中任一权利要求所述的方法,其中所述铁离子源包括Fe(III)盐,优选选自由以下各者组成的群组:九水硫酸铁(III)、乙酸铁(III)、丙酸铁(III)、苯甲酸铁(III)及六氟硅酸铁(III)。

11.根据权利要求5到10中任一权利要求所述的方法,其中所述电压以具有包含正向电流脉冲及反向电流脉冲的双极性脉冲的反向脉冲形式施加。

12.根据权利要求5到11中任一权利要求所述的方法,其中局部电流效率通过调整以下中的至少一者来控制

所述铜离子源的浓度,

所述亚铁离子源的浓度,

所述铁离子源的浓度,

所述反向电流脉冲的持续时间及

所述电解浴的温度。

13.根据权利要求12所述的方法,其中所述电解浴包括

在从20g/l到150g/l的范围内的浓度的所述铜离子源,及/或

在从1g/l到40g/l的范围内的浓度的所述亚铁离子源,及/或

在从0.1g/l到40g/l的范围内的浓度的所述铁离子源。

14.根据权利要求12或13所述的方法,其中所述反向电流脉冲的所述持续时间在从0毫秒到200毫秒的范围内调整。

15.根据前述权利要求中任一权利要求所述的方法,其中延伸穿过所述多层衬底(10)的所有层的所述至少一个穿孔(20)及/或

具有延伸穿过所述任选覆盖层(16)且部分延伸于所述绝缘核心层(12)中或延伸穿过至少所述任选覆盖层(16)及所述外绝缘层(13)中的至少一者的多个狭槽(36)的所述格栅

结构(30、32)的HDD表面因子是从1.1到5。

16.根据前述权利要求中任一权利要求所述的方法,其中步骤f)的所述铜填充物的所得厚度导致所述穿孔及/或格栅结构上方的从10μm到300μm、优选从10μm到100μm的薄且均匀铜层厚度的铜层厚度。

17.根据前述权利要求中任一权利要求所述的方法,其中相较于不具有穿孔及/或格栅结构的高度,步骤f)的所述穿孔及/或格栅结构上方的所得铜镀敷厚度的高度差是从0到40%。

18.一种包含用铜填充的穿孔(20)的高密度互连印刷电路板(HDIPCB)或IC衬底,所述HDIPCB通过根据前述权利要求中任一权利要求所述的方法获得。

高密度互连印刷电路板的制造顺序及高密度互连印刷电路板

技术领域

[0001] 本发明涉及高密度互连印刷电路板(HDI PCB)的制造顺序及通过所述制造顺序获得的高密度互连印刷电路板。

背景技术

[0002] 目前,高密度互连印刷电路板(HDI PCB)是借助于例如减成法、半加成法(SAP)、改进型半加成法(mSAP)或高级改进型半加成法(amSAP)的方法来制造。特定来说,mSAP及amSAP构成用于制造下一代HDI PCB的有希望的变动,从而允许超细微通孔结构、线/空间宽度≤30μm(L/S)且因此提供更高互连复杂性。

[0003] 此外,热消散结构需要集成到HDI PCB中以防止局部过热。此类热消散结构可(例如)包含延伸穿过HDI PCB且用导热材料(例如铜)填充的穿孔。另一热消散结构可为提供于HDI PCB的上表面或下表面处的格栅。此外,所述格栅结构的孔是用导热材料(例如铜)填充。因此,HDI PCB的制造工艺还可考虑用铜填充此热消散结构。

[0004] 常规mSAP顺序以铜包覆衬底开始,其中铜覆盖层可为3μm到9μm厚且所述衬底包含单侧或双侧盲微通孔(BMV)。工艺的第一步骤是无电沉积铜,在铜包覆衬底的外围表面及微通孔的内表面上分布薄金属晶种层(0.35μm到0.6μm)以便为后续电沉积步骤提供导电基底。~3μm闪速铜的后续电沉积构成第一铜层且导致经部分填充的微通孔。在下一步骤中层压图案化干膜(掩模)界定线图案(导电迹线)的负型图案;即,所述图案化干膜界定最终PCB的导电迹线之间的间隔区域。在后续步骤中,在第二电沉积步骤中使用特定微通孔填充电解质处理衬底。然而,干膜的后续移除表明,在先前步骤中使用此类特定电解质将产生微通孔垫(微通孔的外端)与图案化铜表面之间的不利铜厚度变动,此又导致后续蚀刻步骤的困难。最后,将通过完全蚀刻第一及第二铜层以及在先前通过干膜界定的区域中的晶种及覆盖层来实现迹线间分离。

[0005] 在L/S分离归因于不断减小的迹线宽度的持续需求而减小时,移除过量铜变为越来越复杂的问题。由于一直存在“过蚀刻”以适应镀铜厚度变动且确保干净迹线间分离(其中迹线宽度<30μm)的趋势,因此存在不可接受的宽度减小以及底切的严重风险。因此,减小铜层的层厚度以及减小厚度变动是本发明的所要目标,以便减小蚀刻工艺期间的所述风险。倘若用铜填充热消散结构(例如穿孔或格栅结构),那么这些问题自然也出现。

[0006] 此外,具有不同穿孔程度的衬底表面区域是以高孔密度(HHD)表面因子为特征。HHD表面因子经定义为包含(例如)所有通孔及/或格栅结构的内表面的总表面(还称为总栅格区域或总栅格表面)与对应区域的外围表面(还称为栅格区域或栅格表面)之间的比率,其中HDD表面因子是1(不存在通孔或其它结构)。内表面的计算将受通孔及格栅结构的直径、通孔彼此间的距离、特定区域内的通孔的数目及衬底的厚度影响。HHD表面因子越高,通孔越多,分别为孔间距(通孔中点之间的距离)越小,通孔的直径越小且通孔及格栅结构扩展通过的衬底(例如,板)的厚度越大。格栅结构可为用于HDI PCB的有效温度调节的重要热消散元件。然而,归因于多个狭槽的非常紧密壁间布置,分别归因于非常小的壁间距离,格

栅结构还构成具有高HHD因子的区域。

[0007] 在施加电压的情况下,HHD表面因子确定所得局部电流密度,即,HHD表面因子越高,电流密度越低。作为电化学沉积工艺的结果,此意味着不同材料状况(变化的局部电流密度)将导致变化的层厚度。然而,层厚度变动将导致后续蚀刻(调平)问题且甚至可引起经堆叠PCB衬底中的层黏着性降低。如果与衬底的表面(具有高及低HHD表面因子的区域)的复杂性相比,在填充之后的所得层厚度的变动太高,那么无法执行后续工艺步骤且客户将拒绝衬底。

[0008] 在此上下文中,填充具有高HHD表面因子的微通孔、穿孔及/或格栅结构或还组合填充具有不同HHD表面因子的微通孔、穿孔及/或格栅结构特别具有挑战性。

[0009] 在最高级技术中,描述用于填充穿孔的各种工艺。

[0010] 例如,US 2007/0163887 A1描述制造电路载体的方法,其包括:在提供印刷电路板之后,在其至少一个侧上用电介质涂覆电路板;结构化电介质以使用激光消融在其中产生沟槽及通孔。接下来,将底漆层沉积到电介质上、到电介质的整个表面上或仅到所产生的沟槽及通孔中。将金属层沉积到底漆层上,其中沟槽及通孔完全用金属填充以在其中形成导体结构。最后,如果将底漆层沉积到电介质的整个表面上,那么移除过量金属及底漆层直到暴露电介质,其中导体结构保持完整。

[0011] 然而,通过使用减成法,形成具有沟槽及通孔的区域与不具有此类结构的区域之间的非常不相等的铜表面分布。例如,无法通过蚀刻移除这些差异,这是因为所有区域将以相同方式进行蚀刻,其中表面高度的差异不会消失。因此,此方法不适于具有高HHD表面因子的区域的HDI PCB生产。此外,通过使用加成法,在用金属完全填充时,在具有沟槽及通孔的区域中发生强过度镀敷。稍后必须移除此金属。

[0012] 例如,通过使用现有技术减成法,可实现在给定条件(10μm的金属镀敷厚度)下具有1的HHD表面因子的衬底表面区域。在镀敷(完全填充)具有1的HHD表面因子的衬底表面区域A及具有1.2的HHD表面因子的邻近衬底表面区域B的相同条件下,区域A中的可实现金属镀敷厚度再次为10μm,而同时由于总栅格表面高出17%,因此衬底表面区域B的可实现金属厚度仅为8.3μm。不同表面区域中的铜表面的这些不同高度在此实例中导致1.7μm或17%的高度差(或镀敷厚度)。作为另一实例,3的HHD表面因子在此实例中将导致区域B中的3.3μm厚度且导致6.7μm或67%的高度差。以后衬底的表面上的此类表面厚度差不能或不能容易地均化。因此,所述方法不适于应用于HHD表面镀敷的领域中。

[0013] WO 2006/032346 A1描述两步沉积技术,其首先通过完全或几乎完全填充孔中心而从穿孔提供两个孔,从而产生各自在靠近孔中心的端处封闭的盲孔。通过增加穿孔中心的区域中的散射来调整穿孔中心的区域中的沉积物形状,从而提供V形或圆形窄部分沉积物。用于填充盲孔的后续工艺也为已知的且在最高级技术中描述。

[0014] 一个实例可为描述特别适于铣削微盲孔的电解铜沉积工艺的EP 1 264 918A1。此处,在虚拟镀敷阶段中使用惰性阳极有助于维持及改进电解质的填充能力。

[0015] 然而,两个步骤的效率取决于在这些电化学工艺中作为用于金属沉积的驱动力应用的(反向)电流脉冲的完全可调整性。由于金属基底层(晶种层)用作这些氧化还原系统中的阴极,因此显然地,材料特性构成重要因素(例如,导电性、熔点)。通常,晶种层由铜制成且通过无电沉积形成。此类无电铜晶种层的缺点在于低抗蚀刻性引起问题,尤其是在将应

用高电流脉冲参数以允许较低电流效率时。此外，归因于例如熔点的物理性质，铜晶种层也可为不合适的，尤其是在应用高电流密度以增加填充工艺期间的处理量时。

[0016] 因此本发明的目的是克服或减少如下文所描述的上述缺点中的至少一者。

发明内容

[0017] 本发明是指一种如技术方案1定义的制备包含用铜填充的穿孔及/或格栅结构的高密度互连印刷电路板(HDI PCB)或IC衬底的方法。所述方法包括以下步骤：

[0018] a)提供多层衬底，其包括

[0019] (i)绝缘核心层，其具有外围表面，或

[0020] (i')堆叠组合件，其具有嵌入于两个导电夹层之间的绝缘核心层及附接于所述导电夹层上且具有外围表面的至少一个外绝缘层，

[0021] (ii)任选覆盖层，其优选由铜制成且覆盖所述外围表面，及

[0022] (iii)至少一个穿孔，其延伸穿过所述多层衬底的所有层；及/或

[0023] 格栅结构，其具有延伸穿过所述任选覆盖层且部分延伸于所述绝缘核心层中或延伸穿过至少所述任选覆盖层及所述外绝缘层中的至少一者的多个狭槽；

[0024] b)在所述格栅结构的内表面上，分别在所述覆盖层上及在所述穿孔的内表面上形成非铜导电层或铜层；

[0025] c)在所述非铜导电层上或在所述铜层上形成图案化遮蔽膜；

[0026] d)在所述穿孔内部电沉积足以形成两个盲微通孔的铜内密封件，分别在所述格栅结构的所述内表面的所述非铜导电层上或所述铜层上及在所述非铜导电层或所述铜层的剩余外围表面上电沉积铜嵌体，全部在一个步骤中；

[0027] e)移除所述遮蔽膜；及

[0028] f)在一个步骤中在所述盲微通孔中，分别所述铜嵌体及在所述第一铜层上电沉积铜填充物。

[0029] 优选地，通过反向脉冲镀敷执行步骤d)的电沉积。

[0030] 优选地，通过使用具有(例如)Fe^{2+}及/或Fe^{3+}离子的源的氧化还原系统及/或其它合适氧化还原对(如V^{4+}及/或V^{5+}离子)来执行步骤f)的电沉积。镀敷可执行为反向脉冲镀敷、脉冲镀敷或DC镀敷，优选为反向脉冲镀敷。

[0031] 根据本发明的另一方面，提供一种包含用铜填充的穿孔的高密度互连印刷电路板(HDI PCB)或IC衬底，其中所述HDI PCB是由上文所描述的方法获得。

[0032] 本发明的另外方面可从附属技术方案或以下描述学习。

[0033] 表述“穿孔及/或格栅结构”及“穿孔及/或格栅结构的结构区域”被视为在以下描述中可互换。

[0034] 关于本发明，特定来说可填充作为穿孔及/或格栅结构的结构，所述结构可经定义为具有高HHD表面因子的穿孔及/或格栅结构的结构区域。HHD表面因子越高，使用本发明越有利。HHD表面因子优选在1.1到5，更优选在1.1到3且最优选在1.1到2的范围内。

[0035] 还可填充具有高HHD表面因子(优选从1.1到5，更有选1.1到3，最优选1.1到2)的具有穿孔及/或格栅结构的结构的区域，且同时镀敷衬底的表面上的具有1的HHD表面因子的区域。

[0036] 如下那样计算本发明中所使用的HHD表面因子：

[0037] HDD表面因子＝总栅格区域/栅格区域。

[0038] 总栅格区域(也为总栅格表面)包含其中定位穿孔(或至少一个穿孔)的区域的表面及穿孔的壁的表面(取决于衬底(例如,板)的数目、直径及厚度)。因此,表面的尺寸受穿孔之间的壁间距离、孔间距(距两个穿孔的两个邻近中心的距离、穿孔的数目及直径以及板的厚度影响。框架区域定位在至少一个穿孔的区域周围,所述框架区域也属于总栅格区域(参见图6(A))。至少一个穿孔的圆周或一定数目个穿孔中的最外穿孔的圆周的部分直接邻近于框架区域。虽然穿孔之间的壁间距离、穿孔的数目及直径可改变,但框架区域的框架的尺寸是固定的以用于将HHD表面因子计算为1mm宽度(参见图6(B))。

[0039] 栅格区域(也为栅格表面)包含其中将定位穿孔(或至少一个穿孔)但在无所述至少一个穿孔的情况下计算的区域的理论表面。相同框架区域(如在总栅格区域中)定位在具有理论表面的区域周围,所述框架区域也属于栅格区域(参见图6(C))。

[0040] 作为获得1.76的HHD表面因子的实际实例,给出以下参数：

[0041] ●栅格5x5槽孔

[0042] -板厚度1,5mm

[0043] -孔径0,2mm

[0044] -孔间距0,4mm

[0045] -壁间0,2mm

[0046] -框架宽度1mm

[0047] -总栅格表面40,8mm^2

[0048] -栅格区域28,8mm^2

[0049] 具有穿孔的区域具有优选400个到20’000个孔、从0.05mm到2.0mm的孔间距、从0.05mm到2.0mm的孔径、从0.2mm到3.2mm的板厚度。

[0050] 在铜填充步骤f)之后,相较于不具有穿孔及/或格栅结构的高度,穿孔及/或格栅结构上方的所得铜镀敷厚度的高度差是从0到40％。衬底还可包含不具有穿孔或格栅结构的区域及具有穿孔及/或格栅结构的区域。

[0051] 鉴于穿孔及/或格栅结构上方的高度或分别鉴于不同区域中的高度,铜填充步骤f)的所得铜镀敷厚度应平均分布,其中具有不同HHD表面因子的区域的高度差是铜镀敷厚度的从0到40％(优选从0到20％)。

[0052] 在本发明的一个实施例中,可填充仅包含具有(例如)从2到5的较高HHD表面因子的具有穿孔的区域及在衬底的表面上的具有1的HHD表面因子的区域的衬底,其中区域的高度差是从0到20％。

[0053] 在本发明的一个实施例中,可填充包含具有(例如)从1.1到5的不同HHD表面因子的具有穿孔及/或格栅结构的区域及在衬底的表面上的具有1的HHD表面因子的区域的衬底,其中区域的高度差是从0到40％。衬底的表面越复杂,不同区域的可允许高度差越可容忍。

[0054] 此外,凭借本发明方法,可提供在穿孔及/或格栅结构的经填充结构或穿孔及/或格栅结构的区域上方的非常均匀且相当的薄及均匀铜表面层。此防止或减少步骤f)之后的蚀刻或抛光步骤。

附图说明

[0055] 所属领域的一般技术人员将通过参考附图详细描述示范性实施例而变得明白特征,其中:

[0056] 图1说明根据本发明的实施例的包含方法的每一步骤a)到f)的横截面图的示意性顺序。

[0057] 图2说明根据本发明的另一实施例的包含方法的每一步骤a)到f)的横截面图的示意性顺序。

[0058] 图3说明根据本发明的另一实施例的包含方法的每一步骤a)到f)的横截面图的示意性顺序。

[0059] 图4a、4b说明根据第一实施例的格栅结构及根据第二实施例的格栅结构的示意性横截面图及相应示意性俯视图。

[0060] 图5说明根据本发明的另一实施例的包含方法的每一步骤a)到f)的横截面图的示意性顺序。

[0061] 图6描述HDD表面因子(A)到(C)。

具体实施方式

[0062] 现将详细参考实施例,其实例在附图中进行说明。将参考附图描述示范性实施例的效应及特征,以及示范性实施例的实施方法。在图式中,相同元件符号指示相同元件,且省略冗余描述。如本文中所使用,术语“及/或”包含相关联列举项中的一或多者的任何及全部组合。此外,在描述本发明的实施例时使用“可”是指“本发明的一或多个实施例”。

[0063] 在本发明的实施例的以下描述中,除非上下文另有明确指示,否则单数形式的术语可包含复数形式。

[0064] 在图式中,可为清楚起见放大元件的尺寸。例如,在图式中,可为说明性目的而任意展示每一元件的尺寸或厚度,且因此本发明的实施例不应被解释为限于此。

[0065] 可通过参考实施例的以下详细描述及随附图式而更容易理解本发明概念的特征及完成本发明概念的方法。在下文中,将参考随附图式更详细描述实例性实施例,其中通篇相同元件符号是指相同元件。然而,本发明可以各种不同形式体现,且不应被解释为仅限于本文中的所说明实施例。更确切的说,这些实施例是作为实例提供,使得本公开将是透彻及完整的,且将向所属领域的技术人员充分传达本发明的方面及特征。因此,可能不描述对于所属领域的一般技术人员完全理解本公开的方面及特征来说并非必要的工艺、元件及技术。

[0066] 如本文中所使用,术语“基本上”、“大约”及类似术语是用作近似术语而非程度术语,且旨在考虑所属领域的一般技术人员将认识到的经测量或经计算值的固有偏差。此外,如果术语“基本上”是结合可使用数值表示的特征使用,那么术语“基本上”表示以所述值为中心的值的+/-5%的范围。此外,在描述本发明的实施例时使用“可”是指“本发明的一或多个实施例”。在本文中,术语“上”及“下”是根据z轴定义。例如,罩盖定位于z轴的上部处,而接地板定位于z轴的下部处。

[0067] 如本文中所使用,术语“铜镀敷厚度”或“高度”是指步骤f)中的经沉积/镀敷层的厚度。如果层经沉积以填充定位于衬底的表面内的穿孔及/或格栅结构,那么铜层的厚度或

铜层的高度可为不同的。因此，从(包含前述步骤的保形层的)衬底的不含有穿孔或格栅结构的表面(HHD表面因子为1)开始计算或从衬底的其中穿孔或格栅结构开始延伸到衬底中的表面(HHD表面因子>1)计算铜层的厚度或高度的给定值。两个“表面”在相同水平上。步骤f)的铜填充的所得厚度导致穿孔及/或格栅结构或穿孔及/或格栅结构的区域上方的优选从10μm到300μm、更优选从10μm到100μm、甚至更优选10μm到30μm的相当的薄及均匀铜层厚度(其中HHD表面因子>1.1，更优选1.1到5)。在此上下文中，“相当”意味着穿孔越长(或如板的衬底的厚度越厚)，第一铜层可越厚。

[0068] 根据本文中所描述的本公开的实施例的电子或电装置及/或任何其它相关装置或组件可利用任何合适硬件、固件(例如，专用集成电路)、软件或软件、固件及硬件的组合来实施。例如，这些装置的各种组件可形成于一个集成电路(IC)芯片上或分开的IC芯片上。此外，这些装置的各种组件可实施于柔性印刷电路膜、卷带式封装(TCP)、印刷电路板(PCB)上或形成于如IC衬底的衬底上。此外，这些装置的各种组件可为于一或多个计算装置中、运行于一或多个处理器上的执行计算机程序指令且与其它系统组件互动以用于执行本文中所描述的各种功能性的工艺或线程。计算机程序指令存储于存储器中，所述存储器可使用标准存储器装置(例如(举例来说)随机存取存储器(RAM))实施于计算装置中。计算机程序指令还可存储于其它非暂时性计算机可读媒体中，例如(举例来说)CD-ROM、随身碟或类似者。此外，所属领域的技术人员应认识到，在不脱离本发明的示范性实施例的范围的情况下，各种计算装置的功能性可组合或集成到单个计算装置中，或特定计算装置的功能性可跨一或多个其它计算装置分布。

[0069] 一般来说，HDI PCB提供最精细迹线结构、最小孔及盲孔及掩孔(微通孔)。因此，HDI技术允许使用垫中通孔及多个微通孔层(经堆叠及交错的通孔)实现高度紧凑、可靠PCB设计。通过使用SBU(连续装配)或SSBU(半连续装配)技术按压更多层，可连接及拆分(unbundled)导电夹层上的信号。此在外层上留出空间用于具有高引脚密度的组件。IPC标准借助于微通孔≤0.15mm及轨迹宽度/距离≤0.1mm来定义HDI电路板。

[0070] HDI层可由双侧核心板或多层PCB装配而成。HDI层可建置于PCB的两侧上。SBU/SSBU工艺由若干步骤组成:层层压、通孔形成、通孔金属化及通孔填充。每一步骤具有多个材料及/或技术选择。特定来说，可用不同材料及工艺填充微通孔。然而，通常用电镀敷铜填充经堆叠微通孔以在多个HDI层之间建立电互连且对微通孔的外层级或对安装于最外铜垫上的组件提供结构支撑。

[0071] 此外，HDI PCB可包含热消散结构，例如用铜填充的穿孔或格栅结构。本发明是指其中用铜填充穿孔及/或格栅结构的制造顺序。

[0072] 本发明可用于建置IC衬底。IC衬底通过迹线及孔的导电网络用作(若干)IC芯片与PCB之间的连接。IC衬底支持包含电路支持及保护、热消散及信号及功率分布的关键功能。IC衬底表示PCB制造中的最高层级的微型化且与半导体制造共有许多相似点。现将参考图1到5中所说明的示范性实施例详细说明制备包含用铜填充的穿孔及/或格栅结构的高密度互连印刷电路板(HDI PCB)或IC衬底的本发明方法。

[0073] 图1展示包含方法的每一步骤a)到f)的横截面图的示意性顺序，其中HDI PCB包含必须用铜填充的穿孔20以及格栅结构30。下文将说明所述顺序的细节。

[0074] 图2及图3说明包含当HDI PCB包含穿孔20时的方法的每一步骤a)到f)的横截面图

的另一示意性顺序。在图2的实施例中，堆叠组合件包括嵌入于两个导电夹层14之间的绝缘核心层12。至少一个外绝缘层13附接于导电夹层14上。在图3的实施例中，穿孔20经提供于HDI PCB的不具有任何导电夹层的区域中。再次，下文将说明顺序的细节。

[0075] 图4a及4b说明两个示范性格栅结构30、32的示意性横截面图及相应示意性俯视图。

[0076] 根据图4a中说明的第一实施例，格栅结构30经提供于HDI PCB的两侧上。格栅结构30包含布置成五个行及列的二十五个狭槽36。狭槽36是由薄壁34分离。狭槽36中的每一者的尺寸可与穿孔20的尺寸相同。狭槽36延伸穿过覆盖层16及外绝缘层13。壁32具有小于绝缘层13的厚度的高度。

[0077] 根据图4b中说明的第二实施例，格栅结构32与图4a的格栅结构30的区别之处在于，薄壁35延伸到与绝缘层13相同的高度且被覆盖层16覆盖。

[0078] 图5说明包含在填充图4a中所说明的格栅结构30的情况中的方法的每一步骤a)到f)的横截面图的示意性顺序。下文将说明顺序的细节。

[0079] 制备包含用铜填充的穿孔20及/或格栅结构30、32的高密度互连印刷电路板(HDI PCB)或IC衬底的本发明方法包括以下步骤：

[0080] a)提供多层衬底10，其包括

[0081] (i)绝缘核心层12，其具有外围表面，或

[0082] (i')堆叠组合件，其包括嵌入于两个导电夹层14之间的绝缘核心层12及附接于导电夹层14上且具有外围表面的至少一个外绝缘层13，

[0083] (ii)任选覆盖层16，其优选由铜制成，且覆盖所述外围表面，及

[0084] (iii)至少一个穿孔20，其延伸穿过多层衬底10的所有层；及/或

[0085] 格栅结构30、32，其具有延伸穿过任选覆盖层16且部分延伸于绝缘核心层12中或延伸穿过至少任选覆盖层16及外绝缘层13中的至少一者的多个狭槽36；

[0086] b)在格栅结构30、32的内表面上，分别在覆盖层16上及在穿孔20的内表面22上形成非铜导电层40或铜层40；

[0087] c)在非铜导电层40上或在铜层40上形成图案化遮蔽膜50；

[0088] d)在一个步骤中在穿孔20内部电沉积足以形成两个盲微通孔64的铜内密封件62，分别在格栅结构30、32的所述内表面的非铜导电层40上或铜层40上及在非铜导电层40或铜层40的剩余外围表面上电沉积铜嵌体66；

[0089] e)移除遮蔽膜50；及

[0090] f)在一个步骤中在盲微通孔64中，分别铜嵌体66及在第一铜层60上电沉积铜填充物70。

[0091] 换句话说，制造顺序在步骤a)中通过提供包括穿孔20及/或格栅结构30、32的多层衬底10而开始，其中多层衬底10可在堆叠组合件的最外层的顶部上层压有覆盖层16。对于如mSAP的HDI应用，覆盖层16是优选的。堆叠组合件的最外层可为绝缘核心层12或外绝缘层13，其又附接到导电夹层14。至少一个导电夹层可嵌入于绝缘核心层与外绝缘层之间。此外，只要至少一个导电夹层可嵌入于绝缘核心层与外绝缘层之间，导电夹层便可嵌入于两个外绝缘层之间。优选地，多层衬底10包括穿孔20及格栅结构30、32两者。

[0092] 根据一个实施例，穿孔20具有在从30μm到1000μm的范围内的直径，及/或多个狭槽

36具有在从30μm到300μm的范围内的直径。

[0093] 穿孔20的直径对衬底10的厚度的纵横比是0.5到13，优选1到4。多个狭槽(36)的直径对狭槽的深度的纵横比是0.5到3。

[0094] 在步骤b)中，非铜导电层40或铜层40经形成于覆盖层16上以及穿孔20的内表面22及/或格栅结构30、32的内表面上。对于一些应用(例如，如SAP法的IC衬底应用，其中具有甚至更小线与空间比)，优选的是不施敷覆盖层16。步骤b)的非铜导电层40可为金属或合金、导电金属氧化物(例如氧化钛)、碳基材料(例如石墨、石墨炔及石墨二炔)、作为导电聚合物的导电有机材料(例如Ecopact CP)。

[0095] 在其中形成铜层40的情况中，此层是由纯铜制成且被理解为包含≥97原子百分比、优选≥99原子百分比、更优选≥99.5原子百分比的铜含量的铜层。此层优选通过湿式化学铜沉积、优选在活化外围表面之后(尤其是如果未形成覆盖层16)形成。

[0096] 在金属或合金的情况中，在非铜导电层40的上下文中的术语“非铜”可被理解为如通过标准化学/仪器分析方法确定的包含≤95原子百分比、优选≤50原子百分比、更优选≤10原子百分比、最优选≤1原子百分比的铜含量的金属或合金。ICP-MS(电感耦合等离子体质谱分析法)可用于分析用作非铜导电层40的相应材料中的铜迹线。换句话说，非铜导电层40并非由纯铜或高纯度铜制成。优选地，形成非铜导电层40，此是因为可更积极地选择步骤d)中的条件及参数，因为含铜层对于在本发明的步骤d)中的电沉积期间的强蚀刻及/或非所要溶解更敏感。换句话说，非铜导电层40可为抗蚀刻的。特定来说，可调整非铜导电层40的抗蚀刻性的程度以便防止由后续电沉积步骤中施加的酸及/或电解质蚀刻，但并不暗示绝对抗蚀刻性。

[0097] 步骤b)的非铜导电层40可通过无电镀敷工艺、无电沉积工艺、物理沉积工艺、化学气相沉积工艺或等离子体增强型化学气相沉积工艺中的一或多者形成。

[0098] 施敷非铜导电层40可使得能够使用具有较低电流效率的高反向脉冲参数来执行无夹杂物镀敷，但还可使得能够在穿孔填充期间使用更高电流密度来实现更高处理量。

[0099] 在步骤c)中，图案化遮蔽膜50经形成于非铜导电层40上。将在步骤e)中移除遮蔽膜50。

[0100] 在步骤d)中且在穿孔20的情况中，通过电沉积在穿孔20内部形成铜内密封件62，从而形成两个盲微通孔64。在格栅结构30、32的情况中，铜嵌体66是由电沉积形成于格栅结构30、32的内表面的非铜导电层40上。另外，第一铜层60经形成于非铜导电层40的剩余外围表面上。工艺是在一个步骤中执行。

[0101] 在一个步骤中在穿孔20内部电沉积铜内密封件62，分别在格栅结构30、32上电沉积铜嵌体66及电沉积第一铜层60的步骤d)可包含将多层衬底10浸入于具有作为阴极连接的非铜导电层40的电解铜镀敷系统中的电解浴中，所述镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源，其中所述电解浴包括酸、铜离子源、亚铁及/或铁离子源及用于控制经沉积铜的物理-机械性质的至少一种添加剂。

[0102] 在浸入步骤d)之后，在不溶性尺寸稳定阳极与非铜导电层40之间施加电压，使得电流在其之间流动持续足以电沉积铜以形成铜内密封件62及/或铜嵌体66以及在外围非铜导电层40上电沉积第一铜层60的时间，其中在电解浴中建立Fe^{2+}/Fe^{3+}氧化还原系统以提供通过溶解来自铜金属源的铜离子而电沉积的额外铜离子。“一个步骤”在本文定义为一个镀

敷机遍次，即，多层衬底经输送穿过电解铜镀敷系统一次。

[0103] 在一个步骤中在穿孔20的盲微通孔64中，在铜嵌体66上及在第一铜层60上电沉积铜填充物70的步骤f)可包含将多层衬底10浸入于具有作为阴极连接的非铜导电层40的电解铜镀敷系统中的电解浴中，所述镀敷系统进一步包括不溶性尺寸稳定阳极及铜金属源，其中所述电解浴包括酸、铜离子源、亚铁及/或铁离子源及用于控制经沉积铜的物理-机械性质的至少一种添加剂。

[0104] 在浸入步骤f)之后，在不溶性尺寸稳定阳极与铜层或非铜导电层40之间施加电压，使得电流在其之间流动持续足以电沉积铜以在盲微通孔64及铜嵌体66中形成铜填充物70的时间，同时减小第一铜层60的层厚度。在电解浴中建立Fe^{2+}/Fe^{3+}氧化还原系统以提供通过溶解来自铜金属源的铜离子而电沉积的额外铜离子。“一个步骤”在本文定义为一个镀敷机遍次，即，多层衬底经输送穿过电解铜镀敷系统一次。反向脉冲镀敷用于电沉积铜。因此，薄及均匀铜层由此步骤f)所引起。

[0105] 包括步骤d)、e)及f)的方法分别构成工艺步骤的显著减少，提供成本降低且实现铜的无夹杂物及无凹坑电沉积。因此，本发明的目标问题可为提供允许对包括穿孔及格栅结构的多层衬底进行具时间及成本效益的铜填充且因此提供具有穿孔的经改进热管理的高质量PCB的方法。

[0106] 关于本发明，相较于不具有下方经填充结构的邻近区域(例如，直接邻近的区域或在还包括由步骤f)制成的铜的至少一个穿孔与格栅结构之间的区域)，可进一步获得在不具有不均匀高度(鉴于经填充结构，如经填充穿孔或经填充格栅结构)的整个经处理衬底上方提供铜镀敷厚度的均匀铜表面的铜填充物。

[0107] 在步骤f)之后，不同HHD表面因子的区域的所得铜层的高度差是铜镀敷厚度的从0到40％，优选从0到20％。

[0108] 优选地，如果HDD表面因子是从1.1到5，那么所得铜层的高度差是从0到40％。更优选地，如果HDD表面因子是从1.1到3，那么所得铜层的高度差是从0到20％，及/或如果HDD表面因子是从2到5，那么所得铜层的高度差是从10％到40％。

[0109] 倘若仅存在两个不同HDD表面因子(1.1到5及1的HDD)，那么差可从0到10％。在具有拥有不同的至少三个HDD表面因子1.1到5(包含1的HHD表面因子)的区域的更复杂表面的情况中，差是10％到40％，优选10％到30％。

[0110] 如果具有穿孔的区域的HDD表面因子是从1.1到5、更优选从1.1到3、最优选是1.1到2，那么优选的是从0到40％的所得铜层的高度差。又优选的是，如果HDD表面因子是从1.1到2，那么所得铜层的高度差是从0到20％。倘若仅存在两个不同HDD表面因子(1.1到2及1的HDD)，那么差可从0到10％。在具有拥有三个或多于三个不同HDD表面因子1.1到5(包含HHD表面因子1)的区域的更复杂表面的情况中，差是从10％到40％，优选10％到30％。

[0111] 如果具有格栅结构的区域的HDD表面因子是从1.1到3，优选从1.1到2，那么优选的是从0到40％的所得铜层的不均匀高度差。更佳的是，如果HDD表面因子是从1.1到2，那么所得铜层的高度差是从0到20％。

[0112] 步骤d)及步骤f)中的酸可选自由以下各者组成的群组：硫酸、甲烷磺酸、焦磷酸、氟硼酸及氨基磺酸。

[0113] 根据一个实施例，铜离子源是铜(II)盐，优选选自由以下各者组成的群组：硫酸铜

(II)、五水硫酸铜(II)、七水硫酸铜(II)、甲烷磺酸铜(II)、焦磷酸铜(II)、氟硼酸铜(II)及氨基磺酸铜(II)。

[0114] 如上文所提及,浴中含有Fe(II)及/或Fe(III)盐。合适铁盐可为七水硫酸铁(II)及九水硫酸铁(II)两者,在短操作时间之后从其中任一者或两者形成有效Fe^{2+}/Fe^{3+}(Fe(II)/Fe(III))氧化还原系统。

[0115] 根据另一实施例,亚铁离子源是Fe(II)盐,优选选自由以下各者组成的群组:七水硫酸铁(II)、乙酸铁(II)、丙酸铁(II)、苯甲酸铁(II)及六氟硅酸铁(II)。

[0116] 在一个实施例中,铁离子源包括Fe(III)盐,优选选自由以下各者组成的群组:九水硫酸铁(III)、乙酸铁(III)、丙酸铁(III)、苯甲酸铁(III)及六氟硅酸铁(III)。

[0117] 这些盐主要适用于含水、酸性铜浴。还可使用其它水溶性铁盐(例如,高氯酸铁)。不含(硬)配位剂(complex former)的盐是有利的。此类配位剂可能在生物上不可降解或仅在某些困难下可能可降解,因此在处置冲洗水(例如,铁铵矾)时,此类盐可能会产生问题。不应使用在铜沉积溶液(例如(举例来说)氯化物或硝酸盐)的情况中具有导致非所要二次反应的阴离子的铁化合物。因此,铁离子的羧酸盐(例如乙酸盐、丙酸盐及苯甲酸盐以及六氟硅酸盐)也为有利的。采用Fe^{2+}/Fe^{3+}氧化还原系统的合适系统是在(例如)WO 2010/094998 A1、WO 2007/112971 A2、US专利第5,976,341号及第6,099,711号中公开,关于此体系的额外细节,可咨询所述案。与使用Fe^{2+}/Fe^{3+}氧化还原系统有关的上述专利的公开内容以引用的方式并入本文中。

[0118] 合适添加剂化合物可为(例如)聚合含氧化合物、有机硫化合物、硫脲化合物、聚合二甲基苯基吡唑酮鎓化合物及聚合氮化合物,以及这些添加剂化合物的任何添加剂化合物中的任两者或多于两者的混合物或组合。

[0119] 合适示范性聚合含氧化合物可包括以下中的一或多者:羧甲基纤维素、壬基酚-聚乙二醇醚、辛二醇-双-(聚伸烷二醇醚)、辛醇聚伸烷二醇醚、油酸聚乙二醇酯、聚乙烯-丙二醇共聚物聚乙二醇、聚乙二醇-二甲醚、聚氧丙二醇、聚丙二醇、聚乙烯醇、硬脂酸聚乙二醇酯、硬脂醇聚乙二醇醚及β-萘酚聚乙二醇醚。

[0120] 合适示范性硫脲类化合物可包括以下中的一或多者:硫脲、N-乙酰硫脲、N-三氟乙酰硫脲、N-乙基硫脲、N-氰基乙酰硫脲、N-烯丙基硫脲邻甲苯基硫脲、N,N'-丁撑硫脲、噻唑烷硫醇、4-噻唑烷硫醇、咪唑啶硫醇(N,N'-亚乙基硫脲)、4-甲基-2-嘧啶硫醇、2-硫脲嘧啶。

[0121] 合适示范性二甲基苯基吡唑酮鎓化合物可包括以下中的一或多者:聚-(6-甲基-7-二甲基胺基-5-苯基二甲基苯基吡唑酮鎓硫酸盐)、聚(2-甲基-7-二乙基胺基-5-苯基二甲基苯基吡唑酮鎓氯化物)、聚(2-甲基-7-二甲基胺基-5-苯基二甲基苯基吡唑酮鎓硫酸盐)、聚(5-甲基-7-二甲基胺基二甲基苯基吡唑酮鎓乙酸盐)、聚(2-甲基-7-苯胺基-5-苯基二甲基苯基吡唑酮鎓硫酸盐)、聚(2-甲基-7-二甲基胺基二甲基苯基吡唑酮鎓硫酸盐)、聚(7-甲基胺基-5-苯基二甲基苯基吡唑酮鎓乙酸盐)、聚(7-乙基胺基-2,5-二苯基二甲基苯基吡唑酮鎓氯化物)、聚(2,8-二甲基1-7-二乙基胺基-5-对甲苯基二甲基苯基吡唑酮鎓氯化物)、聚(2,5,8-三苯甲基1-7-二甲基胺基二甲基苯基吡唑酮鎓硫酸盐)、聚(2,8-二甲基1-7-胺基-5-苯基二甲基苯基吡唑酮鎓硫酸盐)及聚(7-二甲基胺基-5-苯基二甲基苯基吡唑酮鎓氯化物)。

[0122] 合适示范性聚合含氮化合物可包括以下中的一或多者:聚乙烯亚胺、聚亚乙基亚

胺、聚丙烯酰胺、聚丙烯亚胺、聚乙烯丁基亚胺、N-甲基聚乙烯亚胺、N-乙酰基聚乙烯亚胺及N-丁基聚乙烯亚胺。

[0123] 原则上，铜离子将在多层衬底上的电沉积工艺期间消耗。然而，为在电解浴中重新获得铜离子，其无法由不溶性尺寸稳定阳极直接供应。代替性地，其将通过化学溶解铜金属源(即，由铜或含铜成型体制成的牺牲阳极)来提供。可在二次反应器中实现及/或控制铜金属源的溶解且可在主反应器中实现及/或控制电沉积，其中两个反应器经连接。二次反应器可与主反应器连接以便以适当流速在二次反应器与主反应器之间提供电解浴的循环。

[0124] 在此氧化还原系统中，铜离子在使用经溶解Fe(III)盐作为氧化剂的氧化还原反应中由铜金属源(牺牲阳极或含铜成型体)形成。换句话说，Fe(III)离子被还原为Fe(II)离子，而源铜金属被氧化以形成Cu(II)离子。借助于此氧化还原反应，电沉积工艺所需的铜离子的总浓度在电解浴中保持相对恒定。此外，对其施加实际电压的不溶性尺寸稳定阳极保持相同均匀尺寸。如将认识到，以下反应发生：

[0125] 在不溶性尺寸稳定阳极处(电沉积工艺)：

[0126] $Fe^{2+} \rightarrow Fe^{3+} + e^-$

[0127] 在阴极处，即，在多层衬底处(电沉积工艺)：

[0128] $Cu^{2+} + 2e^- \rightarrow Cu^{\circ}$ (主要反应)

[0129] $Fe^{3+} + e^- \rightarrow Fe^{2+}$ (轻微反应)

[0130] 在铜金属源处(Cu^{2+}的无电重新获得)：

[0131] $Cu^{\circ} + 2Fe^{3+} \rightarrow Cu^{2+} + 2Fe^{2+}$

[0132] 当对衬底施加电压时，局部电流密度在具有通孔及格栅结构的区域(所谓的高孔密度区域，HHD区域)与不具有通孔或不具有通孔的区域之间发散，以及其取决于特定区域中的通孔的孔密度。相较于不具有通孔的区域，HHD区域通常具有较低局部电流密度。此外，通孔的孔密度越高，局部电流密度越低。在所述上下文中，衬底的特定区域的HHD表面因子经定义为包含所有通孔或格栅结构的内表面的总表面(还称为总栅格区域或总栅格表面)与对应区域的外围表面(还称为栅格表面)之间的比率。HHD表面因子越高，通孔越多，相应地孔间距(通孔中点之间的距离)越小，通孔的直径越小且电流密度越低。

[0133] 在上文所描述的电沉积工艺中，局部电流效率(即，电子在系统中转移从而促进电化学反应(此处为铜的沉积)的效率)与局部电流密度相关。因此，HHD表面因子越高，局部电流密度越低，局部电流效率越低，即，来自铜沉积的层厚度越小。

[0134] 在上文所描述的氧化还原系统中，局部电流效率进一步取决于电解浴中的Fe^{3+}浓度，即，Fe^{3+}浓度越高，经沉积的铜层的厚度越小。

[0135] 此外，在上文所描述的氧化还原系统中，局部电流效率取决于温度，即，温度越高，经沉积的铜层的厚度越小。

[0136] 此外，在上文所描述的氧化还原系统中，局部电流效率取决于反向电流脉冲的持续时间，即，反向电流脉冲的持续时间越长，经沉积的铜层的厚度越小。

[0137] 根据一个实施例，电压是以具有包含正向电流脉冲及反向电流脉冲的双极性脉冲的反向脉冲形式施加。

[0138] 在另一实施例中，通过调整以下中的至少一者来控制局部电流效率：铜离子源的浓度、亚铁离子源的浓度、铁离子源的浓度、反向电流脉冲的持续时间及电解浴的温度。优

选地，通过调整以下中的至少一者来控制局部电流效率：铁离子源的浓度、反向电流脉冲的持续时间及电解浴的温度。

[0139] 特定来说，如果提高亚铁离子的浓度及/或电解浴的温度，那么电流效率降低。此外，如果缩短反向脉冲的持续时间，那么电流效率也降低。另一方面，电流效率随着铜(II)离子浓度增加而增加。

[0140] 根据一个实施例，电解浴包括在从20g/l到150g/l的范围内的浓度的铜离子源，及/或在从1g/l到40g/l的范围内的浓度的亚铁离子源，及/或在0.1g/l到40g/l的范围内的浓度的铁离子源。

[0141] 反向电流脉冲的持续时间可在0毫秒到200毫秒的范围内调整。

[0142] 此外，正向电流脉冲的持续时间可在0毫秒到200毫秒的范围内调整。

[0143] 在本发明的另一方面中，通过上文所描述的方法获得包含用铜填充的穿孔20的高密度互连印刷电路板(HDI PCB)。

[0144] 参考符号

[0145] 10 多层衬底

[0146] 12 绝缘层

[0147] 14 导电夹层

[0148] 16 覆盖层

[0149] 20 穿孔

[0150] 22 内表面

[0151] 30,32 格栅结构

[0152] 34,35 格栅结构的壁

[0153] 36 狭槽

[0154] 40 非铜导电层或铜层

[0155] 50 图案化遮蔽膜

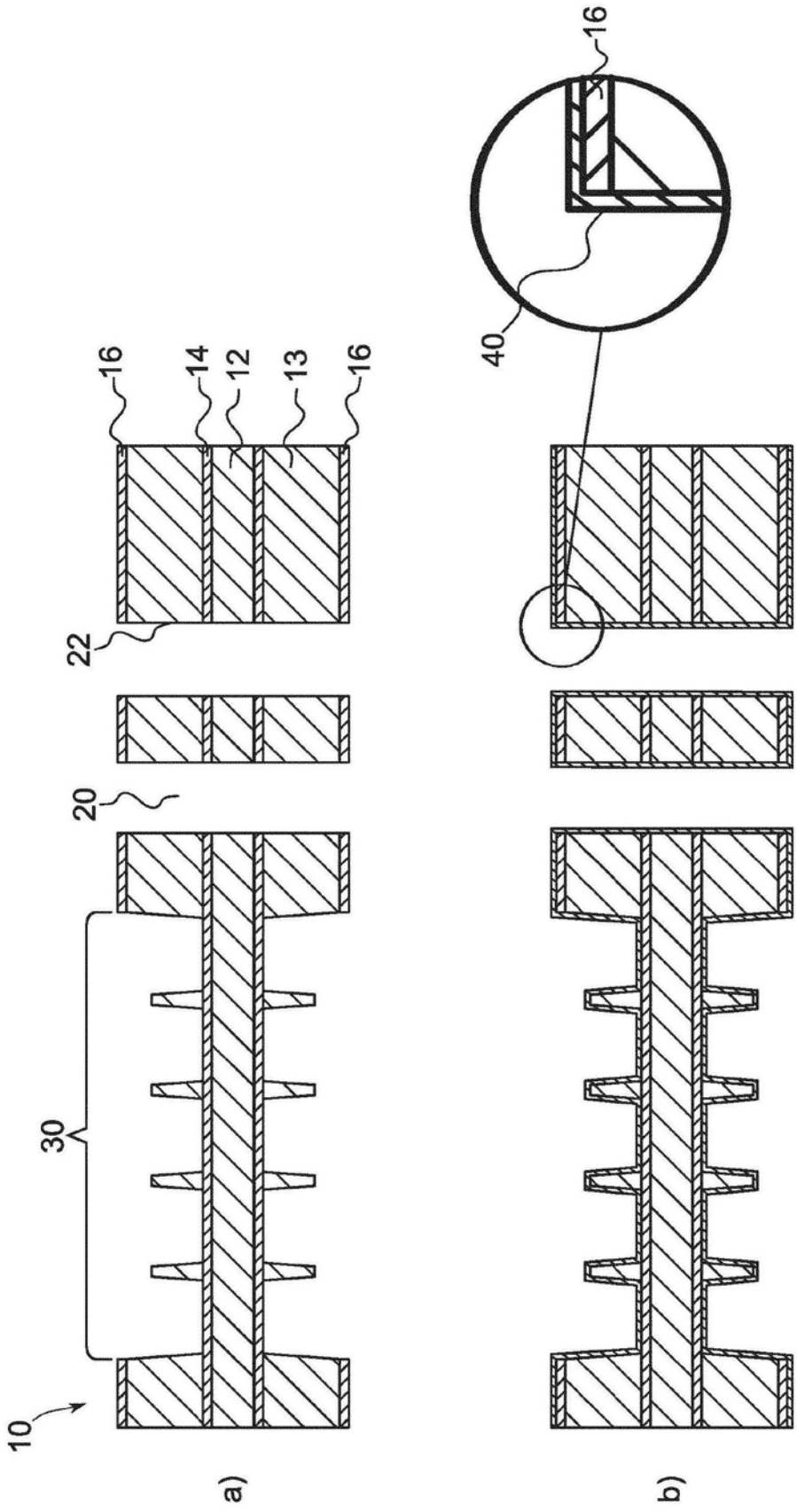
[0156] 60 第一铜层

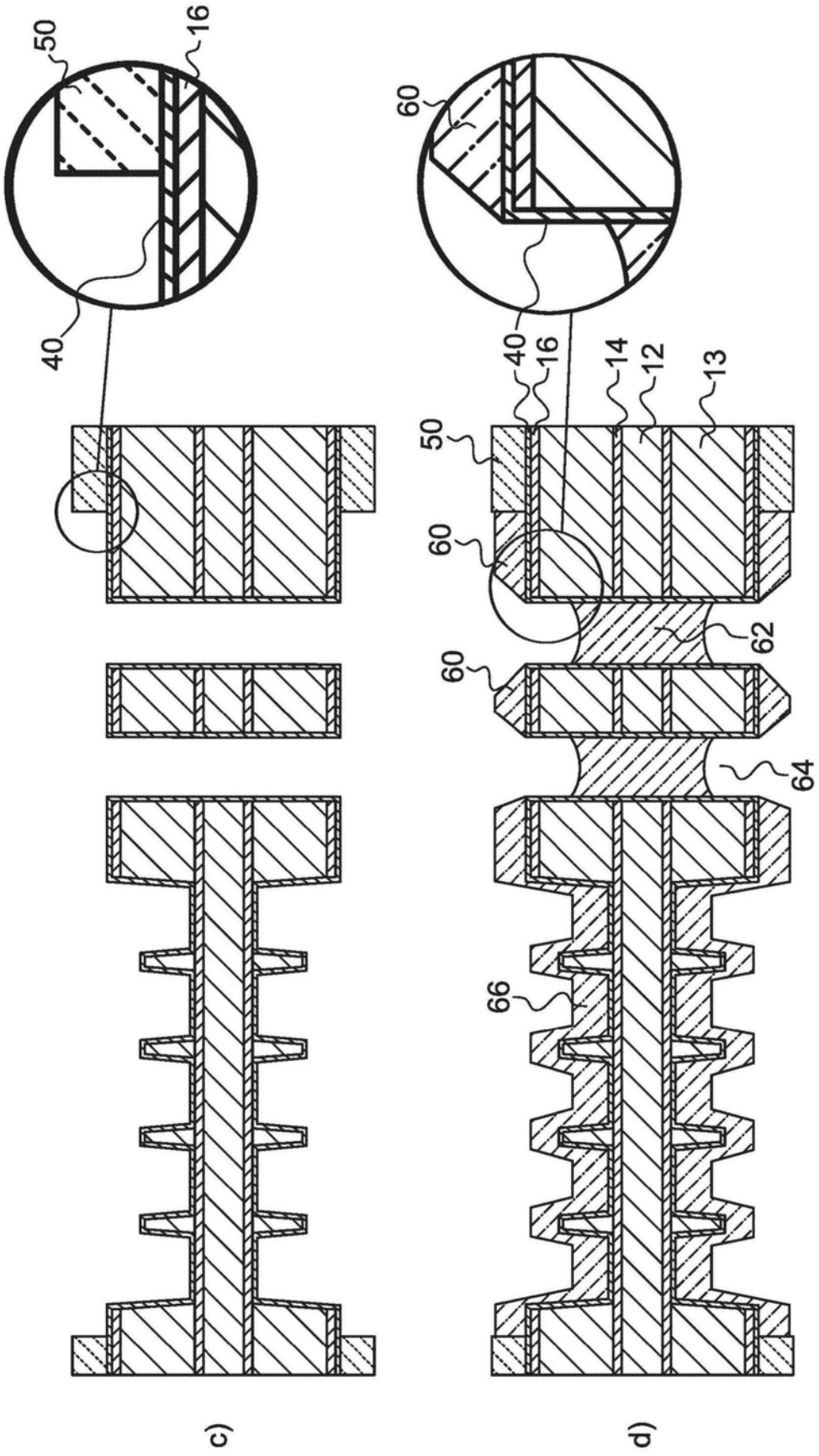
[0157] 62 铜内密封件

[0158] 64 盲微通孔

[0159] 66 铜嵌体

[0160] 70 铜填充物。


16
14
12
13
16
22
20
30
10
a)
16
40
b)


50
16
40
c)
60
40
16
14
12
13
50
60
62
60
64
66
d)

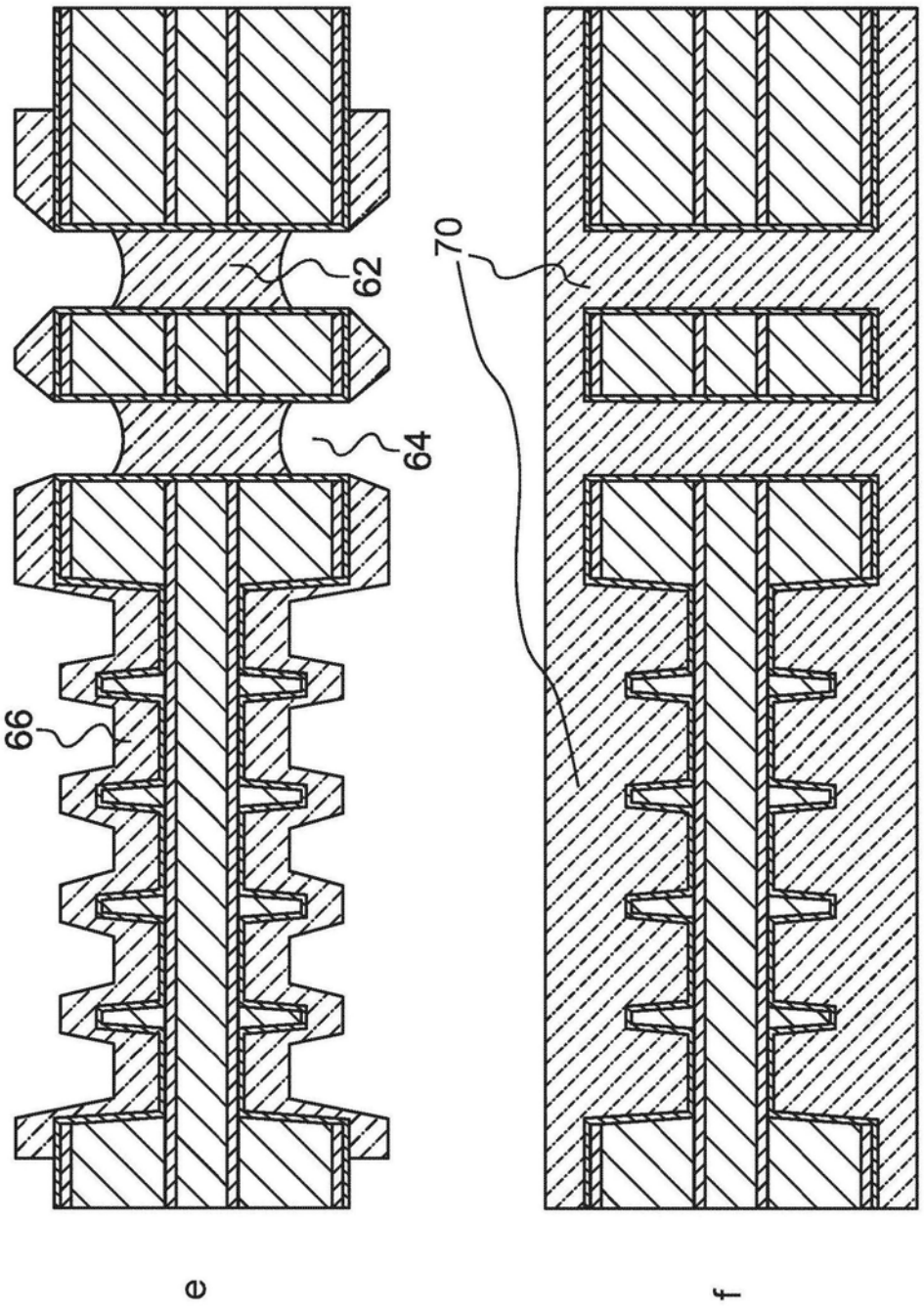
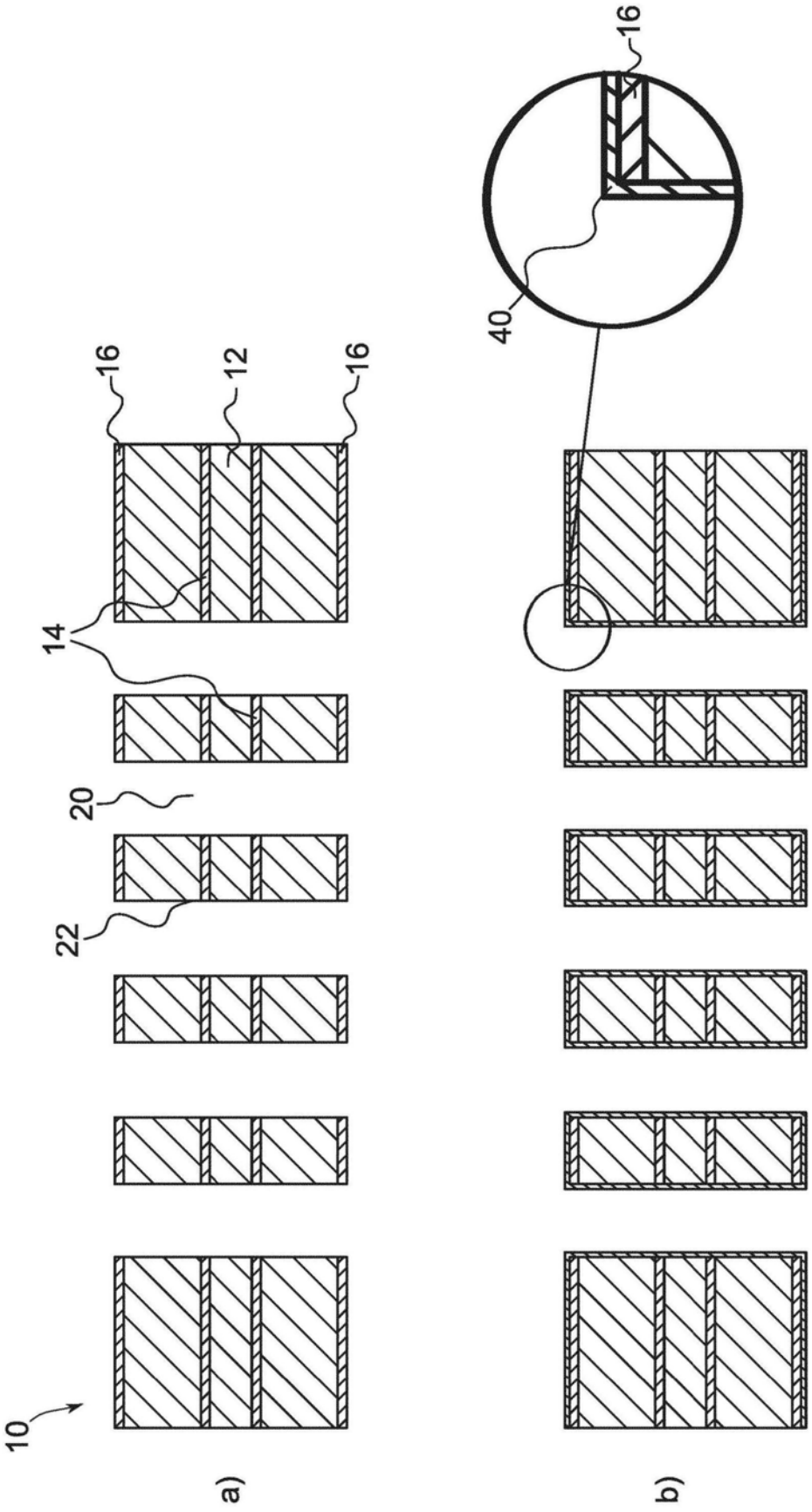
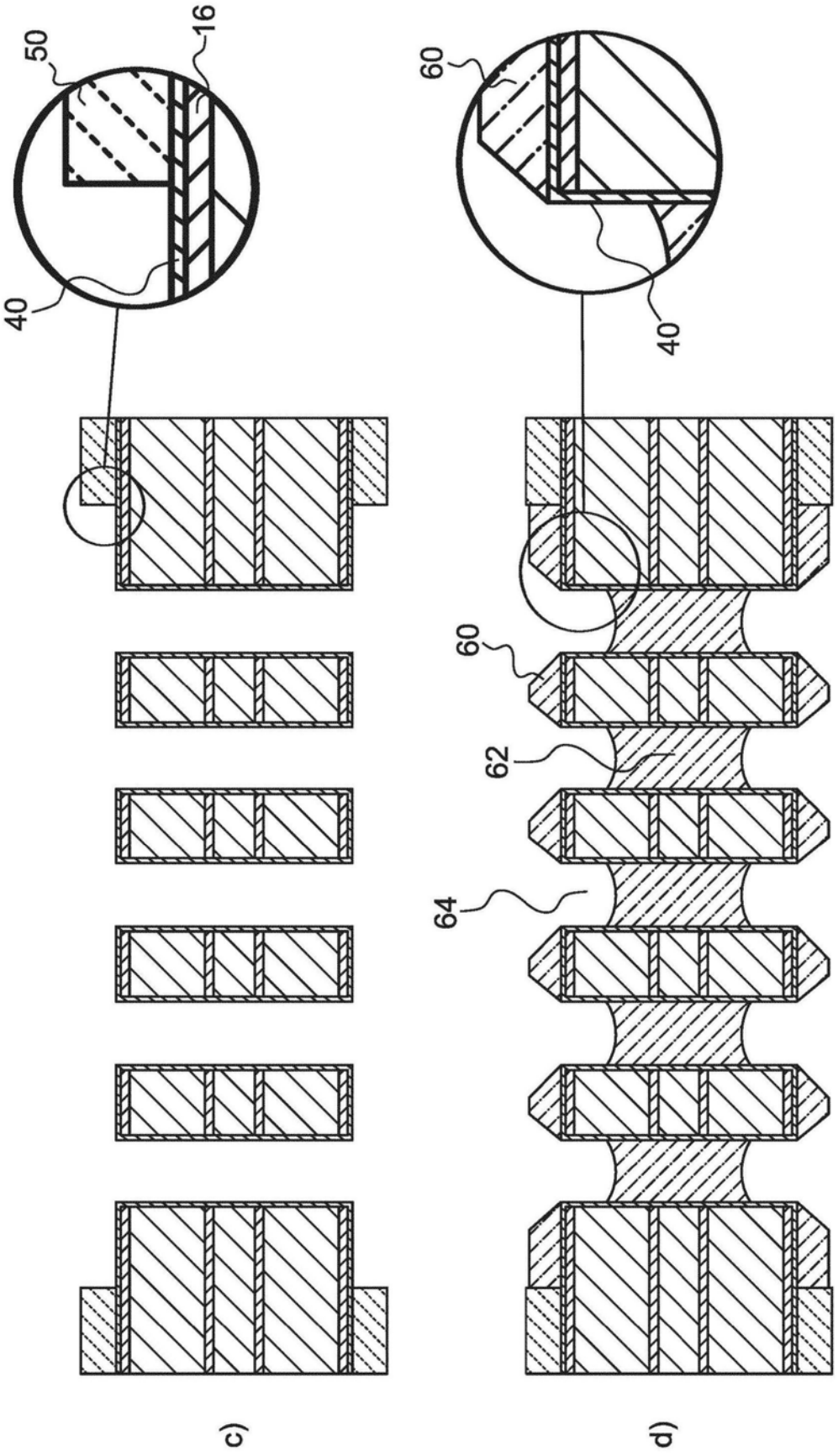


图1


16
12
16
14
20
22
10
a)
16
40
b)


50
16
40
60
40
60
62
64
c)
d)

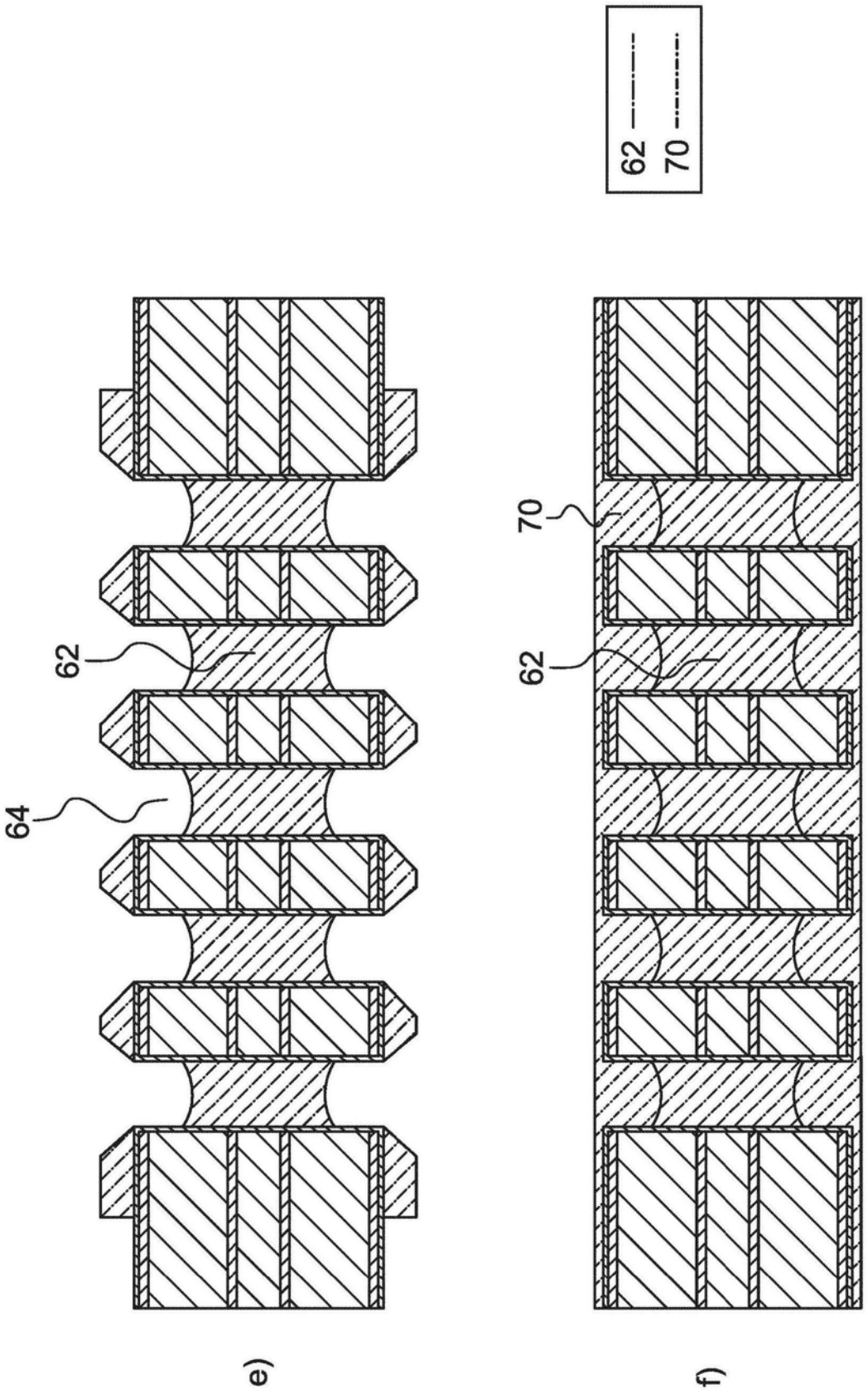
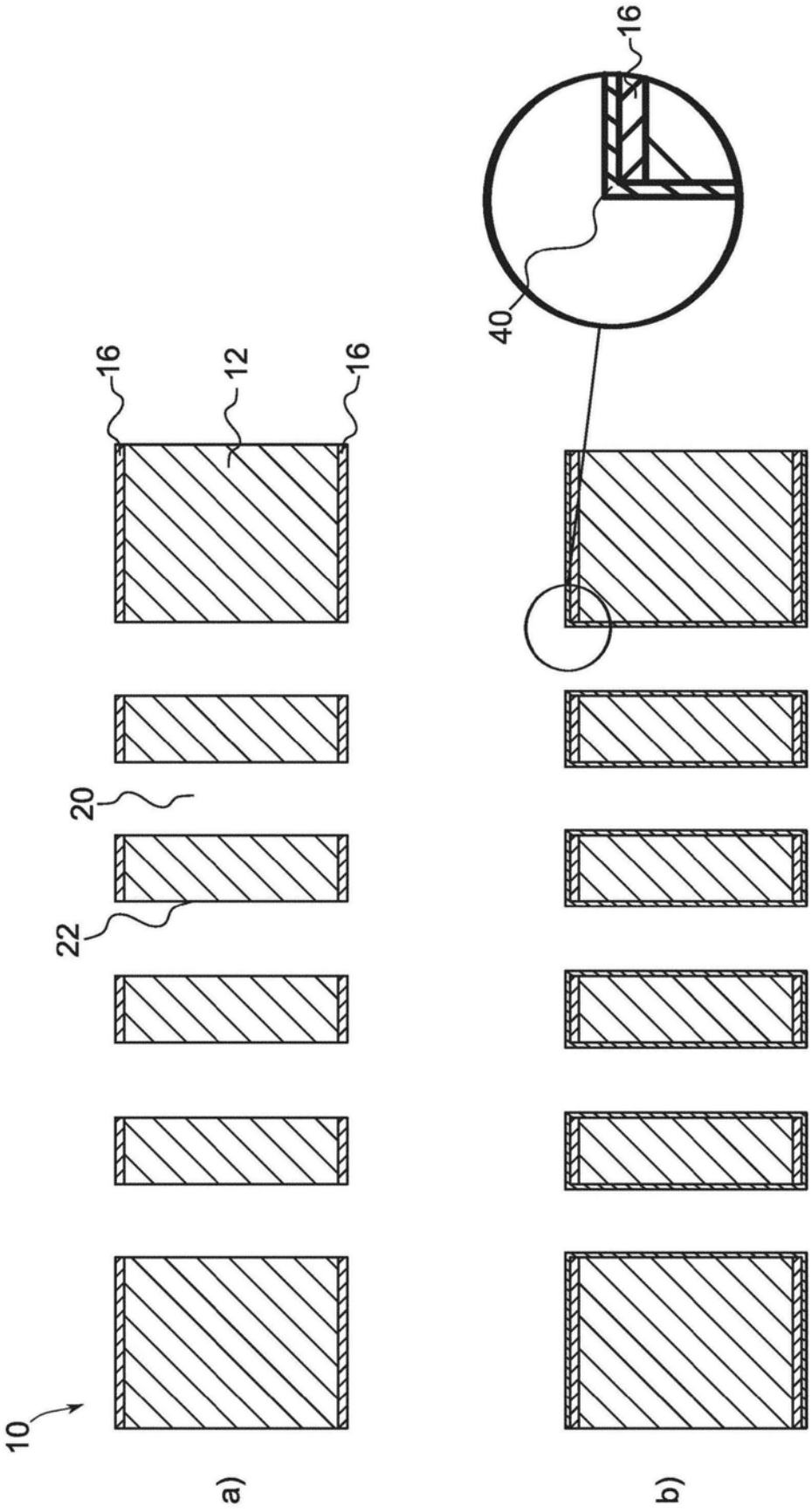
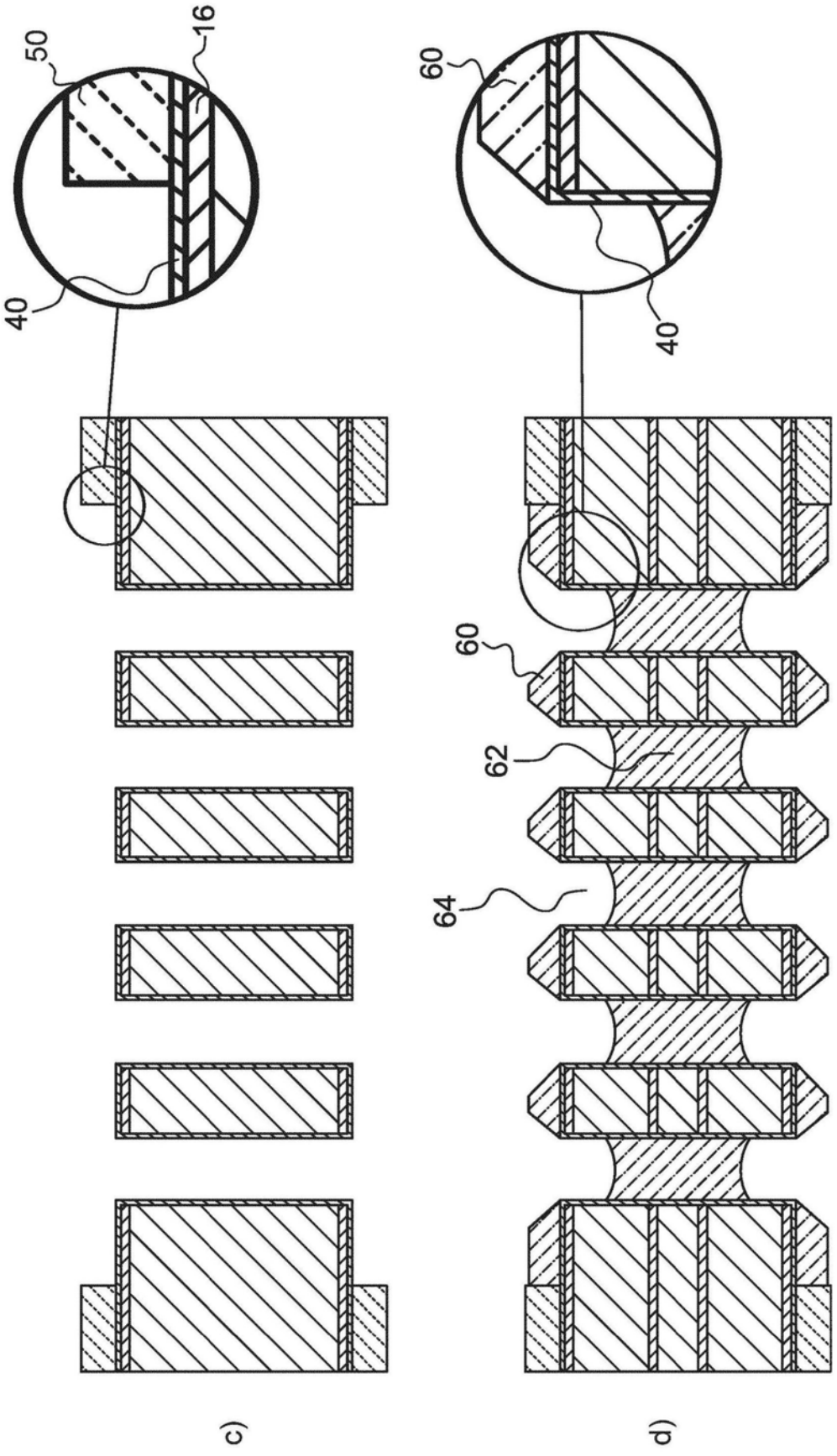


图2


16
12
16
20
22
10
a)
16
40
b)


50
16
40
c)
60
40
60
62
64
d)

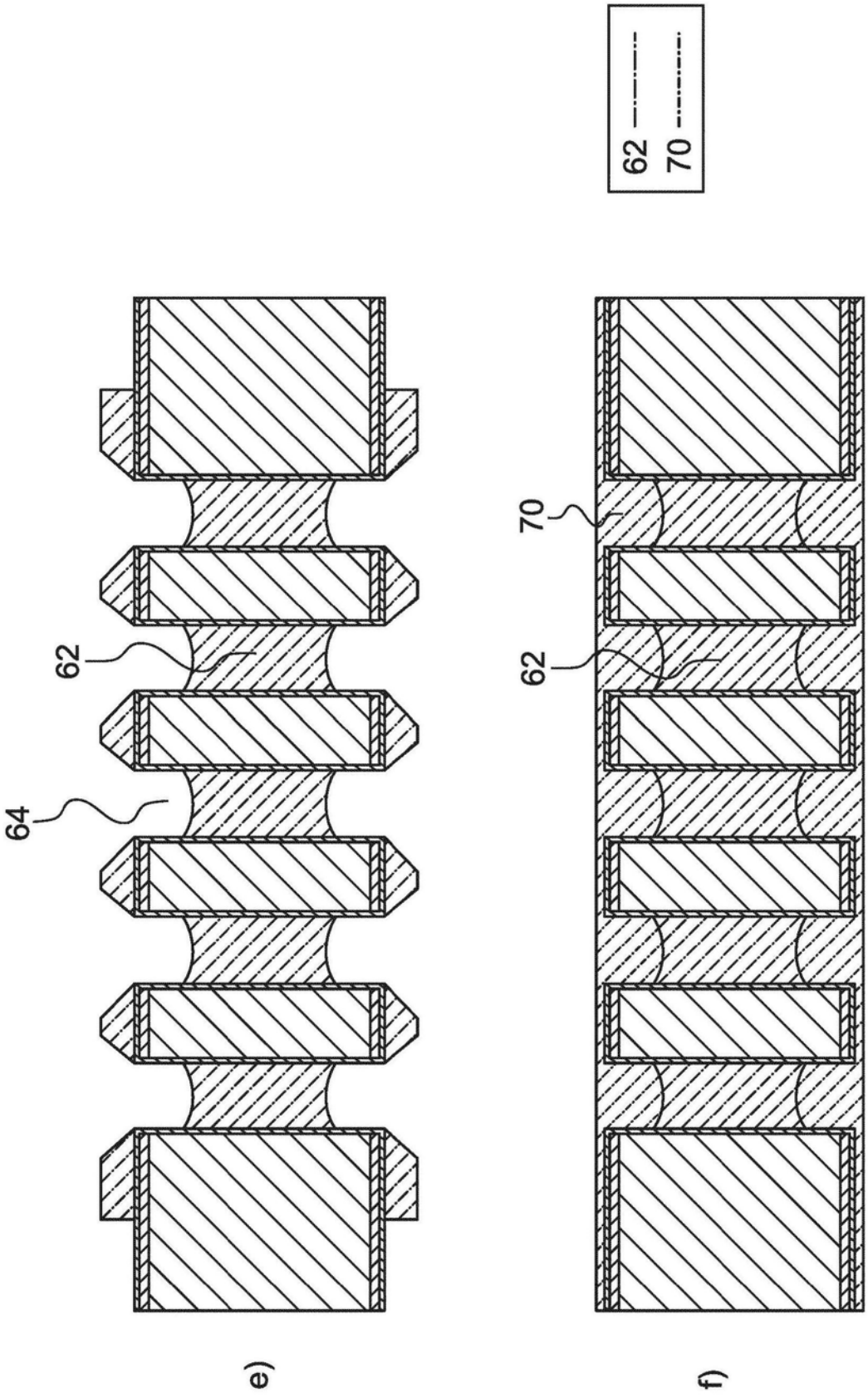


图3

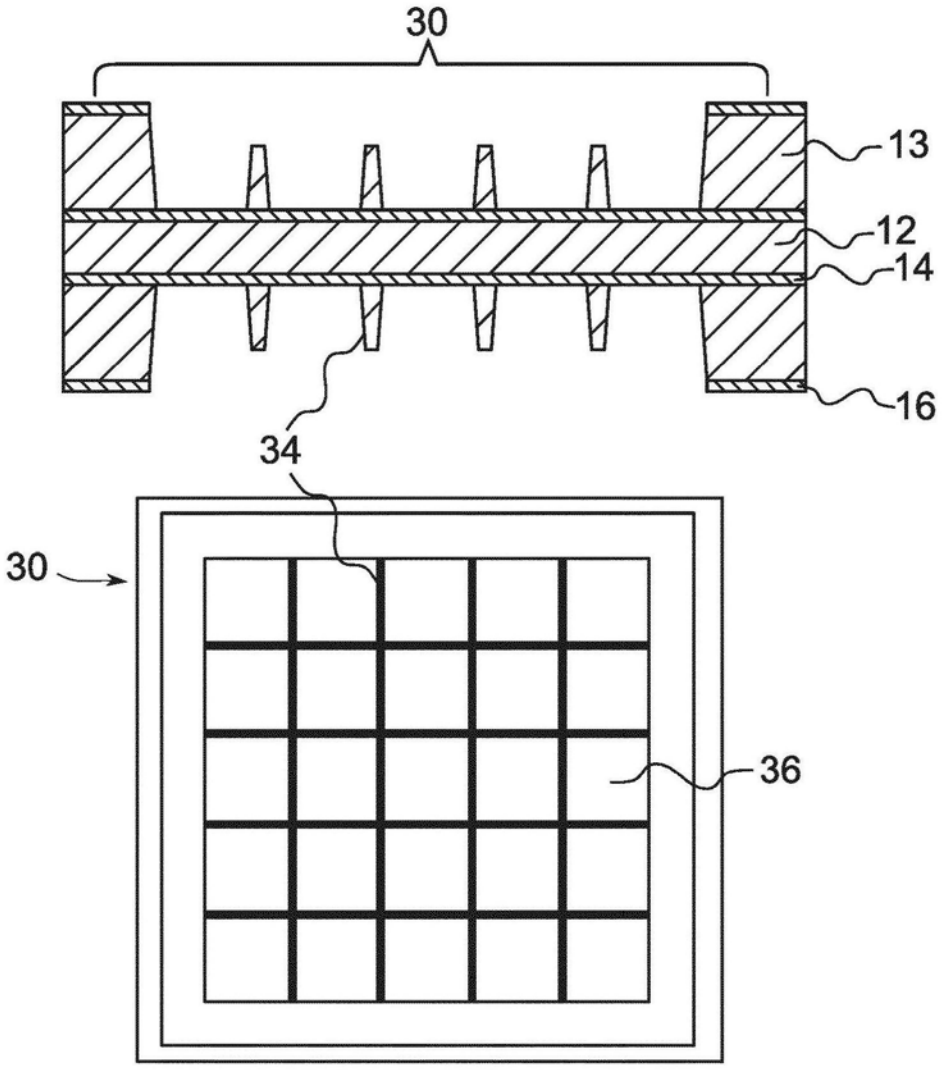


图4a

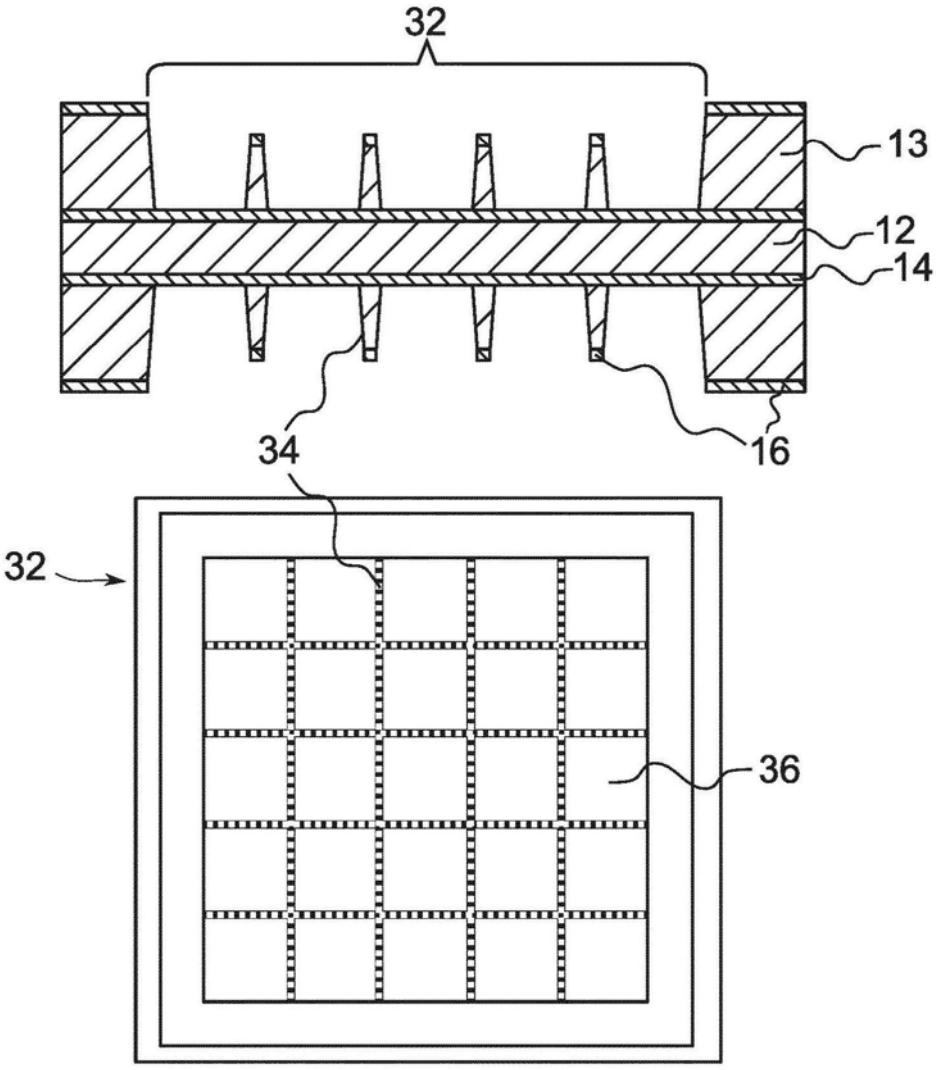
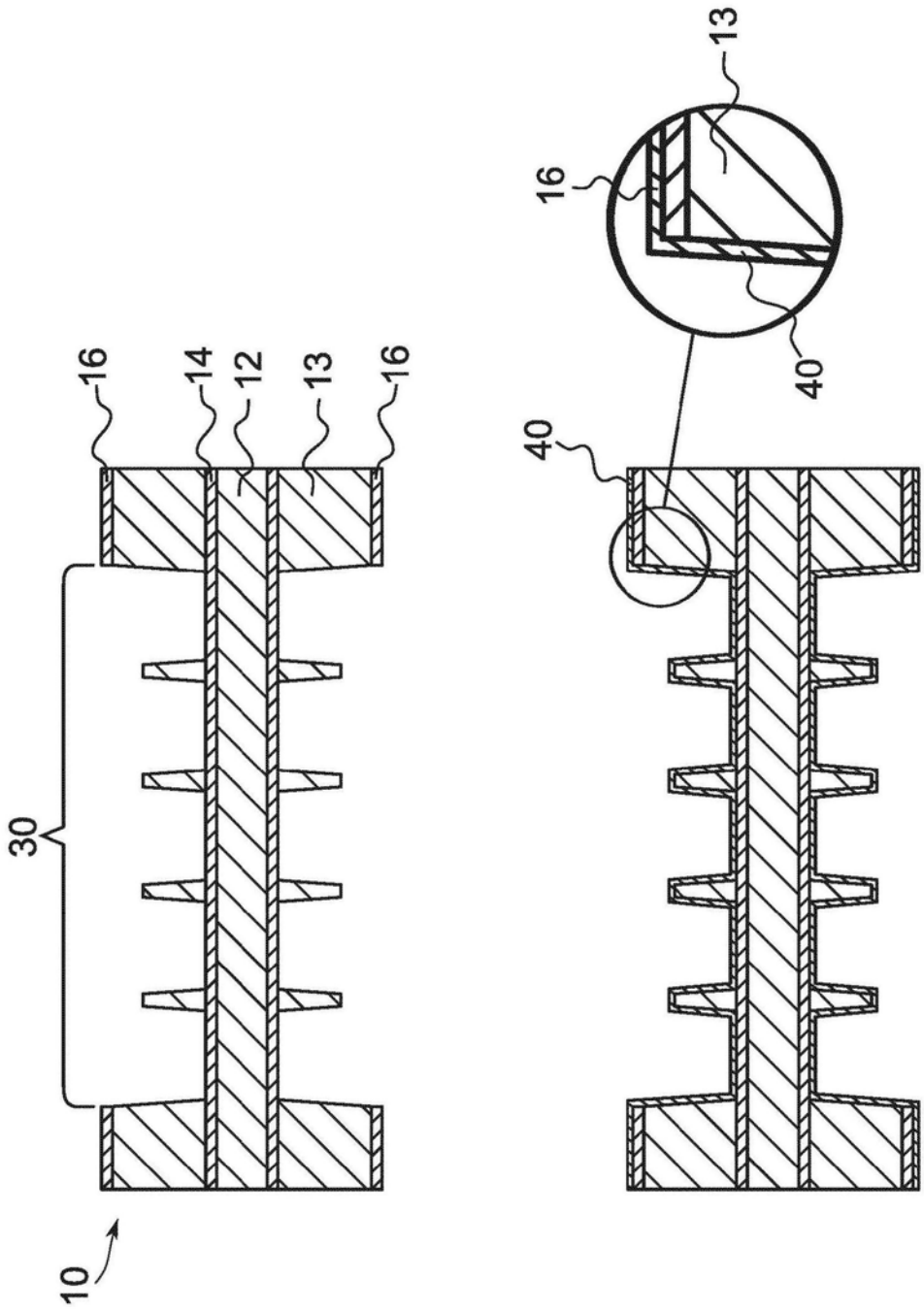
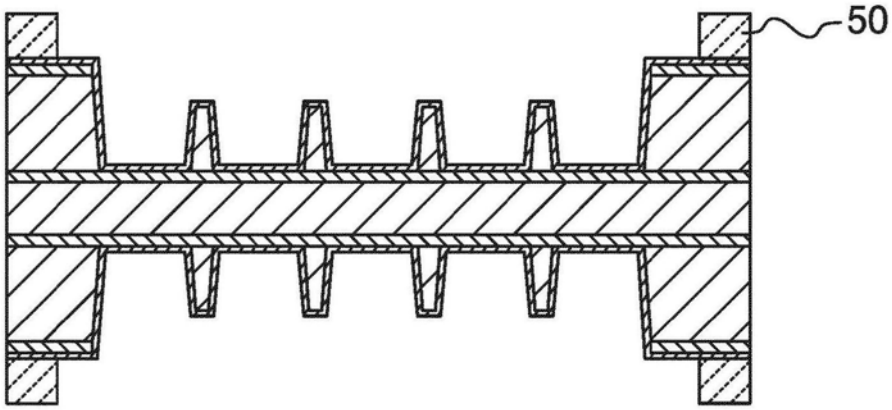


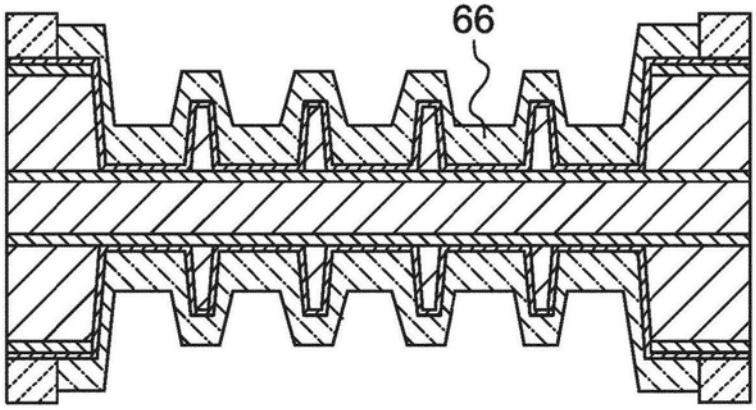
图4b


16
14
12
13
16
30
10
a)
13
16
40
40
b)

c)



d)



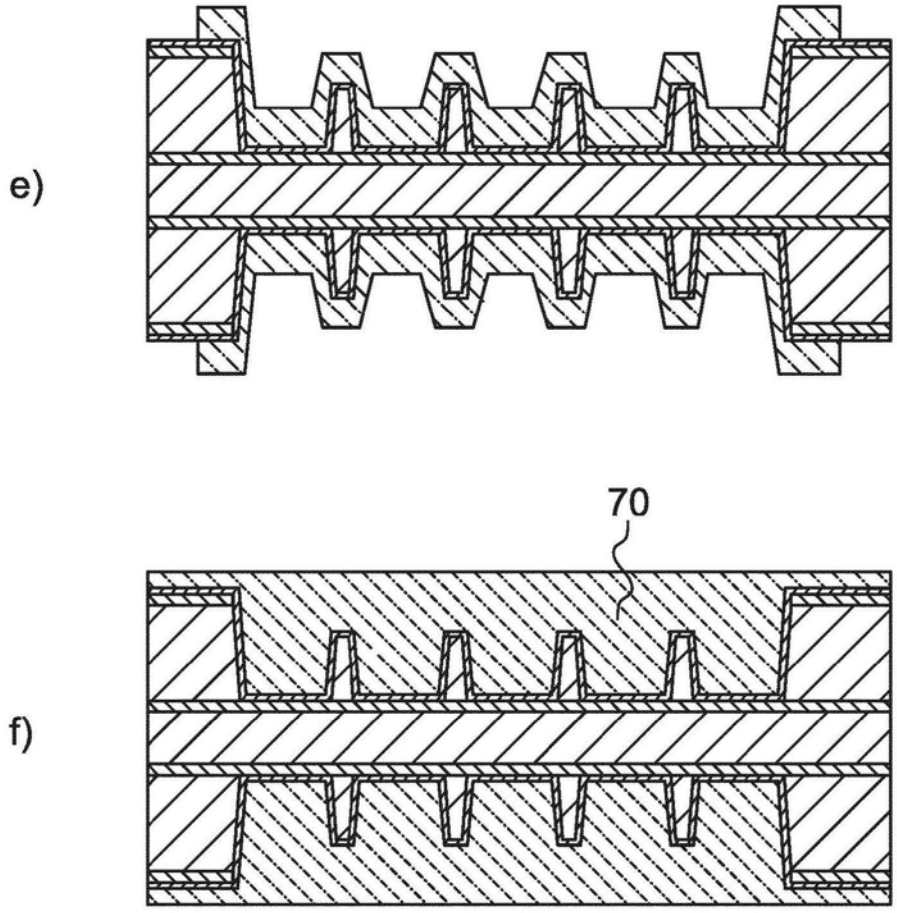


图5

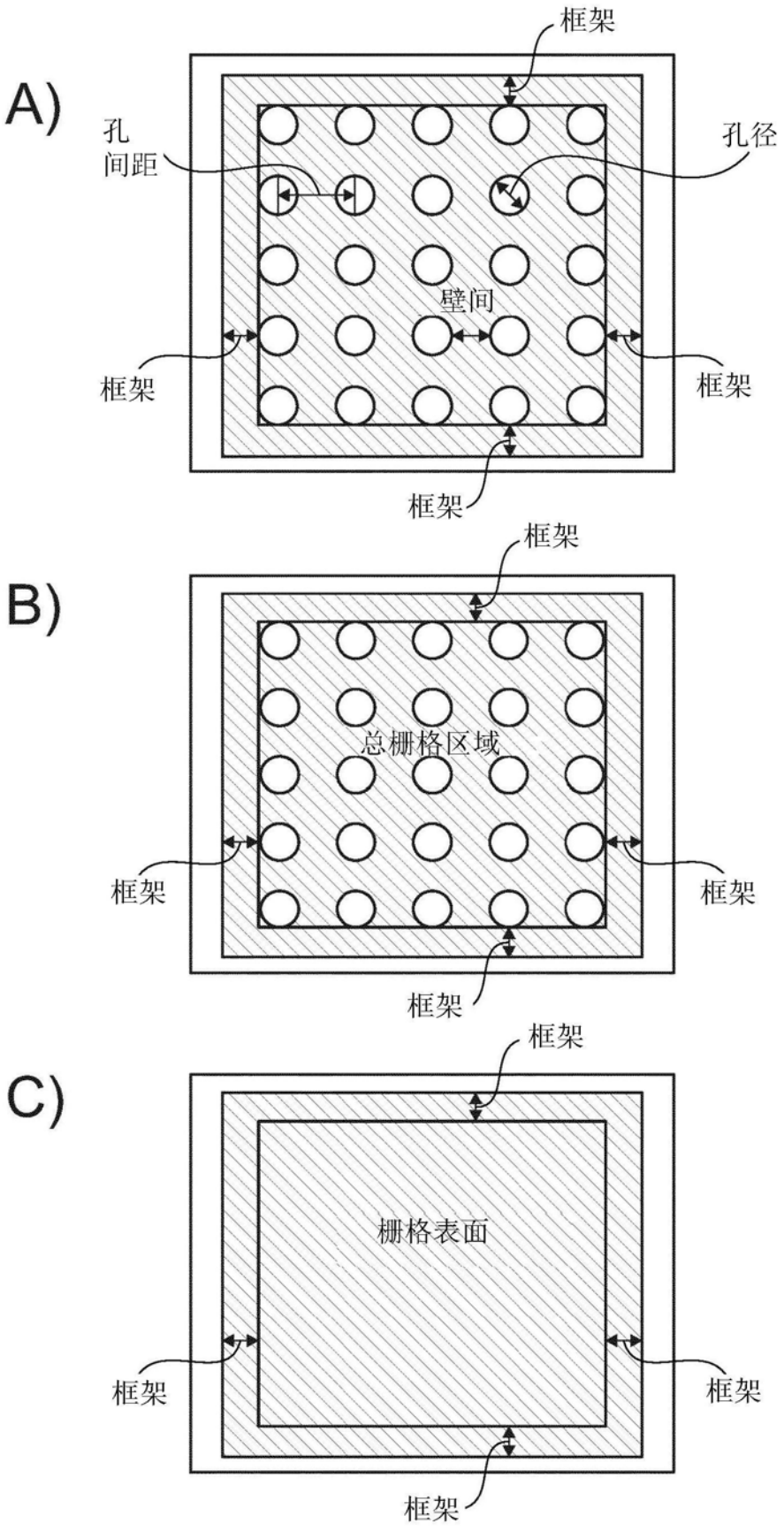


图6