



(12) 发明专利

(10) 授权公告号 CN 101588062 B

(45) 授权公告日 2012.02.22

(21) 申请号 200910203097.5

审查员 何剑

(22) 申请日 2009.05.19

(30) 优先权数据

2008-130828 2008.05.19 JP

2009-109392 2009. 04. 28 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 中村博之

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 康建忠

(51) Int. Cl.

H02H 9/02 (2006.01)

H02H 9/04 (2006.01)

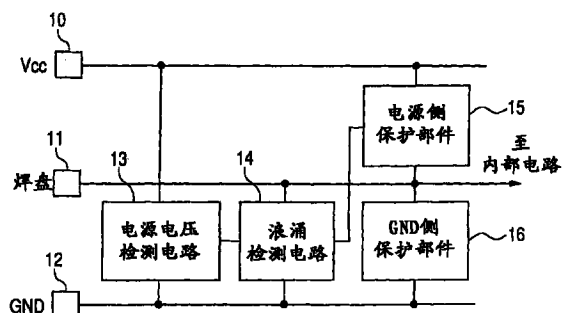
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

半导体集成电路的保护电路、其驱动方法及系统

(57) 摘要

本发明公开一种半导体集成电路的保护电路、其驱动方法及系统。浪涌保护电路包括：用于检测施加于半导体集成电路的浪涌的浪涌检测电路(14)、和用于吸收浪涌的保护部件(15)。所述保护部件连接在用于向半导体集成电路供给信号的信号端子和用于供给电源电压的电源端子之间。当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路未检测到浪涌时，保护部件被设置在限流状态中。当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路检测到浪涌时，保护部件被设置在非限流状态中。



1. 一种用于保护半导体集成电路以抵抗浪涌的保护电路,包括:

浪涌检测电路,用于检测施加于所述半导体集成电路的浪涌;

包括 MOS 晶体管的保护部件,用于吸收所述浪涌,

其中,所述保护部件连接在用于向所述半导体集成电路供给信号的信号端子和用于供给电源电压的电源端子之间;

当所述电源电压小于足以正常地操作所述半导体集成电路的电压并且所述浪涌检测电路未检测到所述浪涌时,所述保护部件被设置在限流状态,以及

当所述电源电压小于足以正常地操作所述半导体集成电路的电压并且所述浪涌检测电路检测到所述浪涌时,所述保护部件被设置在非限流状态;

其中,所述浪涌检测电路包括串联连接在所述电源端子和所述信号端子之间的第一电阻器和电容器,以及栅极连接至所述第一电阻器和所述电容器之间的节点、漏极连接至所述电源端子、并且源极连接至所述 MOS 晶体管的栅极和背栅极的晶体管,或者

所述浪涌检测电路包括串联连接在最低基准电压端子和所述信号端子之间的第一电阻器和电容器,以及栅极连接至所述第一电阻器和所述电容器之间的节点、漏极连接至所述最低基准电压端子、并且源极连接至所述 MOS 晶体管的栅极和背栅极的晶体管。

2. 根据权利要求 1 所述的保护电路,还包括:

电源电压检测电路,用于检测施加于所述半导体集成电路的所述电源电压,以及

当所述电源电压检测电路检测到所述电源电压不低于足以正常地操作所述半导体集成电路的电压时,电源电压检测信号被输出至所述浪涌检测电路,以将所述浪涌检测电路设置在非检测状态,从而所述浪涌检测电路将所述保护部件设置在限流状态。

3. 根据权利要求 1 或 2 所述的保护电路,

其中,所述 MOS 晶体管是 PMOS 晶体管,所述 PMOS 晶体管具有连接至所述信号端子的漏极和连接至所述电源端子的源极,并且其栅极和其背栅极共同连接,以及

所述保护部件进一步包括电阻器,所述电阻器具有连接至所述电源端子的一个端子、以及连接至所述 PMOS 晶体管的栅极且连接至所述浪涌检测电路的输出端的另一个端子。

4. 一种系统,包括:

第一半导体集成电路,

第二半导体集成电路,其具有从所述第一半导体集成电路输入的信号,以及

所述第二半导体集成电路包括根据权利要求 1 所述的保护电路。

5. 一种保护电路的驱动方法,所述保护电路用于吸收施加于半导体集成电路的浪涌,其中包括 MOS 晶体管的保护部件布置在用于向半导体集成电路供给信号的信号端子和用于供给电源电压的电源端子之间,其中

当所述电源电压小于足以正常地操作所述半导体集成电路的电压并且浪涌检测电路未检测到所述浪涌时,所述保护部件被设置在限流状态,以及

当所述电源电压小于足以正常地操作所述半导体集成电路的电压并且浪涌检测电路检测到所述浪涌时,所述保护部件被设置在非限流状态,

其中,所述浪涌检测电路包括串联连接在所述电源端子和所述信号端子之间的第一电阻器和电容器,以及栅极连接至所述第一电阻器和所述电容器之间的节点、漏极连接至所述电源端子、并且源极连接至所述 MOS 晶体管的栅极和背栅极的晶体管,或者

所述浪涌检测电路包括串联连接在最低基准电压端子和所述信号端子之间的第一电阻器和电容器,以及栅极连接至所述第一电阻器和所述电容器之间的节点、漏极连接至所述最低基准电压端子、并且源极连接至所述 MOS 晶体管的栅极和背栅极的晶体管。

半导体集成电路的保护电路、其驱动方法及系统

技术领域

[0001] 本发明涉及半导体集成电路的保护电路及其驱动方法,特别地,涉及保护半导体集成电路或包括多个半导体集成电路的系统以抵抗浪涌 (against a surge) 的保护电路、以及该保护电路的驱动方法。

背景技术

[0002] 近来,环境问题在各种技术领域中被关注,例如要求减少 CO_2 。在这样的情况下,需要有在电气和电子装置中尽可能多地减少能耗的技术。近来的电气和电子装置包括多个半导体集成电路(下文中称为 IC),并且因为上述减少能耗的目的,采用了不向不被使用的 IC 施加电压源的技术。在许多应用中,对系统进行控制的控制 IC 被保持在操作状态,而仅当需要时才向另一个 IC 供给电压源。假设控制 IC 为 IC2,另一介 IC 为 IC1。

[0003] 用于半导体集成电路的传统已知的保护电路包括:例如,如日本专利申请公开 No. H05-021714 中公开的利用 PN 结二极管的保护电路、和如日本专利申请公开 No. 2000-058666 中公开的利用 MOSFET 的阶跃恢复 (snapback) 特性的保护电路。

[0004] 图 7 示出了用于向两个 IC, IC1 和 IC2, 施加不同的电源电压的传统系统连接。图 7 示出了其中 PN 结二极管被用作保护电路的例子。

[0005] 当 IC1 和 IC2 的电源由各自的系统控制时,各自的系统的电源电压的上升定时可能不能彼此一致。于是,电源电压中的一个可能较早上升。在该情况下,例如, IC1 的电源电压 V_{cc1} 不被施加并处于地电位 (GND)。IC2 的电源电压 V_{cc2} 已被施加。因此,来自 IC2 的缓冲器输出处于高电平,即 IC2 输出电源电压 V_{cc2} 。此时,对 IC1 的保护二极管 D1 施加电源电压 V_{cc2} 。也就是说,以正向对保护二极管 D1 施加至少几 V 的电压。因此,几安培的电流可流过保护二极管 D1,从而热击穿保护二极管 D1。当保护二极管 D1 被击穿时,系统可能无法操作。

[0006] 图 8 示出了其中 MOSFET 被用作 IC1 的保护电路的系统连接的例子。同样,在该情况下,由于在保护 PMOSFET 的背栅极 (backgate) 和漏极之间存在的寄生 PN 二极管 D1,可出现类似的现象。此外,大电流的流动可导致 CMOS 工艺中存在的 PNP 结构被闩锁 (latch up)。

[0007] 为了防止过电流 (excessive current) 流过保护部件并防止可能的闩锁,传统上采取下述措施。

[0008] (1) 控制被施加于每一个 IC 的电源序列。

[0009] (2) 在可对其施加等于或高于电源电压的电压的端子中放置串联电阻器。

[0010] 然而,不利的是,(1) 中的措施增加了系统成本,而 (2) 中的措施不能被用于高速接口。

发明内容

[0011] 本发明的目的是解决上述问题,并保持用以提供抵抗浪涌的保护的能力。

[0012] 本发明提供一种用于保护半导体集成电路以抵抗浪涌的保护电路,该保护电路包括:用于检测施加于半导体集成电路的浪涌的浪涌检测电路、和用于吸收该浪涌的保护部件,其中该保护部件连接在用于向半导体集成电路供给信号的信号端子和用于供给电源电压的电源端子之间,当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路未检测到浪涌时,保护部件被设置在限流状态中,当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路检测到浪涌时,保护部件被设置在非限流状态中。

[0013] 此外,本发明提供一种保护电路的驱动方法,该保护电路具有被布置在用于向半导体集成电路供给信号的信号端子和用于供给电源电压的电源端子之间的保护部件,该保护部件吸收施加到半导体集成电路的浪涌,其中,当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路未检测到浪涌时,保护部件被设置在限流状态中,当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路检测到浪涌时,保护部件被设置在非限流状态中。

[0014] 此处使用的“浪涌”是指由静电产生的瞬态(transient)过电压和瞬态过电流,不包括基于DC的过电压或过电流。浪涌的例子包括对其假设来自人体的静电放电的人体模型、和对其假设来自设备的放电的机器模型;在静电测试中使用所述模型。

[0015] 当本发明应用于使用多个IC和多个电源的系统时,消除了控制电源序列的需要。这还消除了提供用于限流的电阻器的需要,从而防止高速操作被阻碍。因此,可保持用以提供抵抗浪涌的保护的能力。

[0016] 从结合附图对示例性实施例的下述描述,本发明的进一步的特征将变得明显。

附图说明

[0017] 图1是根据本发明的半导体集成电路的保护电路的示例性实施例的框图。

[0018] 图2是根据本发明的第一例子中的半导体集成电路的保护电路的电路图。

[0019] 图3是示出上述例子中的半导体集成电路的保护电路中的电流路径的电路图。

[0020] 图4是示出上述例子中的半导体集成电路的保护电路中的电流路径的电路图。

[0021] 图5是示出上述例子中的半导体集成电路的保护电路中的电流路径的电路图。

[0022] 图6是根据本发明的半导体集成电路的保护电路的第二例子的框图。

[0023] 图7是示出传统半导体集成电路的保护电路的例子的系统连接图。

[0024] 图8是示出传统半导体集成电路的保护电路的另一个例子的系统连接图。

[0025] 图9是包括本发明的保护电路的系统的示例图。

具体实施方式

[0026] 将结合附图在下面详细描述本发明的示例性实施例。

[0027] 图1是根据本发明的半导体集成电路的保护电路的示例性实施例的框图。

[0028] 在图1中,电源焊盘(pad)(其用作电源端子)10连接至电源(电源电压 V_{cc})。GND焊盘12被设置为系统的最低基准电压(此处为GND)。焊盘11连接至浪涌检测电路14(以用作信号端子)。

[0029] 电源电压检测电路13连接在电源焊盘10和GND焊盘12之间。电源电压检测电

路 13 将电源电压检测信号输出至浪涌检测电路 14, 该浪涌检测电路 14 检测当向内部电路 (用作半导体集成电路) 施加静电时产生的浪涌。

[0030] 浪涌检测电路 14 连接至用作信号端子的焊盘 (PAD) 11, 并将浪涌检测信号输出至电源侧保护部件 15。电源侧保护部件 15 位于电源焊盘 10 和焊盘 11 之间。GND 侧保护部件 16 位于焊盘 11 和 GND 焊盘之间。电源侧保护部件 15 和 GND 侧保护部件 16 吸收施加于内部电路 (其用作半导体集成电路) 的浪涌, 以保护内部电路。

[0031] 例子 1

[0032] 图 2 是根据本发明的第一例子中的半导体集成电路的保护电路的电路图。在图 2 中, 电源焊盘 10 连接至电源 (电源电压 V_{cc})。GND 焊盘 12 被设置为系统的最低基准电压 (此处为 GND)。焊盘 11 连接至浪涌检测电路 14。电阻器以 R1、R2、R3 和 R4 示出。电容以 C1 示出。NMOS 晶体管以 M1、M2 和 M4 示出。PMOS 晶体管以 M3 示出。

[0033] 电源电压检测电路 13 包括电阻器 R1 和 R2 以及 NMOS 晶体管 M1。检测浪涌的浪涌检测电路包括电容 C1、电阻器 R3 和 NMOS 晶体管 M2。PMOS 晶体管 M3 和电阻器 R4 用作电源侧保护部件。NMOS 晶体管 M4 和电阻器 R5 用作地电位的 GND 侧保护部件。

[0034] 设置在电源电压检测电路 13 中的电阻器 R1 的一端连接至电源焊盘 10。电阻器 R1 的另一端连接至电阻器 R2 的一端, 并连接至 NMOS 晶体管 M1 的栅极电极, 而电阻器 R2 的另一端连接至 GND 焊盘 12。NMOS 晶体管 M1 的源极电极和背栅极电极连接至 GND。如下所述, 电源焊盘 10 的电压 (电源电压) 被电阻器 R1 和 R2 划分。所得电压被施加于 NMOS 晶体管 M1 的栅极。接通 NMOS 晶体管 M1 的电压是由电阻器 R1 和 R2 的电阻比率以及 NMOS 晶体管 M1 的阈值电压确定的。NMOS 晶体管 M1 被接通, 以允许检测电路检测所施加的电压等于或大于使半导体集成电路适当地操作的电压。

[0035] 设置在浪涌检测电路 14 中的电容 C1 的一端连接至焊盘 11, 连接至 PMOS 晶体管 M3 的漏极电极, 并连接至 NMOS 晶体管 M4 的漏极电极。PMOS 晶体管 M3 的源极电极连接至电源焊盘 10。NMOS 晶体管 M4 的源极电极连接至 GND 焊盘 12。电容 C1 的另一端连接至电阻器 R3 的一端, 连接至 NMOS 晶体管 M2 的栅极电极, 并连接至作为电源电压检测电路 13 的输出端的 NMOS 晶体管 M1 的漏极电极, 而电阻器 R3 的另一端连接至电源焊盘 10。

[0036] NMOS 晶体管 M2 的漏极电极连接至电源焊盘 10。NMOS 晶体管 M2 的背栅极电极连接至 GND 焊盘 12。NMOS 晶体管 M2 的源极电极连接至电阻器 R4 的一端, 连接至 PMOS 晶体管 M3 的栅极电极, 并连接至 PMOS 晶体管 M3 的背栅极电极, 而电阻器 R4 的另一端连接至电源焊盘 10。

[0037] 在上述连接关系中, 将关于四种情况描述电压被输入焊盘 10 和 11 的假设状态。

[0038] (1) 在基板上安装状态中的不施加电源状态

[0039] 在图 2 中, GND 焊盘 12 处于系统的地电位。电源焊盘 10 连接至电源。电源电压通过驱动具有内部电路和保护电路的 IC 的电源被施加于电源焊盘 10。如图 7 的情况那样, 焊盘 (PAD) 11 连接至由不同电源驱动的不同 IC。

[0040] 当不施加电源电压时, 电源焊盘 10 处于 GND 电平。此时, 当 DC 电压通过不同的 IC 被施加于焊盘 11 时, 电流如图 3 所示流过在 PMOS 晶体管 M3 的漏极和背栅极之间形成的寄生二极管 D1。该电流流过电阻器 R4。因此, 通过电阻器 R4 限制电流值, 从而防止元件受损。此时, 没有电流流过除 PMOS 晶体管 M3 以外的 MOS 晶体管。几乎没有电流在 PMOS 晶体管 M3

的源极和漏极之间流动。也就是说,包括电阻器 R4 和 PMOS 晶体管 M3 的保护部件处于限流状态中。

[0041] (2) 在基板上安装状态中的施加电源状态

[0042] 当电源电压 (V_{cc}) 被施加于电源焊盘 10 时, NMOS 晶体管 M1 的栅极电位 V_{gm1} 为:

[0043] $V_{gm1} = V_{cc} \times R2 / (R1 + R2)$ 。

[0044] 当栅极电位 V_{gm1} 被设置为至少 NMOS 晶体管 M1 的阈值电压时, NMOS 晶体管 M1 被接通。NMOS 晶体管 M2 的栅极电位被设置为 GND 电平。因此, NMOS 晶体管 M2 被断开。PMOS 晶体管 M3 的栅极电极经由电阻器 R4 连接至电源焊盘 10 (电源电压 V_{cc})。因为电源焊盘 10 被设置为电源电压 (V_{cc}), 所以即使向焊盘 11 施加不同 IC 的电源电压, 也几乎没有电流流过 PMOS 晶体管 M3 的寄生二极管或电阻器 R4。此外, PMOS 晶体管 M3 的栅极电极被设置为电源电位 (V_{cc})。NMOS 晶体管 M4 的栅极电极被设置为 GND 电位。因此, 没有电流流过 PMOS 晶体管 M3 或 NMOS 晶体管 M4。也就是说, 包括电阻器 R4 和 PMOS 晶体管 M3 的保护部件处于限流状态中。

[0045] (3) 静电测试时间中施加相对于 V_{cc} 为正的浪涌得到的状态

[0046] 静电测试为 2 端子测试。如果相对于 V_{cc} (相对于电源焊盘) 执行所述测试, 则电源焊盘 10 被设置为 GND 电位 (0V), 而 GND 焊盘 12 为开路。当相对于电源焊盘 10 的电位为正的浪涌被施加于焊盘 11 时, 其通过电容 C1 被提供至 NMOS 晶体管 M2 的栅极电极。于是, 被提供至栅极电极的正浪涌允许 NMOS 晶体管 M2 操作。PMOS 晶体管 M3 的栅极电位被降低至 GND, 以将 PMOS 晶体管 M3 设置在电连续状态中。

[0047] 如图 4 所示, 浪涌电流被分流至两个路径。所述路径中的一个通过 PMOS 晶体管 M3 通向电源焊盘 10 (电位为 0V)。另一个路径从 PMOS 晶体管 M3 的寄生二极管 D1, 通过 NMOS 晶体管 M2 或电阻器 R4, 通向电源焊盘 10 (电位为 0V)。也就是说, 使包括电阻器 R4 和 PMOS 晶体管 M3 的保护部件进入非限流状态中。因此, 由静电产生的电流流过上述路径。

[0048] (4) 静电测试时间中施加相对于 V_{cc} 为负的浪涌得到的状态

[0049] 当向焊盘 11 施加相对于电源焊盘 10 (电位为 0V) 为负的浪涌时, NMOS 晶体管 M2 变为不操作。向 PMOS 晶体管 M3 的漏极电极施加该负浪涌。施加于漏极电极的负浪涌导致 PMOS 晶体管 M3 的漏极和背栅极之间的击穿。该击穿导致 PMOS 晶体管 M3 展现出阶跃恢复特性。这允许包括源极、背栅极和漏极的寄生 PNP 晶体管操作。于是, 如图 5 所示, 电流从电源焊盘 10 流至焊盘 11。也就是说, 使包括电阻器 R4 和 PMOS 晶体管 M3 的保护部件进入非限流状态中。因此, 由静电产生的电流流过上述路径。

[0050] 图 9 是示出包括具有不同电压源的 IC 的系统的概要图。如上所述的保护电路被应用于该系统。

[0051] 当 IC1 处于在基板上安装状态时, ESD 浪涌不被施加于 IC1 的输入端, 从而需要限制当 IC2 的电压源在 IC1 的电压源之前被接通时的 DC 电流的路径。该操作与“(1) 在基板上安装状态中的不施加电源状态”中的操作相同。

[0052] 根据本发明, 当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路未检测到浪涌时, 保护部件被设置在限流状态中。这使电流路径进入高阻抗状态中。当电源电压不大于足以正常地操作半导体集成电路的电压、并且浪涌检测电路检测到浪涌时, 保护部件被设置在非限流状态中。这使电流路径进入低阻抗状态中。因此, 可控

制流过保护电路的电流。

[0053] 例子 2

[0054] 图 6 是根据本发明的半导体集成电路的保护电路的第二例子的电路图。

[0055] 在图 6 中,电源电压检测电路 13 包括电阻器 R6、电阻器 R7 和 PMOS 晶体管 M5。PMOS 晶体管 M5 的背栅极连接至电源焊盘 10。本例子中的电源电压检测电路 13 与第一例子中的电源电压检测电路 13 的不同在于:本例子中的电源电压检测电路 13 中设置的 MOS 晶体管为 PMOS 晶体管。

[0056] 浪涌检测电路 14 包括电容 C2、电阻器 R9 和 NMOS 晶体管 M6。在本例子中,浪涌检测电路设置在焊盘 11 和 GND 焊盘 12 之间。PMOS 晶体管 M7 和电阻器 R10 用作电源侧保护部件。NMOS 晶体管 M8 和电阻器 R11 用作 GND 侧保护部件。PMOS 晶体管 M7 的背栅极没有连接至其栅极,而是经由电阻器 R10 连接至电源焊盘 10。然而,如例子 1 的情况那样,背栅极可连接至 PMOS 晶体管 M7 的栅极电极。

[0057] 如下所述,本例子中的保护电路的操作与例子 1 中的相似。

[0058] (1) 在基板上安装状态中的不施加电源状态

[0059] 如参照图 2 描述的例子 1 的情况那样,PMOS 晶体管 M7 的寄生二极管使保护部件进入限流状态中。

[0060] (2) 在基板上安装状态中的施加电源状态

[0061] 当电源电压 (V_{cc}) 被施加于电源焊盘 10 时,PMOS 晶体管 M5 的栅极电位 V_{gm5} 为:

[0062] $V_{gm5} = V_{cc} \times R7 / (R6 + R7)$ 。

[0063] 当栅极电位 V_{gm5} 被设置为至少 PMOS 晶体管 M5 的阈值电压时,PMOS 晶体管 M5 被接通。NMOS 晶体管 M6 的栅极电位被设置为 GND 电平。因此,NMOS 晶体管 M6 被断开。因此,如第一例子的情况那样,没有电流流过 PMOS 晶体管 M7 或 NMOS 晶体管 M8。此外,几乎没有电流流过 PMOS 晶体管 M7 的寄生二极管或电阻器 R10。也就是说,包括电阻器 R10 和 PMOS 晶体管 M7 的保护部件处于限流状态中。

[0064] (3) 静电测试时间中施加相对于 V_{cc} 为正的浪涌得到的状态

[0065] 静电测试为 2 端子测试。如果相对于 V_{cc} (相对于电源焊盘) 执行所述测试,则电源焊盘 10 被设置为 GND 电位,而 GND 焊盘 12 为开路。

[0066] 当相对于电源焊盘 10 的电位为正的浪涌被施加于焊盘 11 时,其通过电容 C2 被提供至 NMOS 晶体管 M6 的栅极。于是,被提供至栅极的正浪涌允许 NMOS 晶体管 M6 操作。PMOS 晶体管 M7 的栅极电位被降低至 GND,以使得 PMOS 晶体管 M7 是操作的。

[0067] 如例子 1 的情况那样,浪涌电流被分流至两个路径。所述路径中的一个通过 PMOS 晶体管 M7 通向电源焊盘 10 (电位为 0V)。另一个路径从 PMOS 晶体管 M7 的寄生二极管,通过电阻器 R10,通向电源焊盘 10 (电位为 0V)。也就是说,使包括电阻器 R10 和 PMOS 晶体管 M7 的保护部件进入非限流状态中。

[0068] (4) 静电测试时间中施加相对于 V_{cc} 为负的浪涌得到的状态

[0069] 当相对于电源焊盘 (电位为 0V) 为负的浪涌被施加于焊盘 11 时,该负浪涌被施加于 PMOS 晶体管 M7 的漏极电极。施加于漏极电极的负浪涌导致 PMOS 晶体管 M7 的漏极和背栅极之间的击穿。该击穿导致 PMOS 晶体管 M7 展现出阶跃恢复特性。这允许包括源极、背栅极和漏极的寄生 PNP 晶体管操作。于是,电流从电源焊盘 10 流至焊盘 11。也就是说,使

包括电阻器 R10 和 PMOS 晶体管 M7 的保护部件进入非限流状态中。

[0070] 尽管已参照示例性实施例描述了本发明,但应理解,本发明不限于所公开的示例性实施例。下述权利要求的范围应被赋予最宽的解释,以包含所有这样的修改以及等同的结构和功能。

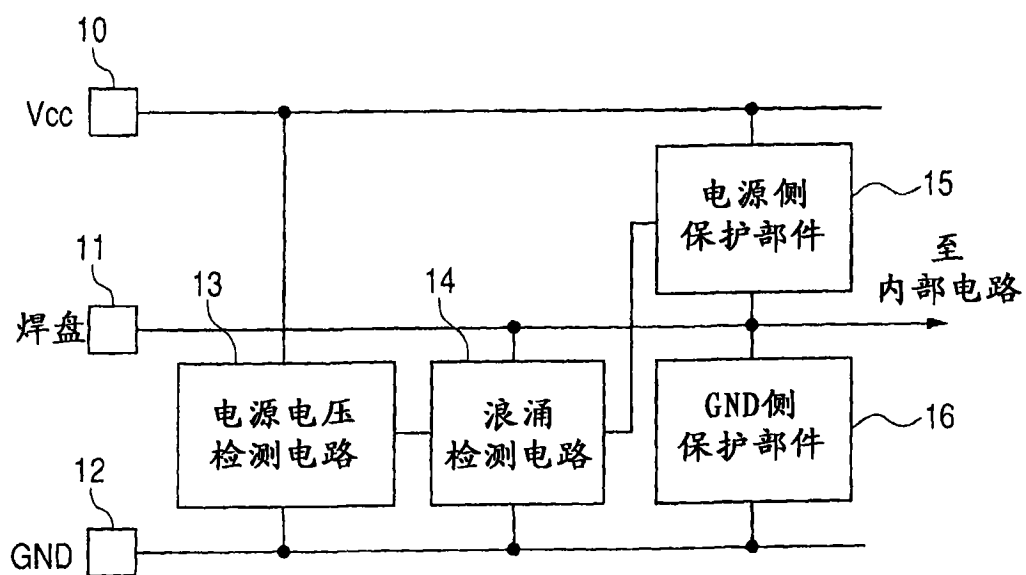


图 1

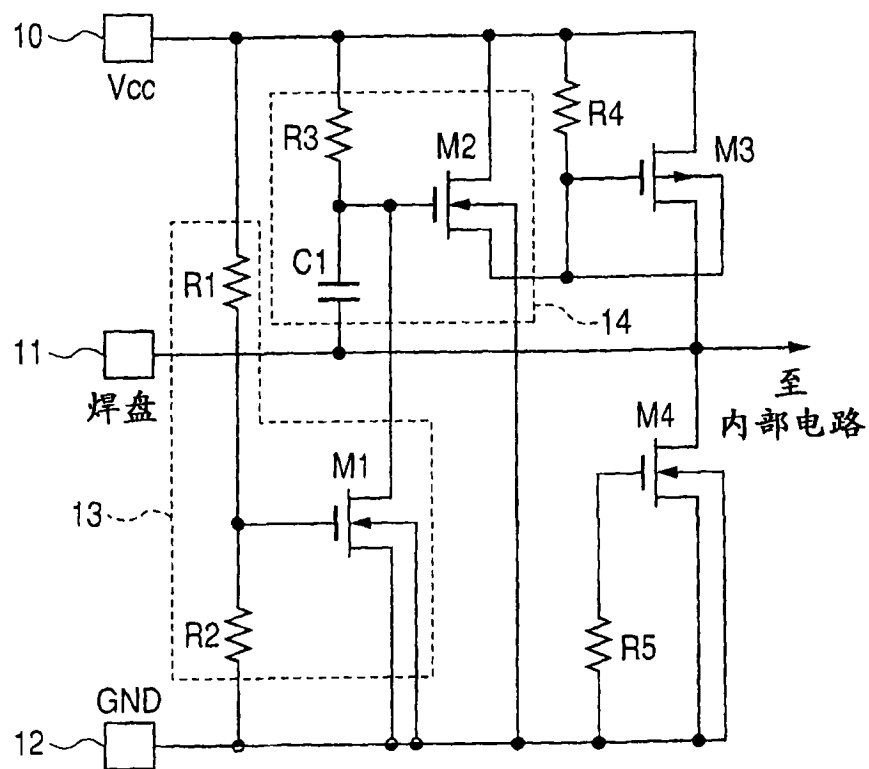


图 2

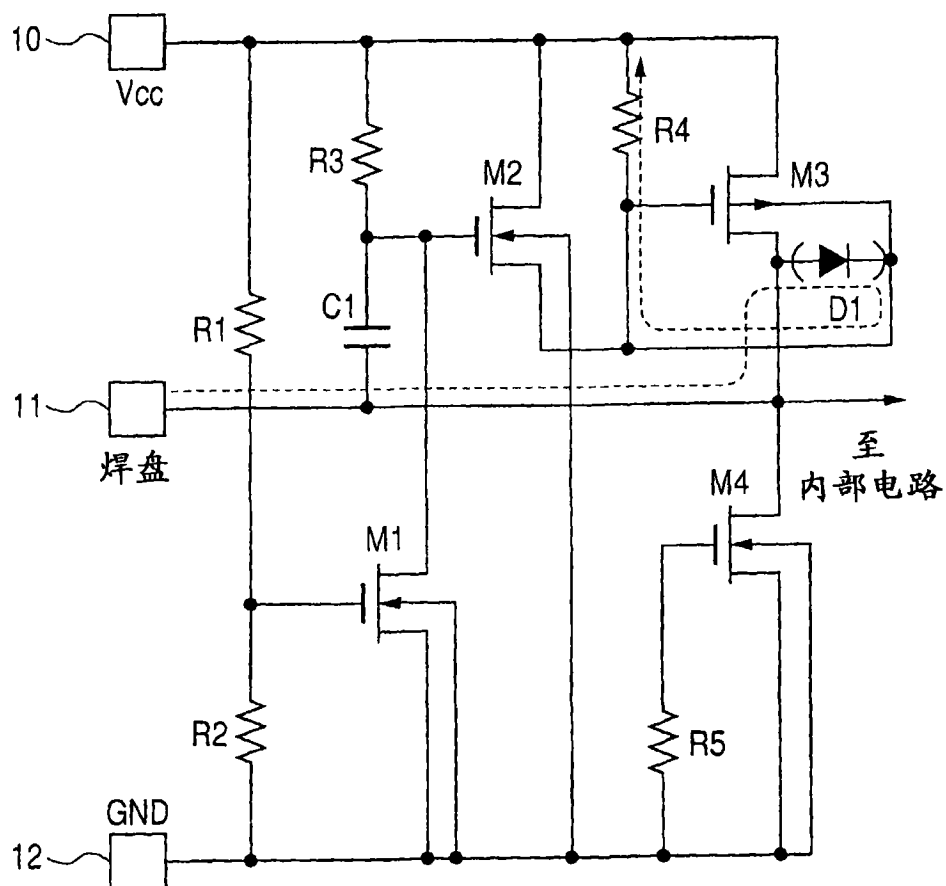


图 3

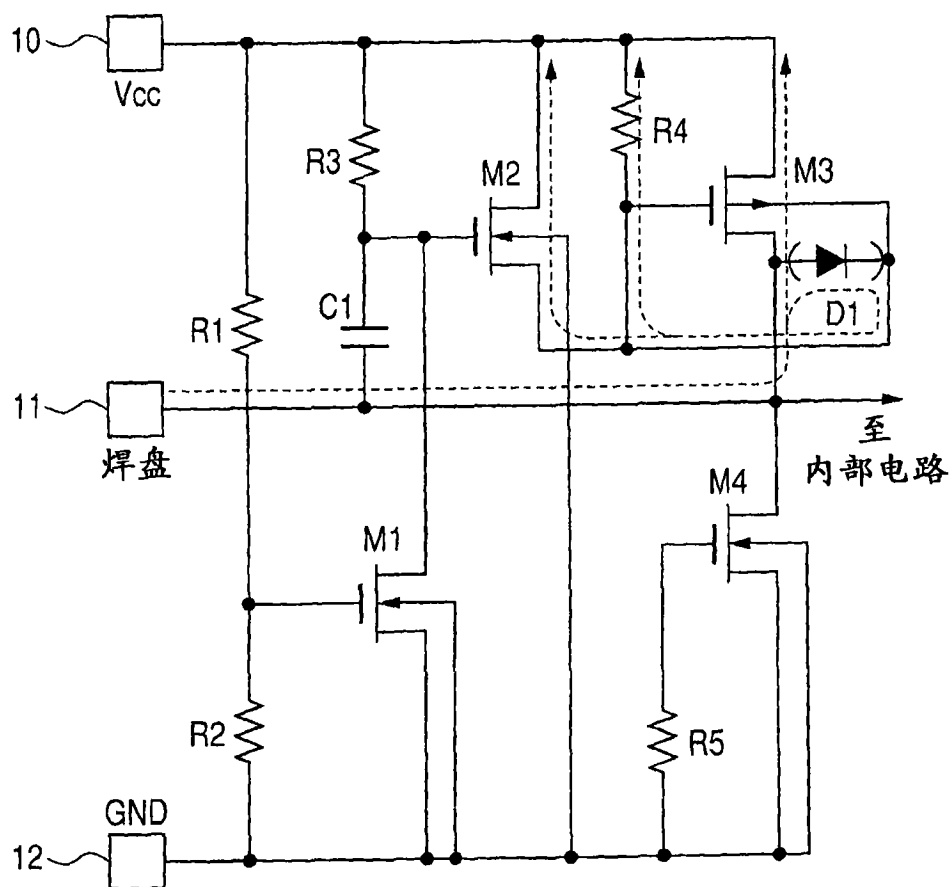


图 4

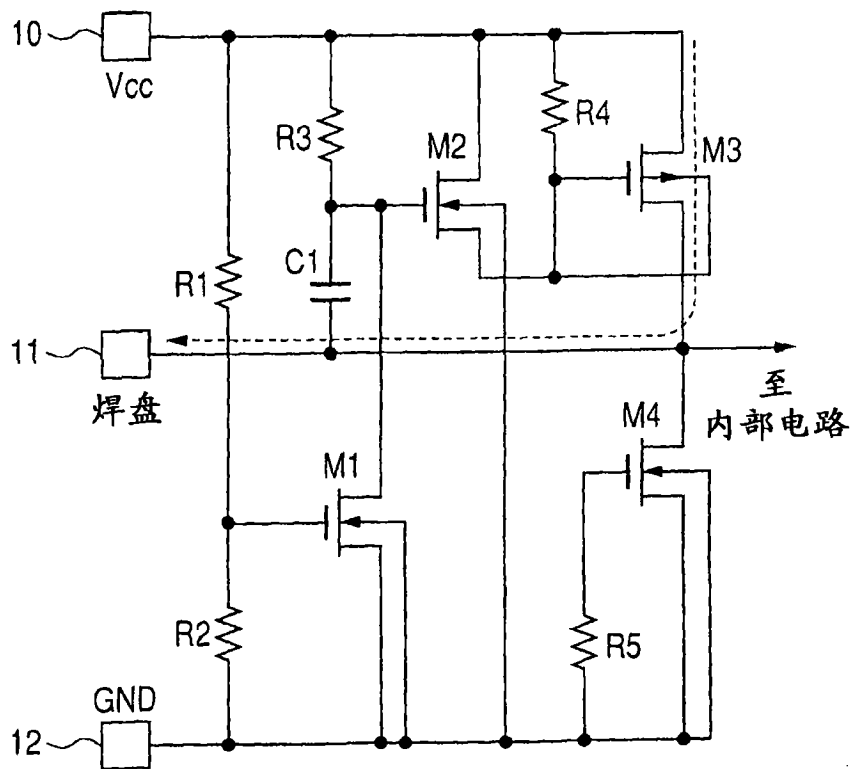


图 5

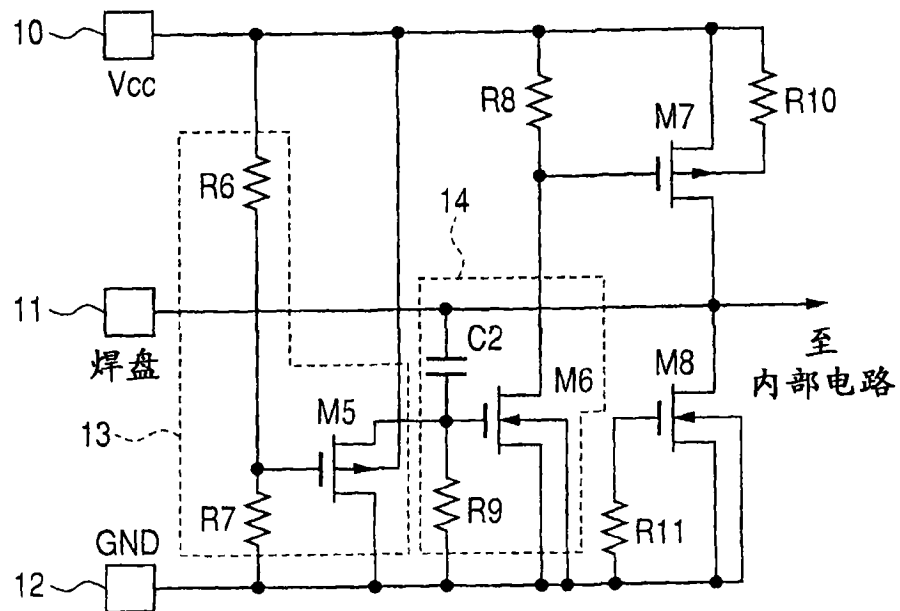


图 6

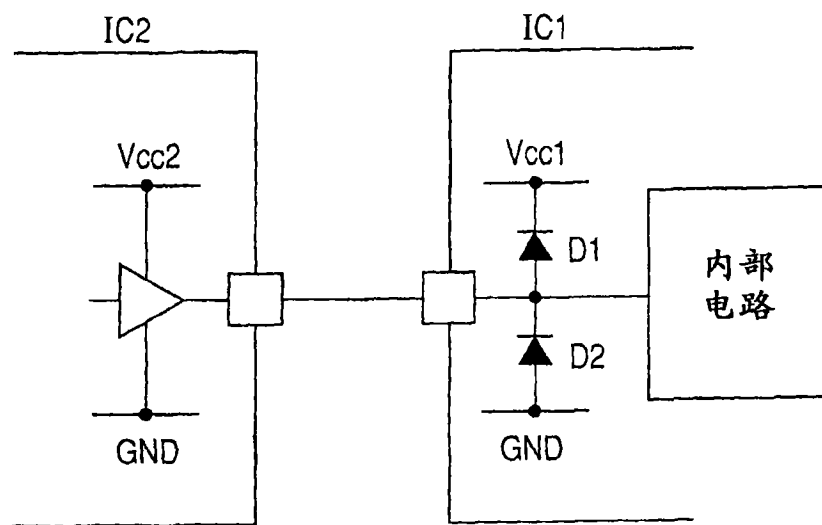


图 7

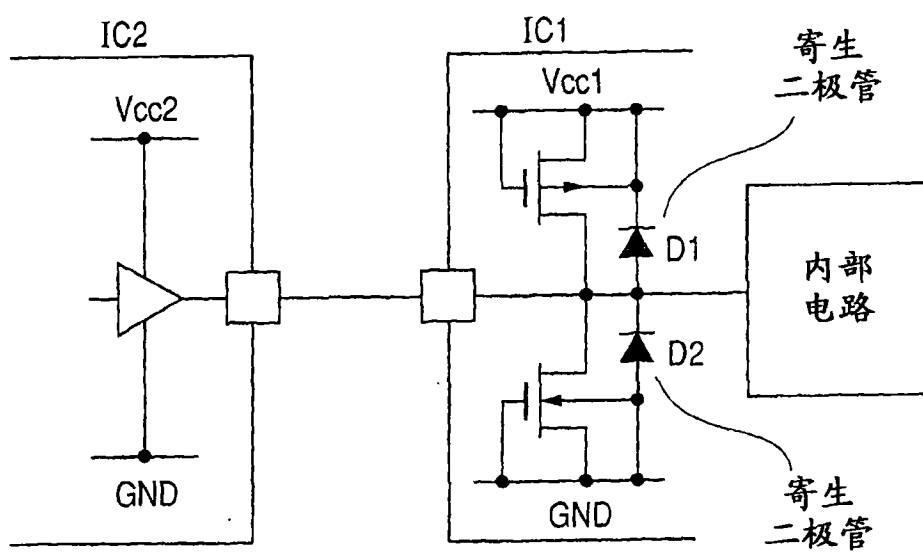


图 8

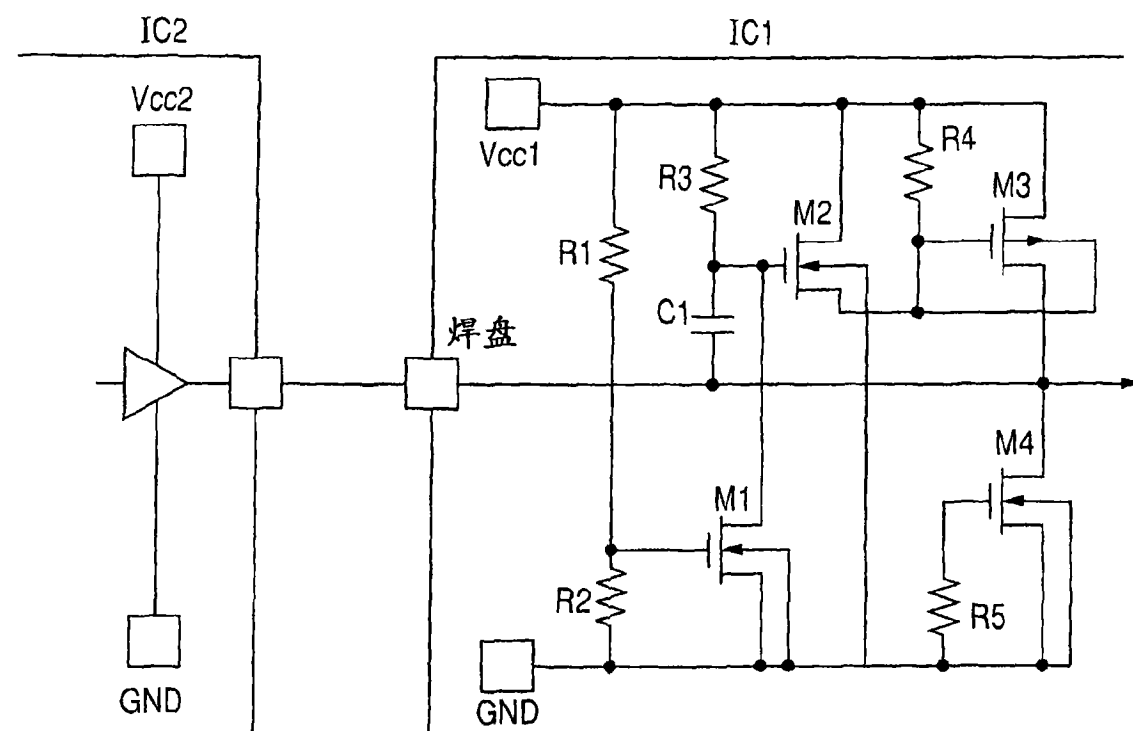


图 9