



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I881663 B

(45)公告日：中華民國 114 (2025) 年 04 月 21 日

(21)申請案號：113101207

(22)申請日：中華民國 113 (2024) 年 01 月 11 日

(51)Int. Cl. : H01L23/535 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2023/03/20 美國

18/123,613

(71)申請人：美商萬國商業機器公司(美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：謝 瑞龍 XIE, RUILONG (US)；佩妮 克里斯托弗 J PENNY, CHRISTOPHER J. (US)；崔起植 CHOI, KISIK (KR)；本山幸一 MOTOYAMA, KOICHI (JP)；蘭齊 洛 尼可拉斯 安東尼 LANZILLO, NICHOLAS ANTHONY (US)；楊 智超 YANG, CHIH-CHAO (US)

(74)代理人：陳長文；黃章典；莊名宇

(56)參考文獻：

US 2017/0352650A1

US 2023/0067311A1

WO 2022/060473A1

審查人員：陳憶緣

申請專利範圍項數：23 項 圖式數：21 共 74 頁

(54)名稱

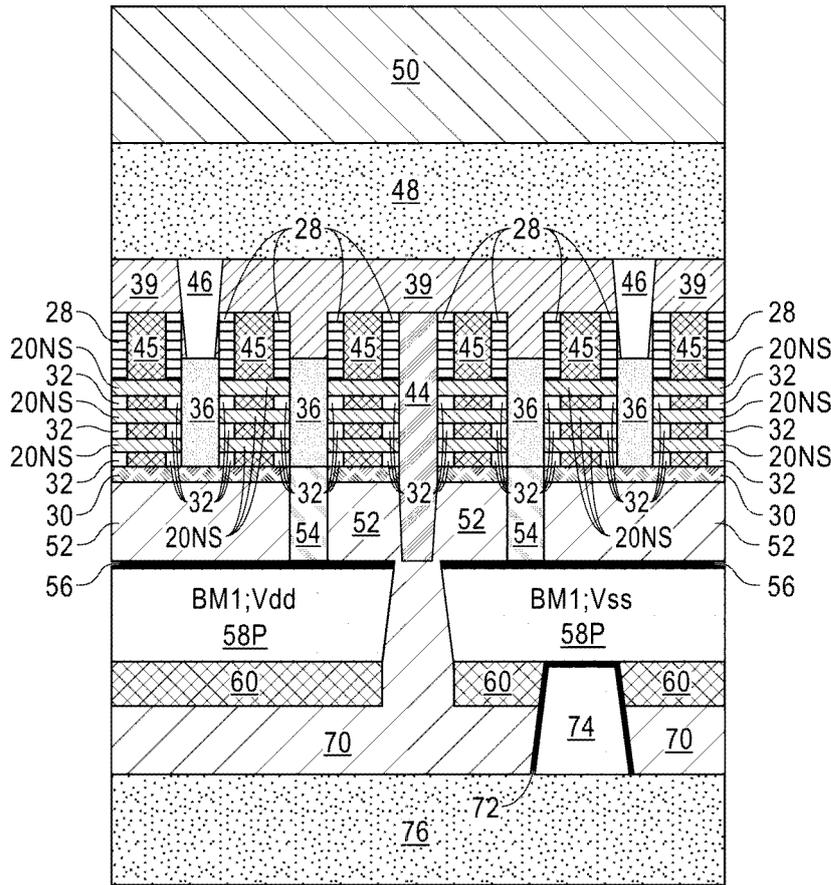
用於背側電源應用之半導體結構

(57)摘要

本發明提供一種半導體結構，其包括複數個背側電源島而非背側電源軌。該等背側電源島存在於一第一裝置軌道及一第二裝置軌道中。位於該第一裝置軌道及該第二裝置軌道中之各背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離。該第二切割區經定向成垂直於該第一切割區。

A semiconductor structure is provided that includes a plurality of backside power islands, rather than backside power rails. The backside power islands are present in a first device track and a second device track. Each backside power island located in the first device track and the second device track are isolated by a first cut region, and the backside power islands that are located in the first device track are separated from the backside power islands located in the second device track by a second cut region. The second cut region is oriented perpendicular to the first cut region.

指定代表圖：



【圖19C】

符號簡單說明：

20NS:半導體通道材料

奈米片

28:閘極間隔件

30:底部介電隔離層

32:內部間隔件

36:源極/汲極區

39:前側 MOL 介電層

44:擴散斷點結構

45:閘極結構

46:前側源極/汲極接觸結構

48:前側 BEOL 結構

50:載體晶圓

52:第一背側 ILD 材料層

54:背側源極/汲極接觸結構

56:擴散障壁層

58P:背側電源島

60:硬遮罩層

70:第二背側 ILD 材料層

72:擴散障壁襯裡

74:導電材料

76:背側配電網路

BM1:第一背側金屬層級

Vdd:背側電源軌/背側電源島

Vss:背側電源軌/背側電源島



I881663

**【發明摘要】****【中文發明名稱】**

用於背側電源應用之半導體結構

**【英文發明名稱】****A SEMICONDUCTOR STRUCTURE FOR BACKSIDE POWER APPLICATIONS****【中文】**

本發明提供一種半導體結構，其包括複數個背側電源島而非背側電源軌。該等背側電源島存在於一第一裝置軌道及一第二裝置軌道中。位於該第一裝置軌道及該第二裝置軌道中之各背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離。該第二切割區經定向成垂直於該第一切割區。

**【英文】**

A semiconductor structure is provided that includes a plurality of backside power islands, rather than backside power rails. The backside power islands are present in a first device track and a second device track. Each backside power island located in the first device track and the second device track are isolated by a first cut region, and the backside power islands that are located in the first device track are separated from the backside power islands located in the second device track by a second cut region. The second cut region is oriented perpendicular to the first cut region.

**【指定代表圖】**

圖19C

**【代表圖之符號簡單說明】**

- 20NS: 半導體通道材料奈米片
- 28: 閘極間隔件
- 30: 底部介電隔離層
- 32: 內部間隔件
- 36: 源極/汲極區
- 39: 前側MOL介電層
- 44: 擴散斷點結構
- 45: 閘極結構
- 46: 前側源極/汲極接觸結構
- 48: 前側BEOL結構
- 50: 載體晶圓
- 52: 第一背側ILD材料層
- 54: 背側源極/汲極接觸結構
- 56: 擴散障壁層
- 58P: 背側電源島
- 60: 硬遮罩層
- 70: 第二背側ILD材料層
- 72: 擴散障壁襯裡
- 74: 導電材料
- 76: 背側配電網路

BM1: 第一背側金屬層級

Vdd: 背側電源軌/背側電源島

Vss: 背側電源軌/背側電源島

## 【發明說明書】

### 【中文發明名稱】

用於背側電源應用之半導體結構

### 【英文發明名稱】

A SEMICONDUCTOR STRUCTURE FOR BACKSIDE POWER APPLICATIONS

### 【技術領域】

【0001】 本申請案係關於半導體技術，且更特定而言，係關於一種含有複數個背側電源島之半導體結構。

### 【先前技術】

【0002】 當形成包括諸如積體電路之複數個互補金氧半導體(CMOS)裝置之結構時，標準單元可以用作用於設計及製造積體電路之基座單元。一或多個標準單元可用於形成一或多個功能電路，且各標準單元可具有相同覆蓋區。在設計複雜電路及組件時使用標準單元降低了設計及製造成本。

【0003】 在使用中，半導體結構之各標準單元需要電源輸入(Vdd)及接地(Vss)連接。為了給其各種組件供電，各標準單元通常耦接至背側電源軌，該背側電源軌電連接至標準單元之主動層以提供電源(Vdd)。在某些情況下，可為各標準單元提供複數個背側電源軌以分別提供電源(Vdd)及接地(Vss)。

【0004】 在含有提供背側電源軌與電晶體之源極/汲極區中之一者的直接連接之背側接觸結構之單元中，背側第一金屬層級(M1)並列空間非常小。即使此並列空間非常小，背側迭對要求亦非常高(亦即，標準差小

於10 nm)。對於混合單元高度(亦即，6T單元及9T單元)，此問題變得更嚴重。

**【發明內容】**

**【0005】** 提供一種半導體結構，其包括複數個背側電源島而非背側電源軌。在一個實施例中，該半導體結構包括：背側電源島，其位於一第一裝置軌道及一第二裝置軌道兩者中，其中位於該第一裝置軌道及該第二裝置軌道中之各背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離，且此外其中該第二切割區經定向成垂直於該第一切割區。包括背側電源島而非背側電源軌允許具有混合單元高度及小的並列空間背側第一金屬層級之結構。

**【0006】** 在本申請案之一些實施例中，該第一裝置軌道及該第二裝置軌道中之各者包括配置成列及行之p型場效電晶體及n型場效電晶體。

**【0007】** 在本申請案之一些實施例中，該第一切割區位於存在於該第一裝置軌道及該第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。

**【0008】** 在本申請案之一些實施例中，該第一裝置軌道中之該等背側電源島具有一第一寬度，且該第二裝置軌道中之該等背側電源島具有一第二寬度，其中該第一寬度小於該第二寬度。

**【0009】** 在本申請案之一些實施例中，該第一裝置軌道包括第一主動區域，該等第一主動區域中之各者具有一第一寬度，且該第二裝置軌道包括第二主動區域，該等第二主動區域中之各者具有大於該第一寬度的一第二寬度。

【0010】 在本申請案之一些實施例中，該第一切割區及該第二切割區兩者均填充有一背側互連介電材料層。

【0011】 在本申請案之一些實施例中，該第一切割區及該第二切割區兩者中之該背側互連介電材料層與該等背側電源島中之至少一者之一側壁直接實體接觸。

【0012】 在本申請案之一些實施例中，該背側互連介電材料層與一背側配電網路之一表面接觸。

【0013】 在本申請案之一些實施例中，該背側配電網路藉由一金屬通孔接觸結構連接至位於該第一裝置軌道及第二裝置軌道兩者中之該等背側電源島中之至少一者。

【0014】 在本申請案之一些實施例中，該金屬通孔接觸結構包括沿著一導電金屬或導電金屬合金之一側壁及一底壁定位之一擴散障壁襯裡。

【0015】 在本申請案之一些實施例中，該等背側電源島中之各者之一第一表面與一擴散障壁層接觸，且該等背側電源島中之各者之與該第一表面相對的一第二表面與一硬遮罩層接觸，且其中該等背側電源島中之各者之該第一表面經定位成比該等背側電源島中之各者之該第二表面更遠離該背側配電網路。

【0016】 在本申請案之一些實施例中，該等背側電源島中之至少一者藉由一背側源極/汲極接觸結構電連接至該第一裝置軌道或該第二裝置軌道中之至少一者中之一p型場效電晶體或一n型場效電晶體的一源極/汲極區。

【0017】 在本申請案之一些實施例中，該第一裝置軌道或該第二裝置軌道中之至少一者中之一p型場效電晶體或一n型場效電晶體的至少一個

源極/汲極區藉由一前側源極/汲極接觸結構電連接至一前側後段製程(BEOL)結構。

【0018】 在本申請案之一些實施例中，該結構進一步包括位於該前側BEOL結構之一表面上之一載體晶圓。

【0019】 在本申請案之一些實施例中，電連接至該前側BEOL結構之該源極/汲極區位於一底部介電隔離層之一表面上。

【0020】 在本申請案之一些實施例中，該等p型場效電晶體及該等n型場效電晶體為含奈米片之電晶體，該等電晶體包括環繞至少一個半導體通道材料奈米片之一閘極結構。

【0021】 在本申請案之一些實施例中，一擴散斷點結構將該第一裝置軌道與該第二裝置軌道分離，且在此等實施例中，該第二切割區位於該擴散斷點結構下方。

【0022】 在本申請案之一些實施例中，該擴散斷點結構由一介電材料構成，且該擴散斷點結構延伸至一背側層間介電材料層中。

【0023】 在本申請案之一些實施例中，該背側層間介電材料層位於該等背側電源島中之各者上方。

【0024】 在本申請案之另一實施例中，該半導體結構包括：一第一裝置軌道，其經定位成側向鄰近於一第二裝置軌道，其中該第一裝置軌道及該第二裝置軌道中之各者包括配置成列及行之p型場效電晶體及n型場效電晶體；一擴散斷點結構，其將該第一裝置軌道與該第二裝置軌道分離；及背側電源島，其位於該第一裝置軌道及該第二裝置軌道兩者中，其中位於該第一裝置軌道中之該等背側電源島及位於該第二裝置軌道中之該等背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電

源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離，且此外其中該第二切割區位於該擴散斷點結構下方且經定向成垂直於該第一切割區。

【0025】 在本申請案之此另一實施例中，該第一切割區可位於存在於該第一裝置軌道及該第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。

【0026】 在本申請案之此另一實施例中，該第一裝置軌道中之該等背側電源島具有一第一寬度，且該第二裝置軌道中之該等背側電源島具有一第二寬度，其中該第一寬度小於該第二寬度。

【0027】 在本申請案之此另一實施例中，該第一裝置軌道包括第一主動區域，該等第一主動區域中之各者具有一第一寬度，且該第二裝置軌道包括第二主動區域，該等第二主動區域中之各者具有大於該第一寬度的一第二寬度。

【0028】 在本申請案之此另一實施例中，該第一切割區及該第二切割區兩者均填充有一背側互連介電材料層。

【0029】 在本申請案之此另一實施例中，該第一切割區及該第二切割區兩者中之該背側互連介電材料層與該等背側電源島中之至少一者之一側壁直接實體接觸。

#### 【圖式簡單說明】

【0030】 圖1為展示可用於本申請案之裝置佈局之自上而下視圖，該裝置佈局包括位於不同裝置軌道中之複數個閘極結構；所說明之裝置佈局包括切口Y1-Y1、切口Y2-Y2及切口X-X。

【0031】 圖2A、圖2B及圖2C分別為可用於本申請案之例示性半導

體結構之通過切口Y1-Y1、切口Y2-Y2及切口X-X之橫截面視圖，該例示性結構包括基板、位於基板上之預留位置材料層及位於預留位置材料層上之犧牲半導體材料與半導體通道材料之交替層的材料堆疊。

【0032】圖3A、圖3B及圖3C分別為在將材料堆疊及預留位置材料層圖案化為個別經圖案化材料堆疊之後的圖2A、圖2B及圖2C中所展示之例示性半導體結構之橫截面視圖，各個別經圖案化材料堆疊包括材料堆疊之剩餘部分及預留位置材料層之剩餘部分。

【0033】圖4為展示圖1中所展示之裝置佈局之自上而下視圖，其展示其中隨後將形成背側接觸件(BC)之區域。

【0034】圖5A、圖5B及圖5C分別為在奈米片裝置處理之後的圖3A、圖3B及圖3C中所展示之例示性半導體結構之橫截面視圖，該奈米片裝置處理包括形成犧牲閘極結構、閘極間隔件、底部介電隔離層、奈米片堆疊、背側接觸預留位置材料及源極/汲極區，各奈米片堆疊包括交替的犧牲半導體材料奈米片及半導體通道材料奈米片。

【0035】圖6A、圖6B及圖6C分別為在形成前側層間介電(ILD)材料層及平坦化之後的圖5A、圖5B及圖5C中所展示之例示性半導體結構之橫截面視圖。

【0036】圖7A、圖7B及圖7C分別為在形成自對準擴散中斷點區域之後的圖6A、圖6B及圖6C中所展示之例示性半導體結構之橫截面視圖。

【0037】圖8A、圖8B及圖8C分別為在自對準擴散中斷點區域中形成介電材料以提供擴散中斷點結構之後的圖7A、圖7B及圖7C中所展示之例示性半導體結構之橫截面視圖。

【0038】圖9A、圖9B及圖9C分別為在另外奈米片裝置處理之後的

圖8A、圖8B及圖8C中所展示之例示性半導體結構之橫截面視圖，該另外奈米片裝置處理包括移除犧牲閘極結構，懸置各奈米片堆疊之半導體通道材料奈米片，形成環繞各奈米片堆疊之經懸置半導體通道材料奈米片之閘極結構，形成額外前側ILD材料、前側源極/汲極接觸結構、前側後段製程(BEOL)結構及載體晶圓。

【0039】 圖10A、圖10B及圖10C分別為在移除基板之第一半導體材料層之後的圖9A、圖9B及圖9C中所展示之例示性半導體結構之橫截面視圖。

【0040】 圖11A、圖11B及圖11C分別為在移除基板之蝕刻終止層及第二半導體層之後的圖10A、圖10B及圖10C中所展示之例示性半導體結構之橫截面視圖。

【0041】 圖12A、圖12B及圖12C分別為在形成第一背側ILD材料層之後的圖11A、圖11B及圖11C中所展示之例示性半導體結構之橫截面視圖。

【0042】 圖13A、圖13B及圖13C分別為在移除背側接觸預留位置材料以實體暴露一些源極/汲極區之表面及形成與源極/汲極區之經實體暴露之表面接觸之背側源極/汲極接觸結構之後的圖12A、圖12B及圖12C中所展示之例示性半導體結構之橫截面視圖。

【0043】 圖14A、圖14B及圖14C分別為在形成擴散障壁層及背側電源軌導電材料層之後的圖13A、圖13B及圖13C中所展示之例示性半導體結構之橫截面視圖。

【0044】 圖15A、圖15B及圖15C分別為在背側電源軌導電材料層上形成硬遮罩層且對硬遮罩層執行第一背側金屬切割(亦即，X方向切割)之

後的圖14A、圖14B及圖14C中所展示之例示性半導體結構之橫截面視圖。

【0045】 圖16A、圖16B及圖16C分別為在形成有機平坦化層且對有機平坦化層及硬遮罩層執行第二背側金屬切割(亦即，Y方向切割)之後的圖15A、圖15B及圖15C中所展示之例示性半導體結構之橫截面視圖。

【0046】 圖17A、圖17B及圖17C分別為在移除有機平坦化層且利用經圖案化硬遮罩層作為蝕刻遮罩圖案化背側電源軌導電材料層之後的圖16A、圖16B及圖16C中所展示之例示性半導體結構之橫截面視圖。

【0047】 圖18A、圖18B及圖18C分別為在形成第二背側ILD材料層之後的圖17A、圖17B及圖17C中所展示之例示性半導體結構之橫截面視圖。

【0048】 圖19A、圖19B及圖19C分別為在形成金屬通孔接觸結構及背側配電網路之後的圖18A、圖18B及圖18C中所展示之例示性半導體結構之橫截面視圖。

【0049】 圖20為展示先前技術背側電源軌之示意圖。

【0050】 圖21為展示根據本申請案之背側電源島之示意圖。

#### 【實施方式】

【0051】 現在將藉由參考伴隨本申請案之以下論述及圖式更詳細地描述本申請案。應注意，本申請案之圖式僅出於說明性目的提供，且因而圖式並未按比例繪製。亦應注意，相同及對應元件由相同參考標號指代。

【0052】 在以下描述中，闡述眾多具體細節，諸如特定結構、組件、材料、尺寸、處理步驟及技術，以便提供對本申請案之各種實施例之理解。然而，一般熟習此項技術者應瞭解，可在無此等具體細節之情況下

實踐本申請案之各種實施例。在其他情況下，尚未詳細地描述熟知結構或處理步驟以避免混淆本申請案。

**【0053】** 應理解，當作為層、區或基板之元件被稱作「在」另一元件「上」或「上方」時，該元件可直接在另一元件上或亦可存在介入元件。相比之下，當元件被稱作「直接在」另一元件「上」或「直接在」另一元件「上方」時，不存在介入元件。亦應理解，當一元件被稱作「在」另一元件「下方」或「下」時，該元件可直接在另一元件下方或下，或可存在介入元件。相比之下，當元件被稱作「直接在」另一元件「下方」或「直接在」另一元件「下」時，不存在介入元件。

**【0054】** 如上所述，提供一種半導體結構，其包括複數個背側電源島而非背側電源軌。在本申請案中，背側電源島為背側電源軌導電材料層之切割片段。背側電源島存在於第一裝置軌道(亦即，第一裝置區)及第二裝置軌道(亦即，第二裝置區)中。位於第一裝置軌道中之背側電源島及位於第二裝置軌道中之背側電源島藉由第一切割區隔離；第一切割區通常位於存在於第一裝置軌道及第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。位於第一裝置軌道中之背側電源島藉由第二切割區與位於第二裝置軌道中之背側電源島分離。在本申請案中，第二切割區經定向成垂直於第一切割區。第二切割區位於使第一裝置軌道與第二裝置軌道分離之擴散中斷點結構(亦即，介電材料柱)下方。第二切割區沿著擴散中斷點結構之整個長度延行。包括背側電源島而非背側電源軌允許具有混合單元高度及小的並列空間背側第一金屬層級之結構。

**【0055】** 首先參考圖1，繪示可用於本申請案之裝置佈局。圖1之經繪示裝置佈局包括位於不同裝置軌道(亦即，第一裝置軌道DT1及第二裝

置軌道DT2)中之複數個閘極結構GS。在本申請案中，DT1具有第一主動區域(AA1)，且DT2具有第二主動區域(AA2)，其中AA2相較於AA1具有較大(亦即，較寬)的寬度。不同裝置軌道(亦即，DT1及DT2)經定位成側向鄰近於彼此，且各自包括配置成列及行之p型場效電晶體(亦即，PFET)及n型場效電晶體(NFET)。NFET及PFET通常但未必始終為奈米片電晶體，該等奈米片電晶體包括環繞至少一個半導體通道材料奈米片之閘極結構(較佳地，閘極結構環繞複數個豎直堆疊且與半導體通道材料奈米片間隔開)。在一些實施例中，且如圖1中所展示，DT1為6T設計，其包括自頁面底部向上示出的PFET、NFET、NFET、PFET、PFET及NFET之行；而DT2為9T設計，其包括自頁面底部向上示出的NFET、PFET、PFET及NFET之行。在本申請案中，X-X切口係沿著含有DT1中之最底部PFET及DT2中最底部NFET的列，Y1-Y1切口位於定位於DT1中之閘極結構GS之間且沿著閘極結構GS之縱向方向，且Y2-Y2切口位於定位於DT2中之閘極結構GS之間且沿著閘極結構GS之縱向方向。應注意，裝置佈局不限於包括6T及9T裝置之裝置佈局。

【0056】 現參考圖2A、圖2B及圖2C，分別繪示可用於本申請案之通過圖1之切口Y1-Y1、Y2-Y2及X-X之例示性結構。例示性結構包括：基板10、12及14；預留位置材料層16L，其位於基板10、12及14上；及犧牲半導體材料(亦即，犧牲半導體材料層18L)與半導體通道材料(亦即，半導體通道材料層20L)之交替層的材料堆疊，其位於預留位置材料層16L上。

【0057】 在一些實施例中，且如圖2A、圖2B及圖2C中所繪示，基板可包括第一半導體材料層10、蝕刻終止層12及第二半導體材料層14。

在其他實施例中，可省略蝕刻終止層12及第二半導體材料層14，且在此等實施例中，基板由第一半導體材料層10構成。在又其他實施例中，可省略蝕刻終止層12，且在此等實施例中，基板由第一半導體材料層10及第二半導體材料層14構成(在此等實施例中，提供第一半導體材料層10及第二半導體材料層14之半導體材料在構成上彼此不同)。

**【0058】** 第一半導體材料層10由第一半導體材料構成。第二半導體材料層14由第二半導體材料構成。術語「半導體材料」在整個本申請案中用以指示具有半導體性質之材料。可在本申請案中用於提供第一半導體材料及第二半導體材料之半導體材料的實例包括但不限於矽(Si)、矽鍺(SiGe)合金、碳化矽鍺(SiGeC)合金、鍺(Ge)、III/V化合物半導體或II/VI化合物半導體。提供第二半導體材料層14之第二半導體材料與提供第一半導體材料層10之第一半導體材料可在構成上相同或在構成上不同。在本申請案之一些實施例中，蝕刻終止層12可由諸如例如二氧化矽及/或氮化硼之介電材料構成。在本申請案之其他實施例中，蝕刻終止層12由第三半導體材料構成，該第三半導體材料在構成上不同於提供第一半導體材料層10之第一半導體材料及提供第二半導體材料層14之第二半導體材料。在一個實例中，第一半導體材料層10由矽構成，蝕刻終止層12由二氧化矽構成，且第二半導體材料層14由矽構成。在另一實例中，第一半導體材料層10由矽構成，蝕刻終止層12由矽鍺構成，且第二半導體材料層14由矽構成。

**【0059】** 包括第一半導體材料層10、蝕刻終止層12及第二半導體材料層14之基板可利用熟習此項技術者所熟知之技術形成。舉例而言，包括第一半導體材料層10、蝕刻終止層12及第二半導體材料層14之基板可藉

由氧離子植入製程之分離或晶圓接合形成。

【0060】預留位置材料層16L由第四半導體材料構成，該第四半導體材料在構成上不同於基板之最上部半導體材料部分以及提供犧牲半導體材料層18L及半導體通道材料層20L之半導體材料。在一個實例中，預留位置材料層16L由矽鍺合金構成，該矽鍺合金具有40原子百分比至75原子百分比之鍺含量。通常地，預留位置材料層16L具有5 nm至20 nm之厚度；但可設想其他厚度且可將其他厚度用作預留位置材料層16L之厚度。

【0061】如上所述，材料堆疊包括交替的犧牲半導體材料層18L及半導體通道材料層20L。在一些實施例中，且如圖2A、圖2B及圖2C中所繪示，存在相等數目之犧牲半導體材料層18L及半導體通道材料層20L。亦即，材料堆疊可包括『n』數目個半導體通道材料層20L及『n』數目個犧牲半導體材料層18L，其中n為自一開始之整數。藉助於一個實例，材料堆疊包括三個犧牲半導體材料層18L及三個半導體通道材料層20L。各犧牲半導體材料層18L由第五半導體材料構成，而各半導體通道材料層20L由第六半導體材料構成，該第六半導體材料在構成上不同於該第五半導體材料；應注意，第五及第六半導體材料兩者在構成上均不同於第四半導體材料。

【0062】在一些實施例中，提供各半導體通道材料層20L之第六半導體材料能夠給n型場效電晶體(FET)裝置提供高通道移動率。在其他實施例中，提供各半導體通道材料層20L之第六半導體材料能夠給p型FET裝置提供高通道移動率。提供各犧牲半導體材料層18L之第五半導體材料及提供各半導體通道材料層20L之第六半導體材料可包括上述半導體材料中之一者。在一個實例中，各犧牲半導體材料層18L由具有20原子百分比至

40原子百分比之鍺含量之矽鍺合金構成(應注意，各犧牲半導體材料層18L在構成上不同於上述犧牲預留位置材料層16L)，且提供各半導體通道材料層20L之第六半導體材料由矽構成。只要提供各犧牲半導體材料層18L之第五半導體材料在構成上不同於提供各半導體通道材料層20L之第六半導體材料，且提供犧牲半導體材料層18L及半導體通道材料層20L之半導體材料在構成上不同於提供犧牲預留位置材料層16L之半導體材料，半導體材料之其他組合係可能的。

**【0063】** 各犧牲半導體材料層18L可具有第一厚度，且各半導體通道材料層20L可具有第二厚度。在本申請案中，第一厚度可等於、大於或小於第二厚度。

**【0064】** 圖2A、圖2B及圖2C中所展示之例示性結構可藉由第一將犧牲預留位置材料層16L沉積於基板上(在所說明之實施例中，犧牲預留位置材料層16L形成於基板之第二半導體材料層14上)且隨後第二將材料堆疊沉積於犧牲預留位置材料層16L上而形成。第二沉積包括形成上述第五半導體材料及第六半導體材料之交替覆蓋層。第一及第二沉積可包括化學氣相沉積(CVD)、電漿增強化學氣相沉積(PECVD)或磊晶生長中之一者。術語「磊晶生長」或「磊晶地生長」意謂，半導體材料在另一半導體材料之生長表面上之生長，其中正在生長之半導體材料具有與另一半導體材料之生長表面相同的結晶特性。在磊晶沉積製程中，控制由源氣體提供之化學反應物且設定系統參數，使得沉積原子以充足能量到達另一半導體材料之生長表面，以在該生長表面上來回移動且將其自身定向至生長表面之原子的晶體配置。可用於本申請案之各種磊晶生長製程設備的實例包括例如快速熱化學氣相沉積(RTCVD)、低能量電漿沉積(LEPD)、超高真空化學

氣相沉積(UHVCVD)、大氣壓化學氣相沉積(APCVD)及分子束磊晶法(MBE)。用於磊晶沉積之溫度通常在550°C至900°C範圍內。儘管較高溫度通常導致較快沉積，但較快沉積可導致晶體缺陷及薄膜破裂。

【0065】 現參考圖3A、圖3B及圖3C，分別繪示在將材料堆疊及預留位置材料層16L圖案化為個別經圖案化材料堆疊PS之後的圖2A、圖2B及圖2C中所展示之例示性半導體結構，各個別經圖案化材料堆疊PS包括材料堆疊之剩餘部分及預留位置材料層16L之剩餘部分。亦即，各個別經圖案化材料堆疊PS包括預留位置材料層16L之剩餘部分(在下文中，經圖案化預留位置材料層16)、各犧牲半導體材料層18L之剩餘部分(在下文中，經圖案化犧牲半導體材料層18)及各半導體通道材料層之剩餘部分(在下文中，經圖案化半導體通道材料層20)。如所繪示，圖3A中形成之各經圖案化材料堆疊PS具有第一寬度，而圖3B中形成之各經圖案化材料堆疊PS具有第二寬度，其中第二寬度大於第一寬度。

【0066】 圖案化材料堆疊包括微影及蝕刻。在一些實施例中，硬遮罩可形成於材料堆疊之頂部上，且彼硬遮罩藉由微影及蝕刻圖案化，以在材料堆疊上形成經圖案化硬遮罩。取決於形成經圖案化硬遮罩所在之區，經圖案化硬遮罩可設計為具有不同寬度。由經圖案化硬遮罩提供之圖案可藉由蝕刻轉移至材料堆疊中，且隨後經圖案化硬遮罩可自個別經圖案化材料堆疊PS中之各者移除。

【0067】 如圖3A至圖3B中進一步展示，淺溝槽隔離結構22可形成於基板中；在所說明之實施例中，淺溝槽隔離結構22形成於第二半導體材料層14中。淺溝槽隔離結構22由諸如例如氧化矽之任何溝槽介電材料構成。在一些實施例中，由例如SiN構成之溝槽介電襯裡可沿著溝槽介電材

料之側壁及底壁存在。淺溝槽隔離結構22可具有與基板之未經蝕刻部分之最頂部表面共面的最頂部表面；在所說明之實施例中，淺溝槽隔離結構22可具有與第二半導體材料層14之未經蝕刻部分之最頂部表面共面的最頂部表面。淺溝槽隔離結構22可藉由以下步驟形成：首先(利用微影及蝕刻)在基板之上部部分中形成溝槽(在所說明之實施例中，溝槽形成於第二半導體材料層14之上部部分中)，將可選溝槽介電襯裡材料及溝槽介電材料沉積於溝槽中，且隨後執行回蝕製程。

【0068】 現參考圖4，展示圖1之裝置佈局，其展示其中隨後將形成背側接觸件(BC)之區域。BC將形成於包括以下圖5A、圖5B、及圖5C中所展示之背側接觸預留位置材料34之區域中。

【0069】 現參考圖5A、圖5B及圖5C，分別繪示在奈米片裝置處理之後的圖3A、圖3B及圖3C中所展示之例示性半導體結構，該奈米片裝置處理包括形成犧牲閘極結構24、閘極間隔件28、底部介電隔離層30、奈米片堆疊、背側接觸預留位置材料34及源極/汲極區36。各奈米片堆疊包括交替的犧牲半導體材料奈米片18NS及半導體通道材料奈米片20NS。此外，圖5A、圖5B及圖5C中展示犧牲閘極封蓋26及內部間隔件32，兩者均在奈米片裝置處理期間形成。

【0070】 奈米片裝置處理包括首先形成犧牲閘極材料層(未具體展示)及犧牲閘極封蓋材料層(未具體展示)。在一些實施例中，犧牲閘極介電材料層(亦未具體展示)可在形成犧牲閘極介電材料之前形成。可選犧牲閘極介電材料層可由諸如例如二氧化矽之介電材料構成。犧牲閘極材料層包括犧牲閘極材料，例如但不限於多晶矽、非晶矽、非晶矽鍍或非晶鍍。犧牲閘極封蓋由諸如例如氮化矽之硬遮罩材料構成。可選犧牲閘極介電材

料層、犧牲閘極材料層及犧牲閘極封蓋材料層可利用沉積製程形成，諸如例如CVD、PECVD、物理氣相沉積(PVD)、或原子層沉積(ALD)。在本申請案中，可選犧牲閘極介電材料層及犧牲閘極材料層在沉積犧牲閘極封蓋材料層之前沉積。在一些實施例中，可省略犧牲閘極封蓋材料層之形成。

**【0071】** 可選犧牲閘極介電材料層、犧牲閘極材料層及犧牲閘極封蓋材料層接著藉由微影及蝕刻圖案化，以提供用犧牲閘極封蓋26封蓋之犧牲閘極結構24。各犧牲閘極結構24至少包括犧牲閘極材料層之未經蝕刻部分。各犧牲閘極結構24亦可包括犧牲閘極介電材料層之未經蝕刻部分。各犧牲閘極封蓋26包括犧牲閘極封蓋材料層之未經蝕刻部分。

**【0072】** 在形成用犧牲閘極封蓋26封蓋之犧牲閘極結構24之後，移除經圖案化預留位置材料層16，以在經圖案化材料堆疊PS中之各者下方形成空隙。經圖案化材料堆疊PS為非浮動結構，其至少藉由犧牲閘極結構24固定在適當位置。經圖案化預留位置材料層16之移除包括蝕刻製程，該蝕刻製程選擇性地移除提供預留位置材料層16L之第四半導體材料。

**【0073】** 在自各經圖案化材料堆疊移除經圖案化預留位置材料層16之後，奈米片裝置處理藉由沿著各經犧牲閘極封蓋之犧牲閘極結構(此結構為犧牲閘極結構24與犧牲閘極封蓋26之組合)之側壁形成閘極間隔件28來繼續。在閘極間隔件28形成期間，填充形成於各經圖案化材料堆疊PS下方之空隙，從而形成底部介電隔離層30。因此，閘極間隔件28及底部介電隔離層30由相同介電間隔件材料構成，且為一體式構造。可用於提供閘極間隔件28及底部介電隔離層30之例示性介電間隔件材料包括但不限

於二氧化矽、SiN、SiBCN、SiOCN或SiOC。閘極間隔件28及底部介電隔離層30可藉由沉積製程形成，諸如例如CVD、PECVD或ALD。

【0074】 在形成閘極間隔件28及底部介電隔離層30之後，經圖案化材料堆疊PS中之各者經轉換成奈米片堆疊。此轉換包括利用各閘極間隔件28及經犧牲閘極封蓋之犧牲閘極結構作為蝕刻遮罩來蝕刻。該蝕刻可包括反應性離子蝕刻。術語「奈米片堆疊」指示存在於堆疊中之各種材料層為奈米片。在奈米片堆疊中，各剩餘經圖案化犧牲半導體材料層18可稱為犧牲半導體材料奈米片18NS，且各剩餘經圖案化半導體通道材料層20可稱為半導體通道材料奈米片20NS。

【0075】 接下來，利用凹槽蝕刻製程使存在於奈米片堆疊中之各犧牲半導體材料奈米片18NS凹入。此凹槽蝕刻製程為選擇性移除各犧牲半導體材料奈米片18NS之部分的側向蝕刻製程。應注意，凹入式犧牲半導體材料奈米片18NS具有比存在於奈米片堆疊中之半導體通道材料奈米片20NS中的各者之寬度更小的寬度。

【0076】 接下來，內部間隔件32經形成為側向鄰近於存在於奈米片堆疊中之各者中的各凹入式犧牲半導體材料奈米片18NS。各內部間隔件32由用於形成閘極間隔件28及底部介電隔離層30之上述介電間隔件材料中之一者構成。提供各內部間隔件32之介電間隔件材料可與提供閘極間隔件28及各底部介電隔離層30之介電材料在構成上相同或在構成上不同。內部間隔件32藉由沉積及蝕刻形成。

【0077】 在形成內部間隔件32之後，藉由蝕刻通過底部介電隔離層30及不包括淺溝槽隔離結構22之基板之上部部分(在所說明之實施例中，此蝕刻通過第二半導體材料層14之上部部分)在結構之選擇性位置中形成

背側接觸預留位置材料34。接著用諸如例如SiGe、TiO<sub>x</sub>或AlO<sub>x</sub>之犧牲材料來填充(藉由諸如例如磊晶、CVD或PECVD之沉積製程)由此蝕刻產生之開口，且可執行凹槽蝕刻以提供圖5A、圖5B及圖5C中所展示之背側接觸預留位置材料34。

【0078】 接下來，形成源極/汲極區36。源極/汲極區36通常係藉由上文所界定之磊晶生長製程形成。源極/汲極區36自各半導體通道材料奈米片20NS之側壁向外延伸。源極/汲極區36中之一些經形成為與底部介電隔離層30直接實體接觸，而其他源極/汲極區36經形成為與背側接觸預留位置材料34直接實體接觸。源極/汲極區36中之各者由半導體材料及摻雜劑構成。如本文所使用，「源極/汲極」區可為取決於電晶體操作期間之後續佈線及電壓施加的源極區或汲極區。提供源極/汲極區36中之各者之半導體材料由上述半導體材料中之一者構成。提供源極/汲極區36之半導體材料可與各半導體通道材料奈米片20NS在構成上相同或在構成上不同。然而，提供各源極/汲極區36之半導體材料在構成上不同於各凹入式犧牲半導體材料奈米片18NS。存在於源極/汲極區36中之摻雜劑可為p型摻雜劑或n型摻雜劑。術語「p型」係指向本質半導體添加雜質，此產生價電子之缺陷。在含矽半導體材料中，p型摻雜劑(亦即，雜質)之實例包括但不限於硼、鋁、鎵、磷及銮。「n型」係指向本質半導體添加貢獻自由電子之雜質。在含矽半導體材料中，n型摻雜劑(亦即，雜質)之實例包括但不限於銻、砷及磷。在一個實例中，源極/汲極區中之各者可具有 $4 \times 10^{20}$ 個原子/cm<sup>3</sup>至 $3 \times 10^{21}$ 個原子/cm<sup>3</sup>之摻雜劑濃度。

【0079】 現參考圖6A、圖6B及圖6C，分別繪示在形成前側層間介電(ILD)材料層38及平坦化之後的圖5A、圖5B及圖5C中所展示之例示性

半導體結構。前側ILD材料層38由介電材料構成，該介電材料包括例如氧化矽、氮化矽、未摻雜矽玻璃(USG)、氟矽酸鹽玻璃(FSG)、硼磷矽酸鹽玻璃(BPSG)、旋塗低k介電層、化學氣相沉積(CVD)低k介電層或其任何組合。用於本申請案全篇中之術語「低k」係指具有小於4.0之介電常數的介電材料(除非另外指出，否則本文所提及之所有介電常數均係相對於真空的)。前側ILD材料層38可藉由包括但不限於CVD、PECVD或旋塗式塗佈之沉積製程形成。平坦化製程包括化學機械研磨(CMP)。如圖6C中所繪示，平坦化製程移除犧牲閘極封蓋26中之各者之上部部分及各閘極間隔件28之上部部分。

**【0080】** 現參考圖7A、圖7B及圖7C，分別繪示在形成自對準擴散中斷點區域42之後的圖6A、圖6B及圖6C中所展示之例示性半導體結構。自對準擴散中斷點區域42形成於結構之位於存在於第一裝置軌道中之電晶體中之各者與存在於第二裝置軌道中之電晶體中之各者之間的區域中。自對準擴散中斷點區域42可藉由首先在圖6A、圖6B及圖6C中所提供之結構上形成有機平坦化層(OPL)40來形成。OPL 40可藉由包括例如CVD、PECVD或旋塗式塗佈之沉積製程形成。OPL 40接著藉由微影及蝕刻來圖案化以在其中包括開口。接著，使用蝕刻來將OPL 40中之開口轉移至基板之上部部分中(在所說明之實施例中，蝕刻將OPL 40中之開口轉移至第二半導體材料層14之上部部分中)。蝕刻完全移除直接位於OPL 40中之開口下方的任何前側ILD材料層38、源極/汲極區36及底部介電隔離層30，且蝕刻部分地移除圖7C中所展示之基板之上部部分。

**【0081】** 現參考圖8A、圖8B及圖8C，分別繪示在自對準擴散中斷點區域42中形成介電材料以提供擴散中斷點結構44之後的圖7A、圖7B及圖

7C中所展示之例示性半導體結構。提供擴散斷點結構44之介電材料可包括例如二氧化矽、氮化矽、氮氧化矽；提供擴散斷點結構44之介電材料在構成上不同於提供犧牲閘極封蓋26之介電材料。在形成此介電材料之前，利用選擇性地移除OPL 40之材料移除製程來移除OPL 40。

**【0082】** 提供擴散斷點結構44之介電材料接著沉積(CVD、PECVD等)至自對準擴散中斷點區域42之剩餘部分中且沉積於結構之頂部上，且接著採用諸如CMP之平坦化製程以提供最終擴散斷點結構44。此平坦化製程移除在自對準擴散中斷點區域42、前側ILD材料層38之上部部分、各犧牲閘極封蓋26之剩餘部分及剩餘閘極間隔件28之上部部分外部形成之介電材料。

**【0083】** 現參考圖9A、圖9B及圖9C，分別繪示在另外奈米片裝置處理之後的圖8A、圖8B及圖8C中所展示之例示性半導體結構，該另外奈米片裝置處理包括移除犧牲閘極結構24，懸置各奈米片堆疊之半導體通道材料奈米片20NS，形成環繞各奈米片堆疊之經懸置半導體通道材料奈米片20NS之閘極結構45，形成額外前側ILD材料、前側源極/汲極接觸結構46、前側BEOL結構48及載體晶圓50。

**【0084】** 顯露奈米片堆疊之犧牲閘極結構24之移除包括任何材料移除製程，諸如例如選擇性地移除犧牲閘極結構24之蝕刻。懸置各半導體通道材料奈米片20NS之犧牲半導體材料奈米片18NS之移除包括任何材料移除製程，諸如例如選擇性地移除犧牲半導體材料奈米片18NS之蝕刻。

**【0085】** 接下來，形成閘極結構45。閘極結構45包括閘極介電材料及閘極電極，該等兩者不進行單獨展示但意欲位於由閘極結構45界定之區中。熟習此項技術者已知，閘極介電材料與各半導體通道材料奈米片

20NS之經實體暴露之表面直接接觸，且閘極電極形成於閘極介電材料上。閘極介電材料具有4.0或更大之介電常數。閘極介電材料之說明性實例包括但不限於二氧化矽、二氧化鈦( $\text{HfO}_2$ )、氧化鈦矽( $\text{HfSiO}$ )、氮氧化鈦矽( $\text{HfSiO}$ )、氧化鏷( $\text{La}_2\text{O}_3$ )、氧化鏷鋁( $\text{LaAlO}_3$ )、二氧化鋯( $\text{ZrO}_2$ )、氧化鋯矽( $\text{ZrSiO}_4$ )、氮氧化鋯矽( $\text{ZrSiO}_x\text{N}_y$ )、氧化鉭( $\text{TaO}_x$ )、氧化鈦( $\text{TiO}$ )、氧化鋇鋇鈦( $\text{BaO}_6\text{SrTi}_2$ )、氧化鋇鈦( $\text{BaTiO}_3$ )、氧化鋇鈦( $\text{SrTiO}_3$ )、氧化釷( $\text{Yb}_2\text{O}_3$ )、氧化鋁( $\text{Al}_2\text{O}_3$ )、氧化鉛鈦鉭( $\text{Pb}(\text{Sc},\text{Ta})\text{O}_3$ )及/或鉛鋅鈦鐵( $\text{Pb}(\text{Zn},\text{Nb})\text{O}$ )。閘極介電材料可進一步包括諸如鏷(La)、鋁(Al)及/或鎂(Mg)之摻雜劑。

【0086】 閘極電極可包括功函數金屬(WFM)且視情況包括導電金屬。WFM可用於將電晶體之臨限電壓設定為所要值。在一些實施例中，可選擇WFM來實現n型臨限電壓偏移。本文中所使用之「n型臨限電壓偏移」意謂含功函數金屬材料之有效功函數朝著含矽材料中之矽導電帶偏移。在一個實施例中，n型功函數金屬之功函數範圍介於4.1 eV至4.3 eV。可實現n型臨限電壓偏移之此等材料之實例包括但不限於鈦鋁、碳化鈦鋁、氮化鉭、氮化鈦、氮化鈦、鈦矽或其組合。在其他實施例中，可選擇WFM來實現p型臨限電壓偏移。在一個實施例中，p型功函數金屬之功函數範圍介於4.9 eV至5.2 eV。如本文中所使用，「臨限電壓」為最低可達到的閘極電壓，其將藉由使裝置之通道通電來開啟半導體裝置(例如，電晶體)。本文中所使用之術語「p型臨限電壓偏移」意謂含功函數金屬材料之有效功函數朝著含矽材料中之矽價帶偏移。可實現p型臨限電壓偏移之此等材料的實例包括但不限於氮化鈦及碳化鉭、碳化鈦及其組合。可選擇導電金屬可包括但不限於鋁(Al)、鎢(W)或鈷(Co)。閘極結構45可藉由閘

極介電材料及閘極電極材料之沉積、隨後的平坦化製程形成。

【0087】 在形成閘極結構45之後，形成額外前側ILD材料。額外前側ILD材料通常包括與先前形成之前側ILD材料層38相同的介電材料。總而言之，額外前側ILD材料及先前形成之前側ILD材料層38提供將容納前側源極/汲極接觸結構46之前側中段製程(MOL)介電層39。額外前側ILD材料可利用用於提供先前的前側ILD材料層38之沉積製程來形成。

【0088】 接著利用金屬化製程形成前側源極/汲極接觸結構46，該金屬化製程包括在前側MOL介電材料層39中形成前側接觸開口，且隨後用至少一種接觸導體材料填充(包括沉積及平坦化)各前側接觸開口。接觸導體材料可包括例如矽化物襯裡(諸如Ni、Pt、NiPt)、黏著金屬襯裡(諸如TiN)及導電金屬(諸如W、Cu、Al、Co、Ru、Mo、Os、Ir、Rh或其合金)。前側源極/汲極接觸結構46亦可包括一或多個接觸襯裡(未展示)。在一或多個實施例中，接觸襯裡(未展示)可包括擴散障壁材料。例示性擴散障壁材料包括但不限於Ti、Ta、Ni、Co、Pt、W、Ru、TiN、TaN、WN、WC、其合金，或其堆疊，諸如Ti/TiN及Ti/WC。在其中存在接觸襯裡之一或多個實施例中，接觸襯裡(未展示)可包括上文所界定之矽化物襯裡(諸如，Ti、Ni、NiPt等)及擴散障壁材料。各前側源極/汲極接觸結構46與直接位於底部介電隔離層30上之源極/汲極區36接觸；前側源極/汲極接觸結構46未與位於背側接觸預留位置材料34上之源極/汲極區36實體接觸。各前側源極/汲極接觸結構46具有與前側MOL介電材料層39之最頂部表面共面之最頂部表面。前側源極/汲極接觸結構46及前側MOL介電材料層39表示MOL結構。

【0089】 前側BEOL結構48可包括一或多個互連介電材料層(包括用

於前側ILD材料層38之上述介電材料中之一者)，其含有嵌入其中之一或多個佈線區(佈線區可包括任何導電金屬或導電金屬合金)。前側BEOL結構48可利用任何互連裝置處理技術形成。在一些實施例中，佈線區為Cu佈線區。載體晶圓50可包括用於第一半導體材料層10之上述半導體材料中之一者。載體晶圓50在前側BEOL結構48形成之後接合至前側BEOL結構48。

**【0090】** 現參考圖10A、圖10B及圖10C，分別繪示在移除基板之第一半導體材料層10之後的圖9A、圖9B及圖9C中所展示之例示性半導體結構。第一半導體材料層10之移除通常包括將晶圓翻轉180°以實體地暴露基板之背側。出於清楚之目的，本申請案之圖式中未展示此翻轉步驟。在所說明之實施例中，基板包括第一半導體材料層10、蝕刻終止層12及第二半導體材料層14。因此，翻轉可實體地暴露基板之第一半導體層10。此翻轉步驟將允許例示性結構之背側處理。背側處理發生在晶圓之與已形成電晶體(亦即，閘極結構45)之側相對的側上。結構之翻轉可用手或藉由利用諸如例如機器人臂之機械構件執行。

**【0091】** 基板之經實體暴露之第一半導體材料層10的移除將實體地暴露基板之蝕刻終止層12。基板之第一半導體材料層10之移除可利用材料移除製程執行，其選擇性地移除提供第一半導體材料層10之第一半導體材料。

**【0092】** 現參考圖11A、圖11B及圖11C，分別繪示在移除基板之蝕刻終止層12及第二半導體層14之後的圖10A、圖10B及圖10C中所展示之例示性半導體結構。蝕刻終止層12之移除包括選擇性地移除蝕刻終止層12之材料移除製程。蝕刻終止層12之移除將實體地暴露基板之第二半導

體層14。基板之經實體暴露之第二半導體材料層14可利用選擇性地自該結構移除彼層之材料移除製程來移除。可根據所用基板之類型來採用其他材料移除製程。舉例而言，在基板完全由一種半導體材料構成之一些實施例中，可使用一種材料移除製程，而非本文中所描述之多個材料移除處理步驟。

【0093】 現參考圖12A、圖12B及圖12C，分別繪示在形成第一背側ILD材料層52之後的圖11A、圖11B及圖11C中所展示之例示性半導體結構。第一背側ILD材料層52可包括用於前側ILD材料層38之上述介電材料中之一者。第一背側ILD材料層52可利用用於形成前側ILD材料層38之上述沉積製程中之一者來形成。平坦化製程可在用於形成第一背側ILD材料層52之沉積製程後。在本申請案中，第一背側ILD材料層52具有與背側接觸預留位置材料34之表面共面的表面。應注意，背側接觸預留位置材料34嵌入擴散中斷點結構44之下部部分。

【0094】 現參考圖13A、圖13B及圖13C，分別繪示在移除背側接觸預留位置材料34以實體地暴露源極/汲極區36中之一些的表面且形成與源極/汲極區36中之一些之經實體暴露之表面接觸之背側源極/汲極接觸結構54之後的圖12A、圖12B及圖12C中所展示之例示性半導體結構。背側接觸預留位置材料34之移除包括諸如蝕刻之材料移除製程，其選擇性地移除背側接觸預留位置材料34。經實體暴露之源極/汲極區36為不包括前側源極/汲極接觸結構46之彼等源極/汲極接觸件。背側源極/汲極接觸結構54包括用於前側源極/汲極接觸結構46之上述材料。背側源極/汲極接觸結構54可藉由用於前側源極/汲極接觸結構46之上文所界定之金屬化製程形成。背側源極/汲極接觸結構54具有與第一背側ILD材料層52之表面共面的表

面。

【0095】 現參考圖14A、圖14B及圖14C，分別繪示在形成擴散障壁層56及背側電源軌導電材料層58之後的圖13A、圖13B及圖13C中所展示之例示性半導體結構。

【0096】 擴散障壁層56包括擴散障壁材料，該擴散障壁材料將防止來自背側電源軌導電材料層58之金屬離子擴散至背側源極/汲極接觸結構54中。可用作擴散障壁層56之擴散障壁材料之說明性實例包括TiN、TaN或Ta<sub>2</sub>N與Ta<sub>2</sub>N之多層結構。擴散障壁層56可利用諸如例如CVD、PECVD、原子層沉積(ALD)、濺鍍或電鍍之沉積製程形成。擴散障壁層56通常具有1 nm至20 nm之厚度；但涵蓋其他厚度且可將其他厚度用作擴散障壁層56之厚度。

【0097】 背側電源軌導電材料層58由包括但不限於以下之任何導電電源軌材料構成：鎢(W)、鈷(Co)、鈳(Ru)、鋁(Al)、銅(Cu)、鉑(Pt)、銻(Rh)或鈀(Pd)。背側電源軌導電材料層58可利用諸如例如CVD、PECVD、ALD、濺鍍或電鍍之沉積製程形成。背側電源軌導電材料層58通常具有10 nm至100 nm之厚度；但涵蓋其他厚度且可將其他厚度用作背側電源軌導電材料層58之厚度。

【0098】 現參考圖15A、圖15B及圖15C，分別繪示在背側電源軌導電材料層58上形成硬遮罩層60且對硬遮罩層60執行第一背側金屬切割(亦即，X方向切割)之後的圖14A、圖14B及圖14C中所展示之例示性半導體結構。開口62係藉由在X方向上之此金屬切割形成。硬遮罩層60包括諸如例如二氧化矽或氮化矽之介電材料。X方向上之金屬切割包括微影及金屬蝕刻。

【0099】 現參考圖16A、圖16B及圖16C，分別繪示在形成有機平坦化層64且對有機平坦化層64及硬遮罩層60執行第二背側金屬切割(亦即，Y方向切割)之後的圖15A、圖15B及圖15C中所展示之例示性半導體結構。開口66係藉由在Y方向上之此金屬切割形成。有機平坦化層64填充在開口62中，且係利用諸如例如CVD、PECVD或旋塗式塗佈之沉積製程形成。開口66位於擴散斷點結構44下方之區域中。Y方向上之金屬切割包括微影及金屬蝕刻。

【0100】 現參考圖17A、圖17B及圖17C，分別繪示在移除有機平坦化層64且利用經圖案化硬遮罩層60作為蝕刻遮罩來進行圖案化之後的圖16A、圖16B及圖16C中所展示之例示性半導體結構。背側電源軌導電材料層58藉由此製程而圖案化成個別背側電源島58P。有機平坦化層64之移除係利用任何材料移除製程執行，其選擇性地自結構移除有機平坦化層64。圖案化包括選擇性地蝕刻背側電源軌導電材料層58之金屬蝕刻。形成開口68A及開口68B。開口68A處於X方向上，而開口68B處於Y方向上。此圖案化步驟在X及Y方向上切割背側電源軌導電材料層58。因此，個別背側電源島58P形成於第一背側金屬層級BM1處，且可用作圖19A、圖19B及圖19C中所展示之Vss或Vdd元件。在本申請案中，背側電源島58P中之各者之第一表面與擴散障壁層56接觸，且背側電源島58P中之各者之與第一表面相對的第二表面與硬遮罩層60接觸，且其中背側電源島58P中之各者之第一表面經定位成比背側電源島58P中之各者之第二表面更遠離背側配電網路76。

【0101】 現參考圖18A、圖18B及圖18C，分別繪示在形成第二背側ILD材料層70之後的圖17A、圖17B及圖17C中所展示之例示性半導體結

構。第二背側ILD材料層70可包括用於第一前側ILD材料層38之上述介電材料中之一者。提供第二背側ILD材料層70之介電材料可與提供第一背側ILD材料層52之介電材料在構成上相同或在構成上不同。第二背側ILD材料層70可藉由諸如例如CVD、PECVD或旋轉塗佈之沉積製程形成。如圖18A、圖18B及圖18C中所展示，開口68A及開口68B填充有第二背側ILD材料層70。

**【0102】** 在圖18A及圖18B中，展示第一切割區CT1。各CT1存在於在第一裝置軌道及第二裝置軌道中存在之各n型場效電晶體與p型場效電晶體對之間。在圖18C中，繪示第二切割區CT2。CT2存在於在第一裝置軌道與第二裝置軌道之間的區域中，且CT2位於擴散斷點結構44下方。應注意，各CT1垂直於CT2延伸，且CT1及CT2兩者填充有第二背側層間介電材料層70。應進一步注意，CT1及CT2中之第二背側層間介電材料層70與背側電源島58P之側壁直接接觸。

**【0103】** 現參考圖19A、圖19B及圖19C，分別繪示在形成金屬通孔接觸結構及背側配電網路76之後的圖18A、圖18B及圖18C中所展示之例示性半導體結構。各金屬通孔接觸結構包括導電材料74及擴散障壁襯裡72。擴散障壁襯裡72可包括用於擴散障壁層56之上述擴散障壁材料中之一者，且導電材料74包括用於背側電源軌導電材料層58之上述導電電源軌材料中之一者。金屬通孔接觸結構(包括導電材料74及擴散障壁襯裡72)可利用金屬化製程形成。此金屬化製程包括在第二背側ILD材料層70及經圖案化硬遮罩層60中形成實體地暴露背側電源島58P中之一者的開口。此等開口經填充以包括導電材料74及擴散障壁襯裡72。背側配電網路76經形成為與圖19A、圖19B及圖19C中所展示之第二背側ILD材料層70及各

金屬通孔接觸結構接觸。因此，背側配電網路76藉由金屬通孔接觸結構與背側電源島58P (現標記為BM1 Vdd)中之至少一者的一者電接觸；背側電源島58P中之一些經組態為BM1 Vss元件。背側配電網路76包括經組態以將電源分配至電晶體之元件/組件。

【0104】 現參考圖20，繪示展示先前技術背側電源軌之示意圖，而圖21繪示展示根據本申請案之背側電源島之示意圖。如圖20中所展示，先前技術背側電源軌(標記為Vss及Vdd)為將連續延伸跨越不同裝置軌道之金屬線。相比之下，圖21繪示位於DT1及DT2兩者中之背側電源島(標記為Vss及Vdd)，其中位於DT1中之背側電源島與位於DT2中之背側電源島藉由第一切割區(亦即，CT1)隔離，且位於第一裝置軌道DT1中之背側電源島藉由第二切割區CT2與位於第二裝置軌道DT2中之背側電源島分離。如所展示，CT2經定向成垂直於CT1，且各CT1經定向成彼此平行。在本申請案中，CT1位於存在於第一裝置軌道及第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。在本申請案中，且如圖21中所繪示，DT1中之背側電源島具有第一寬度w1，且DT2中之背側電源島具有第二寬度w2，其中w1小於w2。此態樣提供DT1中之背側電源島，其相對於DT2中之背側電源島交錯。

【0105】 雖然本申請案已關於其較佳實施例而被特定地展示及描述，但熟習此項技術者應理解，可在不脫離本申請案之精神及範疇的情況下進行形式及細節上之前述及其他改變。因此，意欲本申請案不限於所描述及說明之精確形式及細節，但屬於隨附申請專利範圍之範疇內。

#### 【符號說明】

#### 【0106】

- 10: 基板/第一半導體材料層
- 12: 基板/蝕刻終止層
- 14: 基板/第二半導體材料層
- 16: 經圖案化預留位置材料層
- 16L: 預留位置材料層
- 18: 經圖案化犧牲半導體材料層
- 18L: 犧牲半導體材料層
- 18NS: 犧牲半導體材料奈米片
- 20: 經圖案化半導體通道材料層
- 20L: 半導體通道材料層
- 20NS: 半導體通道材料奈米片
- 22: 淺溝槽隔離結構
- 24: 犧牲閘極結構
- 26: 犧牲閘極封蓋
- 28: 閘極間隔件
- 30: 底部介電隔離層
- 32: 內部間隔件
- 34: 背側接觸預留位置材料
- 36: 源極/汲極區
- 38: 前側ILD材料層
- 39: 前側MOL介電層
- 40: 有機平坦化層
- 42: 自對準擴散中斷點區域

- 44: 擴散斷點結構
- 45: 閘極結構
- 46: 前側源極/汲極接觸結構
- 48: 前側BEOL結構
- 50: 載體晶圓
- 52: 第一背側ILD材料層
- 54: 背側源極/汲極接觸結構
- 56: 擴散障壁層
- 58: 背側電源軌導電材料層
- 58P: 背側電源島
- 60: 硬遮罩層
- 62: 開口
- 64: 有機平坦化層
- 66: 開口
- 68A: 開口
- 68B: 開口
- 70: 第二背側ILD材料層
- 72: 擴散障壁襯裡
- 74: 導電材料
- 76: 背側配電網路
- AA1: 第一主動區域
- AA2: 第二主動區域
- BC: 背側接觸件

BM1: 第一背側金屬層級

CT1: 第一切割區

CT2: 第二切割區

DT1: 第一裝置軌道

DT2: 第二裝置軌道

GS: 閘極結構

NFET: n型場效電晶體

PFET: p型場效電晶體

PS: 經圖案化材料堆疊

Vdd: 背側電源軌/背側電源島

Vss: 背側電源軌/背側電源島

w1: 第一寬度

w2: 第二寬度

X-X: 切口

Y1-Y1: 切口

Y2-Y2: 切口

## 【發明申請專利範圍】

### 【請求項1】

一種半導體結構，其包含：

背側電源島，其位於一第一裝置軌道及一第二裝置軌道兩者中，其中位於該第一裝置軌道及該第二裝置軌道中之各背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離，且此外其中該第二切割區經定向成垂直於該第一切割區，其中該第一裝置軌道中之該等背側電源島具有一第一寬度，且該第二裝置軌道中之該等背側電源島具有一第二寬度，其中該第一寬度小於該第二寬度。

### 【請求項2】

如請求項1之半導體結構，其中該第一裝置軌道及該第二裝置軌道中之各者包含配置成列及行之p型場效電晶體及n型場效電晶體。

### 【請求項3】

如請求項2之半導體結構，其中該第一切割區位於存在於該第一裝置軌道及該第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。

### 【請求項4】

如請求項1之半導體結構，其中該第一裝置軌道包含第一主動區域，該等第一主動區域中之各者具有一第一寬度，且該第二裝置軌道包含第二主動區域，該等第二主動區域中之各者具有大於該第一寬度的一第二寬度。

### 【請求項5】

如請求項1之半導體結構，其中該第一切割區及該第二切割區兩者均

填充有一背側互連介電材料層。

**【請求項6】**

如請求項5之半導體結構，其中該第一切割區及該第二切割區兩者中之該背側互連介電材料層與該等背側電源島中之至少一者之一側壁直接實體接觸。

**【請求項7】**

如請求項5之半導體結構，其中該背側互連介電材料層與一背側配電網路之一表面接觸。

**【請求項8】**

如請求項7之半導體結構，其中該背側配電網路藉由一金屬通孔接觸結構連接至位於該第一裝置軌道及第二裝置軌道兩者中之該等背側電源島中之至少一者。

**【請求項9】**

如請求項8之半導體結構，其中該金屬通孔接觸結構包含沿著一導電金屬或導電金屬合金之一側壁及一底壁定位之一擴散障壁襯裡。

**【請求項10】**

如請求項7之半導體結構，其中該等背側電源島中之各者之一第一表面與一擴散障壁層接觸，且該等背側電源島中之各者之與該第一表面相對的一第二表面與一硬遮罩層接觸，且其中該等背側電源島中之各者之該第一表面經定位成比該等背側電源島中之各者之該第二表面更遠離該背側配電網路。

**【請求項11】**

如請求項1之半導體結構，其中該等背側電源島中之至少一者藉由一

背側源極/汲極接觸結構電連接至該第一裝置軌道或該第二裝置軌道中之至少一者中之一p型場效電晶體或一n型場效電晶體的一源極/汲極區。

**【請求項12】**

如請求項1之半導體結構，其中該第一裝置軌道或該第二裝置軌道中之至少一者中之一p型場效電晶體或一n型場效電晶體的至少一個源極/汲極區藉由一前側源極/汲極接觸結構電連接至一前側後段製程(BEOL)結構。

**【請求項13】**

如請求項12之半導體結構，其進一步包含位於該前側BEOL結構之一表面上之一載體晶圓。

**【請求項14】**

如請求項12之半導體結構，其中電連接至該前側BEOL結構之該源極/汲極區位於一底部介電隔離層之一表面上。

**【請求項15】**

如請求項2之半導體結構，其中該等p型場效電晶體及該等n型場效電晶體為含奈米片之電晶體，該等電晶體包含環繞至少一個半導體通道材料奈米片之一閘極結構。

**【請求項16】**

如請求項1之半導體結構，其進一步包含將該第一裝置軌道與該第二裝置軌道分離之一擴散斷點結構，其中該第二切割區位於該擴散斷點結構下方。

**【請求項17】**

如請求項16之半導體結構，其中該擴散斷點結構由一介電材料構

成，且該擴散斷點結構延伸至一背側層間介電材料層中。

**【請求項18】**

如請求項17之半導體結構，其中該背側層間介電材料層位於該等背側電源島中之各者上方。

**【請求項19】**

一種半導體結構，其包含：

一第一裝置軌道，其經定位成側向鄰近於一第二裝置軌道，其中該第一裝置軌道及該第二裝置軌道中之各者包含配置成列及行之p型場效電晶體及n型場效電晶體；

一擴散斷點結構，其將該第一裝置軌道與該第二裝置軌道分離；及

背側電源島，其位於該第一裝置軌道及該第二裝置軌道兩者中，其中位於該第一裝置軌道中之該等背側電源島及位於該第二裝置軌道中之該等背側電源島藉由一第一切割區隔離，且位於該第一裝置軌道中之該等背側電源島藉由一第二切割區與位於該第二裝置軌道中之該等背側電源島分離，且此外其中該第二切割區位於該擴散斷點結構下方且經定向成垂直於該第一切割區，其中該第一裝置軌道中之該等背側電源島具有一第一寬度，且該第二裝置軌道中之該等背側電源島具有一第二寬度，其中該第一寬度小於該第二寬度。

**【請求項20】**

如請求項19之半導體結構，其中該第一切割區位於存在於該第一裝置軌道及該第二裝置軌道中之各n型場效電晶體與p型場效電晶體對之間。

**【請求項21】**

如請求項19之半導體結構，其中該第一裝置軌道包含第一主動區

域，該等第一主動區域中之各者具有一第一寬度，且該第二裝置軌道包含第二主動區域，該等第二主動區域中之各者具有大於該第一寬度的一第二寬度。

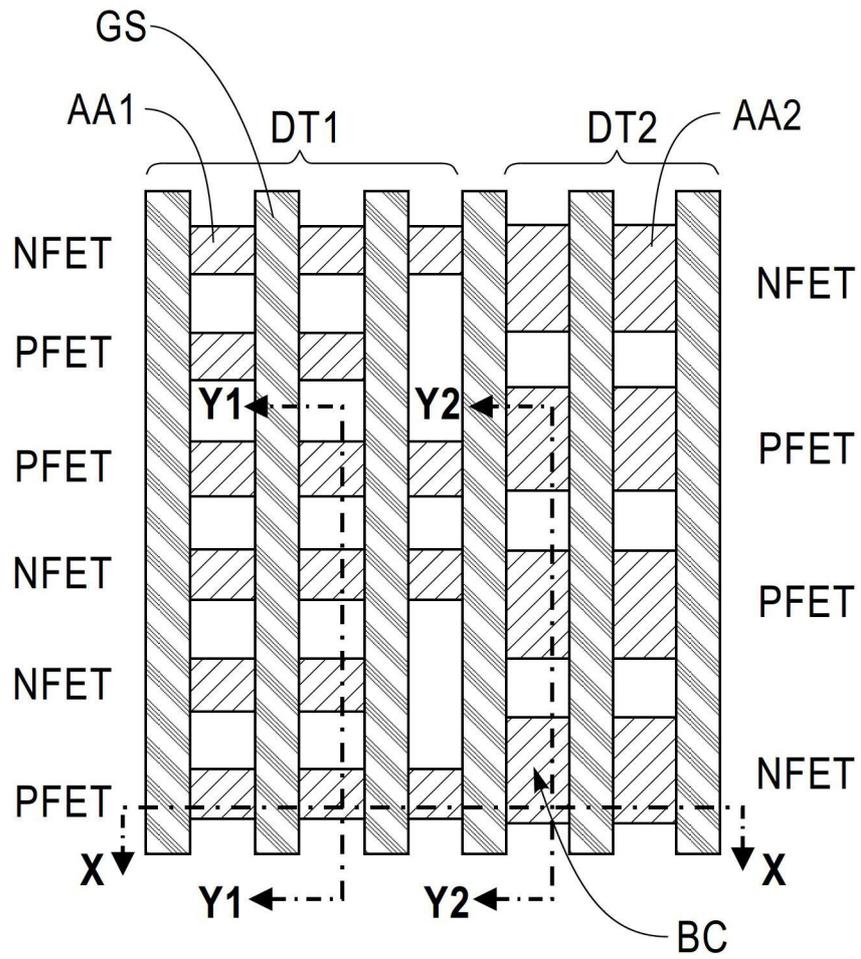
**【請求項22】**

如請求項19之半導體結構，其中該第一切割區及該第二切割區兩者均填充有一背側互連介電材料層。

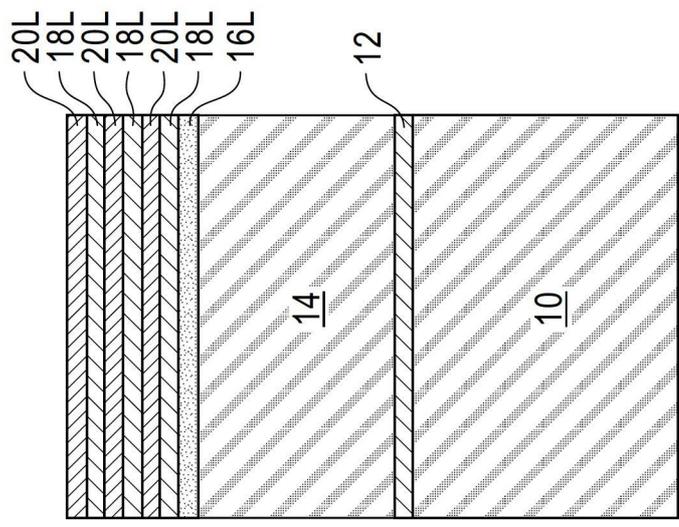
**【請求項23】**

如請求項22之半導體結構，其中該第一切割區及該第二切割區兩者中之該背側互連介電材料層與該等背側電源島中之至少一者之一側壁直接實體接觸。

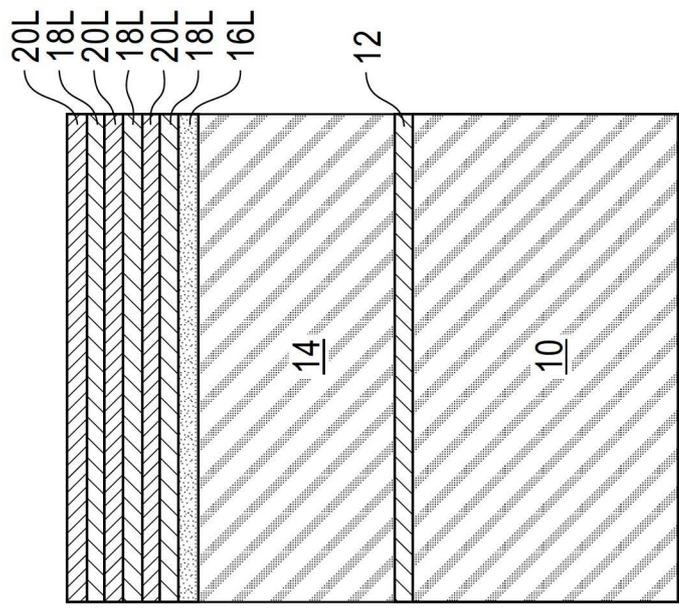
【發明圖式】



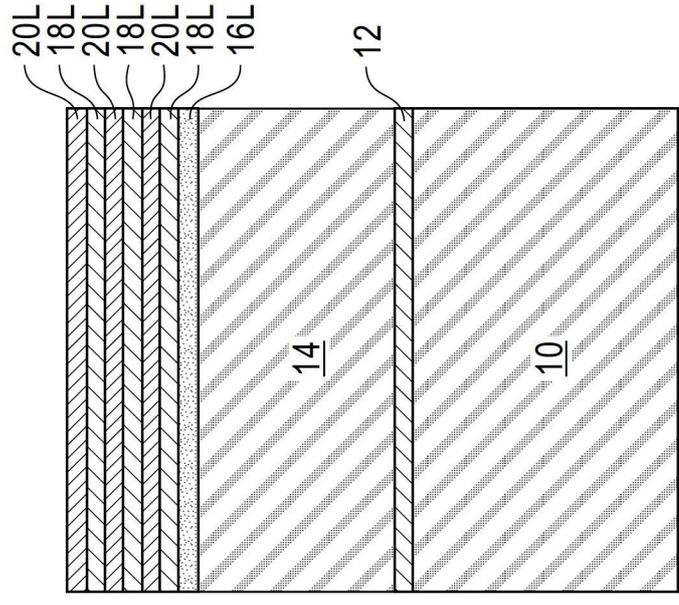
【圖1】



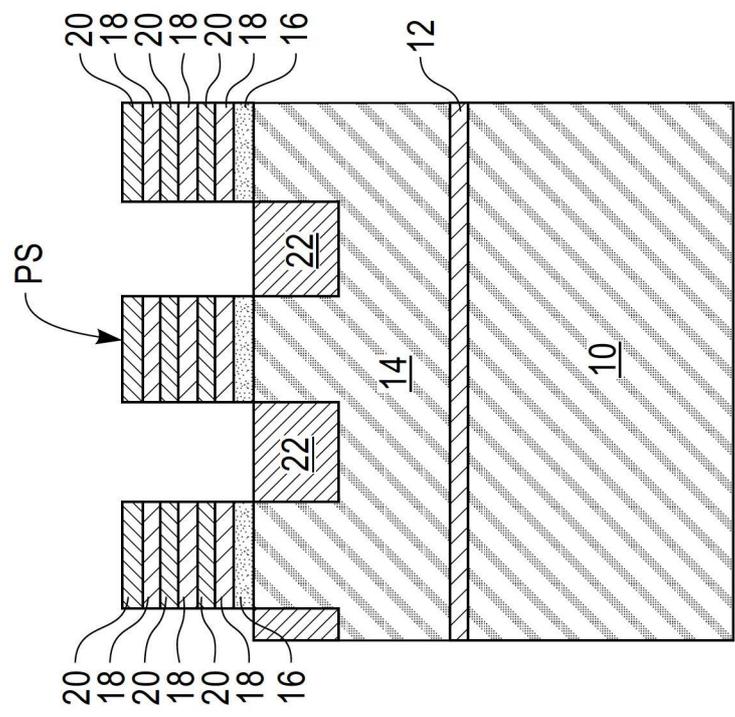
【圖2C】



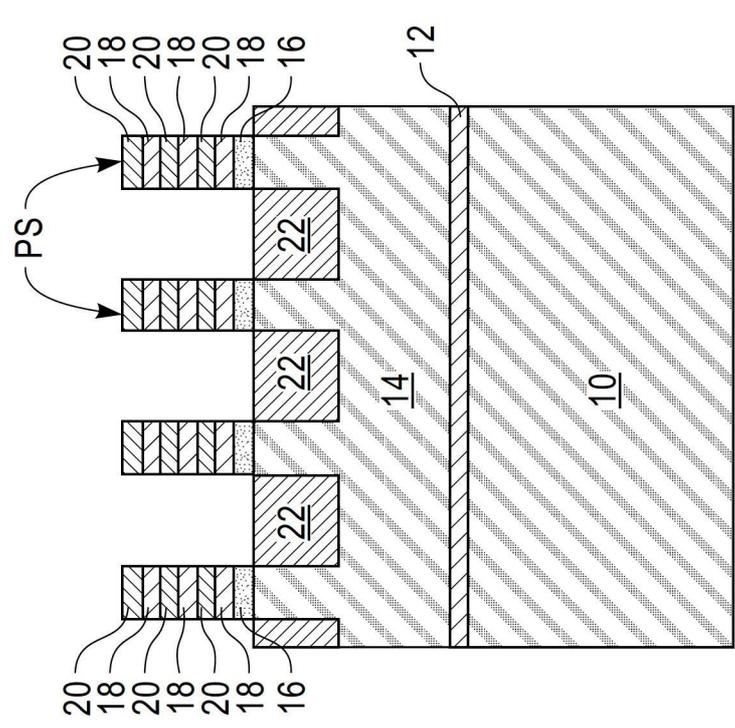
【圖2B】



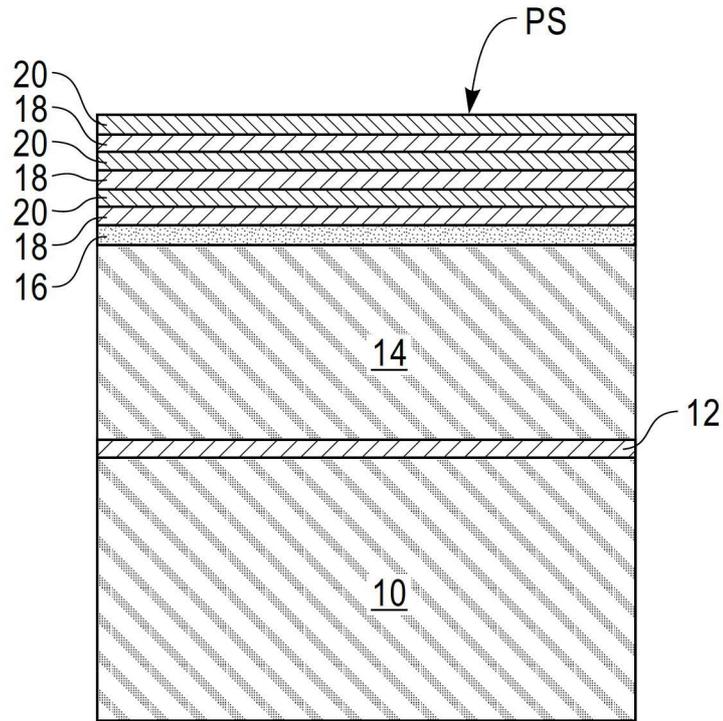
【圖2A】



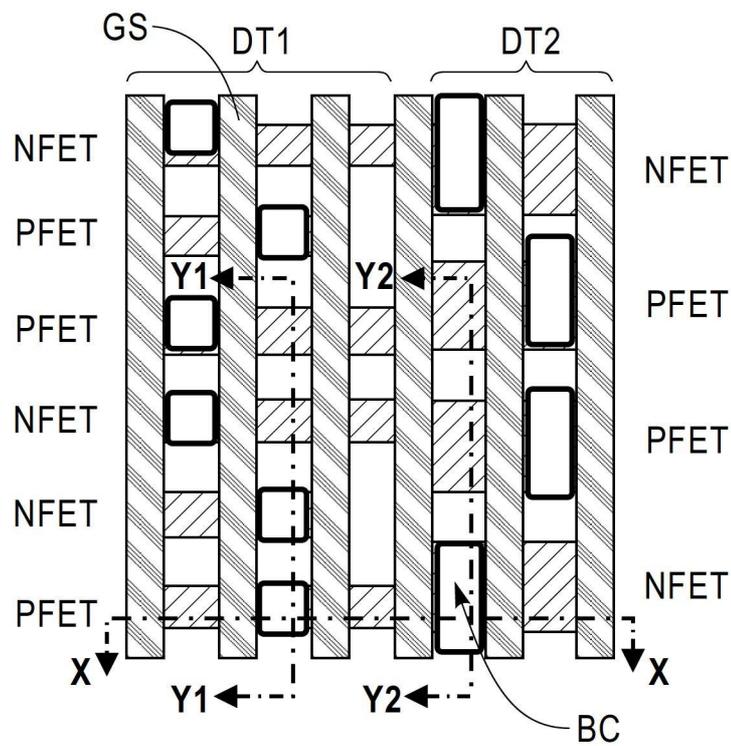
【圖3B】



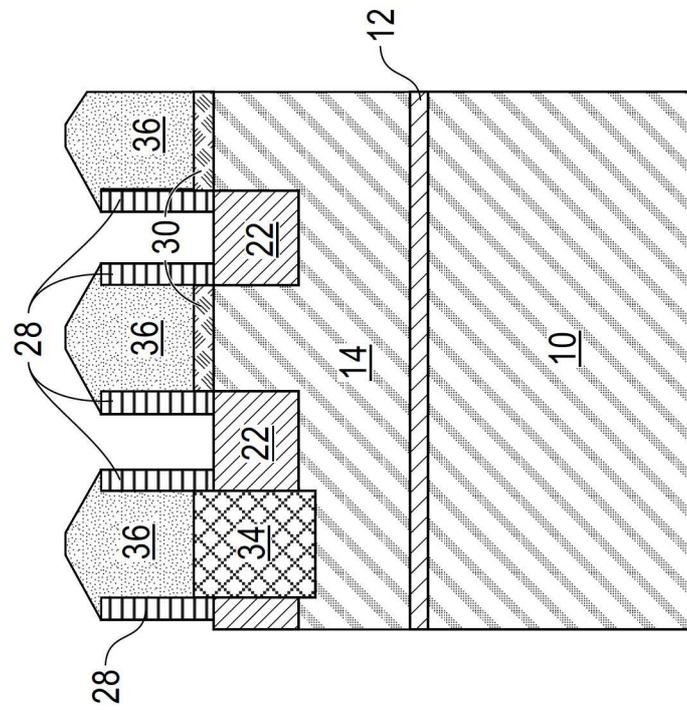
【圖3A】



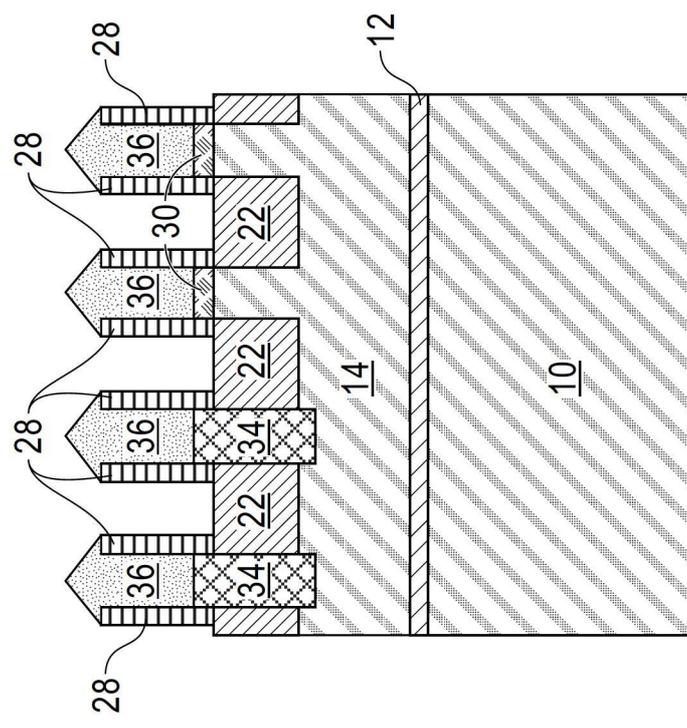
【圖3C】



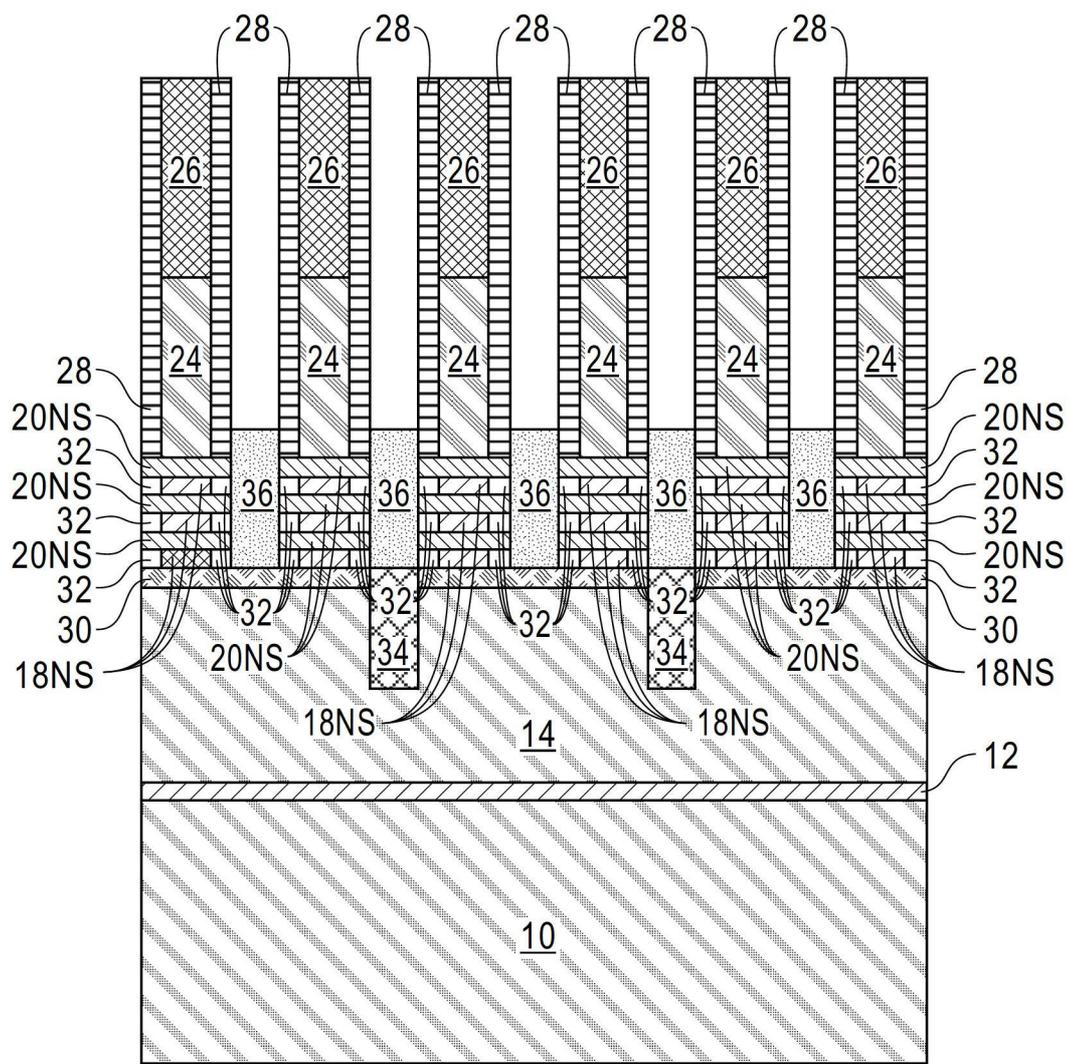
【圖4】



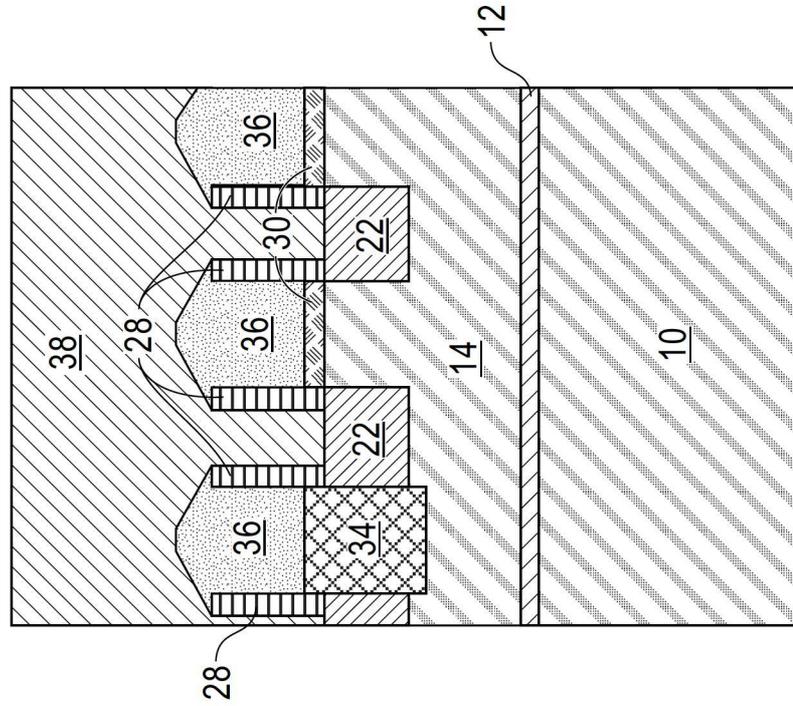
【圖5B】



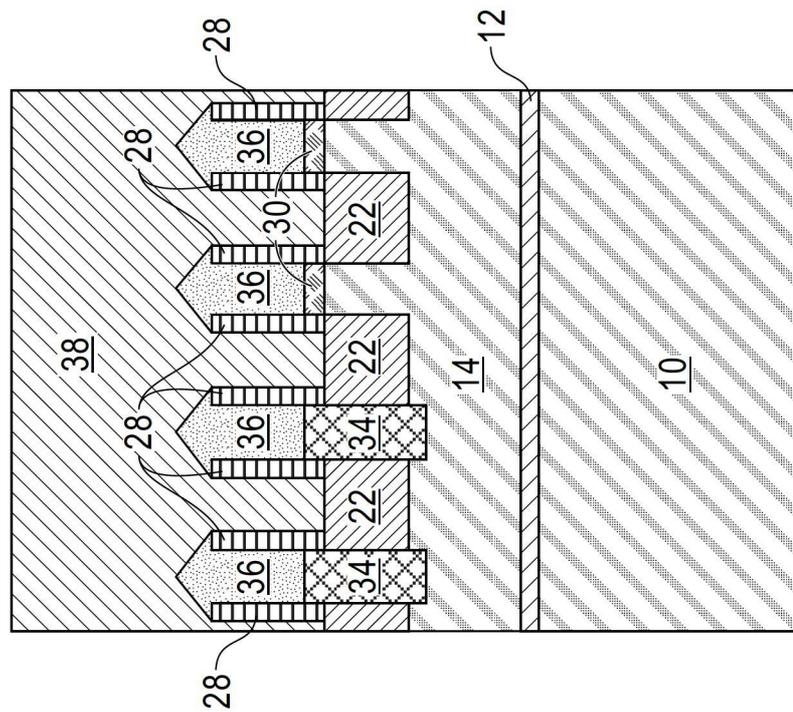
【圖5A】



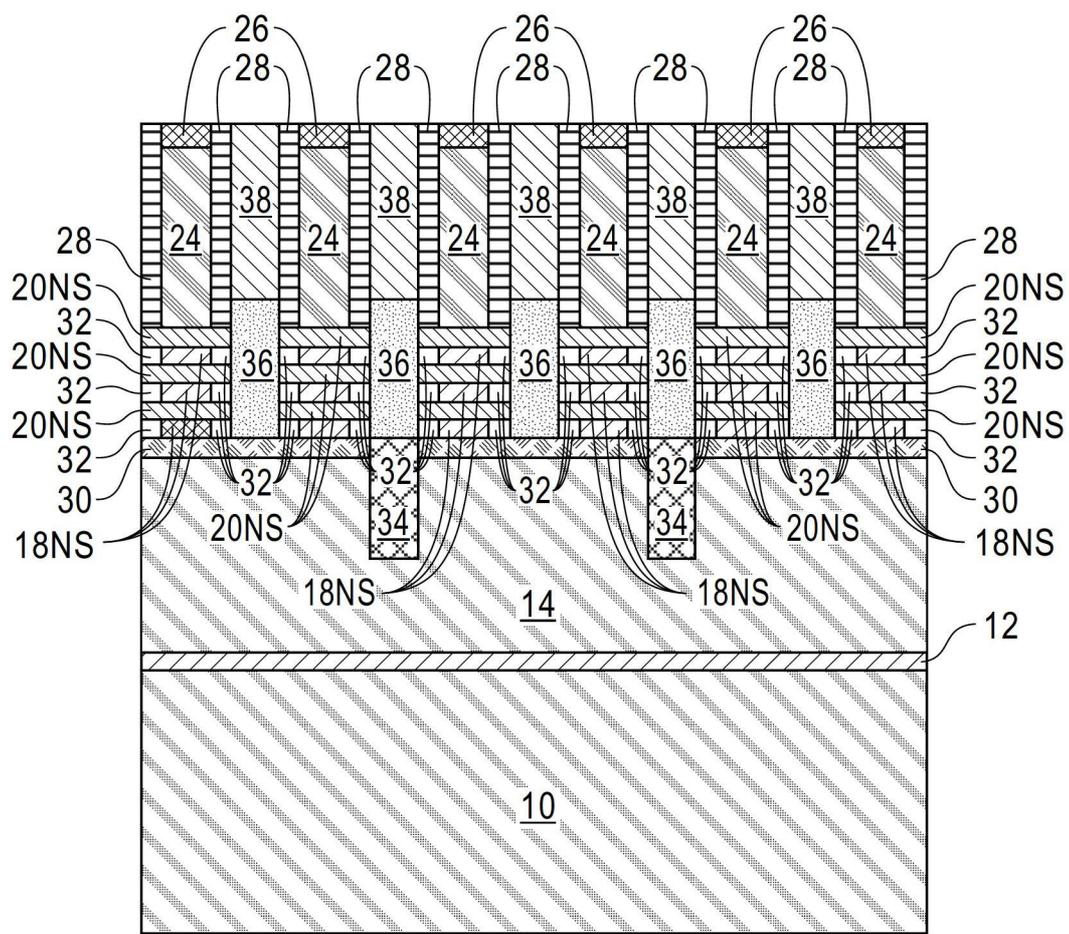
【圖5C】



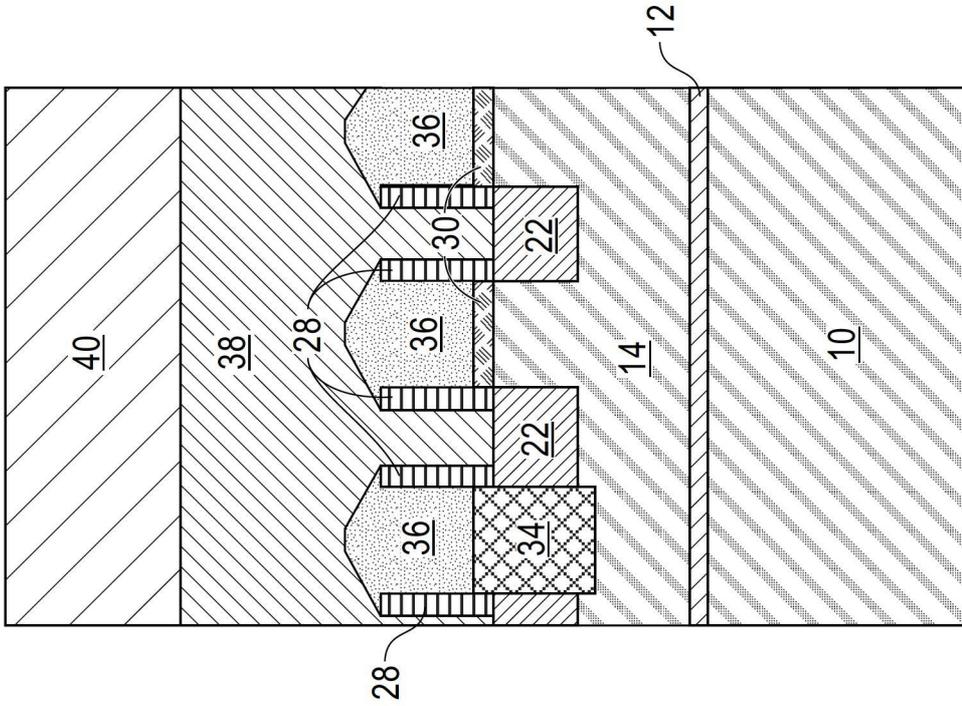
【圖6B】



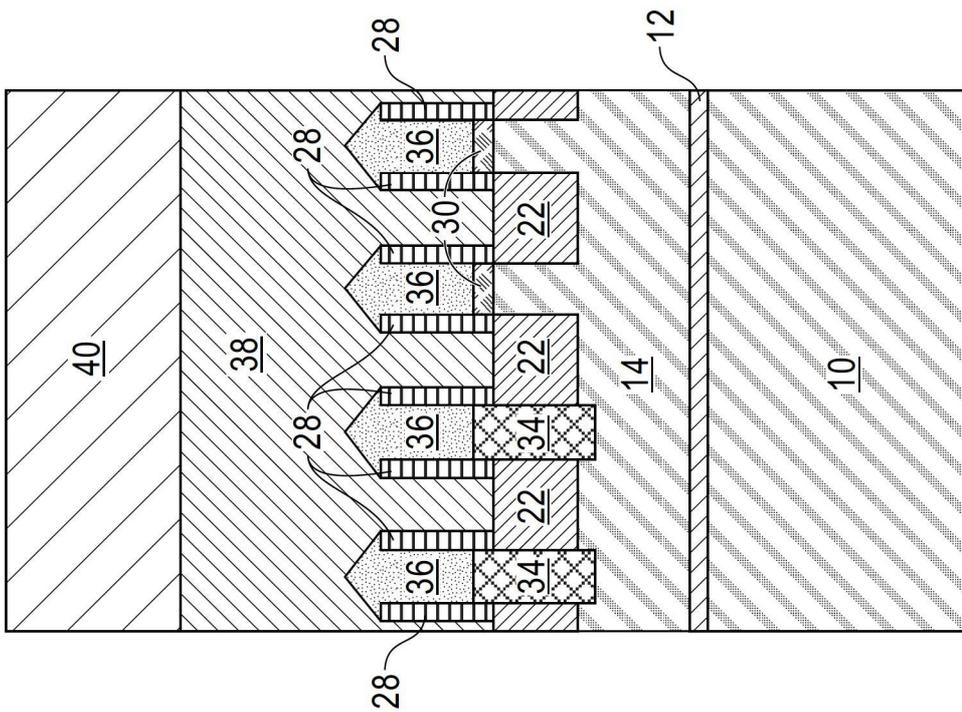
【圖6A】



【圖6C】

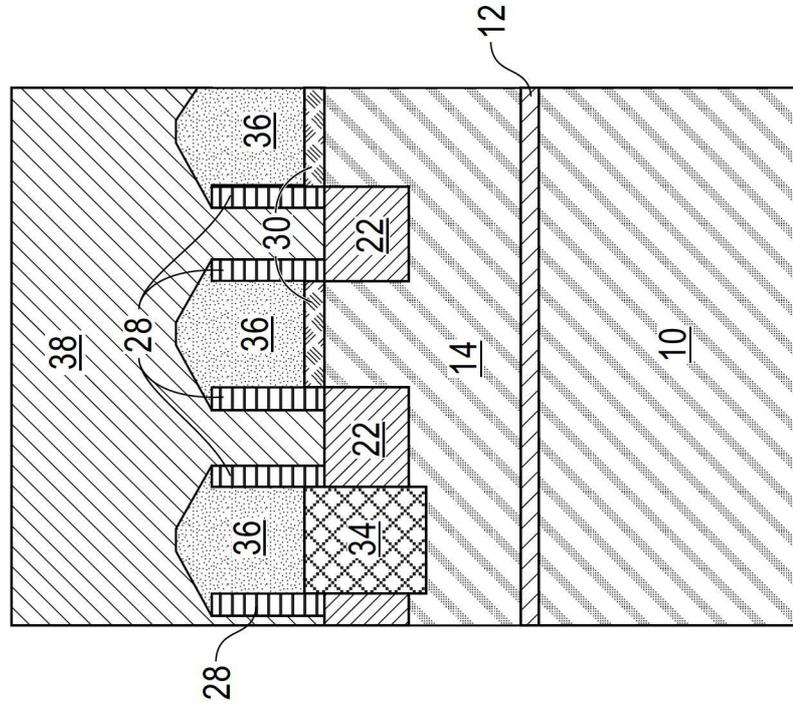


【圖7B】

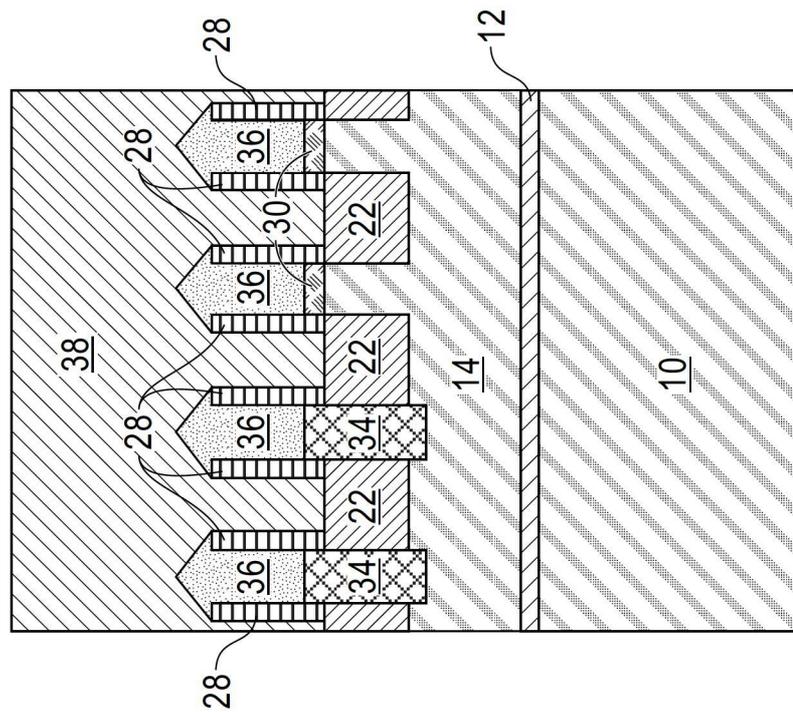


【圖7A】

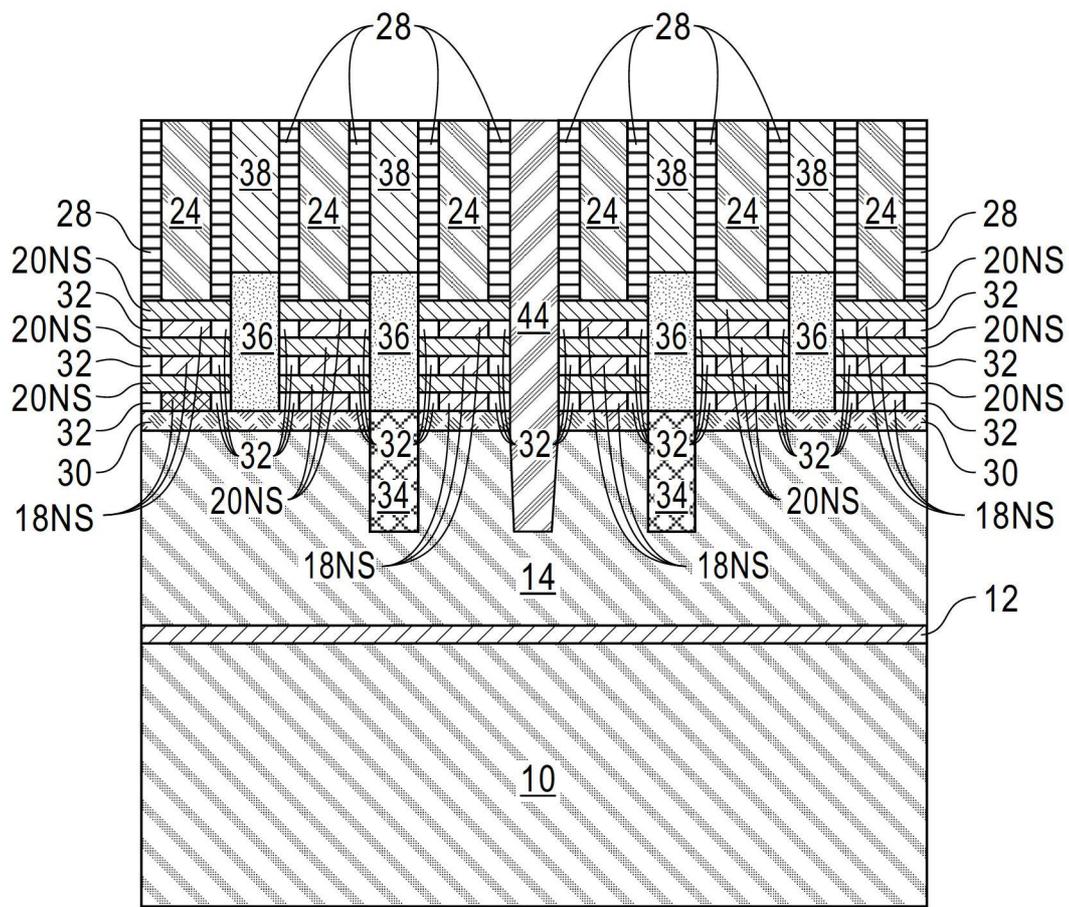




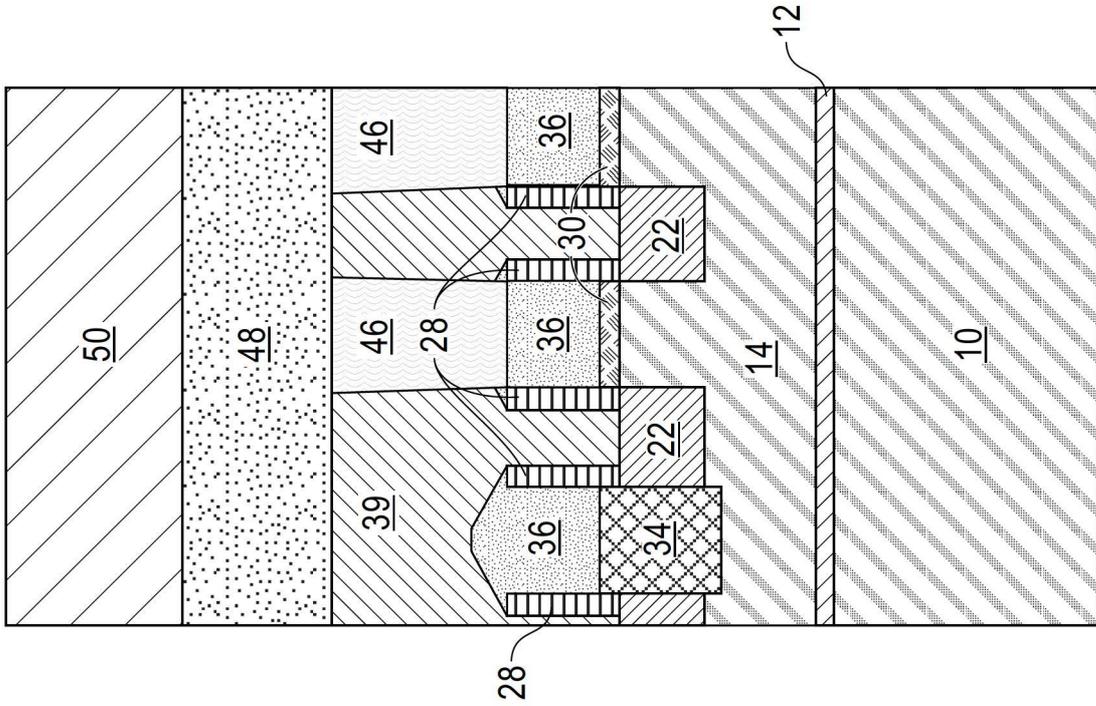
【圖8B】



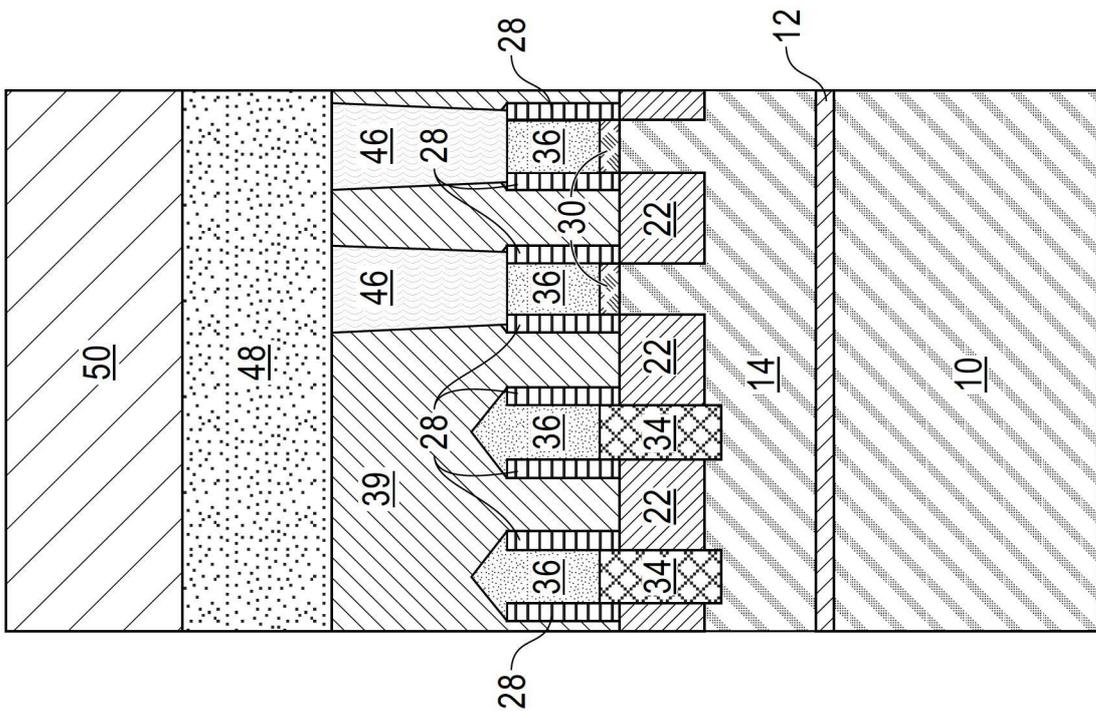
【圖8A】



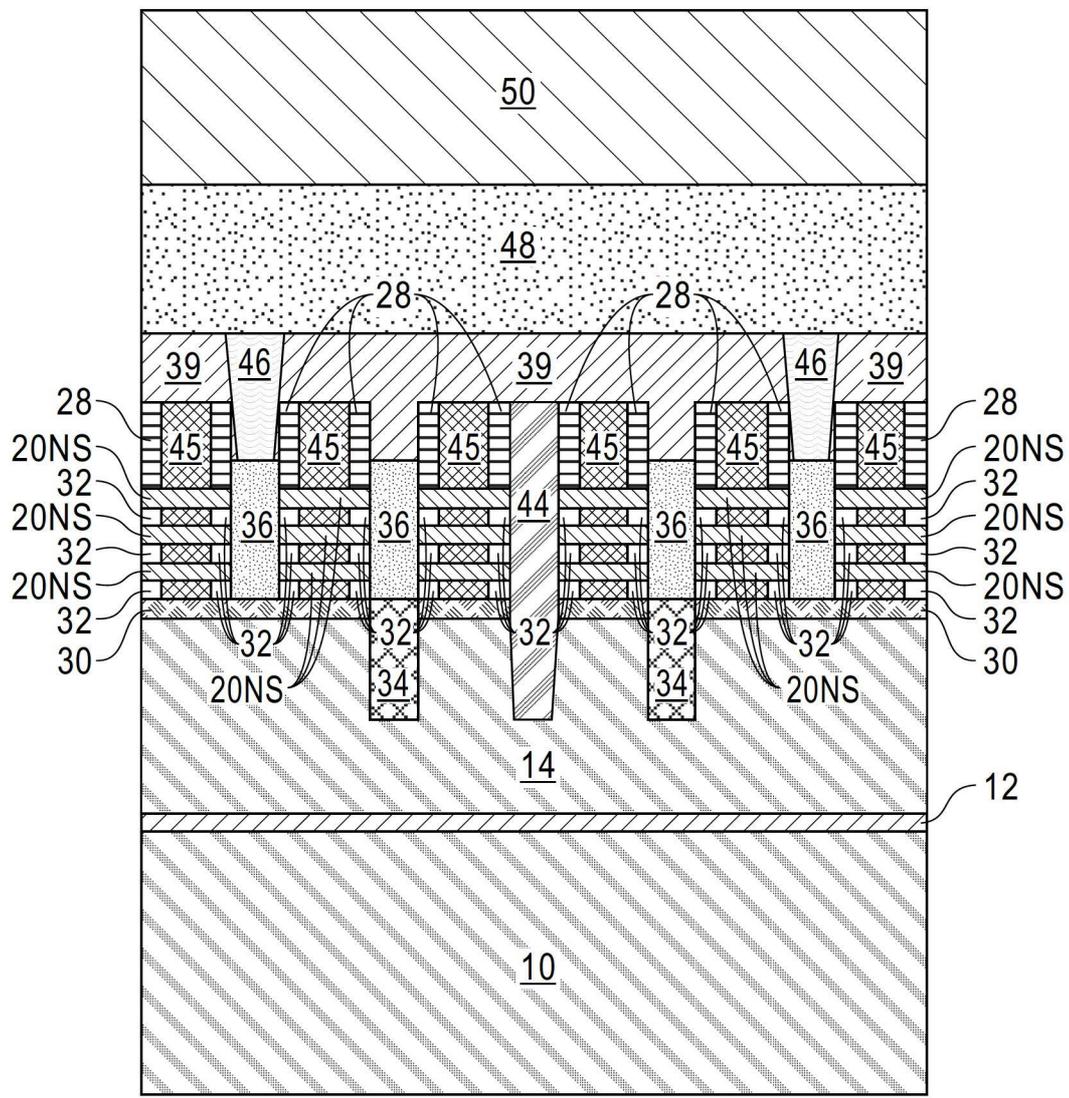
【圖8C】



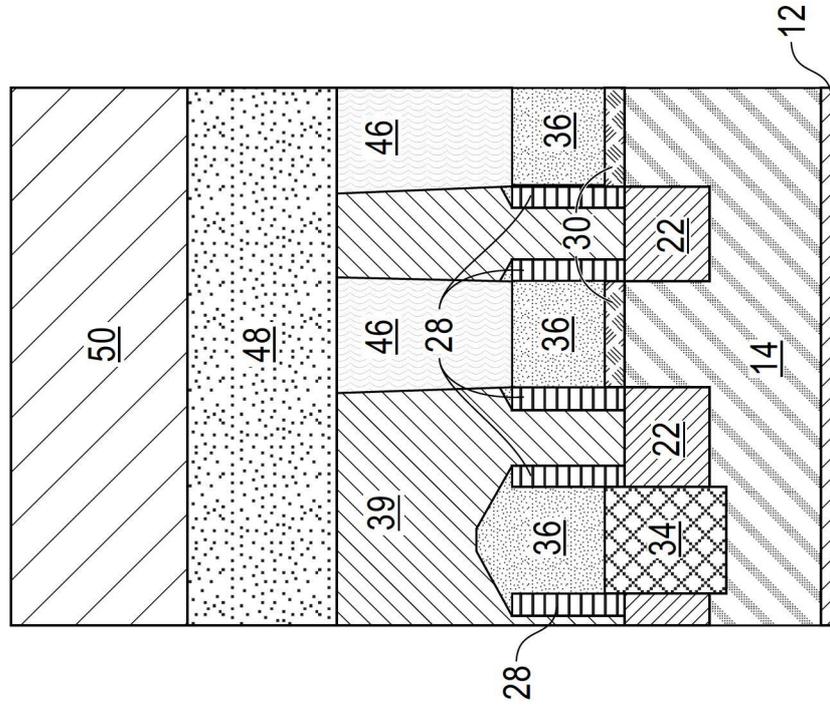
【圖9B】



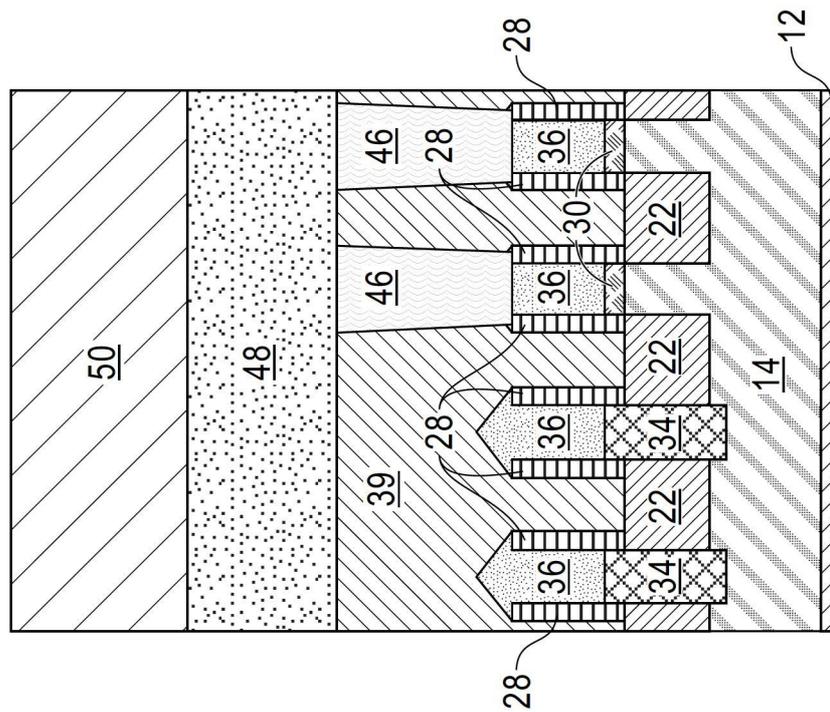
【圖9A】



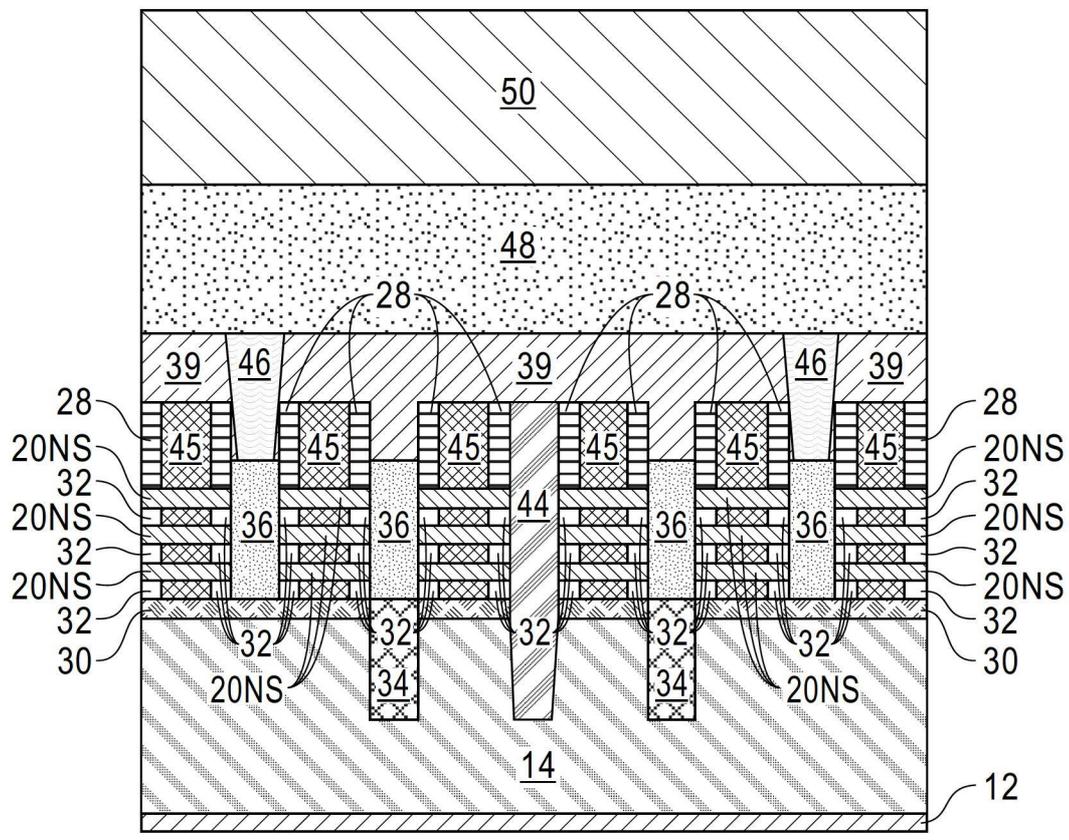
【圖9C】



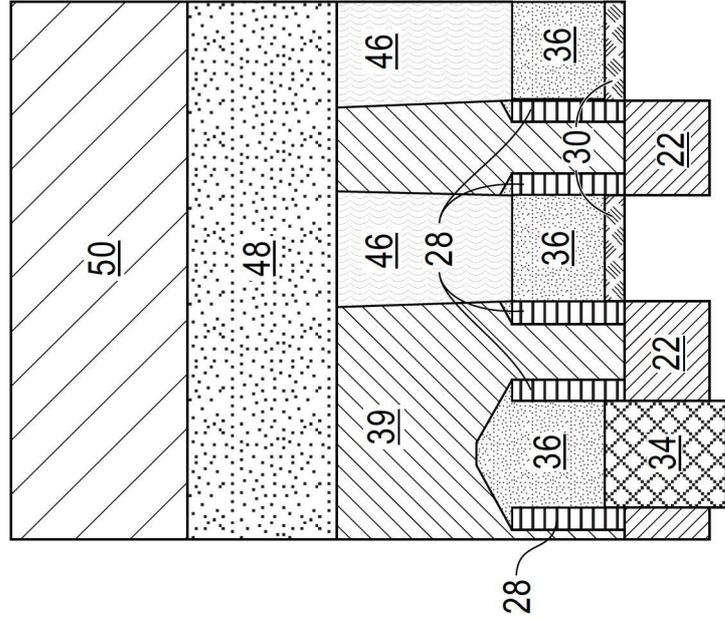
【圖10B】



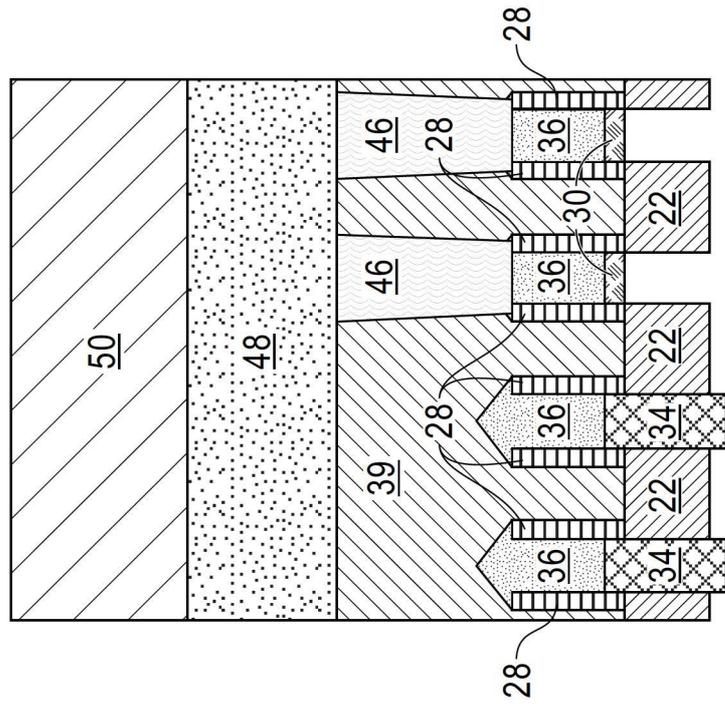
【圖10A】



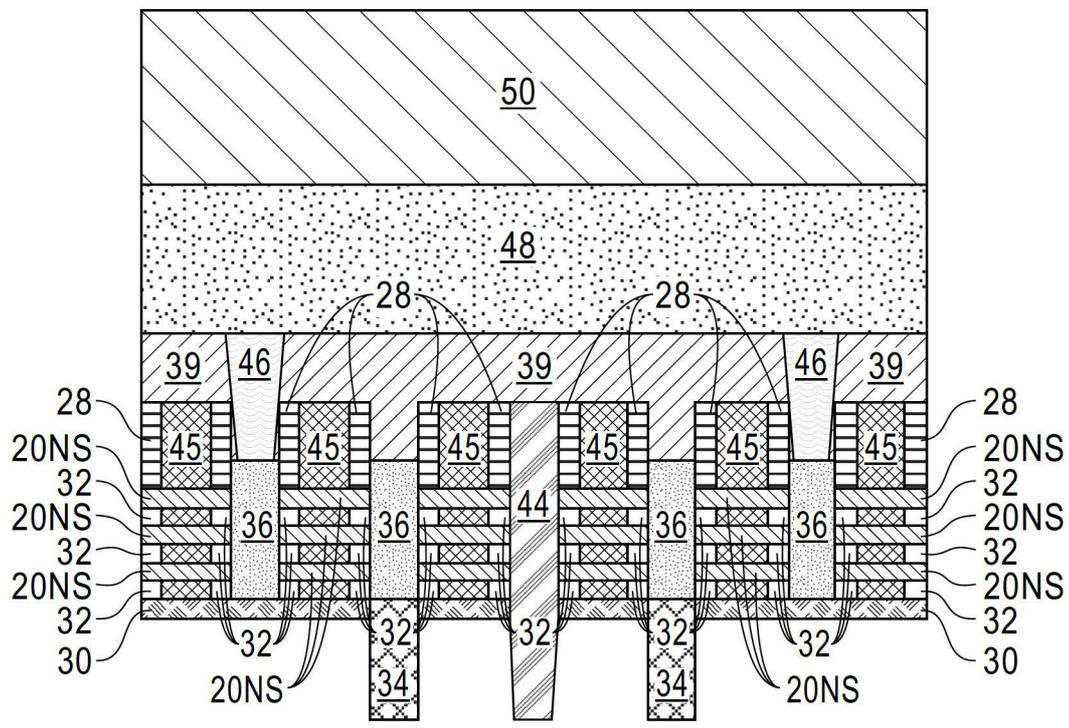
【圖10C】



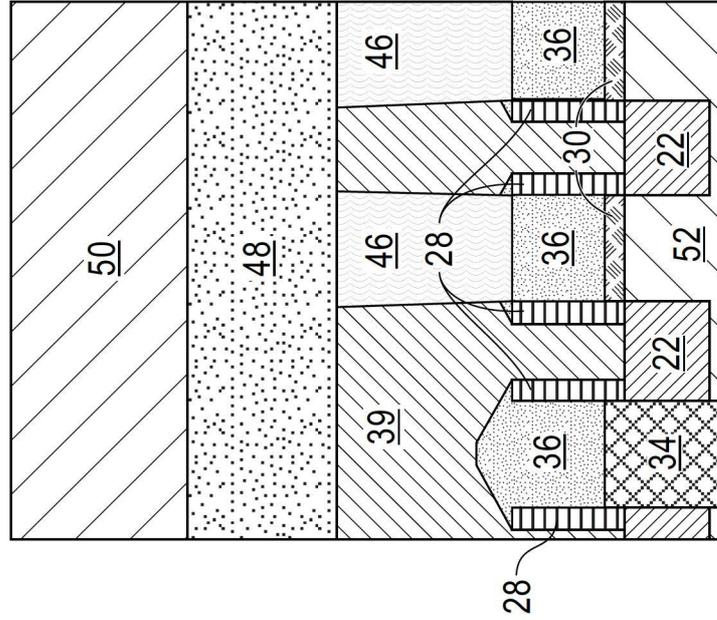
【圖11B】



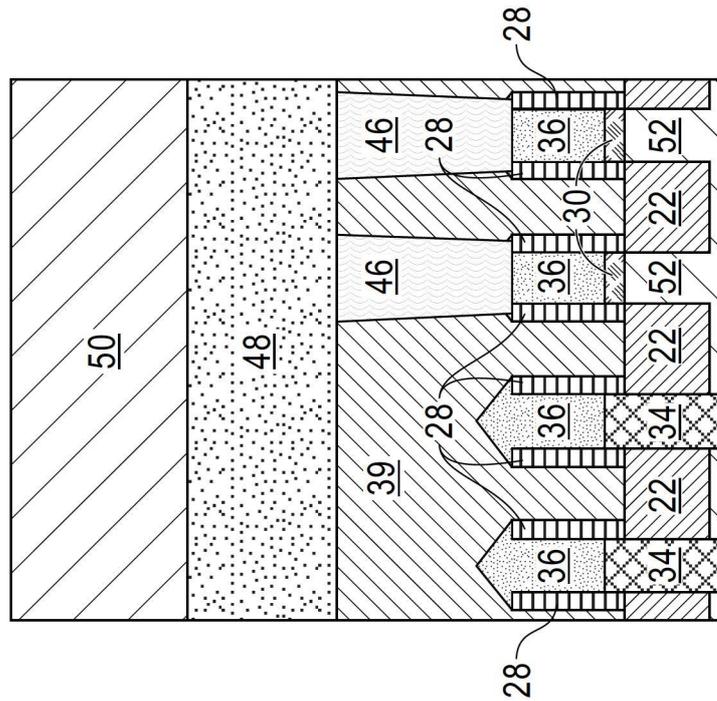
【圖11A】



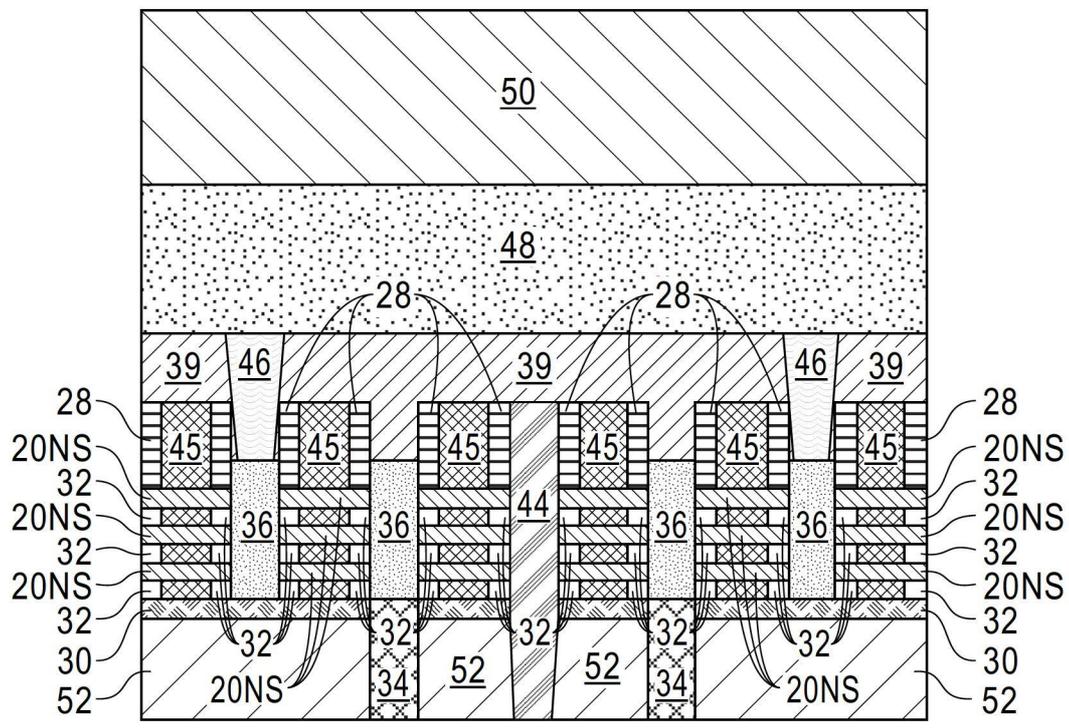
【圖11C】



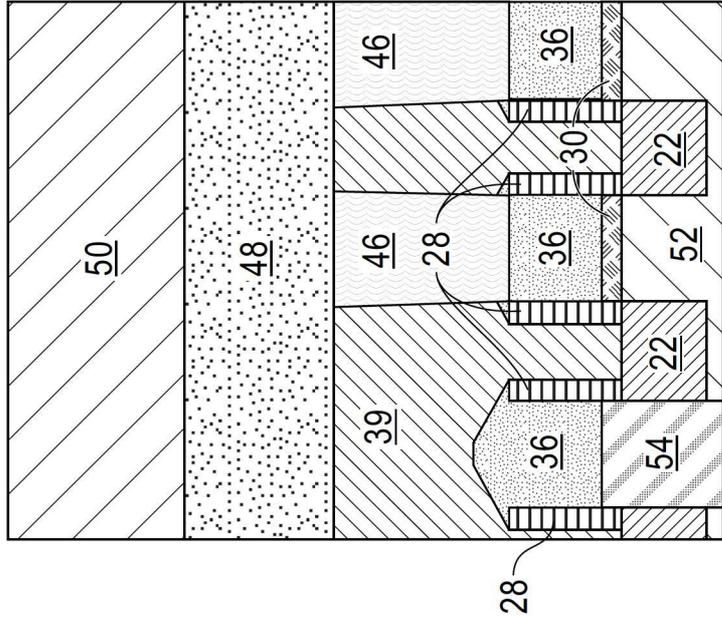
【圖12B】



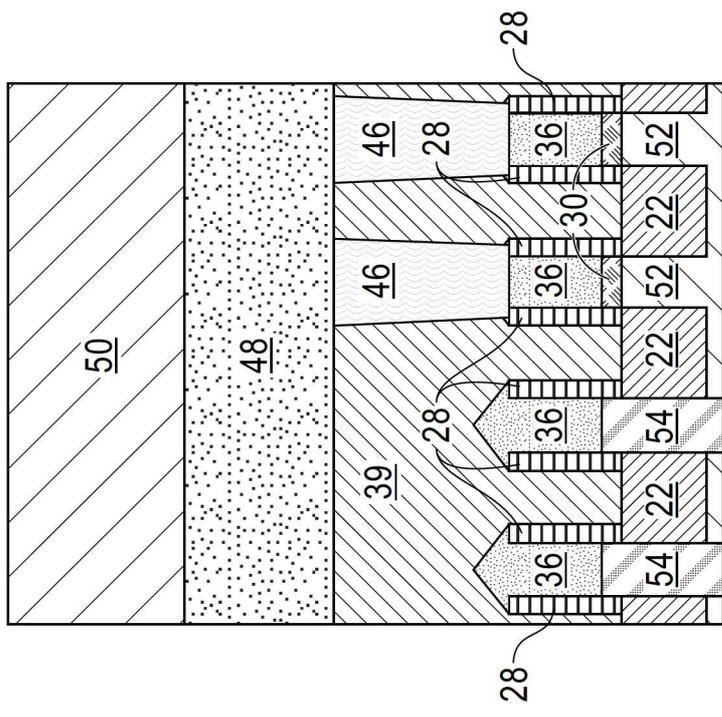
【圖12A】



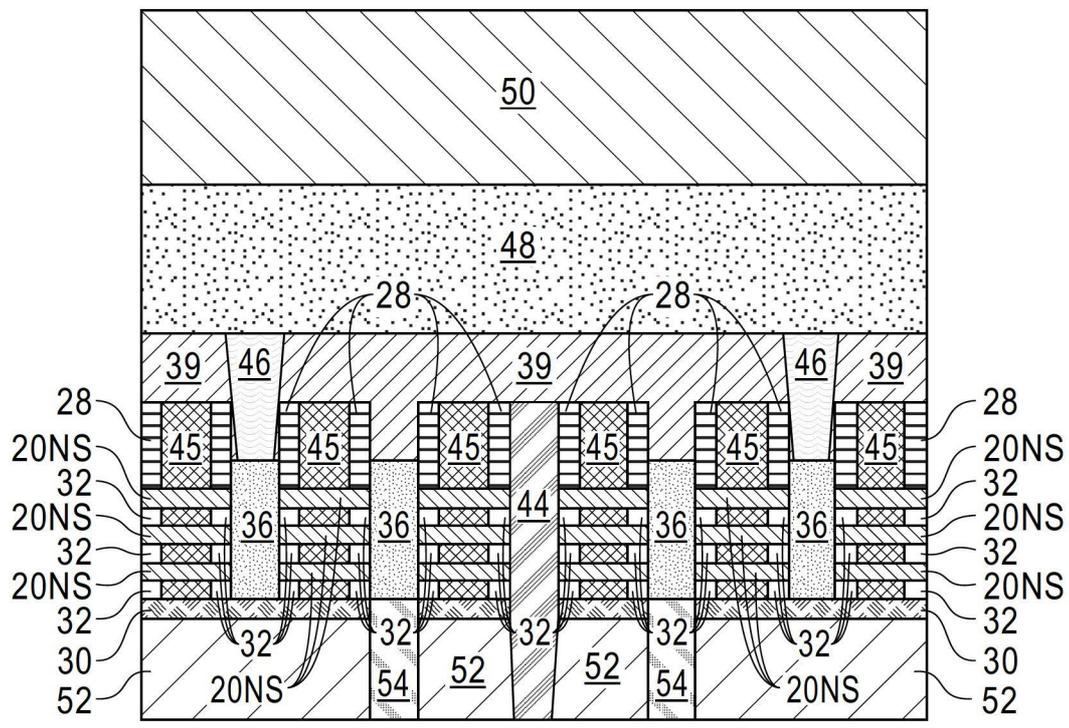
【圖12C】



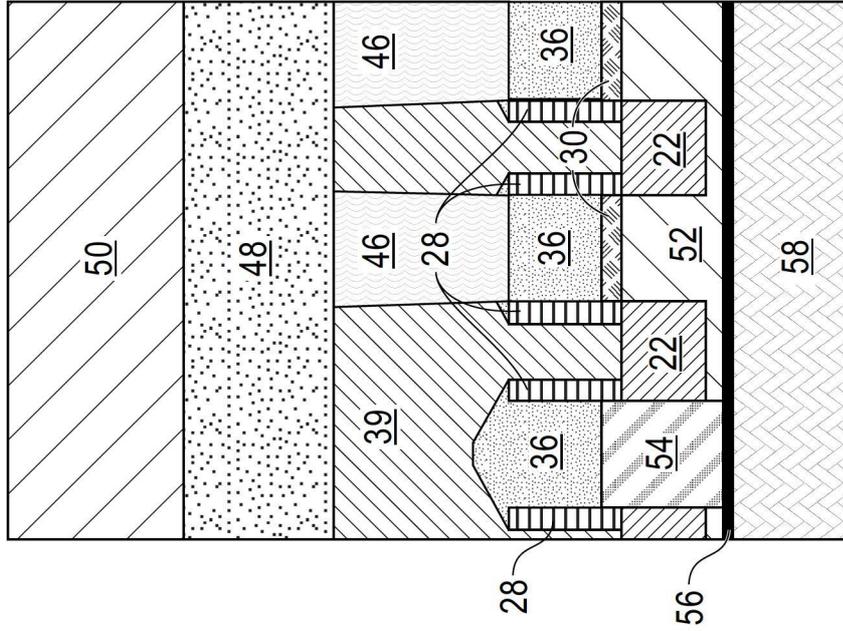
【圖13B】



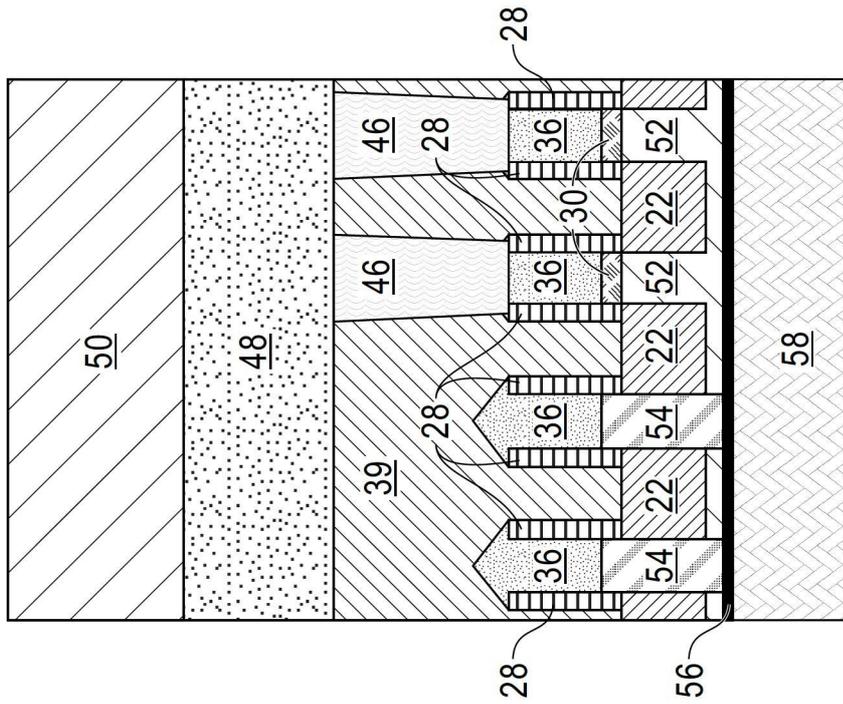
【圖13A】



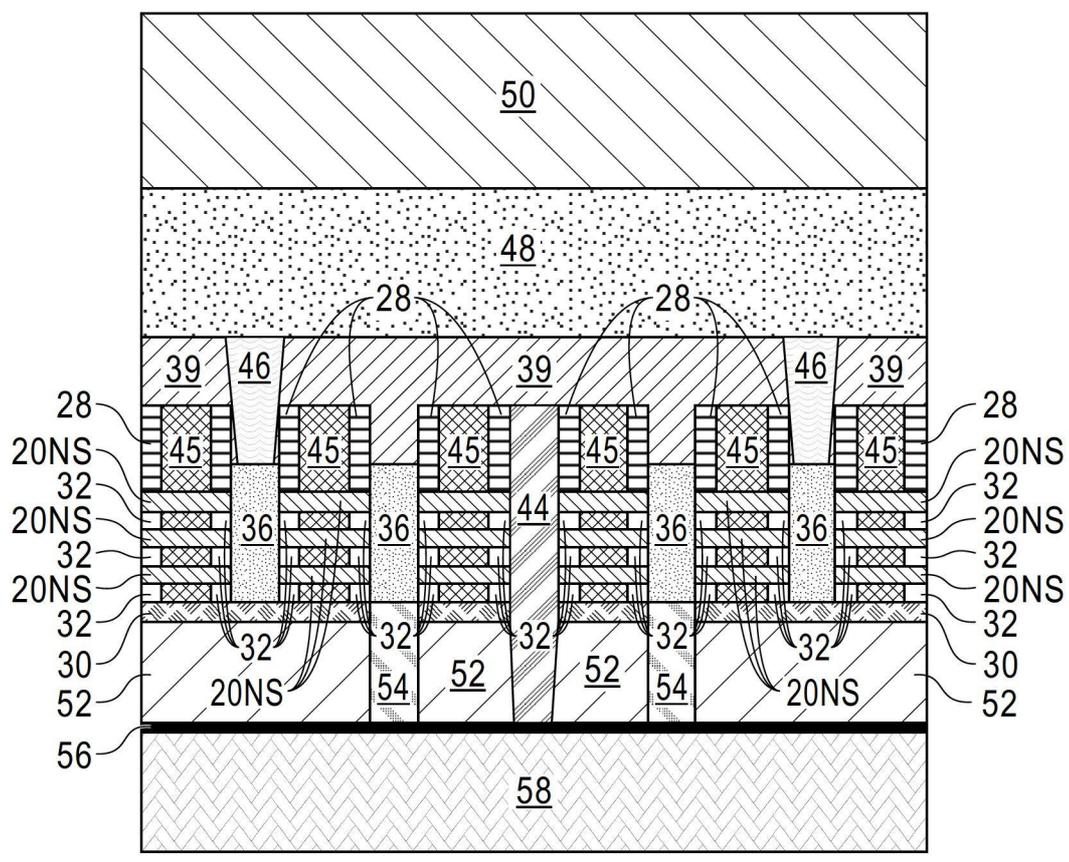
【圖13C】



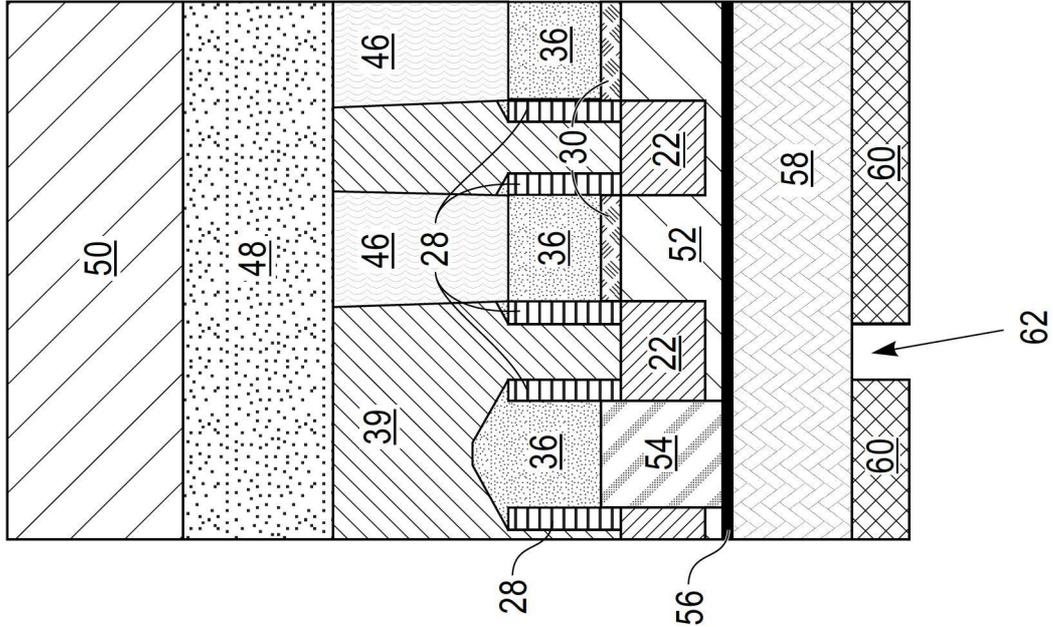
【圖14B】



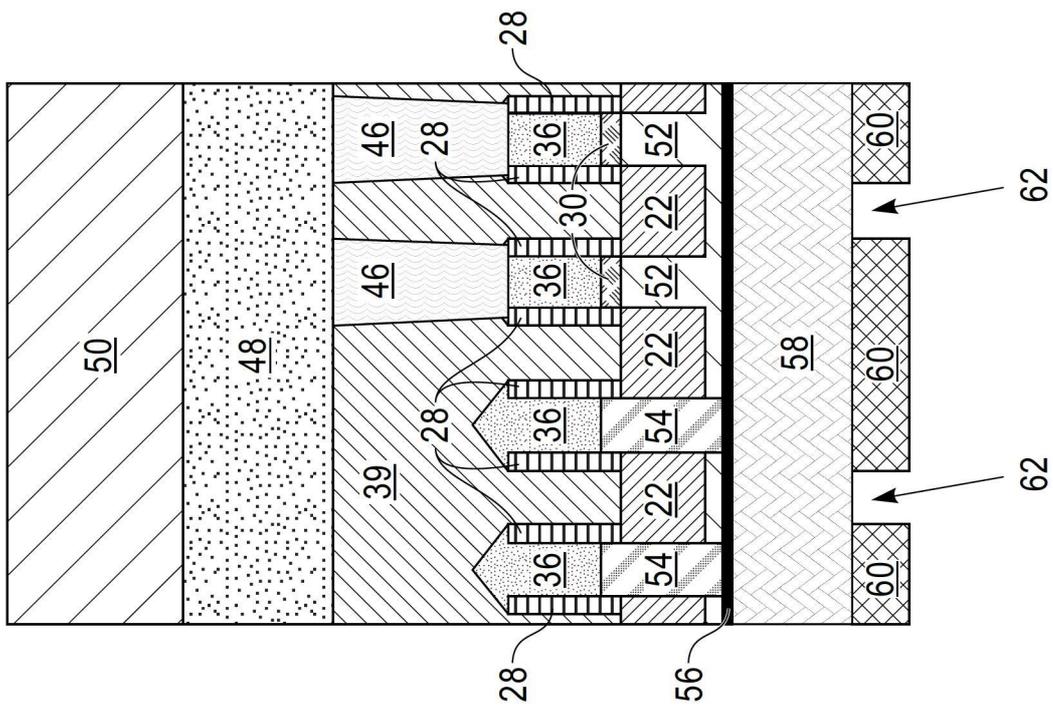
【圖14A】



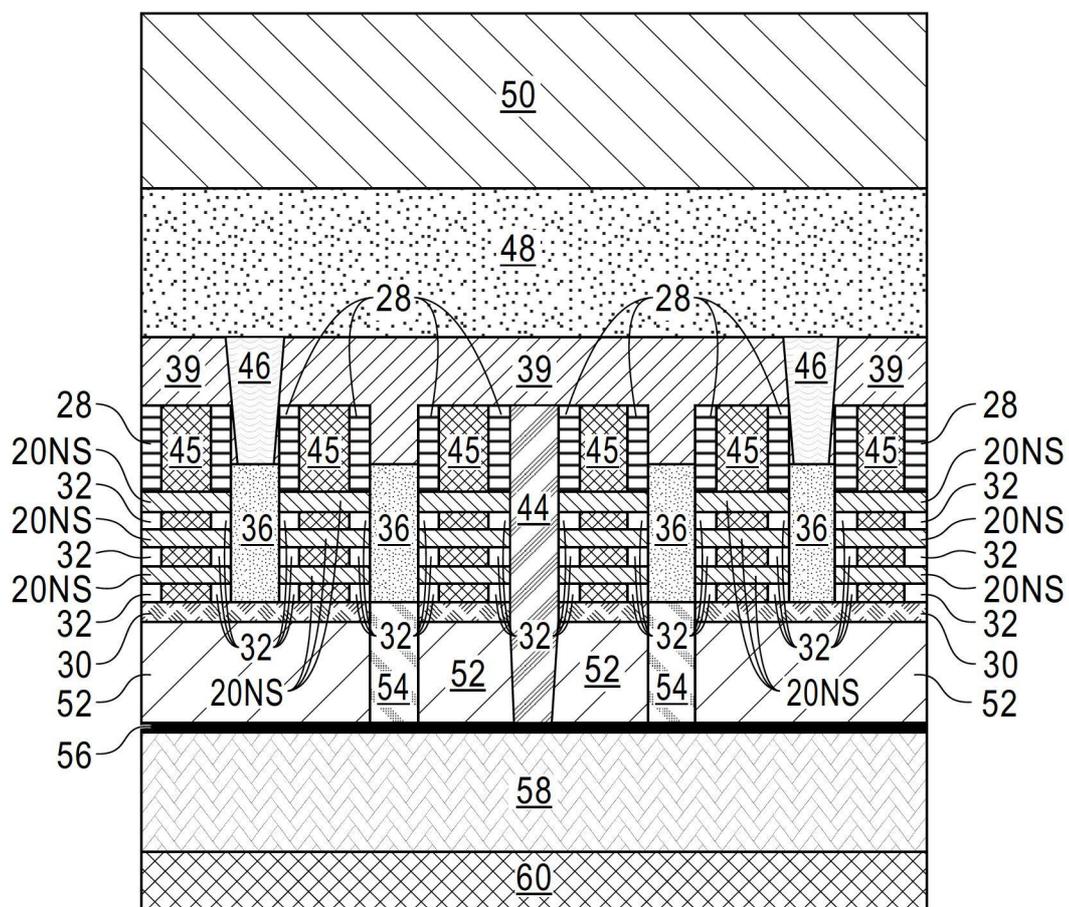
【圖14C】



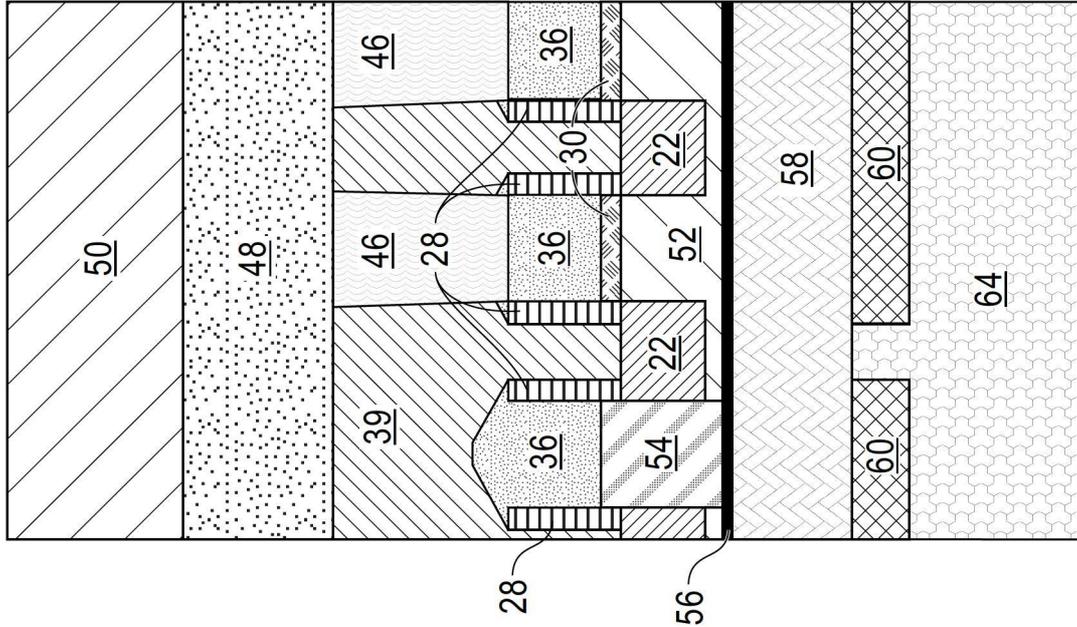
【圖15B】



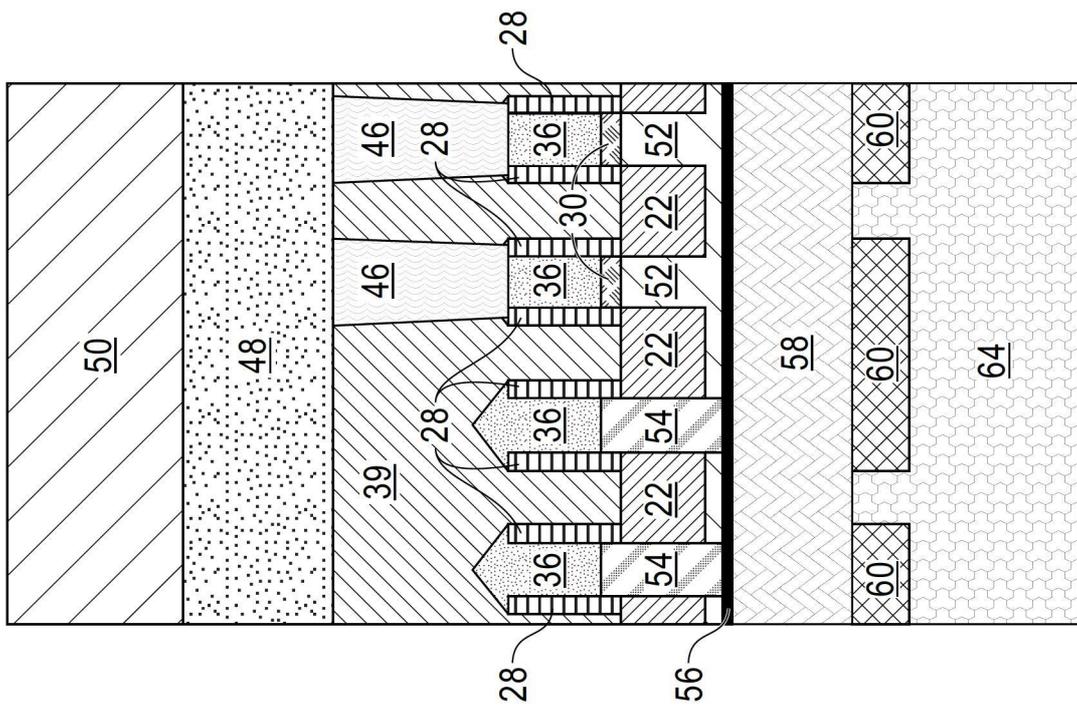
【圖15A】



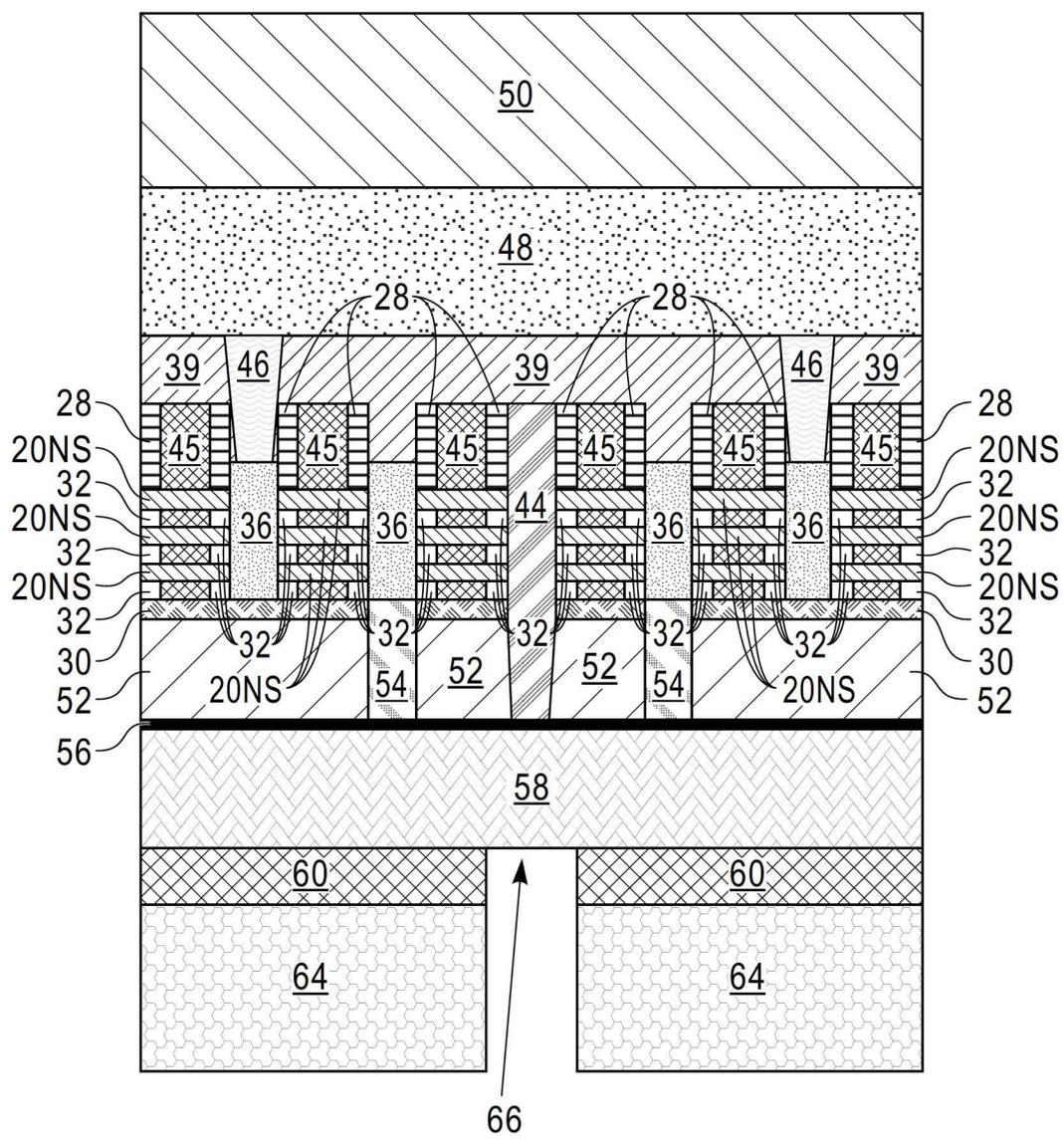
【圖15C】



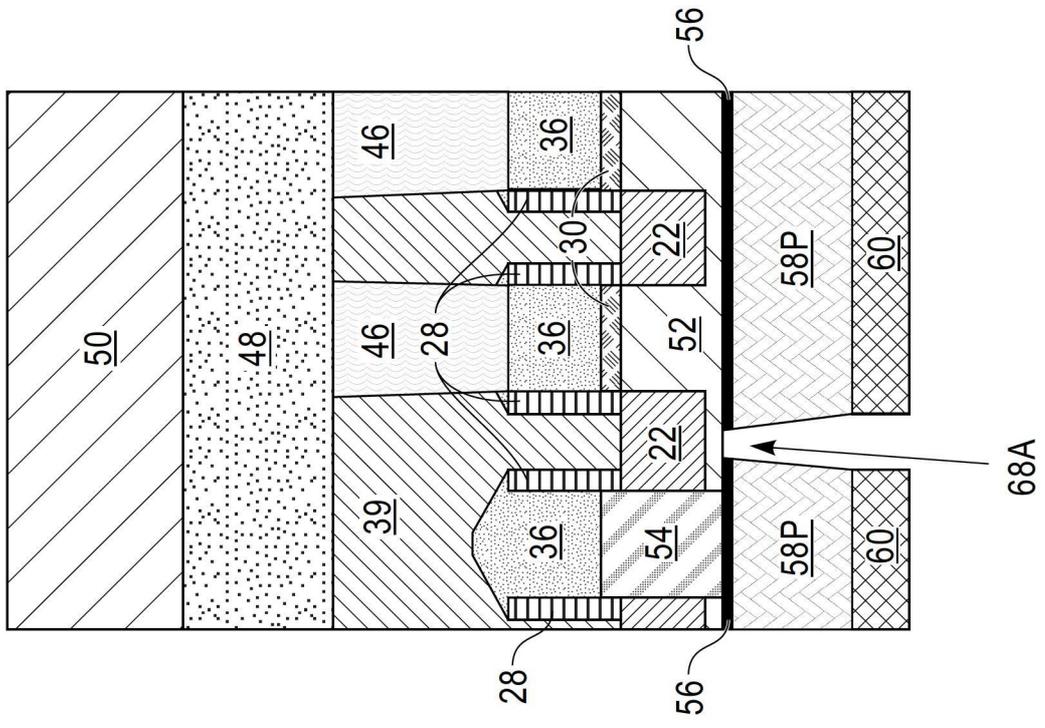
【圖16B】



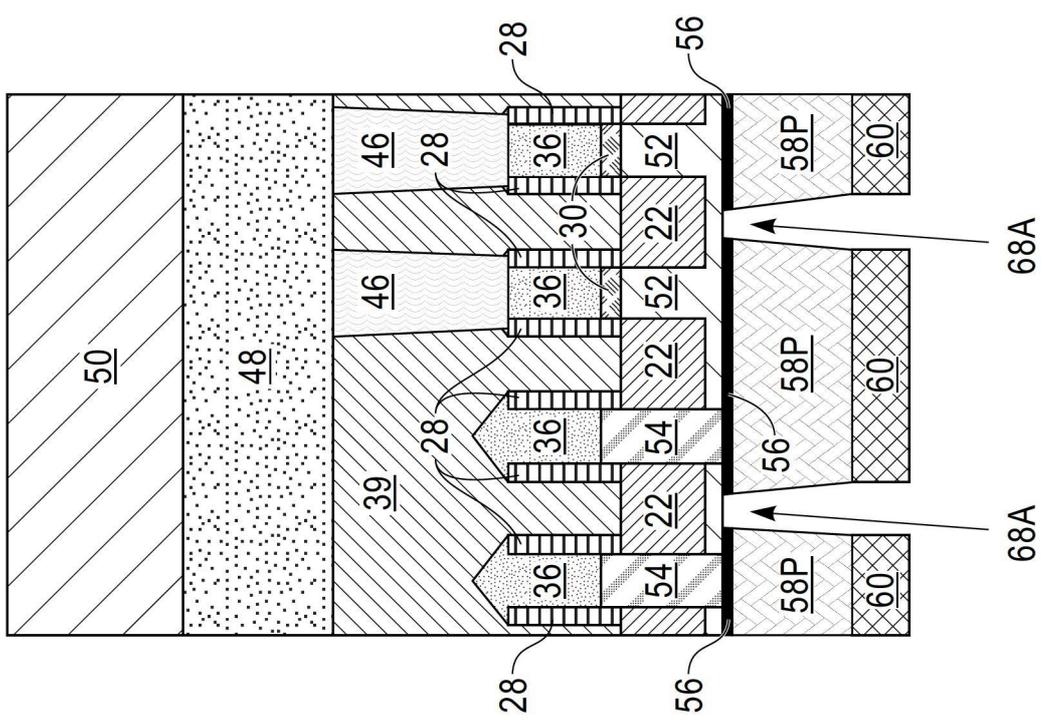
【圖16A】



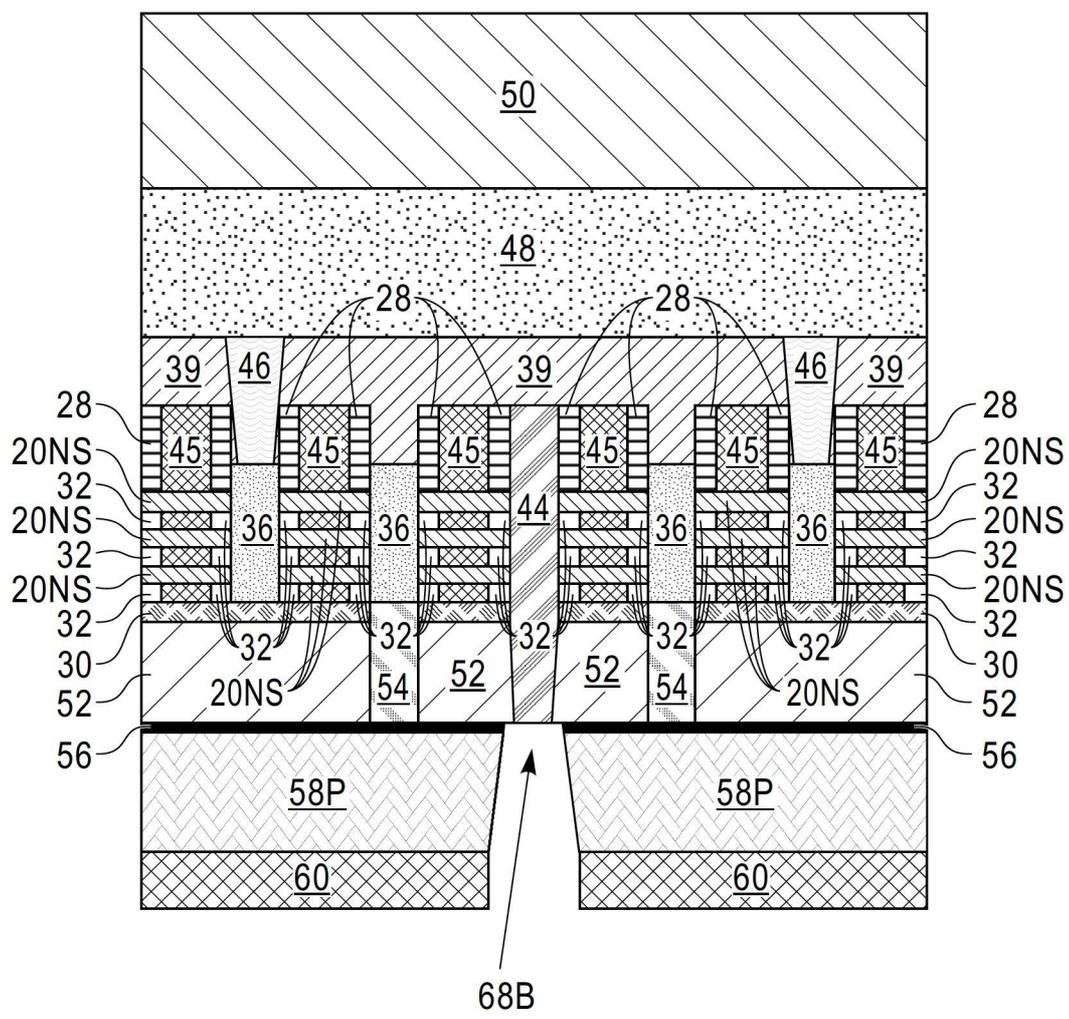
【圖16C】



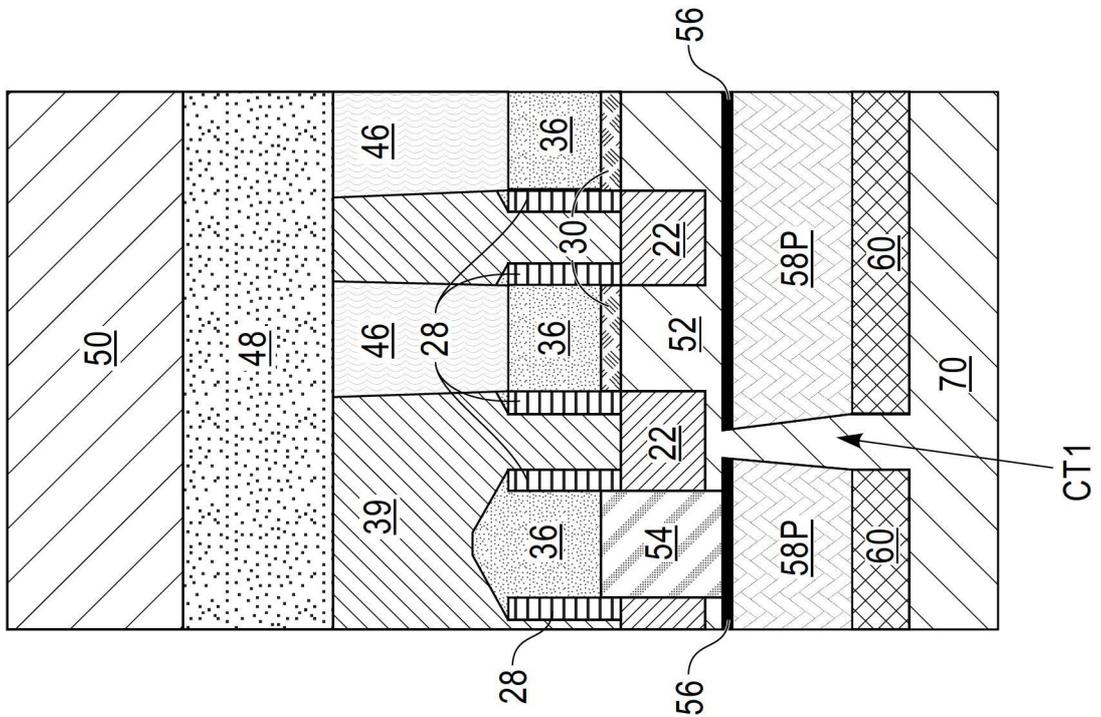
【圖17B】



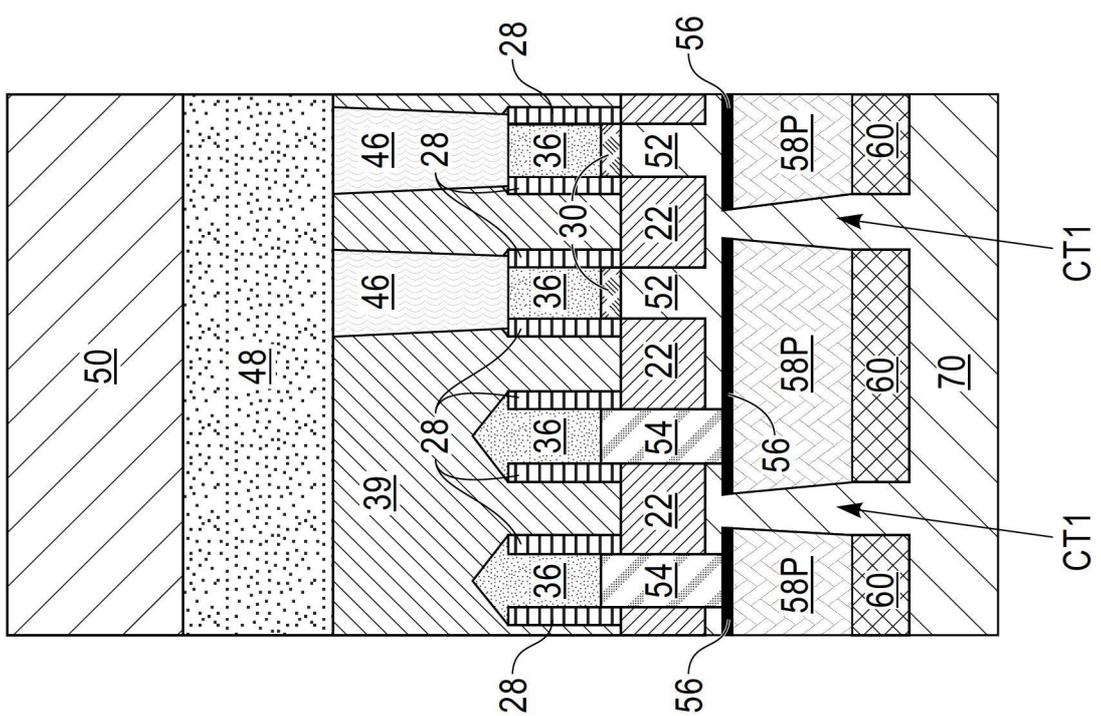
【圖17A】



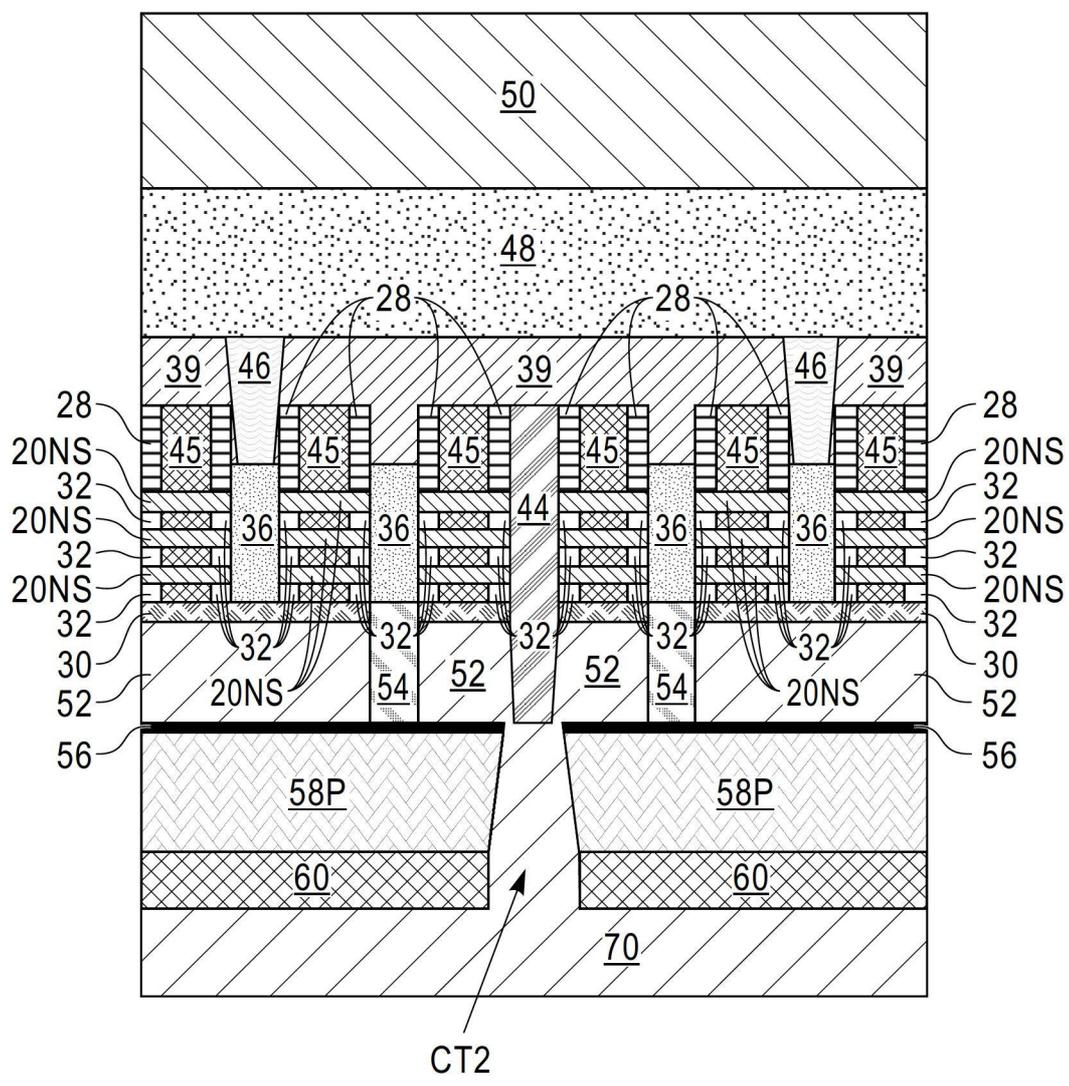
【圖17C】



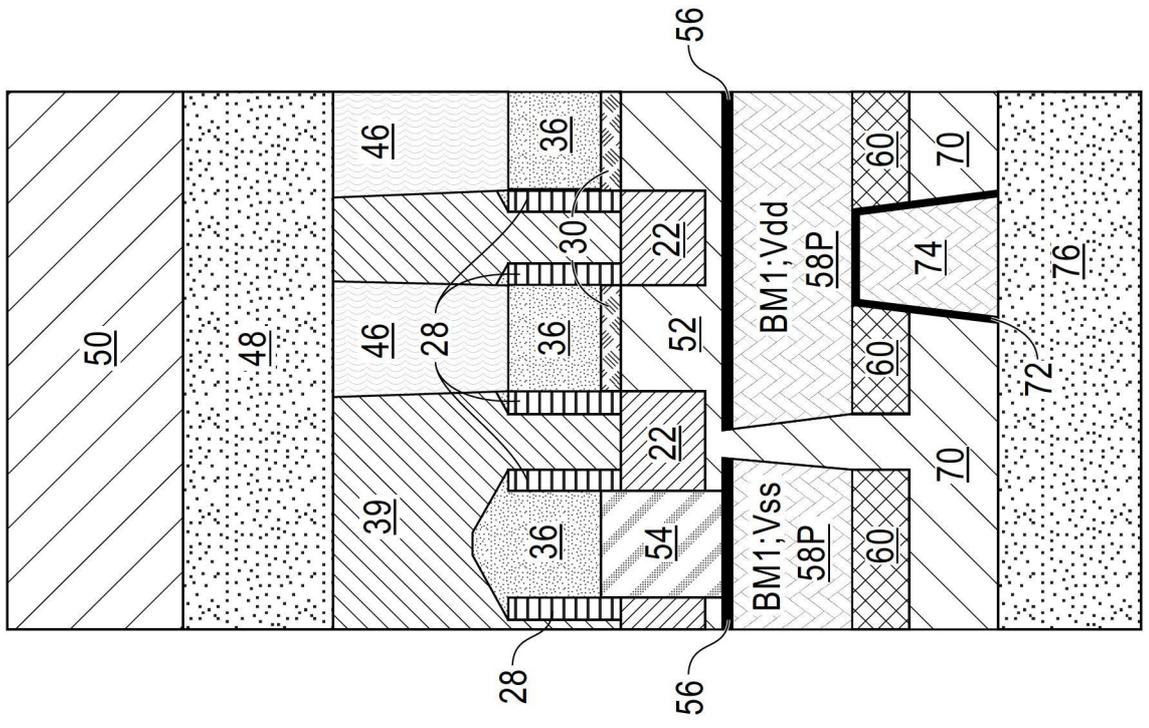
【圖18B】



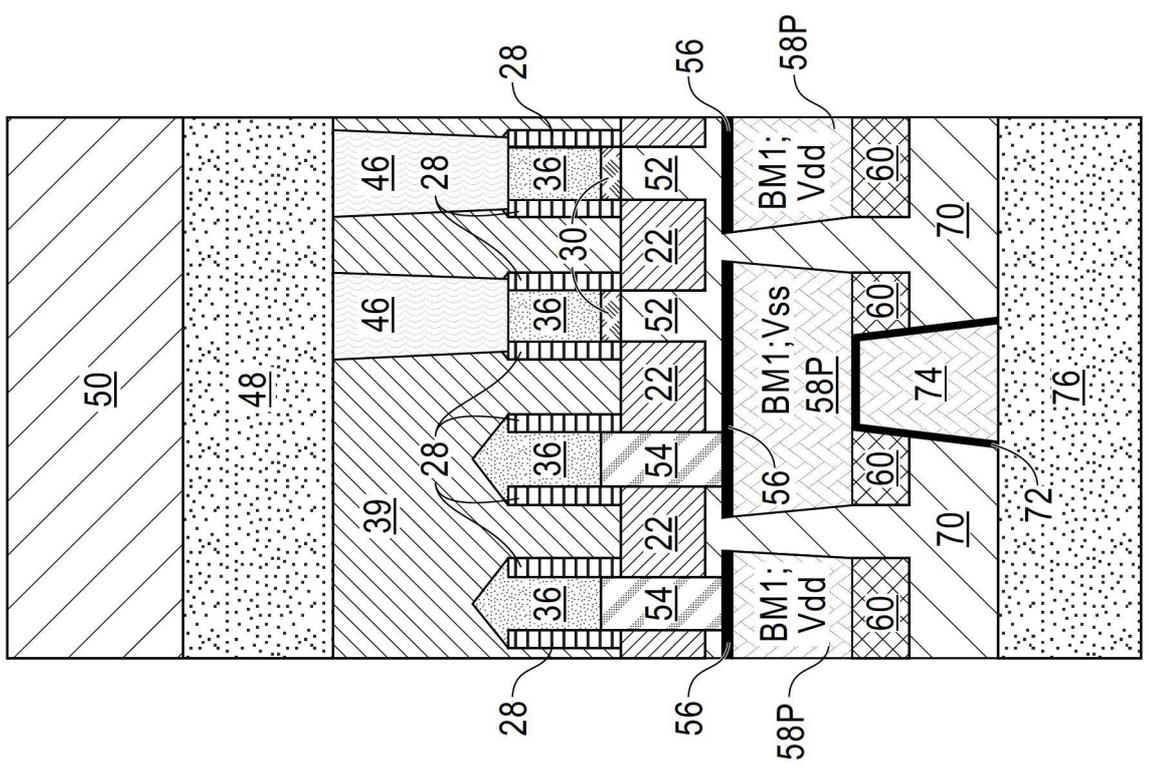
【圖18A】



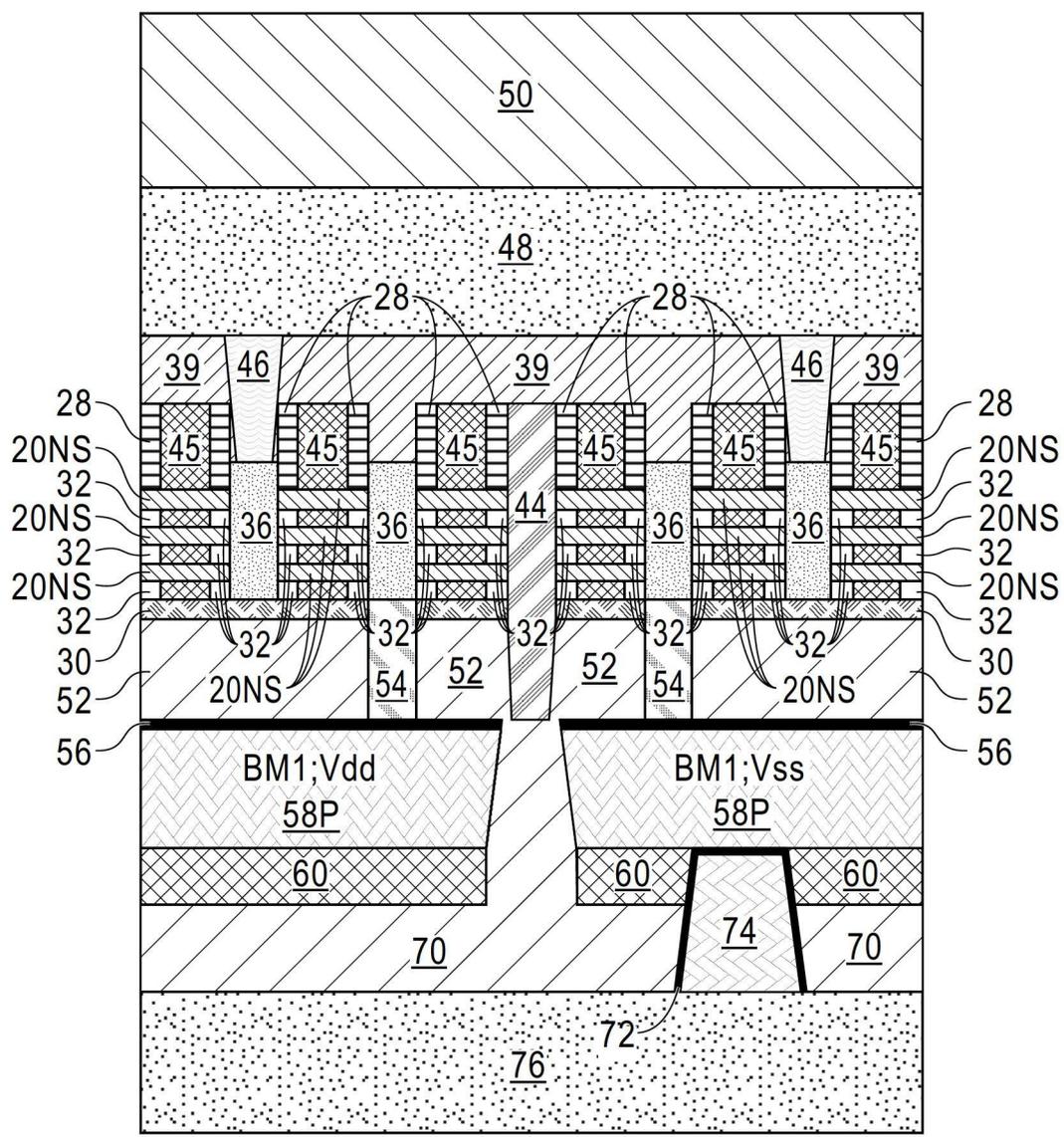
【圖18C】



【圖19B】



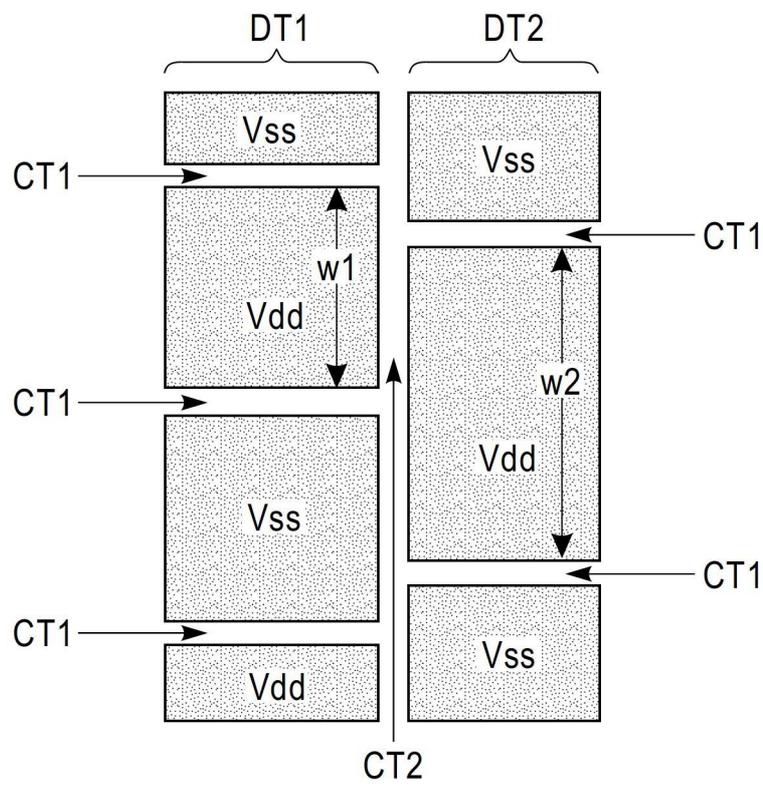
【圖19A】



【圖19C】



【圖20】  
(先前技術)



【圖21】