

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-129573
(P2012-129573A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.
H01L 33/06 (2010.01)

F I
H01L 33/00 112

テーマコード(参考)
5F041

審査請求 有 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願2012-85835 (P2012-85835)
(22) 出願日 平成24年4月4日(2012.4.4)
(62) 分割の表示 特願2010-278993 (P2010-278993)
の分割
原出願日 平成22年12月15日(2010.12.15)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108062
弁理士 日向寺 雅彦
(72) 発明者 木村 重哉
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 橘 浩一
東京都港区芝浦一丁目1番1号 株式会社
東芝内
(72) 発明者 名古 肇
東京都港区芝浦一丁目1番1号 株式会社
東芝内

最終頁に続く

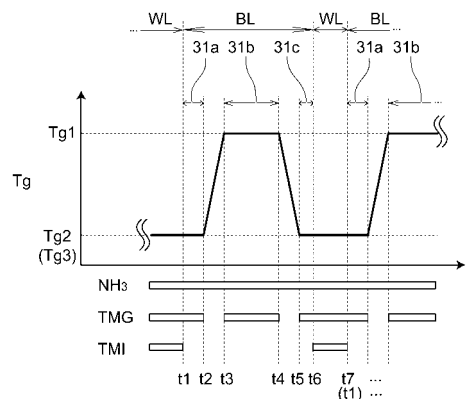
(54) 【発明の名称】 半導体発光素子の製造方法

(57) 【要約】

【課題】動作電圧を低減した半導体発光素子の製造方法を提供する。

【解決手段】実施形態に係る半導体発光素子の製造方法は、n形の第1半導体層と、p形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられ、前記第2半導体層から前記第1半導体層に向かう第1方向に沿って積層され窒化物半導体を含む複数の障壁層と、前記障壁層どうしの間に設けられInを含む窒化物半導体を含む井戸層と、を含む発光層と、を備えた半導体発光素子の製造方法であって、前記障壁層の形成は、反応炉内を第1温度よりも低い第2温度に設定して第1低温度形成層を形成する工程と、前記第1低温度形成層を形成した後、前記反応炉内を前記第1温度に設定して高温形成層を形成する工程と、を含む。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

n 形の第 1 半導体層と、p 形の第 2 半導体層と、前記第 1 半導体層と前記第 2 半導体層との間に設けられ、前記第 2 半導体層から前記第 1 半導体層に向かう第 1 方向に沿って積層され窒化物半導体を含む複数の障壁層と、前記障壁層どうしの間設けられ In を含む窒化物半導体を含む井戸層と、を含む発光層と、を備えた半導体発光素子の製造方法であって、

前記障壁層の形成は、

反応炉内を第 1 温度よりも低い第 2 温度に設定して第 1 低温度形成層を形成する工程と、

前記第 1 低温度形成層を形成した後、前記反応炉内を前記第 1 温度に設定して高温度形成層を形成する工程と、

を含む半導体発光素子の製造方法。

【請求項 2】

前記井戸層は、前記井戸層からみて前記第 2 半導体層の側の前記障壁層との界面を含む p 側界面部分と、前記井戸層からみて前記第 1 半導体層の側の前記障壁層との界面を含む n 側界面部分と、を有し、

前記障壁層は、

前記 p 側界面部分における前記第 1 方向に対して垂直な前記面内における等 In 濃度面の 3 次元凹凸の二乗平均平方根が 0.25 ナノメートル以下である請求項 1 記載の半導体発光素子の製造方法。

【請求項 3】

前記障壁層の形成は、

前記高温度形成層を形成した後、前記反応炉内を前記第 2 温度に設定して第 2 低温度形成層を形成する工程をさらに含む請求項 1 または 2 に記載の半導体発光素子の製造方法。

【請求項 4】

前記井戸層の形成は、前記反応炉内を前記第 2 温度に設定して形成する工程を含み、

前記低温度形成層を形成する工程は、前記井戸層を形成した後、前記反応炉内を前記第 2 温度に維持したまま前記井戸層の上に成膜を行うことを含む請求項 1 ~ 3 のいずれか 1 つに記載の半導体発光素子の製造方法。

【請求項 5】

前記井戸層を形成する工程は、前記反応炉内に In を含む第 1 反応ガス及び Ga を含む第 2 反応ガスを導入することを含み、

前記低温度形成層を形成する工程は、前記井戸層を形成する際に前記反応炉内に導入していた前記第 1 反応ガス及び前記第 2 反応ガスのうち前記第 1 反応ガスの導入を停止することを含む請求項 4 記載の半導体発光素子の製造方法。

【請求項 6】

前記第 2 温度は、830 以上である請求項 1 ~ 5 のいずれか 1 つに記載の半導体発光素子の製造方法。

【請求項 7】

前記第 1 温度と前記第 2 温度との差は、40 以上 100 未満である請求項 1 ~ 6 のいずれか 1 つに記載の半導体発光素子の製造方法。

【請求項 8】

前記第 1 温度と前記第 2 温度との差は、40 以上 60 未満である請求項 1 ~ 6 のいずれか 1 つに記載の半導体発光素子の製造方法。

【請求項 9】

前記障壁層は、

前記 p 側界面部分の前記第 1 方向に対して垂直な面内における In の濃度のばらつきが、前記 n 側界面部分の前記第 1 方向に対して垂直な面内における In の濃度のばらつき

10

20

30

40

50

以下である請求項 1 ~ 8 のいずれか 1 つに記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体発光素子の製造方法に関する。

【背景技術】

【0002】

窒化物半導体は、紫外、青色、緑色の発光ダイオード (LED: Light Emitting Diode) や、青紫色、青色のレーザダイオード (LD: Laser Diode) などに应用されている。このような半導体発光素子において、発光効率や動作電圧などの動作特性の向上がさらに

10

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】M.J.Galtrey, R.A.Oliver, M.J.Kappers, C.J.Humphreys, P.H.Clifton, D.Larson, D.W.Saxey, and A.Cerezos, "Three-dimensional atom probe analysis of green- and blue-emitting $\text{In}_x\text{G}_{1-x}\text{N}/\text{GaN}$ multiple quantum well structure", J. Appl. Phys. 104 (2008) 013524.

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

本発明の実施形態は、動作電圧を低減した半導体発光素子の製造方法を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体発光素子の製造方法は、n形の第1半導体層と、p形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられ、前記第2半導体層から前記第1半導体層に向かう第1方向に沿って積層され窒化物半導体を含む複数の障壁層と、前記障壁層どうしの中に設けられInを含む窒化物半導体を含む井戸層と、を含む発光層と、を備えた半導体発光素子の製造方法であって、前記障壁層の形成は、反応炉内を第1温度よりも低い第2温度に設定して第1低温度形成層を形成する工程と、前記第1低

30

温度形成層を形成した後、前記反応炉内を前記第1温度に設定して高温度形成層を形成する工程と、を含む。

【図面の簡単な説明】

【0006】

【図1】実施形態に係る半導体発光素子を示す模式的断面図である。

【図2】実施形態に係る半導体発光素子の一部を示す模式的断面図である。

【図3】実施形態に係る半導体発光素子の一部を拡大した模式的断面図である。

【図4】図4(a)及び図4(b)は、半導体発光素子の特性を示す模式図である。

【図5】図5(a)及び図5(b)は、半導体発光素子の特性を示す模式図である。

【図6】半導体発光素子の特性を示すグラフ図である。

40

【図7】半導体発光素子の特性を示すグラフ図である。

【図8】実施形態に係る半導体発光素子の製造方法を示す模式図である。

【発明を実施するための形態】

【0007】

以下、実施形態を図に基づき説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。

また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

50

【 0 0 0 8 】

図 1 は、実施形態に係る半導体発光素子の構成を例示する模式的断面図である。

図 2 は、実施形態に係る半導体発光素子の一部の構成を例示する模式的断面図である。

図 3 は、実施形態に係る半導体発光素子の一部を拡大した模式的断面図である。

【 0 0 0 9 】

図 1 に表したように、実施形態に係る半導体発光素子 1 1 0 は、n 形の第 1 半導体層 1 0 と、p 形の第 2 半導体層 2 0 と、第 1 半導体層 1 0 と第 2 半導体層 2 0 との間に設けられた発光層 3 0 と、を有する。第 1 半導体層 1 0 及び第 2 半導体層 2 0 は、例えば窒化物半導体を含む。

【 0 0 1 0 】

ここで、第 2 半導体層 2 0 から第 1 半導体層 1 0 に向かう方向を + Z 方向（第 1 方向）とする。+ Z 方向に対して垂直な 1 つの方向を X 軸方向とする。+ Z 方向に対して垂直で X 軸方向に対して垂直な方向を Y 軸方向とする。

【 0 0 1 1 】

図 2 に表したように、発光層 3 0 は、+ Z 方向に沿って積層された複数の障壁層 B L と、障壁層 B L どうしの上に設けられた井戸層 W L と、を含む。井戸層 W L は、I n を含む。障壁層 B L 及び井戸層 W L は、窒化物半導体を含む。例えば障壁層 B L は G a N を含む。井戸層 W L は、I n G a N を含む。障壁層 B L は、例えば実質的に I n を含まない。または、障壁層 B L が I n を含む場合は、障壁層 B L における I n の濃度は、井戸層 W L における I n の濃度よりも低い。

【 0 0 1 2 】

半導体発光素子 1 1 0 は、例えば窒化物半導体を用いた L E D である。

図 1 に表したように、例えば c 面サファイアの基板 1 の上に、バッファ層 2 が設けられる。バッファ層 2 の上に、例えば下地層 1 1 が設けられる。下地層 1 1 の上に、n 形コンタクト層 1 2 が設けられる。n 形コンタクト層 1 2 には、例えば G a N が用いられる。下地層 1 1 には、例えばアンドープの G a N が用いられる。n 形コンタクト層 1 2 は、第 1 半導体層 1 0 に含まれる。便宜上、下地層 1 1 が第 1 半導体層 1 0 に含まれるものと見なしても良い。

【 0 0 1 3 】

本具体例では、n 形コンタクト層 1 2 の上に、積層体 4 0 が設けられている。積層体 4 0 においては、例えば、複数の第 1 層 4 1 と、複数の第 2 層 4 2 と、が交互に積層されている。積層体 4 0 は、例えば超格子構造を有する。積層体 4 0 は必要に応じて設けられ省略しても良い。

【 0 0 1 4 】

積層体 4 0 の上には、発光層 3 0（活性層）が設けられている。発光層 3 0 は、例えば多重量子井戸（M Q W : Multiple Quantum Well）構造を有する。

図 2 に表したように、発光層 3 0 は、複数の障壁層 B L 及び複数の井戸層 W L が、交互に積層された構造を有することができる。また、発光層 3 0 は、井戸層 W L が 1 つの S Q W（Single Quantum Well）構成を有していてもよい。

【 0 0 1 5 】

図 1 に表したように、発光層 3 0 の上には、第 2 半導体層 2 0 が設けられる。第 2 半導体層 2 0 は、例えば、第 1 p 形層 2 1、第 2 p 形層 2 2 及び第 3 p 形層 2 3 を含む。第 1 p 形層 2 1 は、第 3 p 形層 2 3 と発光層 3 0 との間に設けられる。第 2 p 形層 2 2 は、第 1 p 形層 2 1 と第 3 p 形層 2 3 との間に設けられる。

【 0 0 1 6 】

第 1 p 形層 2 1 には、例えば p 形 A l G a N 層が用いられる。第 2 p 形層 2 2 には、例えば、p 形 G a N 層 2 2 が用いられる。第 3 p 形層 2 3 には、例えば p 形 G a N 層が用いられる。第 3 p 形層 2 3 における p 形不純物（例えば M g）の濃度は、第 2 p 形層 2 2 における p 形不純物濃度よりも高い。第 1 p 形層 2 1 は、例えば電子オーバーフロー防止（抑制）層の機能を有する。第 3 p 形層 2 3 は、コンタクト層の機能を有する。

10

20

30

40

50

【0017】

第3p形層23の上に、第2コンタクト電極部61が設けられている。第2コンタクト電極部61は、例えば、発光層30から放出される光に対して透光性を有する透明電極である。第2コンタクト電極部61の上の一部には、p側パッド電極部62pが設けられる。p側パッド電極部62pには、例えばNi/Auの積層構造が用いられる。

【0018】

n形コンタクト層12の一部、ならびに、その一部に対応する積層体40、発光層30及び第2半導体層20が除去されている。これにより、n形コンタクト層12の一部が露出する。第1コンタクト電極部51が、n形コンタクト層12が露出した面10a上に設けられている。

10

【0019】

第1コンタクト電極部51は、例えばTi/Al/Ta/Ti/Ptの積層構造を有する。第1コンタクト電極部51の上には、n側パッド電極52nが設けられる。n側パッド電極52nは、例えばNi/Auの積層構造を有する。n側パッド電極52nは、第1コンタクト電極部51上の一部または全面の上に設けられる。

【0020】

なお、第1コンタクト電極部51、n側パッド電極52n、第2コンタクト電極部61及びp側パッド電極部62pに関する上記の構造及び材料は一例であり、実施形態はこれに限定されない。

【0021】

積層体40の第1層41は、例えば $In_xGa_{1-x}N$ ($0 < x < 1$)を含む。第2層42は、例えば $In_yGa_{1-y}N$ ($0 < y < 1$, $x < y$)を含む。

20

【0022】

障壁層BLは、 $In_bGa_{1-b}N$ ($0 < b < 1$)を含む。井戸層WLは、 $In_wGa_{1-w}N$ ($0 < w < 1$, $b < w$)を含む。なお、障壁層BL及び井戸層WLは、微量のAl等を含んでも良い。

【0023】

障壁層BLの厚さは、例えば5ナノメートル(nm)以上10nm以下である。また、井戸層WLの厚さは、例えば2nm以上4nm以下である。

例えば、発光のピーク波長が450nmである場合は、障壁層BLには、例えばGaNが用いられ、井戸層WLには、例えば $In_{0.15}Ga_{0.85}N$ が用いられる。

30

【0024】

図3に表したように、発光層30において、障壁層BL及び井戸層WLが、例えば6~9周期で積層されている。例えば、障壁層BLの数は9であり、井戸層WLの数は8である。実施形態において、井戸層WLの数(及び障壁層BLの数)は、任意である。

【0025】

井戸層WLは、例えば第1井戸層WL1~第n井戸層WLnを含む。ここで、「m」は1以上の整数である。例えば、第(i+1)井戸層WL(i+1)は、第i井戸層WLiと第1半導体層10との間に配置されるものとする。ここで、「i」は1以上の整数である。

40

【0026】

複数の障壁層BLは、例えば第1障壁層BL1~第(m+1)障壁層BL(m+1)を含む。例えば第(i+1)障壁層BL(i+1)は、第i障壁層BLiと第1半導体層10との間に配置されるものとする。第i井戸層WLiは、第i障壁層BLiと第(i+1)障壁層BL(i+1)との間に配置されるものとする。

【0027】

図3に表したように、井戸層WLは、p側界面部分PSと、n側界面部分NSと、を有する。p側界面部分PSは、井戸層WLからみて第2半導体層20の側の障壁層BLとの界面を含む部分である。n側界面部分NSは、井戸層WLからみて第1半導体層10の側の障壁層BLとの界面を含む部分である。

50

【0028】

p側界面部分PSは、第1p側界面部分PS1～第mp側界面部分PSmを含む。第ip側界面部分PSiは、第i井戸層WLiの、第i井戸層WLiと第i障壁層BLiとの界面を含む部分である。

【0029】

n側界面部分NSは、第1n側界面部分NS1～第mn側界面部分NSmを含む。第in側界面部分NSiは、第i井戸層WLiの、第i井戸層WLiと第(i+1)障壁層BL(i+1)との界面を含む部分である。

【0030】

本実施形態においては、p側界面部分PSの+Z方向に対して垂直な面内におけるInの濃度のばらつきは、n側界面部分NSの+Z方向に対して垂直な面内におけるInの濃度のばらつき以下である。

10

【0031】

例えば、第ip側界面部分PSiの+Z方向に対して垂直な面内におけるInの濃度のばらつきは、第in側界面部分NSiの+Z方向に対して垂直な面内におけるInの濃度のばらつき以下である。

これにより、動作電圧が低減する。

【0032】

例えば、p側界面部分PSの+Z方向に対して垂直な面内におけるInの濃度のばらつきは、p側界面部分PSにおける+Z方向に対して垂直な面内における等In濃度面の3次元凹凸の二乗平均平方根(RMS:Root Mean Square)で表される。n側界面部分NSの+Z方向に対して垂直な面内におけるInの濃度のばらつきは、n側界面部分NSにおける+Z方向に対して垂直な面内における等In濃度面の3次元凹凸の二乗平均平方根(RMS)で表される。

20

【0033】

すなわち、実施形態においては、例えば、第ip側界面部分PSiの+Z方向に対して垂直な面内における等In濃度面の3次元凹凸のRMSは、第in側界面部分NSiの+Z方向に対して垂直な面内における等In濃度面の3次元凹凸のRMS以下である。

【0034】

本実施形態に係るこのような構成は、発明者が行った実験により見出された新たな知見に基づいている。以下、この実験について説明する。

30

【0035】

c面サファイアの基板1をMOCVD(Metal Organic Chemical Vapor Deposition)装置の反応炉に導入する。反応炉のサセプタ上で、基板1を1100に加熱する。これにより、基板1の表面の酸化膜を除去した。

【0036】

基板1の上に、厚さ30nmのバッファ層2を形成した。バッファ層2の上に、下地層11として、厚さ3マイクロメートル(μm)のアンドープのGaN層を形成した。さらに、下地層11の上に、n形コンタクト層12として、厚さ2 μm のSiドープGaN層を形成した。

40

【0037】

n形コンタクト層12の上に積層体40を形成した。積層体40の上に、障壁層BLと井戸層WLとを積層したMQW構造の発光層30を形成した。障壁層BLはGaN層である。井戸層WLは、In組成比が15%の $\text{In}_{0.15}\text{Ga}_{0.85}\text{N}$ 層である。この実験では、障壁層BLと井戸層WLとを交互に8周期積層し、最上の井戸層WL(第1井戸層WL1)の上に最終の障壁層BL(第1障壁層BL1)を形成した。障壁層BLの厚さは5nmである。井戸層WLの厚さは2.5nmである。

【0038】

発光層30の上に、第1p形層21として、2層のAlGaN層を形成した。すなわち、発光層30の上に、厚さが5nmでAl組成比が0.3%の、1層目のAlGaN層を

50

形成した。この上に、厚さが5 nmでAl組成比が10%の2層目のAlGaIn層を形成した。2層目のAlGaIn層は、 $5 \times 10^{19} / \text{cm}^3$ でMgを含む。第1p形層21の上に、第2p形層22として、厚さが80 nmのp形GaIn層を形成した。第2p形層22におけるMgの濃度は $2 \times 10^{19} / \text{cm}^3$ である。第2p形層22の上に、第3p形層23として、厚さが10 nm程度のp形GaIn層を形成した。第3p形層23におけるMgの濃度は $1 \times 10^{21} / \text{cm}^3$ である。その後、基板1をMOCVD装置の反応炉から取り出した。

【0039】

上記の試料の一部をドライエッチングして、n形コンタクト層12の一部を露出させた。露出したn形コンタクト層12の上に、Ti/Pt/Auの多層構造の第1コンタクト電極部51を形成した。また、第2半導体層20(第3p形層23)の上に、第2コンタクト電極部61として、透明電極(ITO: Indium Tin Oxide)を形成した。さらに、その一部に、直径80 μmのNi/Auの積層構造によるp側パッド電極部62pを形成した。

10

【0040】

これにより、半導体発光素子が得られる。

実験では、半導体層の形成条件を変えることで、複数の試料(後述する試料S1~S5)を作製した。このようにして得られた試料の発光特性を評価した。その結果、動作電圧が高い試料と低い試料があった。発明者は、このような特性の違いと、半導体発光素子の発光層の状態と、の関係について各種の解析を行った。そして、井戸層WLの面内におけるInの濃度のばらつきの特性が、動作特性に関係していることを見出した。

20

【0041】

以下では、発光層30の面内のInの濃度の変動の評価に関して説明する。発明者は、試料の発光層30の面内のInの濃度分布を、3次元アトムプローブ(3DAP)法で測定し、3次元元素マップを得た。

【0042】

図4(a)、図4(b)、図5(a)及び図5(b)は、半導体発光素子の特性を例示する模式図である。

すなわち、これらの図は、井戸層WLのInの等濃度面の3次元元素マップを例示する図である。

30

【0043】

この3次元元素マップは、井戸層WLの所定の測定範囲におけるInの濃度の3DAP方による測定値に基づき描かれている。測定範囲は、+Z方向に対して垂直な面(X-Y平面)における直径が30 nmの範囲である。この測定範囲におけるInの濃度に基づいて等In濃度面が描かれている。この例では、等In濃度面は、Inの濃度が4.0原子パーセント(atomic%)である面である。

【0044】

図4(a)及び図5(a)は、井戸層WLのp側界面部分PS(この例は第1p側界面部分PS1)におけるInの等濃度面に対応する。図4(b)及び図5(b)は、井戸層WLのn側界面部分NS(この例は第1n側界面部分NS1)におけるInの等濃度面に対応する。

40

【0045】

これらの図において、XpはX軸方向に沿った位置である。Ypは、Y軸方向に沿った位置である。Zpは、+Z方向に沿った位置である。

【0046】

図4(a)及び図4(b)は、試料S1に関するものである。図5(a)及び図5(b)は、試料S5に関するものである。試料S1と試料S5とでは、半導体層の形成条件が異なっている。試料S1の駆動電圧は、試料S5の駆動電圧よりも低い。

【0047】

図4(a)に表したように、試料S1においては、第1p側界面部分PS1のIn等濃

50

度面は、比較的平坦である。図4(b)に表したように、第1n側界面部分NS1におけるInの濃度面には凹凸がある。このように、試料S1においては、第1p側界面部分PS1におけるInの濃度の面内ばらつきは、第1n側界面部分NS1におけるInの濃度の面内ばらつきよりも小さい。第1p側界面部分PS1における等In濃度面のRMSは、0.24nmであった。第1n側界面部分NS1における等In濃度面のRMSは、0.25nmであった。

【0048】

図5(b)及び図5(b)に表したように、試料S5においては、第1p側界面部分PS1及び第1n側界面部分NS1のIn等濃度面には、大きな凹凸がある。試料S5においては、第1p側界面部分PS1における等In濃度面のRMSは、0.26nmであった。第1n側界面部分NS1における等In濃度面のRMSは、0.23nmであった。このように、試料S5においては、第1p側界面部分PS1におけるInの濃度の面内ばらつきは、第1n側界面部分NS1におけるInの濃度の面内ばらつきよりも大きい。

10

【0049】

発明者は、このように、動作電圧が低い試料S1と、動作電圧が高い試料S5と、において、井戸層WLのInの濃度の面内ばらつきに差異があることに着目した。そして、p側界面部分PSの面内のInの濃度のばらつきが、n側界面部分NSの面内のInの濃度のばらつき以下のときに、動作電圧が低減できることを見出した。この特性は、発明者が行った独自の実験により初めて見出されたものである。

20

【0050】

図6は、半導体発光素子の特性を例示するグラフ図である。

同図は、実験で作製した各種の半導体発光素子の試料(試料S1~試料S5)の特性を示している。図6の横軸は、第1井戸層WLの第1p側界面部分PS1における等In濃度面のRMS(RMSP1)と、第1n側界面部分NS1における等In濃度面のRMS(RMSN1)との比RRMSである。RRMSは、RMSP1/RMSN1である。RRMSが1以下であることは、第1p側界面部分PN1のInの濃度のばらつきが第1n側界面部分NS1のInの濃度のばらつき以下であることに対応する。図6の縦軸は、動作電圧Vfである。

【0051】

図6に表したように、RRMSが小さいと、動作電圧Vfが低くなる。特に、RRMSが1以下の場合に動作電圧Vfは小さい。

30

この特性に基づいて、本実施形態に係る半導体発光素子110では、RRMSが1以下に設定される。

【0052】

このように、本実施形態に係る半導体発光素子110においては、p側界面部分PSにおける面内の等In濃度面の3次元凹凸のRMSが、n側界面部分NSにおける面内の等In濃度面の3次元凹凸のRMS以下に設定される。これにより、動作電圧Vfが低減できる。

【0053】

例えば、p側界面部分PSのRMSが、n側界面部分NSのRMS以下であると、第2半導体層20から発光層30に注入されるホールの散乱を抑制することができると考えられる。

40

【0054】

ホールは、第2半導体層20から発光層30に注入される。すなわち、p側界面部分PSから井戸層WLにホールが注入される。p側界面部分PSのRMSがn側界面部分NSのRMS以下であると、注入されるホールがp側界面部分PSで散乱しにくくなり、井戸層WLにホールが効率良く注入されると考えられる。

【0055】

なお、障壁層BL及び井戸層WLは交互に積層されている。複数の井戸層WLのうちで発光に寄与する程度が大きいのは、第2半導体層20に最も近い井戸層WLであると考え

50

られる。したがって、最も第2半導体層20に近い井戸層WL(第1井戸層WL1)において、第1p側界面部分PS1のRMSを第1n側界面部分NS1のRMS以下にすることが特に望ましい。これにより、第2半導体層20から発光層30へのホールの注入効率の向上の程度が高まる。これにより、動作電圧Vfの低減の効果がより効果的に発揮される。

【0056】

本実施形態においては、井戸層WLのp側界面部分PSにおける面内のInの濃度ばらつき(例えば等In濃度面のRMS)をn側界面部分NSにおける面内のInの濃度ばらつき(例えば等In濃度面のRMS)以下にしているが、この構成は、発明者の実験によって初めて見出された構成である。例えば、今までに、井戸層WLのp側界面部分PSの等In濃度面のRMS、及び、n側界面部分NSの等In濃度面のRMSを測定した例が報告されている。しかし、これまでの報告では、p側界面部分PSの等In濃度面のRMSは、n側界面部分NSの等In濃度面のRMSよりも大きい。例えば、p側界面部分PSの等In濃度面のRMSが0.34nmであり、n側界面部分NSの等In濃度面のRMSが0.18nmである。このように、本実施形態は、従来に知られていない特異な構成により、良好な動作特性を得ている。

10

【0057】

さらに、半導体発光素子に用いる基板やp側コンタクト層の表面の物理的な構造の凹凸(例えば表面粗さ)に関するRMSを工夫する技術がある。これに対し、本実施形態においては、物理的な構造の凹凸に着目するのではなく、井戸層WLに含まれるInの濃度の面内のばらつきに着目している。そして、井戸層WLにおけるInの濃度の面内のばらつきに関する指標として、例えば等In濃度面のRMSを採用している。これにより、第2半導体層20から発光層30へのホールの注入効率を向上する。

20

【0058】

図7は、半導体発光素子の特性を例示するグラフ図である。

同図は、試料S1の特性を示している。横軸は、第2半導体層20の側から数えた井戸層WLの順番の数「m」である。縦軸は、井戸層WLのそれぞれのp側界面部分PSのRMS及びn側界面部分NSのRMSを示す。

【0059】

図7に表したように、試料S1(すなわち、実施形態に係る半導体発光素子110)においては、複数の井戸層WLのうちで最も第2半導体層20に近い井戸層WL(第1井戸層WL)において、p側界面部分PS(第1p側界面部分PS1)のRMS(+Z方向に対して垂直な面内におけるInの濃度のばらつき)は、n側界面部分NS(第1n側界面部分NS1)のRMS(+Z方向に対して垂直な面内におけるInの濃度ばらつき)以下である。具体的には、既に説明したように、第1p側界面部分PS1のRMSは0.24nmであり、第1n側界面部分NS1のRMSは0.25nmである。

30

【0060】

さらに、試料S1(半導体発光素子110)においては、第1井戸層WL1~第8井戸層WL8の全ての井戸層WLにおいて、p側界面部分PSのRMSは、n側界面部分NSのRMS以下である。

40

【0061】

すなわち、複数の井戸層WLのそれぞれにおいて、p側界面部分PSのRMS(+Z方向に対して垂直な面内におけるInの濃度のばらつき)は、n側界面部分NSのRMS(+Z方向に対して垂直な面内におけるInの濃度ばらつき)以下である。すなわち、第ip側界面部分PSiのRMSは、第in側界面部分NSiのRMS以下である。本具体例では、第ip側界面部分PSiのRMSは、第in側界面部分NSiのRMSよりも小さい。

【0062】

さらに、第1p側界面部分PS1のRMSは、0.25nmである。

このように、複数の井戸層WLのうちで最も第2半導体層20に近い井戸層WL(第1

50

井戸層WL)において、p側界面部分PS(第1p側界面部分PS1)のRMS(+Z方向に対して垂直な面内におけるInの濃度のばらつき)は、0.25nm以下であることが望ましい。

【0063】

また、複数の井戸層WLのそれぞれにおいて、p側界面部分PSのRMSは、0.25nm以下である。このように、複数の井戸層WLのそれぞれにおいて、p側界面部分PSのRMS(+Z方向に対して垂直な面内におけるInの濃度のばらつき)は、0.25nm以下であることがさらに望ましい。

【0064】

これにより、発光層30の内部における量子効率がさらに向上できる。これによりウォールプラグ効率が向上できる。そして動作電圧Vfがより低減できる。

10

【0065】

なお、n側界面部分NSのRMSは、小さいほうが望ましいが、p側界面部分PSのRMSよりも大きいことを許容する。

【0066】

図8は、実施形態に係る半導体発光素子の製造方法を例示する模式図である。

すなわち、図8は、MOCVDによって発光層30を形成する際の温度プロファイル及び反応ガスの導入タイミングを例示している。同図において、横軸は時間tを示す。縦軸は、温度Tgを示している。また、横軸に合わせて各反応ガスの導入の状態を示している。この例では、反応ガスとして、NH₃、TMG(Trimethylgallium)及びTMI(Trimethylindium)を用いられている。

20

【0067】

図8に表したように、この例では、障壁層BLは、第1温度Tg1で形成される高温形成層31bと、第1温度Tg1よりも低い第2温度Tg2で形成される低温形成層(n側低温形成31a及びp側低温形成層31cの少なくともいずれか)と、を有している。低温形成層は、高温形成層31bと井戸層WLとの間に、設けられる。

【0068】

井戸層WLは、第1温度Tg1よりも低い第3温度Tg3で形成される。第3温度Tg3は、第2温度Tg2と同じでも良い。以下では、第3温度Tg3が第2温度Tg2と同じ場合である例について説明する。

30

【0069】

温度Tgを第2温度Tg2(この例では第3温度Tg3と同じ)に設定し、NH₃、TMG及びTMIを反応炉に導入する。これにより、井戸層WLが形成される。所定の厚さで井戸層WLを形成した後、タイミングt1においてTMIの導入を停止する。

【0070】

タイミングt1からタイミングt2の間、温度Tgを第2温度Tg2に維持した状態で、反応炉内にNH₃及びTMGを導入する。これにより、井戸層WLの上に、障壁層BLの一部となるn側低温形成層31aが形成される。n側低温形成層31aの厚さは、例えば1nm以上、2nm以下である。TMGの導入を停止し、n側低温形成層31aの形成を終了する。

40

【0071】

タイミングt2からタイミングt3の間、温度Tgを第2温度Tg2から第1温度Tg1へ上昇させる。例えば、n側低温形成層31aにより、この昇温過程における井戸層WLからのInの消失が抑制される。

【0072】

温度Tgが第1温度Tg1に達したタイミングt3においてTMGの導入を再開する。タイミングt3からタイミングt4の間、第1温度Tg1で反応炉内にNH₃及びTMGを導入する。これにより、障壁層BLの他の一部となる高温形成層31bが形成される。所定の厚さで高温形成層31bを形成した後、タイミングt4においてTMGの導入を停止する。タイミングt4からタイミングt5の間、温度Tgを第1温度Tg1から第2温

50

度 T_{g2} へ下降させる。

【0073】

温度 T_{g2} が第2温度 T_{g2} に下降したタイミング t_5 において、TMGの導入を再開する。これにより、2つ目の低温形成層であるp側低温形成層31cが形成される。

【0074】

そして、p側低温形成層31cが所定の厚さになるタイミング t_6 においてTMIの導入を再開する。タイミング t_6 からタイミング t_7 までの間、第2温度 T_{g2} で、反応炉内に NH_3 、TMG及びTMIを導入する。これにより、井戸層WLが形成される。

【0075】

タイミング t_7 以降は、タイミング t_1 以降の処理を繰り返す。

10

なお、例えば、p側低温形成層31cは場合によっては省略しても良い。

このような処理を繰り返すことにより、井戸層WL及び障壁層BLが交互に積層される。

【0076】

ここで、第2温度 T_{g2} は830 以上が好ましい。また、第1温度 T_{g1} と第2温度 T_{g2} との差は、40 以上、100 未満が好ましく、40 以上、60 未満がより好ましい。これにより、p側界面部分PS及びn側界面部分NSにおける I_n の濃度の面内ばらつき、すなわち、p側界面部分PS及びn側界面部分NSにおける等 I_n 濃度面のRMSを低減し易くできる。

【0077】

20

第1温度 T_{g1} 、第2温度 T_{g2} 及び第2温度 T_{g3} 、並びに、反応ガスの導入タイミングなどの半導体層の形成条件を適正化することで、p側界面部分PSにおける面内の I_n の濃度のばらつきをn側界面部分NSにおける面内の I_n の濃度のばらつき以下にできる。

【0078】

なお、本実施形態においては、超格子構造を有する積層体40の上にMQW構造の発光層30を形成する場合、積層体40の成膜条件が適正化される。これにより、井戸層WLのうちで第1半導体層10に最も近い井戸層WLにおけるn側界面部分NSの I_n の濃度の面内ばらつきを抑制している。

【0079】

30

例えば、第8n側界面部分NS8のRMSは0.4nm以下にすることが望ましい。また、第1n側界面部分NS1における面内の I_n の濃度のばらつきを第8n側界面部分NS8における面内の I_n のばらつきよりも小さくすることが望ましい。

【0080】

これにより、第1p側界面部分PS1及び第1n側界面部分NS1における面内 I_n 濃度のばらつきを抑制しつつ、第1p側界面部分PS1の面内の I_n の濃度のばらつきを第1n側界面部分NS1における面内の I_n の濃度のばらつき以下にできる。

【0081】

本実施形態において、半導体層の形成には、例えば、有機金属気相(MOCVD)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、ハライド気相成長(HVPE: Hydride vapor phase epitaxy)法などを用いることができる。

40

【0082】

以上説明したように、実施形態に係る半導体発光素子によれば、動作電圧を低減した半導体発光素子が提供できる。

【0083】

なお、本明細書において「窒化物半導体」とは、 $B_x In_y Al_z Ga_{1-x-y-z} N$ ($0 < x < 1, 0 < y < 1, 0 < z < 1, x + y + z < 1$) なる化学式において組成比 x 、 y 及び z をそれぞれの範囲内で変化させた全ての組成の半導体を含むものとする。またさらに、上記化学式において、N(窒素)以外のV族元素もさらに含むもの、導電型などの各種の物性を制御するために添加される各種の元素をさらに含むもの、及び、意図せ

50

ずに含まれる各種の元素をさらに含むものも、「窒化物半導体」に含まれるものとする。

【0084】

以上、具体例を参照しつつ、本発明の実施の形態について説明した。しかし、本発明の実施形態は、これらの具体例に限定されるものではない。例えば、半導体発光素子に含まれる第1半導体層、第2半導体層、発光層、井戸層、障壁層、高温形成層、低温形成層、積層体及び電極などの各要素の具体的な構成に関しては、当業者が公知の範囲から適宜選択することにより本発明を同様に実施し、同様の効果を得ることができる限り、本発明の範囲に包含される。

【0085】

また、各具体例のいずれか2つ以上の要素を技術的に可能な範囲で組み合わせたものも、本発明の要旨を包含する限り本発明の範囲に含まれる。

10

【0086】

その他、本発明の実施の形態として上述した半導体発光素子を基にして、当業者が適宜設計変更して実施し得る全ての半導体発光素子も、本発明の要旨を包含する限り、本発明の範囲に属する。

【0087】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものとして解される。

【0088】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

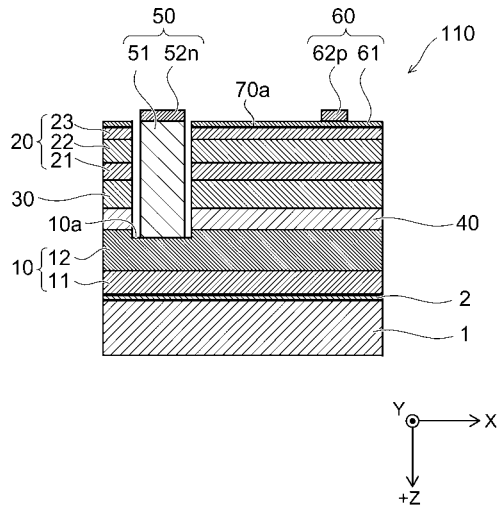
【符号の説明】

【0089】

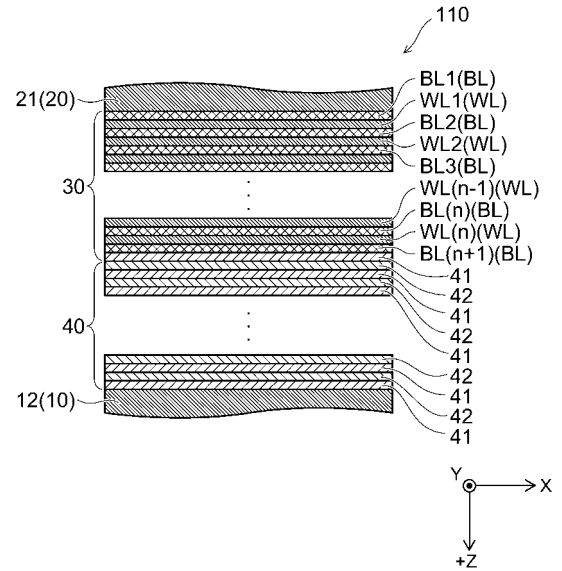
1 ... 基板、2 ... バッファ層、10 ... 第1半導体層、11 ... 下地層、12 ... n形コンタクト層、20 ... 第2半導体層、21 ... 第1p形層、22 ... 第2p形層、23 ... 第3p形層、30 ... 発光層、31a ... n側低温形成層(低温形成層)、31b ... 高温形成層、31c ... p側低温形成層(低温形成層)、32 ... 井戸層、40 ... 積層体、41 ... 第1層、42 ... 第2層、51 ... 第1コンタクト電極部、52n ... n側パッド電極、61 ... 第2コンタクト電極部、62p ... p側パッド電極部、110 ... 半導体発光素子、BL ... 障壁層、BL1 ~ BLi ... 第1 ~ 第i障壁層、NS ... n側界面部分、NS1 ~ NS8 ... n側界面部分、Po ... 光出力、PS ... p側界面、PS1 ~ PS8 ... p側界面部分、RRMS ... 比、S1 ~ S5 ... 試料、Tg1 ~ Tg3 ... 第1 ~ 第3温度、Vf ... 動作電圧、WL ... 井戸層、WL1 ~ WLi ... 第1 ~ 第i井戸層、t1 ~ t7 ... タイミング

30

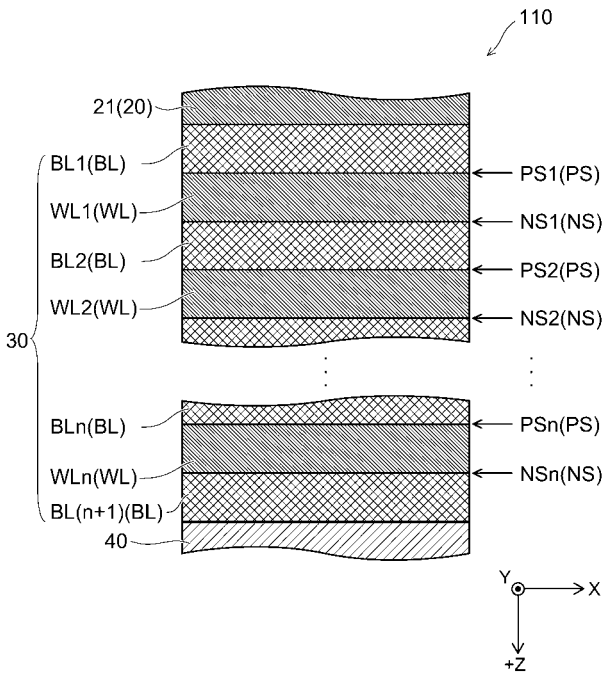
【 図 1 】



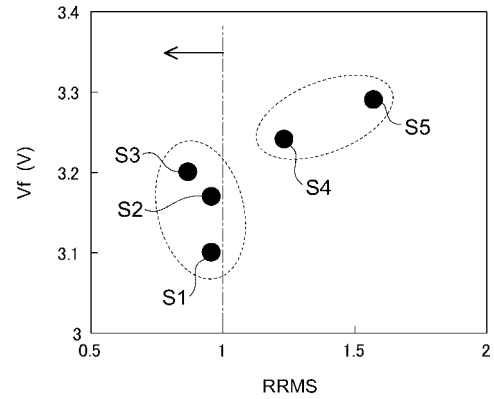
【 図 2 】



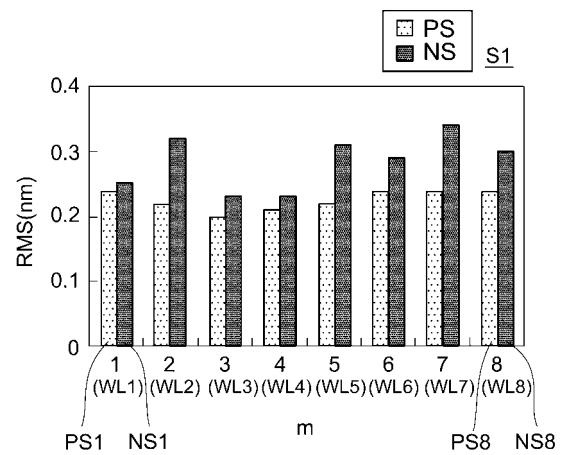
【 図 3 】



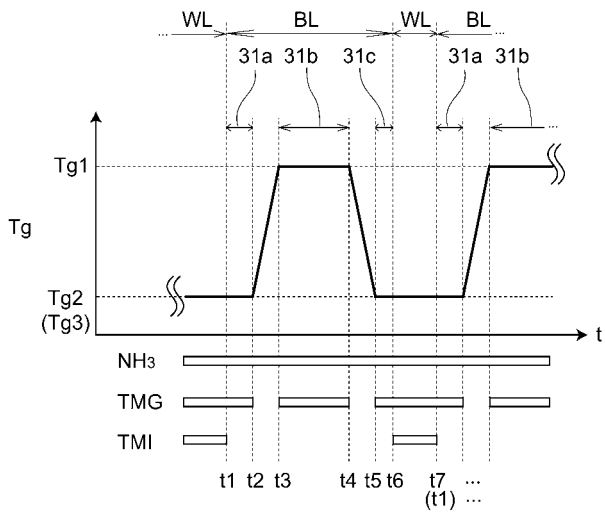
【 図 6 】



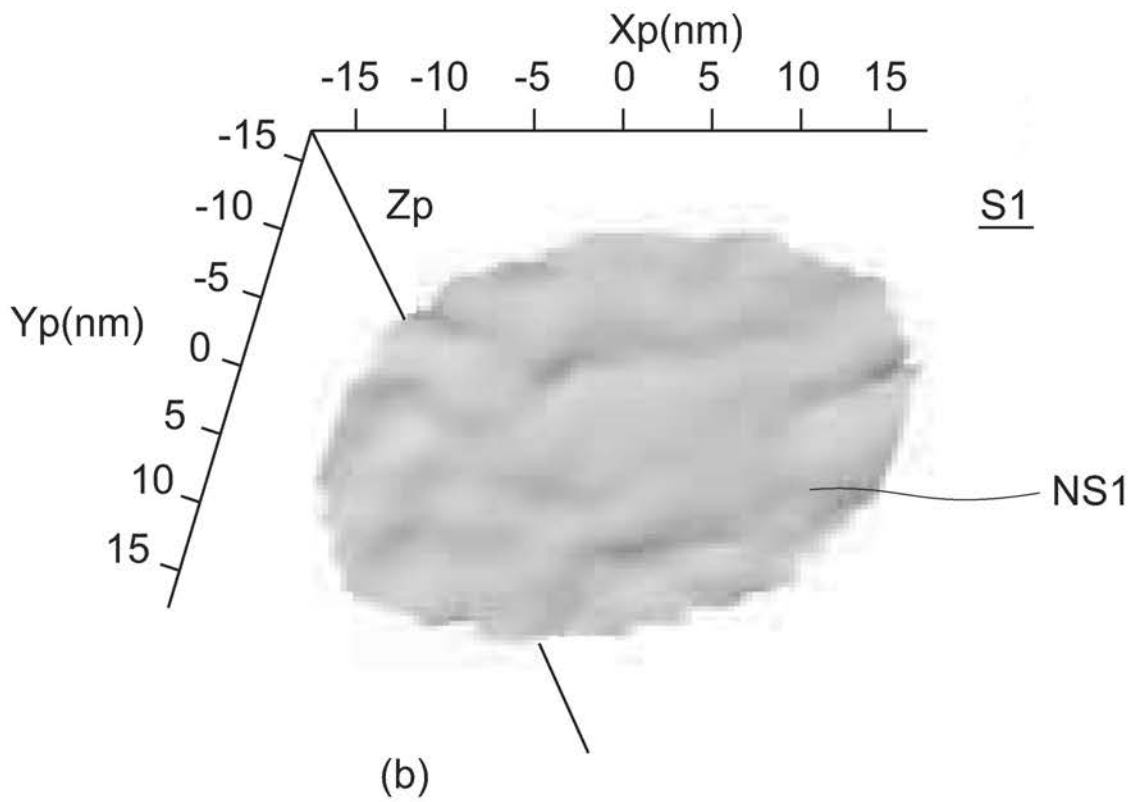
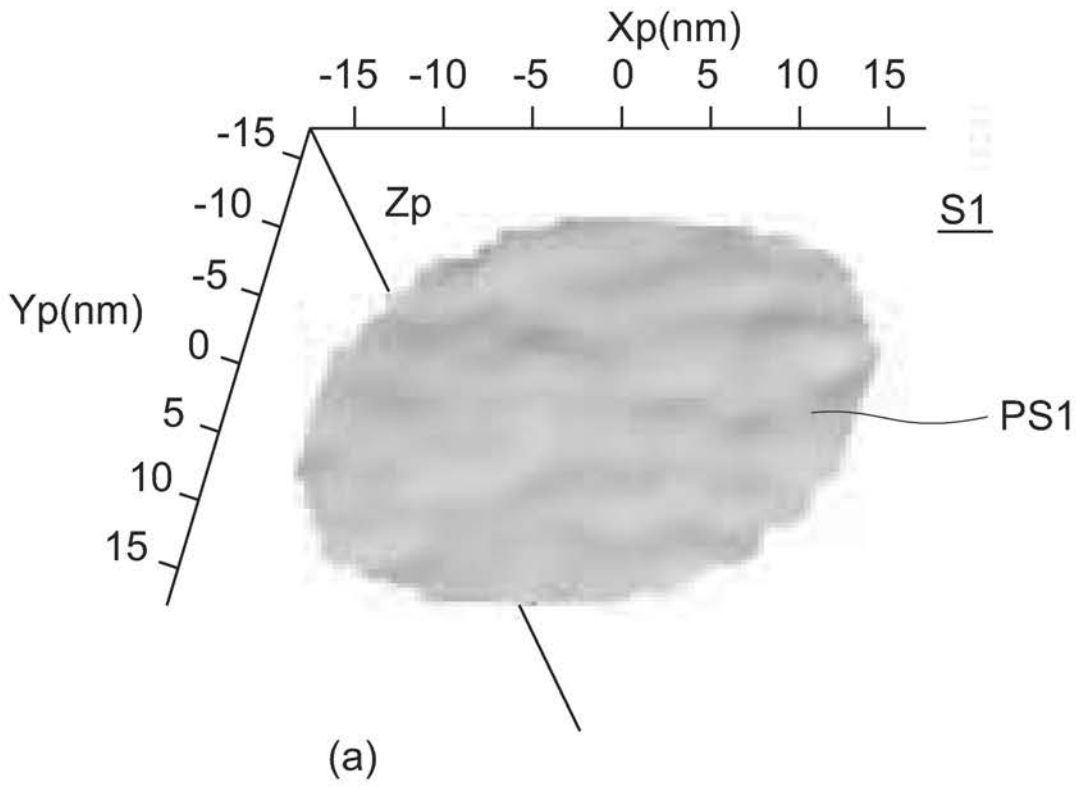
【 図 7 】



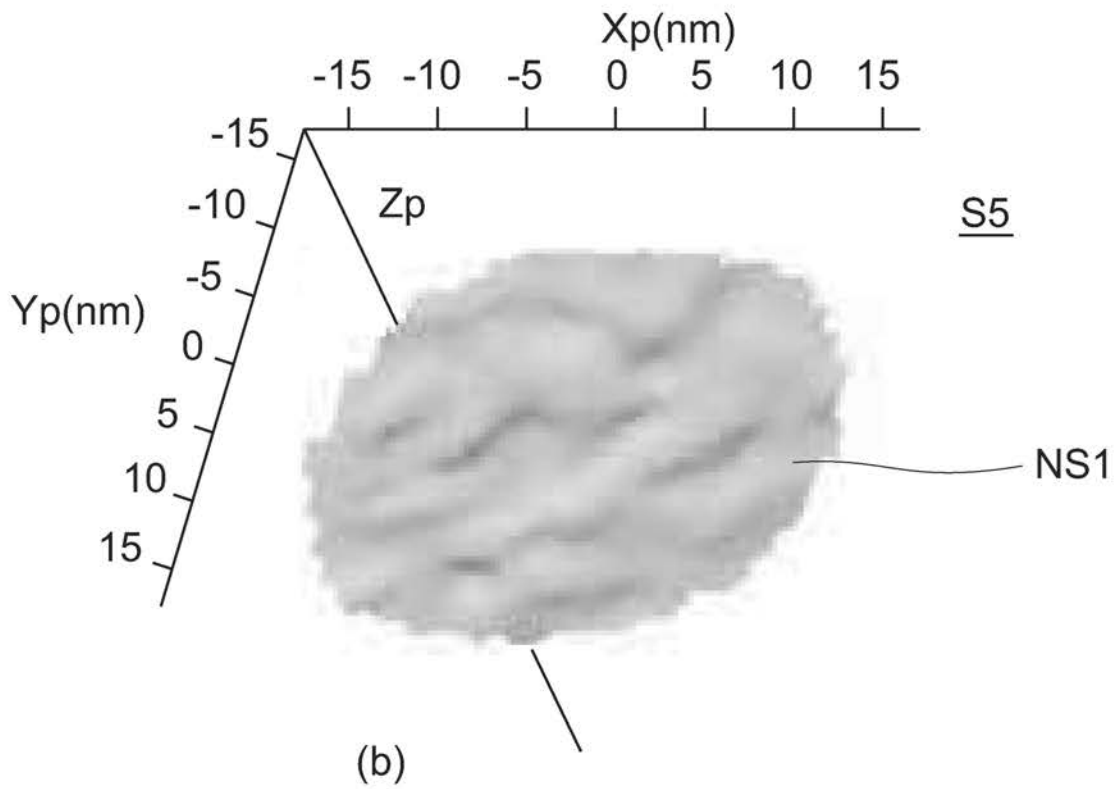
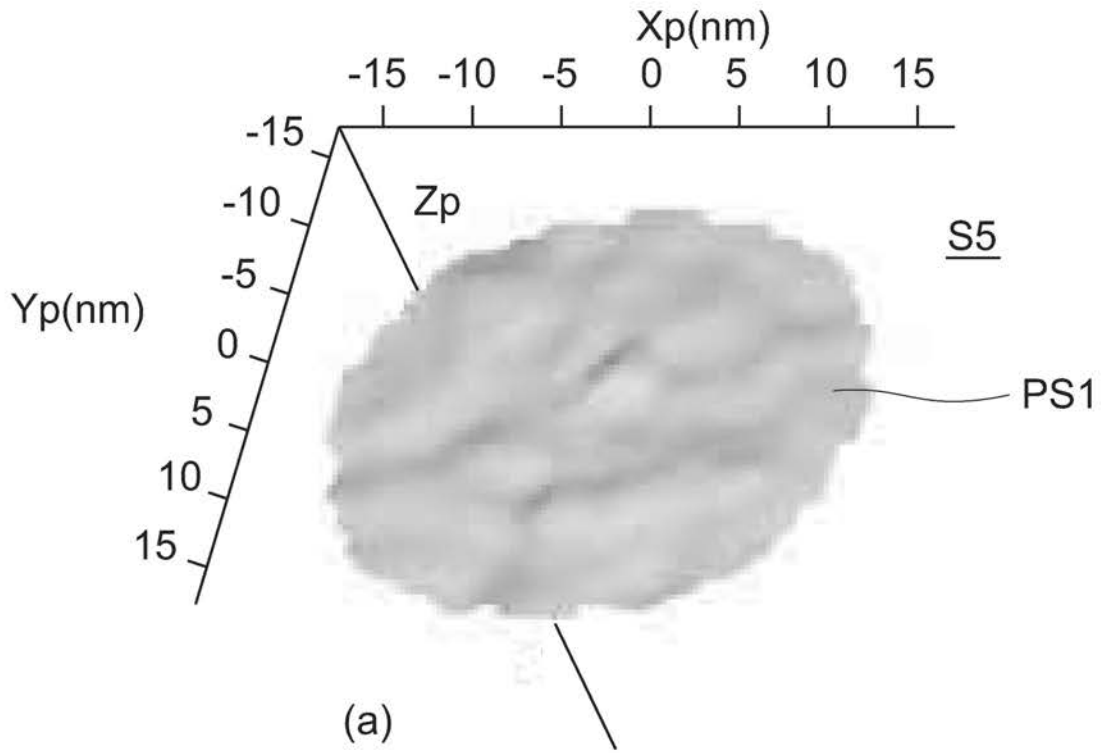
【 図 8 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 布上 真也

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F041 AA21 CA05 CA40 CA46 CA65