

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 3 年 11 月 4 日 (2021.11.4)

【公表番号】特表 2021-506027 (P2021-506027A)
 【公表日】令和 3 年 2 月 18 日 (2021.2.18)
 【年通号数】公開・登録公報 2021-008
 【出願番号】特願 2020-531647 (P2020-531647)
 【国際特許分類】

G 0 6 F 13/38 (2006.01)

G 0 6 F 1/12 (2006.01)

【 F I 】

G 0 6 F 13/38 3 1 0 A

G 0 6 F 1/12

G 0 6 F 13/38 3 4 0 C

【手続補正書】
 【提出日】令和 3 年 9 月 24 日 (2021.9.24)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

プロセッサの第 1 クロックドメインにおいて、バッファの複数のエントリに対する書き込みポインタの位置を、前記バッファの深度及び第 1 オフセット値に基づいてインクリメントすることと、

前記プロセッサの書き込みモジュールにおいて、前記書き込みポインタが前記バッファの前記複数のエントリのうち第 1 エントリを示したことに応じて、前記第 1 エントリにアクセスすることと、

前記プロセッサの第 2 クロックドメインにおいて、前記バッファの前記複数のエントリに対する読み出しポインタの位置を、前記書き込みポインタの位置及び第 2 オフセット値に基づいてインクリメントすることと、前記第 2 オフセット値は、前記第 1 クロックドメインの第 1 クロック信号の第 1 周波数と、前記第 2 クロックドメインの第 2 クロック信号の第 2 周波数との比に基づいており、前記第 2 クロック信号は、前記第 1 クロック信号と非同期である、ことと、

前記プロセッサの読み出しモジュールにおいて、前記読み出しポインタが前記バッファの前記複数のエントリのうち前記第 1 エントリを示したことに応じて、前記第 1 エントリにアクセスすることと、を含む、
 方法。

【請求項 2】
 前記第 1 オフセット値は、前記第 1 周波数と前記第 2 周波数との比に基づいている、
 請求項 1 の方法。

【請求項 3】
 前記第 1 オフセット値は、前記第 1 クロックドメインと前記第 2 クロックドメインとの間のシンクロナイザの深度に基づいている、
 請求項 1 の方法。

【請求項 4】
 前記書き込みモジュールが前記バッファにアクセスすることを示す信号をアサートする

ことをさらに含み、前記第 1 オフセット値は、前記信号のアサートと、前記バッファへの前記書き込みモジュールのアクセスと、の間の前記第 1 クロック信号のクロックサイクル数に基づいている、

請求項 3 の方法。

【請求項 5】

前記第 2 オフセット値は、前記第 1 クロックドメインと前記第 2 クロックドメインとの間のシンクロナイザの深度に基づいている、

請求項 1 ~ 4 の何れかの方法。

【請求項 6】

前記第 1 周波数を第 1 の調整された周波数に調整し、又は、前記第 2 周波数を第 2 の調整された周波数に調整するための要求に応じて、前記第 1 オフセット値及び前記第 2 オフセット値をリセットすることをさらに含む、

請求項 1 ~ 5 の何れかの方法。

【請求項 7】

前記第 1 オフセット値及び前記第 2 オフセット値をリセットすることは、

前記第 1 の調整された周波数が前記第 2 の調整された周波数よりも高いことに応じて、前記第 1 の調整された周波数と前記第 2 の調整された周波数との比に基づいて、前記書き込みポインタの第 1 の調整されたオフセット値を決定することと、

前記第 1 の調整された周波数と前記第 2 の調整された周波数との比に基づいて、前記読み出しポインタの第 2 の調整されたオフセット値を決定することと、

前記読み出しモジュールによってアクセスされていないデータを含む前記バッファの前記エントリを空にすることと、

前記バッファの共通エントリにおいて前記書き込みポインタ及び前記読み出しポインタを停止させることと、

前記第 1 の調整されたオフセット値に基づいて、前記書き込みポインタの位置をインクリメントすることと、

前記第 2 の調整されたオフセット値に基づいて、前記読み出しポインタの位置をインクリメントすることと、を含む、

請求項 6 の方法。

【請求項 8】

プロセッサの第 1 クロックドメインにおいて、第 1 オフセット値に基づいて、深度を有する先入れ先出しバッファ (F I F O) に対する書き込みポインタの位置をオフセットすることと、

前記プロセッサの第 2 クロックドメインにおいて、第 2 オフセット値に基づいて、前記 F I F O に対する読み出しポインタの位置をオフセットすることであって、前記第 2 オフセット値は、前記第 1 クロックドメインの第 1 クロック信号の第 1 周期と、前記第 2 クロックドメインの第 2 クロック信号の第 2 周期との比に基づいている、ことと、

前記プロセッサの書き込みモジュールにおいて、前記書き込みポインタの位置に基づいて、前記 F I F O の第 1 エントリにアクセスすることと、

前記第 1 エントリにアクセスしたことに応じて、前記 F I F O に対する前記書き込みポインタをインクリメントすることと、

前記プロセッサの読み出しモジュールにおいて、前記 F I F O に対する前記読み出しポインタの位置に基づいて、前記 F I F O の前記第 1 エントリから読み出すことと、

前記第 1 エントリから読み出したことに応じて、前記 F I F O に対する前記読み出しポインタをインクリメントすることと、を含む、

方法。

【請求項 9】

前記第 1 オフセット値は、前記第 1 周期と前記第 2 周期との比に基づいている、

請求項 8 の方法。

【請求項 10】

前記第 1 オフセット値は、前記第 1 クロックドメインと前記第 2 クロックドメインとの間のシンクロナイザの深度に基づいている、

請求項 8 の方法。

【請求項 1 1】

前記書き込みモジュールが前記バッファにアクセスすることを示す信号をアサートすることをさらに含み、前記第 1 オフセット値は、前記信号のアサートと、前記バッファへの前記書き込みモジュールのアクセスと、の間の前記第 1 クロック信号のクロックサイクル数に基づいている、

請求項 1 0 の方法。

【請求項 1 2】

前記第 1 周期を第 1 の調整された周期に調整し、又は、前記第 2 周期を第 2 の調整された周期に調整するための要求に応じて、前記第 1 オフセット値及び前記第 2 オフセット値をリセットすることをさらに含む、

請求項 8 ~ 1 1 の何れかの方法。

【請求項 1 3】

前記第 1 オフセット値及び前記第 2 オフセット値をリセットすることは、

前記第 1 の調整された周期が前記第 2 の調整された周期よりも高いことに応じて、前記第 1 の調整された周期と前記第 2 の調整された周期との比に基づいて、前記書き込みポインタの第 1 の調整されたオフセット値を決定することと、

前記第 1 の調整された周期と前記第 2 の調整された周期との比に基づいて、前記読み出しポインタの第 2 の調整されたオフセット値を決定することと、

前記読み出しモジュールによってアクセスされていないデータを含む前記バッファの前記エントリを空にすることと、

前記バッファの共通エントリにおいて前記書き込みポインタ及び前記読み出しポインタを停止させることと、

前記第 1 の調整されたオフセット値に基づいて、前記書き込みポインタの位置をインクリメントすることと、

前記第 2 の調整されたオフセット値に基づいて、前記読み出しポインタの位置をインクリメントすることと、を含む、

請求項 1 2 の方法。

【請求項 1 4】

先入れ先出しバッファ（F I F O）と、

第 1 クロックドメインであって、

書き込みポインタと、

第 1 シンクロナイザと、

前記 F I F O に対する前記書き込みポインタの位置に応じて前記 F I F O の第 1 エントリにアクセスするように構成された書き込みモジュールであって、前記書き込みポインタの位置が前記 F I F O の深度及び第 1 オフセット値に基づいている、書き込みモジュールと、を含む第 1 クロックドメインと、

第 2 クロックドメインであって、

読み出しポインタと、

第 2 シンクロナイザと、

前記 F I F O に対する前記読み出しポインタの位置に応じて前記 F I F O の前記第 1 エントリにアクセスするように構成された読み出しモジュールであって、前記読み出しポインタの位置が前記書き込みポインタの位置及び第 2 オフセット値に基づいている、読み出しモジュールと、を含む第 2 のクロックドメインと、

前記第 1 オフセット値及び前記第 2 オフセット値を決定するように構成されたコントローラと、を備える、

プロセッサ。

【請求項 1 5】

前記コントローラは、前記第 1 クロックドメインの第 1 クロック信号の第 1 周波数と、前記第 2 クロックドメインの第 2 クロック信号の第 2 周波数との比に基づいて、前記第 1 オフセット値を決定するように構成されており、前記第 2 クロック信号は、前記第 1 クロック信号と非同期である、

請求項 1 4 のプロセッサ。

【請求項 1 6】

前記コントローラは、前記第 1 シンクロナイザの深度に基づいて、前記第 1 オフセット値を決定するように構成されている、

請求項 1 4 のプロセッサ。

【請求項 1 7】

前記書き込みモジュールは、前記書き込みモジュールが前記バッファにアクセスすることを示す信号をアサートするように構成されており、前記コントローラは、前記信号のアサートと、前記バッファへの前記書き込みモジュールのアクセスと、の間の前記第 1 クロック信号のクロックサイクル数に基づいて、前記第 1 オフセット値を決定するように構成されている、

請求項 1 4 のプロセッサ。

【請求項 1 8】

前記コントローラは、前記第 1 クロックドメインの第 1 クロック信号の第 1 周波数と、前記第 2 クロックドメインの第 2 クロック信号の第 2 周波数との比に基づいて、前記第 2 オフセット値を決定するように構成されており、前記第 2 クロック信号は、前記第 1 クロック信号と非同期である、

請求項 1 4 ~ 1 7 の何れかのプロセッサ。

【請求項 1 9】

前記コントローラは、前記第 1 周波数を第 1 の調整された周波数に調整し、又は、前記第 2 周波数を第 2 の調整された周波数に調整するための要求に応じて、前記第 1 オフセット値及び前記第 2 オフセット値をリセットするように構成されている、

請求項 1 4 ~ 1 8 の何れかのプロセッサ。

【請求項 2 0】

前記コントローラは、

前記第 1 の調整された周波数が前記第 2 の調整された周波数よりも高いことに応じて、前記第 1 の調整された周波数と前記第 2 の調整された周波数との比に基づいて、前記書き込みポインタの第 1 の調整されたオフセット値を決定することと、

前記第 1 の調整された周波数と前記第 2 の調整された周波数との比に基づいて、前記読み出しポインタの第 2 の調整されたオフセット値を決定することと、

前記読み出しモジュールによってアクセスされていないデータを含む前記 F I F O の前記エントリを空にすることと、

前記 F I F O の共通エントリにおいて前記書き込みポインタ及び前記読み出しポインタを停止させることと、

前記 F I F O の深度及び前記第 1 の調整されたオフセット値に基づいて、前記書き込みポインタの位置をインクリメントすることと、

前記書き込みポインタの位置及び前記第 2 の調整されたオフセット値に基づいて、前記読み出しポインタの位置をインクリメントすることと、

を行うように構成されている、

請求項 1 9 のプロセッサ。