

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97118627

※申請日期：97.5.21

※IPC 分類：H01L 23/485 (2006.01)

H01L 23/051 (2006.01)

一、發明名稱：(中文/英文)

嵌埋半導體晶片之封裝基板及其製法

SUBSTRATE HAVING SEMICONDUCTOR CHIP EMBEDDED THEREIN AND
FABRICATION METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

欣興電子股份有限公司

UNIMICRON TECHNOLOGY CORP.

代表人：(中文/英文) 曾子章 / TSENG, TZYY-JANG

住居所或營業所地址：(中文/英文)

桃園縣桃園市龜山工業區興邦路 38 號

No. 38, Hsing Pong Rd., Kwei-San Industrial Zone, Taoyuan 333, Taiwan,
R. O. C.

國籍：(中文/英文) 中華民國/R. O. C.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 許詩濱 / HSU, SHIH-PING

2. 曾昭崇 / ZENG, ZHAO CHONG

國籍：(中文/英文) 1. 2. 中華民國/R. O. C.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種嵌埋半導體晶片之封裝基板，係包括一具有貫穿開口之第一承載板、設於開口中之半導體晶片、以及設於開口與半導體晶片之間之固定件，藉該固定件抵靠半導體晶片以固定半導體晶片，可避免半導體晶片受外力影響而於開口內產生偏移。本發明復提供一種嵌埋半導體晶片之封裝基板之製法。

六、英文發明摘要：

A package substrate having a semiconductor chip embedded therein is disclosed, comprising a first carrier board formed with a cavity, a semiconductor chip disposed in the cavity, and a fastening member disposed between the cavity and the chip to abut against and thus secure the chip in place, thereby preventing deviation of the chip in the cavity due to external force. The invention further provides a method of fabricating the package substrate as described above.

七、指定代表圖：

(一)本案指定代表圖為：第(2C')圖。

(二)本代表圖之元件代表符號簡單說明：

21 第一承載板

210 開口

22 第二承載板

23 半導體晶片

23a 作用面

231 電極墊

26 固定件

d 間隙

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體裝置及其製法，尤指一種嵌埋半導體晶片之封裝基板及其製法。

【先前技術】

隨著半導體封裝技術的演進，除了傳統打線式(Wire bonding)及覆晶式(Flip chip)半導體封裝技術以外，目前半導體裝置(Semiconductor device)已開發出不同的封裝型態，例如直接在一封裝基板(packaging substrate)中嵌埋並電性整合一係如具有積體電路之半導體晶片，此種半導體裝置可縮減整體體積並提昇電性功能，遂成為一種封裝的主流。

請參閱第 1A 至 1D 圖，係為習知嵌埋半導體晶片之封裝基板之製法示意圖，其中第 1A' 圖係為第 1A 圖之上視示意圖。

如第 1A 及 1A' 圖所示，首先提供一第一承載板 11，該第一承載板 11 具有相對之第一表面 11a 及第二表面 11b，並於該第一承載板 11 形成至少一貫穿該第一及第二表面 11a, 11b 之矩形開口 110，同時提供一第二承載板 12，並將其接合於第一承載板 11 之第二表面 11b 上。

如第 1B 圖所示，接著提供一半導體晶片 13，該半導體晶片 13 具有相對之作用面 13a 及非作用面 13b，於該作用面 13a 上具有複數電極墊 131，且藉由一黏著層 14 將該半導體晶片 13 之非作用面 13b 固定於矩形開口 110

中的第二承載板 12 上。

如第 1C 圖所示，然後於該第一承載板 11 及半導體晶片 13 之作用面 13a 上熱壓形成介電層 15，且該介電層 15 亦填入矩形開口 110 與半導體晶片 13 之間間隙中。

如第 1D 圖所示，最後於介電層 15 上形成線路層 16，且於介電層 15 中形成導電盲孔 161，以電性連接半導體晶片 13 之電極墊 131。

惟，前述習知技術中，由於半導體晶片 13 與矩形開口 110 的邊緣之間必須預留間隙，在該介電層 15 進行熱壓時，因為壓力或產生氣泡等因素，易使該半導體晶片 13 於該矩形開口 110 中偏移 e，而此偏移 e 會造成導電盲孔 161 連接電極墊 131 之對位偏差，甚至因偏差過大而無法有效電性連接電極墊 131。

因此，鑒於上述之問題，如何避免習知技術中將介電層以熱壓形成在半導體晶片及第一承載板上時，容易導致半導體晶片偏移，產生該導電盲孔與該半導體晶片之對位偏差，甚至因偏移過大而無法有效電性連接，造成產品報廢，降低製程良率，實已成為目前亟欲解決的課題。

【發明內容】

鑒於上述習知技術之缺失，本發明之一目的係提供一種嵌埋半導體晶片之封裝基板及其製法，以確保半導體晶片之定位狀態。

本發明之另一目的係提供一種嵌埋半導體晶片之封裝基板及其製法，以提昇製程良率。

為達上述目的及其它目的，本發明揭露一種嵌埋半導體晶片之封裝基板之製法，係包括：提供一第一承載板，其具有相對之第一表面、第二表面、及貫穿第一及第二表面之開口；於該第一承載板形成連通開口之填塞孔；於該第一承載板第二表面結合一第二承載板；提供一半導體晶片，並置於第二承載板上且對應位於開口中，其具有相對之作用面及非作用面，且該作用面上具有電極墊；以及將固定件置於填塞孔中及開口中，以抵靠半導體晶片。

再提供另一種嵌埋半導體晶片之封裝基板之製法，係包括：提供一第一承載板，其具有相對之第一、第二表面、及貫穿第一及第二表面之開口；於該第一承載板第二表面結合一第二承載板；提供一半導體晶片，並置於第二承載板上且對應位於開口中，而與開口之間具有間隙，且其具有相對之作用面及非作用面，該作用面上具有電極墊；以及將固定件設於間隙中，以抵靠半導體晶片。

於前述之製法中，以嵌埋半導體晶片為基本需求，該第一及第二承載板係可為具雙面線路之核心板、多層線路板、介電層或金屬板，且該第二承載板亦可為絕緣板；又，該第二承載板係可藉由第一黏著層結合第一承載板之第二表面，而該半導體晶片之非作用面則可藉由第二黏著層結合於第二承載板或第一黏著層上。

於前述之製法中，以固定件抵靠半導體晶片為基本需求，該固定件之材料若為樹脂、金屬、陶瓷、有機材質或固化膠質，其無需加熱即具有固定形狀，若為樹脂混合填

充劑，則需藉由低溫加熱而具有固定形狀；且該固定件係可為柱狀、球狀、錐狀或不規則立體狀，並無特定限制。

於前述之製法中，該開口係可呈曲線組合任意形、圓形或橢圓形；當然，該開口之形狀亦可呈方形、矩形或多邊形，以使該第一承載板係可具有連通開口邊緣及角落之複數個填塞孔。

此外，前述之製法復可包括於該第一承載板之第一表面及該半導體晶片之作用面上形成增層結構，係包括至少一介電層、形成於介電層上之線路層、形成於介電層中且電性連接線路層及電極墊之導電盲孔、及設於增層結構上之電性接觸墊，且於增層結構上設有防焊層，並形成開口，以對應顯露電性接觸墊。其中，該介電層可填入開口與半導體晶片之間，以強化固定半導體晶片於開口中。

依前述之製法，係可製作一種嵌埋半導體晶片之封裝基板，係包括：第一承載板，係具有相對之第一表面及第二表面、貫穿該第一及第二表面之開口、以及連通開口之填塞孔；半導體晶片，係容置於開口中，且具有相對之作用面及非作用面，且該作用面具有電極墊；以及固定件，係固設於填塞孔及開口中，以抵靠半導體晶片。

依前述之製法，亦可製作另一種嵌埋半導體晶片之封裝基板，係包括：第一承載板，係具有相對之第一表面及第二表面、貫穿該第一及第二表面之開口；半導體晶片，係容置於開口中且與開口之間具有間隙，其具有相對之作用面及非作用面，且該作用面具有電極墊；以及固定件，

係固設於間隙，以抵靠半導體晶片。

於前述之封裝基板中，以嵌埋半導體晶片為基本需求，該第一承載板係可為具雙面線路之核心板、多層線路板、介電層、或金屬板。

於前述之封裝基板中，以固定件抵靠半導體晶片為基本需求，該固定件之材料若為樹脂、金屬、陶瓷、有機材質或固化膠質，其無需加熱即具有固定形狀，若為樹脂混合填充劑，則其需藉由低溫加熱而具有固定形狀；且該固定件係可為柱狀、球狀、錐狀或不規則立體狀，並無特定限制。

於前述之封裝基板中，該開口係可呈曲線組合任意形、圓形或橢圓形；當然，該開口之形狀亦可呈方形、矩形或多邊形，以使該第一承載板係可具有連通開口邊緣及角落之複數個填塞孔。

於前述之封裝基板中，以嵌埋半導體晶片為基本需求，復可包括設於第一承載板之第二表面及半導體晶片之第二承載板，其係可為絕緣板、具雙面線路之核心板、多層線路板、介電層、或金屬板。又，該第二承載板係可藉由第一黏著層結合第一承載板之第二表面，而該半導體晶片之非作用面則可藉由第二黏著層結合於第二承載板或第一黏著層上。

此外，前述之封裝基板復可包括設於該第一承載板之第一表面及該半導體晶片之作用面上之增層結構，其可包括至少一介電層、設於介電層上之線路層、設於介電層中

且電性連接線路層及電極墊之導電盲孔、及設於增層結構上之電性接觸墊，又該增層結構上具有防焊層，並具有開口，以顯露電性接觸墊。其中，該介電層可填入開口與半導體晶片之間。

本發明嵌埋半導體晶片之封裝基板及其製法，主要藉由固定件之設計，當半導體晶片設於開口時，半導體晶片與開口之間具有間隙，將固定件設於間隙中以抵靠半導體晶片，可避免半導體晶片受外力影響而於開口內產生偏移，以達到確保半導體晶片之定位狀態之目的，藉此，可避免導電盲孔與電極墊連接位置不佳，以達到提昇電性良率之目的。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

請參閱第 2A 至 2D 圖，係為本發明嵌埋半導體晶片之封裝基板的製法之示意圖。

如第 2A 及 2A' 圖所示，其中第 2A' 圖係為第 2A 圖之上視示意圖；首先，提供一第一承載板 21，其具有相對之第一表面 21a 及第二表面 21b，並形成至少一貫穿第一表面 21a 及第二表面 21b 之矩形開口 210；又該開口 210 之形狀亦可呈方形或多邊形等有稜角之輪廓，並不限於上述。

再於開口 210 之四個邊緣(side)形成填塞孔 210a，

而四個填塞孔 210a 均連通開口 210，且其輪廓係為弧形。

接著，於該第一承載板 21 之第二表面 21b 上塗覆一第一黏著層 24 以結合一第二承載板 22；於本實施例中，該第一黏著層 24 並未附著於開口 210 中之第二承載板 22 上。

所述之第一承載板 21 及第二承載板 22 均為具雙面線路之核心板、多層線路板、介電層、或金屬板，且該第二承載板 22 亦可為絕緣板。然，有關於嵌埋半導體晶片所用之封裝基板之種類繁多，惟乃業界所周知，且其非本案技術特徵，故不再贅述，特此述明。

如第 2B 圖所示，提供一半導體晶片 23，其具有相對之作用面 23a 及非作用面 23b，於該作用面 23a 上具有複數電極墊 231，將該半導體晶片 23 置於開口 210 中，且該半導體晶片 23 之非作用面 23b 藉由第二黏著層 25 結合於第二承載板 22 上，以使該半導體晶片 23 之非作用面 23b 與第一承載板 21 之第二表面 21b 同側。

如第 2C 及 2C' 圖所示，其中第 2C' 圖係為第 2C 圖之上視示意圖；於填塞孔 210a 中置入固定件 26，且該固定件 26 對應填塞孔 210a 之輪廓而呈圓柱狀並凸出至開口 210，以便使該固定件 26 抵靠在該半導體晶片 23 之四個側邊；雖然該開口 210 與半導體晶片 23 之間具有間隙 d，使該半導體晶片 23 易受後續製程之外力壓合而產生偏移，但藉由該固定件 26 先抵靠在該半導體晶片 23 之側邊，而有效加強半導體晶片 23 於開口 210 中之定位能力，

得以避免習知技術中偏移現象之發生。

如第 2D 圖所示，於該第一承載板 21 之第一表面 21a 及半導體晶片 23 之作用面 23a 上形成增層結構 27。

所述之增層結構 27 係包括至少一介電層 271、形成於介電層 271 上之線路層 272、及複數形成於介電層 271 中且電性連接線路層 272 之導電盲孔 273，其中部份之導電盲孔 273a 電性連接半導體晶片 23 之電極墊 231。且增層結構 27 最外層之線路層 272a 具有複數電性接觸墊 274，並於增層結構 27 上形成有防焊層 28，而該防焊層 28 具有複數開孔 280，以對應顯露各該電性接觸墊 274。

另外，增層結構 27 最內層之部份介電層 271a 亦填入開口 210 與半導體晶片 23 之間間隙 d 中（如第 2C' 圖所示），以將該半導體晶片 23 強化固定於該開口 210 中。

又，於本實施例中，亦可於該第一承載板 21、第二承載板 22 及增層結構 27 中製作導電通孔（PTH），而關於導電通孔之製法種類繁多，且此技術乃業界所周知，又其非本案技術特徵，故未圖示且不再詳述，特此述明。

再者，請參閱第 2D' 圖，係為第一黏著層 24 的另一實施態樣；如圖所示，該第一黏著層 24 形成於第二承載板 22 上及對應於開口 210 中的第二承載板 22 上，使得該半導體晶片 23 藉由第二黏著層 25 將其非作用面 23b 結合於開口 210 中的第一黏著層 24 上。

因此，依上述製法，本發明係藉由該固定件 26 置入設於該開口 210 之四個側邊的填塞孔 210a，以抵靠設於

該開口 210 中之半導體晶片 23 側邊，使該固定件 26 與半導體晶片 23 相互緊配合以產生定位效果；相較於習知技術，本發明藉由固定件 26 之設置，得以避免後續製程之介電層 271a 熱壓合於第一承載板 21 及半導體晶片 23 上時，半導體晶片 23 產生偏移，而影響導電盲孔 273a 電性連接電極墊 231 之現象發生。

請參閱第 3 圖，係為本實施例之另一實施態樣，其差異僅在於填塞孔 210a 之位置及數量，其餘相關製程與結構均相同，因此不再重複說明相同部份之製程與結構，以下僅說明其相異處，特此敘明；於該開口 210 之各邊緣 (side) 設有兩個填塞孔 210a，且於四個角落 (coner) 亦形成填塞孔 210a，使得該固定件 26 設於填塞孔 210a 之後，因該固定件 26 的數量及半導體晶片 23 周圍抵靠力的提升，而得以增強半導體晶片 23 於開口 210 中之定位能力。

請一併參閱第 4A 至 4E 圖，所述之固定件 26 係由樹脂、金屬、陶瓷、固化膠質或有機材質所組成，其無需加熱即具有固定形狀，而其結構為柱狀、球狀、錐狀或不規則立體狀（如第 4E 圖所示），以使該固定件 26 置入填塞孔 210a 中有效產生抵靠效果。然，於其他實施例中，該固定件 26 可由樹脂混合填充劑所組成，但其需藉由低溫加熱以具有所需之固定形狀。

依上述製法，本發明得以提供一種嵌埋半導體晶片之封裝基板，係包括：第一承載板 21、半導體晶片 23 以及固定件 26。

所述之第一承載板 21 具有相對之第一表面 21a 及第二表面 21b、至少一貫穿第一表面 21a 及第二表面 21b 之開口 210、及連通開口 210 之填塞孔 210a。

所述之半導體晶片 23 設於開口 210 中，且具有相對之作用面 23a 及非作用面 23b，該作用面 23a 上具有複數電極墊 231。

所述之固定件 26 設於填塞孔 210a 中，以抵靠固定半導體晶片 23，而使半導體晶片 23 定位於開口 210 中。

另外，所述之封裝基板復包括第二承載板 22，其藉由第一黏著層 24 結合於第一承載板 21 之第二表面 21b，而半導體晶片 23 之非作用面 23b 則藉由第二黏著層 25 結合於第二承載板 22 上。

又，該封裝基板包括增層結構 27，其設於第一承載板 21 之第一表面 21a 及半導體晶片 23 之作用面 23a 上。

所述之增層結構 27 包括至少一介電層 271、設於介電層 271 上之線路層 272、及複數設於介電層 271 中且電性連接線路層之導電盲孔 273；其中部份之導電盲孔 273a 電性連接半導體晶片 23 之電極墊 231，而最外層之線路層 272a 則具有複數電性接觸墊 274，且於增層結構 27 上設有防焊層 28，該防焊層 28 中具有複數開孔 280，以對應顯露各該電性接觸墊 274。

請參閱第 5A 至 5C 圖，係為本發明嵌埋半導體晶片之封裝基板的製法之另一實施例，其中第 5C' 圖係為第 5C 圖之上視示意圖；其與上述實施例之差異僅在於本製法並

無填塞孔之設計，故其餘相關製程與結構大致相同，因此不再贅述，僅以簡述說明其相異處，特此敘明。

如第 5A 圖所示；首先，提供一第一承載板 51，其具有相對之第一表面 51a 及第二表面 51b，並形成至少一貫穿第一表面 51a 及第二表面 51b 之開口 510；接著，於第一承載板 51 之第二表面 51b 上以第一黏著層 54 結合一第二承載板 52。

如第 5B 圖所示，提供一半導體晶片 53，其具有相對之作用面 53a 及非作用面 53b，於該作用面 53a 上具有複數電極墊 531，將該半導體晶片 53 置於開口 510 中，且該半導體晶片 53 之非作用面 53b 藉由第二黏著層 55 結合於第二承載板 52 上，以使半導體晶片 53 之非作用面 53b 與第一承載板 51 之第二表面 51b 同側，且其與開口 510 之間具有間隙 d。

如第 5C 及 5C' 圖所示，其中第 5C' 圖係為上視示意圖；於間隙 d 中置入固定件 56，以便使固定件 56 抵靠半導體晶片 53；雖然開口 510 與半導體晶片 53 之間具有間隙 d，但藉由固定件 56 抵靠半導體晶片 53，而有效加強半導體晶片 53 於開口 510 中之定位能力，得以避免習知技術中偏移現象之發生。

另外，於本實施例中，該開口 510 呈曲線組合任意形，當然，亦可呈圓形或橢圓形等無稜角之輪廓，並無特定限制。又，後續製程可如第 2D 圖之增層結構 27 製程，即於該第一承載板 51 之第一表面 51a 及半導體晶片 53

之作用面 53a 上形成增層結構 27，故不再贅述。

依此實施例，本發明形成另一種嵌埋半導體晶片之封裝基板，係包括：第一承載板 51、半導體晶片 53 以及固定件 56。該第一承載板 51 具有相對之第一表面 51a 及第二表面 51b、及貫穿該第一及第二表面 51a, 51b 之開口 510；該半導體晶片 53 容置於開口 510 中且與開口 510 之間具有間隙 d，而且具有相對之作用面 53a 及非作用面 53b，且該作用面 53a 具有複數電極墊 531；該固定件 56 固設於間隙 d，以抵靠固定該半導體晶片 53。

本發明嵌埋半導體晶片之封裝基板及其製法，主要藉由將固定件置入半導體晶片與開口之間之間隙，以使固定件抵靠半導體晶片之側邊，俾將半導體晶片固定於開口中，以避免後續之介電層熱壓合時，半導體晶片於開口之內產生偏移，以達到確保半導體晶片之定位狀態之目的；藉此，使導電盲孔得以準確連接電極墊，而達到提昇電性良率之目的。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 至 1D 圖係為習知嵌埋半導體晶片之封裝基板的製法示意圖；其中 1A' 圖係為上視示意圖；

第 2A 至 2D 圖係為本發明嵌埋半導體晶片之封裝基板的製法示意圖；其中，第 2A' 圖係為第 2A 圖之上視示意圖；第 2C' 圖係為第 2C 圖之上視示意圖；第 2D' 圖係為相對於第 2D 圖之另一實施態樣；

第 3 圖係為本發明嵌埋半導體晶片之封裝基板之另一實施態樣之示意圖；

第 4A 至 4E 圖係為本發明嵌埋半導體晶片之封裝基板之固定件之立體示意圖；以及

第 5A 至 5C 圖係為本發明嵌埋半導體晶片之封裝基板的製法之另一實施例；其中，第 5C' 圖係為第 5C 圖之上視示意圖。

【主要元件符號說明】

11、21、51	第一承載板
110	矩形開口
11a、21a、51a	第一表面
11b、21b、51b	第二表面
12、22、52	第二承載板
13、23、53	半導體晶片
131、231、531	電極墊
13a、23a、53a	作用面
13b、23b、53b	非作用面
14	黏著層
15、271、271a	介電層
16、272、272a	線路層

161、273、273a	導電盲孔
210、510	開口
210a	填塞孔
24、54	第一黏著層
25、55	第二黏著層
26、56	固定件
27	增層結構
274	電性接觸墊
28	防焊層
280	開孔
d	間隙
e	偏移

十、申請專利範圍：

101年2月8日修正本

1. 一種嵌埋半導體晶片之封裝基板，係包括：

第一承載板，係具有相對之第一表面及第二表面、貫穿該第一及第二表面之開口、及連通該開口之至少一填塞孔；

半導體晶片，係容置於該開口中，其具有相對之作用面及非作用面，且該作用面具有電極墊；

一第二承載板，係結合於該第一承載板之第二表面及該半導體晶片之非作用面，且藉由一第一黏著層結合至該第一承載板之第二表面上；以及

固定件，係固設於該填塞孔及部份該開口中，以抵靠固定該半導體晶片。

2. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該第一承載板係為具雙面線路之核心板、多層線路板、介電層、或金屬板。
3. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該開口係呈方形、矩形、或多邊形。
4. 如申請專利範圍第 3 項之嵌埋半導體晶片之封裝基板，其中，該第一承載板係具有連通該開口邊緣(side)及角落(coner)之複數個填塞孔。
5. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該開口係呈曲線組合任意形、圓形或橢圓形。
6. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基

- 板，其中，該固定件係為樹脂、金屬、陶瓷、有機材質或固化膠質，無需加熱即具有固定形狀。
7. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該固定件係為樹脂混合填充劑，並藉由低溫加熱而具有固定形狀。
 8. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該固定件係為柱狀、球狀、錐狀或不規則立體狀。
 9. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該半導體晶片之非作用面藉由一第二黏著層結合於該第二承載板上。
 10. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，其中，該第二承載板係為絕緣板、具雙面線路之核心板、多層線路板、介電層、或金屬板。
 11. 如申請專利範圍第 1 項之嵌埋半導體晶片之封裝基板，復包括增層結構，係設於該第一承載板之第一表面及該半導體晶片之作用面上，且包括至少一介電層、設於該介電層上之線路層、設於該介電層中且電性連接該線路層及該電極墊之導電盲孔、及設於該增層結構上之電性接觸墊，且該增層結構上設有防焊層，而該防焊層具有開孔以顯露該電性接觸墊。
 12. 如申請專利範圍第 11 項之嵌埋半導體晶片之封裝基板，其中，該介電層填入該開口與半導體晶片之間。
 13. 一種嵌埋半導體晶片之封裝基板，係包括：

第一承載板，係具有相對之第一表面及第二表面、及貫穿該第一表面及第二表面之開口；

半導體晶片，係容置於該開口中且與該開口之間具有間隙，其具有相對之作用面及非作用面，且該作用面具有複數電極墊；

一第二承載板，係結合於該第一承載板之第二表面及該半導體晶片之非作用面，且藉由一第一黏著層結合至該第一承載板之第二表面上；以及

固定件，係固設於該間隙，以抵靠固定該半導體晶片。

14. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該第一承載板係為具雙面線路之核心板、多層線路板、介電層、或金屬板。
15. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該開口係呈方形、矩形、或多邊形。
16. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該開口係呈曲線組合任意形、圓形或橢圓形。
17. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該固定件係為樹脂、金屬、陶瓷、有機材質或固化膠質，無需加熱即具有固定形狀。
18. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該固定件係為樹脂混合填充劑，並藉由低溫加熱而具有固定形狀。

19. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該固定件係為柱狀、球狀、錐狀或不規則立體狀。
20. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該半導體晶片之非作用面藉由一第二黏著層結合於該第二承載板上。
21. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，其中，該第二承載板係為絕緣板、具雙面線路之核心板、多層線路板、介電層、或金屬板。
22. 如申請專利範圍第 13 項之嵌埋半導體晶片之封裝基板，復包括增層結構，係設於該第一承載板之第一表面及該半導體晶片之作用面上，且包括至少一介電層、設於該介電層上之線路層、設於該介電層中且電性連接該線路層及該電極墊之導電盲孔、及設於該增層結構上之電性接觸墊，且該增層結構上設有防焊層，而該防焊層具有開孔以顯露該電性接觸墊。
23. 如申請專利範圍第 22 項之嵌埋半導體晶片之封裝基板，其中，該介電層填入該間隙中。
24. 一種嵌埋半導體晶片之封裝基板之製法，係包括：
提供一第一承載板，其具有相對之第一表面及第二表面，並具有至少一貫穿該第一及第二表面之開口；
於該第一承載板形成連通該開口之至少一填塞孔；

於該第一承載板之第二表面結合一第二承載板；
提供一半導體晶片，並置於該第二承載板上且對應位於該第一承載板之開口中，且該半導體晶片具有相對之作用面及非作用面，該作用面上具有電極墊；
以及

填塞固定件於該填塞孔中及部份該開口中，以抵靠固定該半導體晶片。

25. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該第一承載板係為具雙面線路之核心板、多層線路板、介電層、或金屬板。
26. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該開口係呈方形、矩形、或多邊形。
27. 如申請專利範圍第 26 項之嵌埋半導體晶片之封裝基板之製法，其中，該第一承載板係具有連通該開口邊緣(side)及角落(coner)之複數個填塞孔。
28. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該開口係呈曲線組合任意形、圓形或橢圓形。
29. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該第二承載板係為絕緣板、具雙面線路之核心板、多層線路板、介電層、或金屬板。
30. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該第一承載板之第二表面設有一第一黏著層以結合該第二承載板，而該半導體晶片之非

- 作用面藉由一第二黏著層結合於該第二承載板上。
31. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該第二承載板係藉由一第一黏著層結合該第一承載板之第二表面，而該半導體晶片之非作用面藉由一第二黏著層結合於該第一黏著層上。
 32. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為樹脂、金屬、陶瓷、有機材質或固化膠質，無需加熱即具有固定形狀，以固定該半導體晶片。
 33. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為樹脂混合填充劑，並藉由低溫加熱而具有固定形狀，以固定該半導體晶片。
 34. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為柱狀、球狀、錐狀或不規則立體狀。
 35. 如申請專利範圍第 24 項之嵌埋半導體晶片之封裝基板之製法，復包括於該第一承載板之第一表面及該半導體晶片之作用面上形成增層結構，係包括至少一介電層、設於該介電層上之線路層、設於該介電層中且電性連接該線路層及該電極墊之導電盲孔、及設於該增層結構上之電性接觸墊，且該增層結構上設有防焊層，而該防焊層具有開孔以顯露該電性接觸墊。
 36. 如申請專利範圍第 35 項之嵌埋半導體晶片之封裝基

板之製法，其中，該介電層填入該開口與半導體晶片之間間隙中，以強化固定該半導體晶片於該開口中。

37. 一種嵌埋半導體晶片之封裝基板之製法，係包括：

提供一第一承載板，其具有相對之第一表面及第二表面，並具有至少一貫穿該第一及第二表面之開口；

於該第一承載板之第二表面結合一第二承載板；

提供一半導體晶片，並置於該第二承載板上且對應位於該第一承載板之開口中，且該半導體晶片與該開口之間具有間隙，而該半導體晶片具有相對之作用面及非作用面，該作用面上具有電極墊；以及

填塞固定件於該間隙中，以抵靠固定該半導體晶片。

38. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該第一承載板係為具雙面線路之核心板、多層線路板、介電層、或金屬板。

39. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該開口係呈方形、矩形、或多邊形。

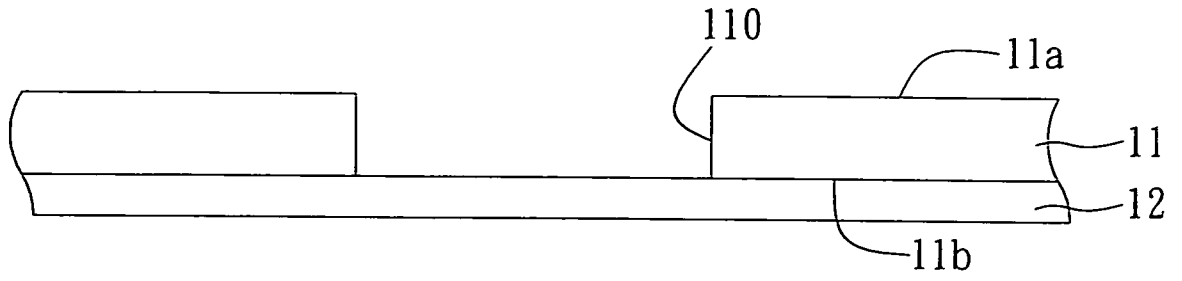
40. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該開口係呈曲線組合任意形、圓形或橢圓形。

41. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該第二承載板係為絕緣板、具雙面

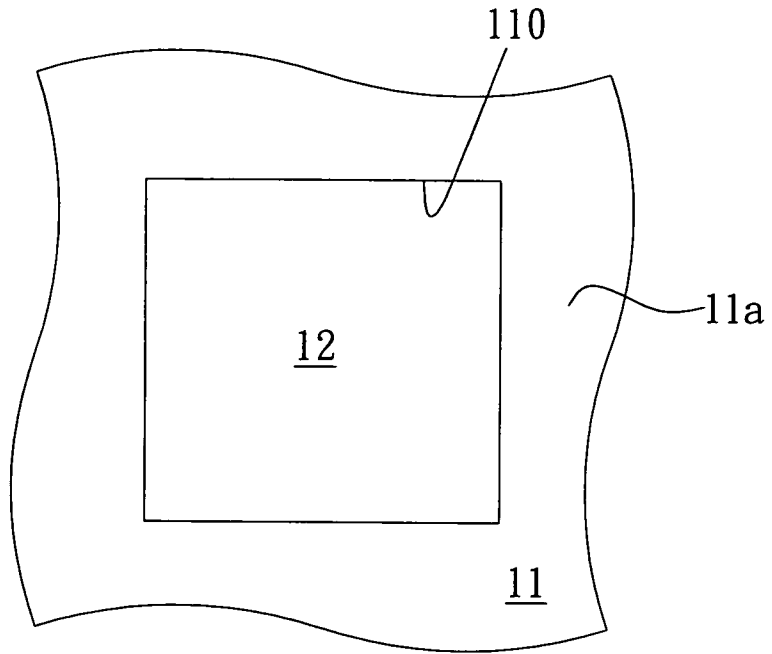
- 線路之核心板、多層線路板、介電層、或金屬板。
42. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該第一承載板之第二表面設有一第一黏著層以結合該第二承載板，而該半導體晶片之非作用面藉由一第二黏著層結合於該第二承載板上。
43. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該第二承載板係藉由一第一黏著層結合該第一承載板之第二表面，而該半導體晶片之非作用面藉由一第二黏著層結合於該第一黏著層上。
44. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為樹脂、金屬、陶瓷、有機材質或固化膠質，無需加熱即具有固定形狀，以固定該半導體晶片。
45. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為樹脂混合填充劑，並藉由低溫加熱而具有固定形狀，以固定該半導體晶片。
46. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，其中，該固定件係為柱狀、球狀、錐狀或不規則立體狀。
47. 如申請專利範圍第 37 項之嵌埋半導體晶片之封裝基板之製法，復包括於該第一承載板之第一表面及該半導體晶片之作用面上形成增層結構，係包括至少一介電層、設於該介電層上之線路層、設於該介電層中且

電性連接該線路層及該電極墊之導電盲孔、及設於該增層結構上之電性接觸墊，且該增層結構上設有防焊層，而該防焊層具有開孔以顯露該電性接觸墊。

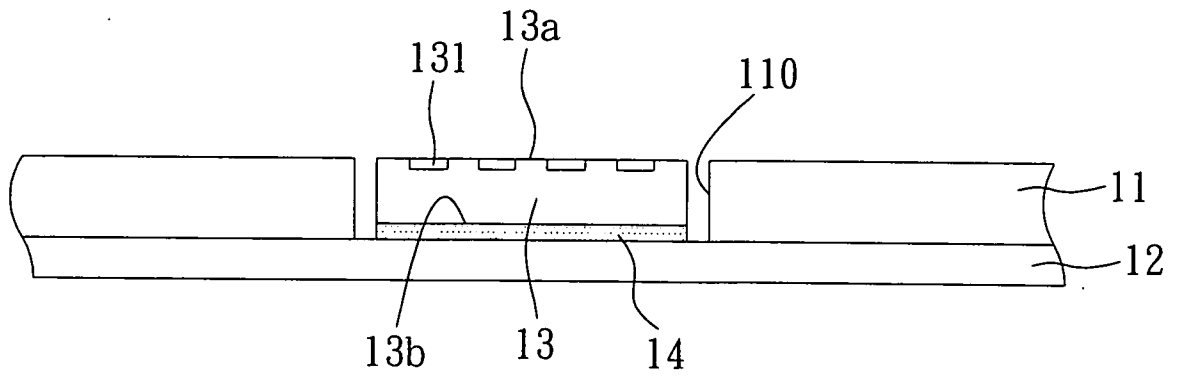
48. 如申請專利範圍第 47 項之嵌埋半導體晶片之封裝基板之製法，其中，該介電層填入該間隙中，以強化固定該半導體晶片於該開口中。



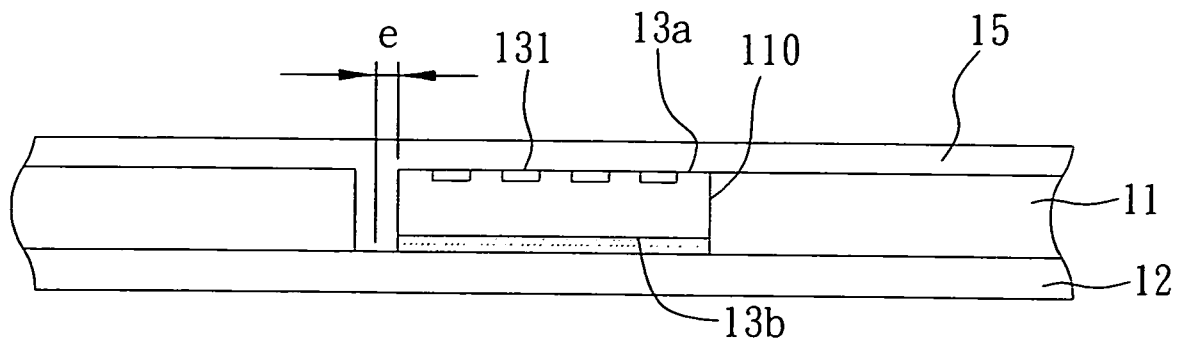
第 1A 圖



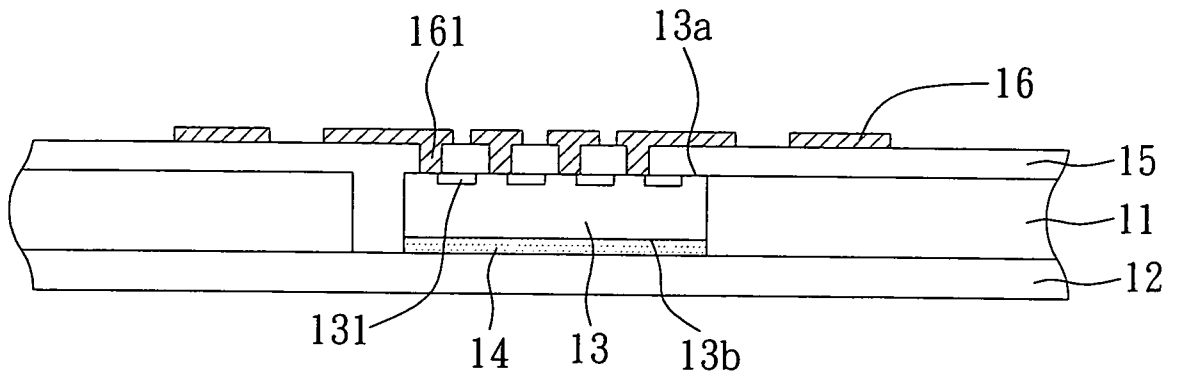
第 1A' 圖



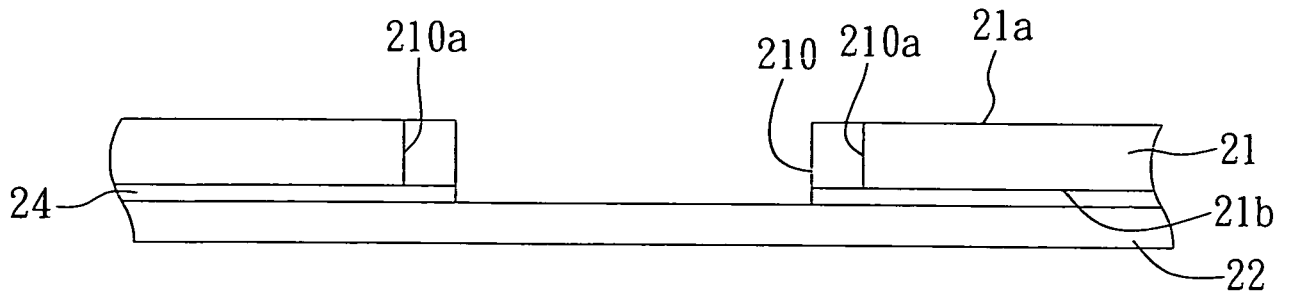
第 1B 圖



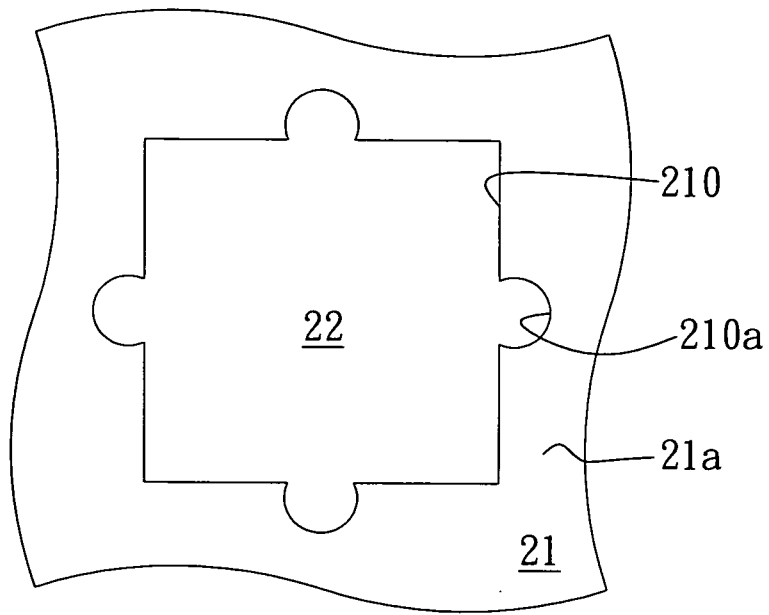
第 1C 圖



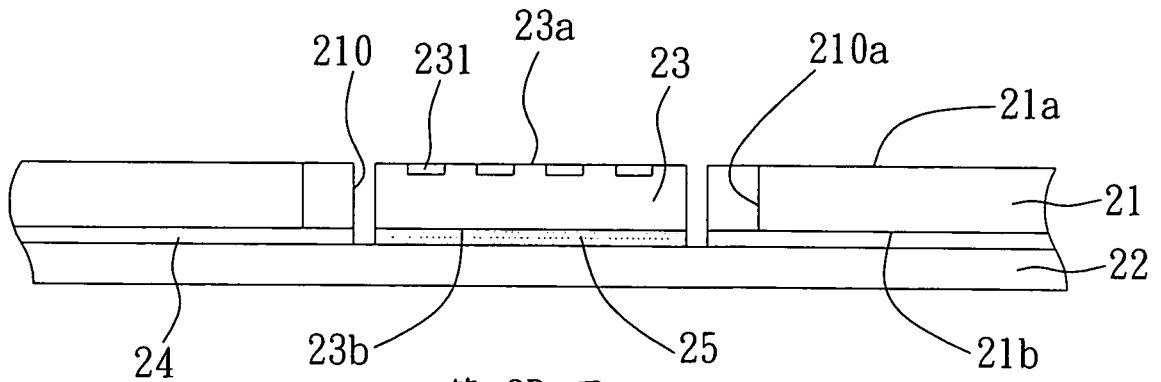
第 1D 圖



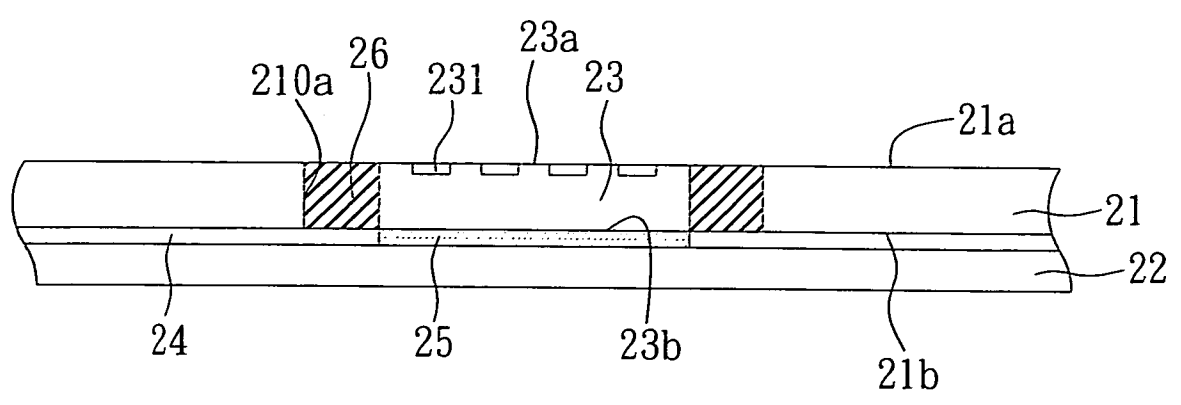
第 2A 圖



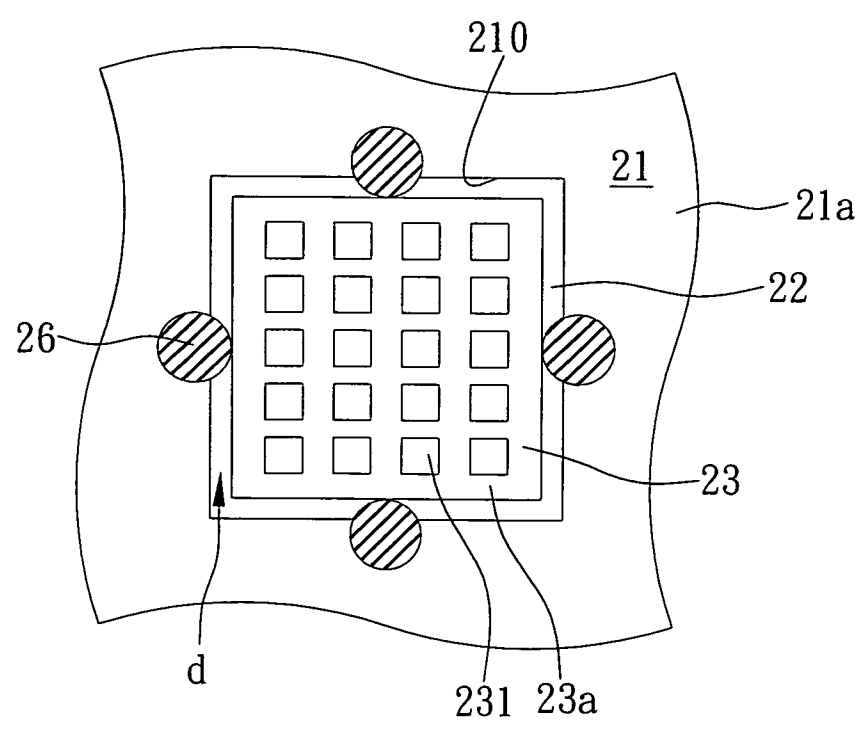
第 2A' 圖



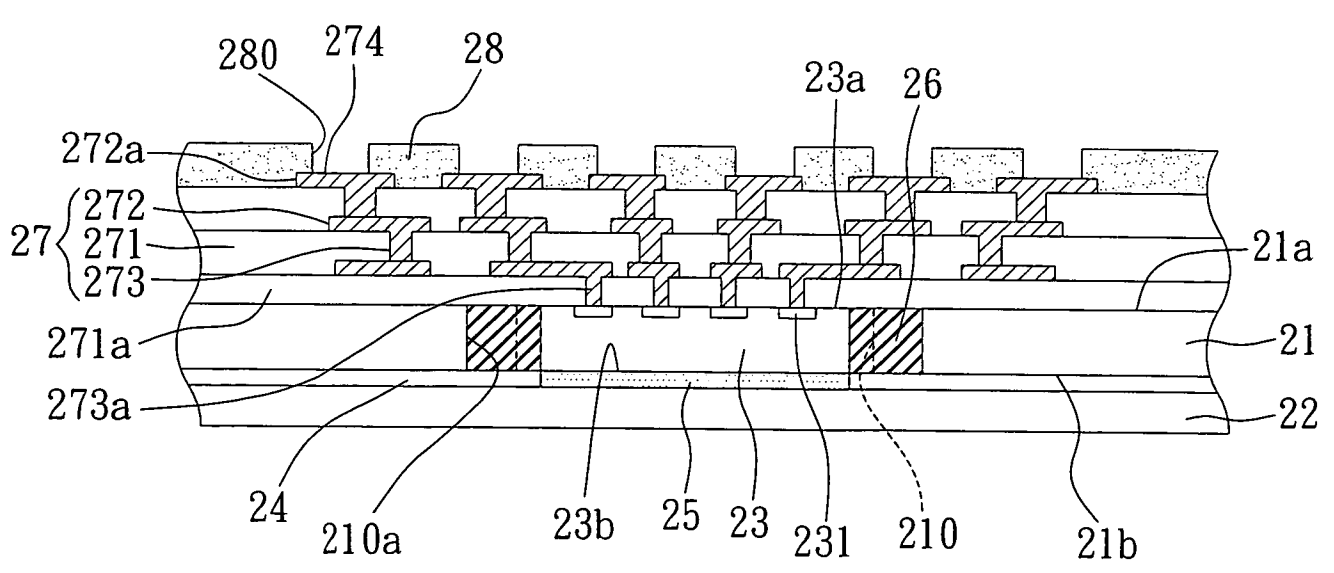
第 2B 圖



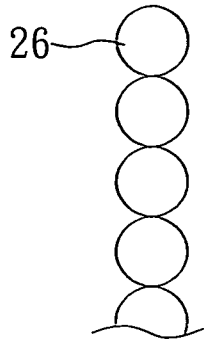
第 2C 圖



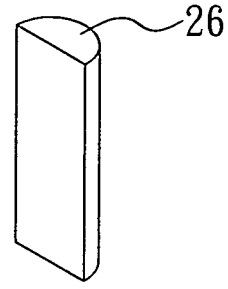
第 2C' 圖



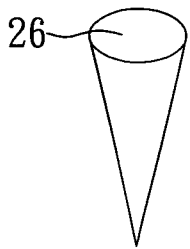
第 2D 圖



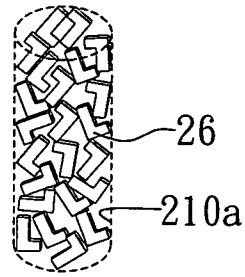
第 4A 圖



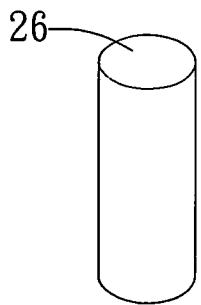
第 4D 圖



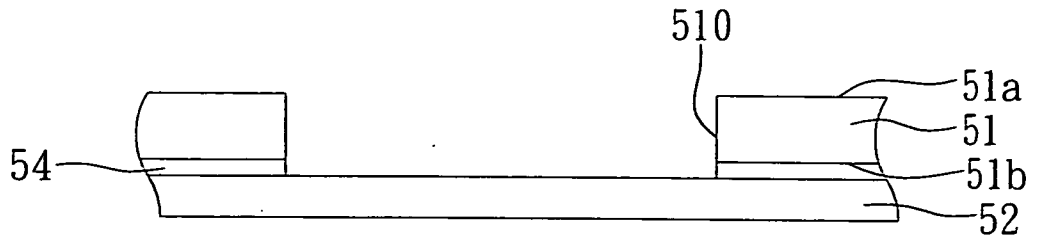
第 4B 圖



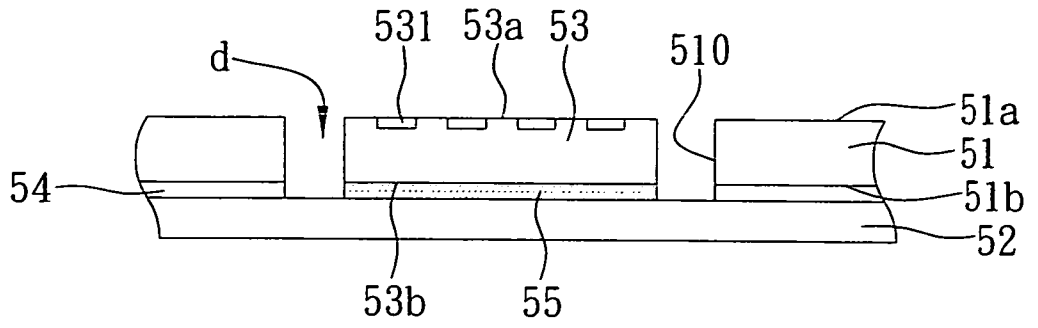
第 4E 圖



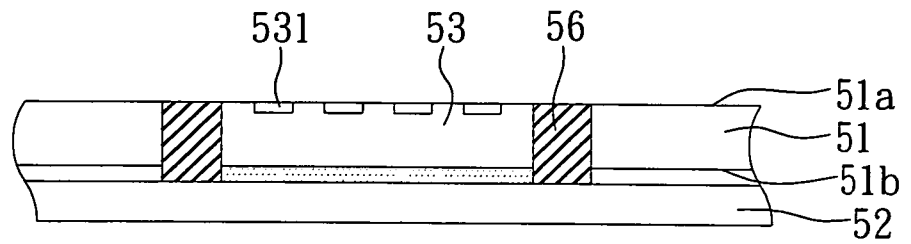
第 4C 圖



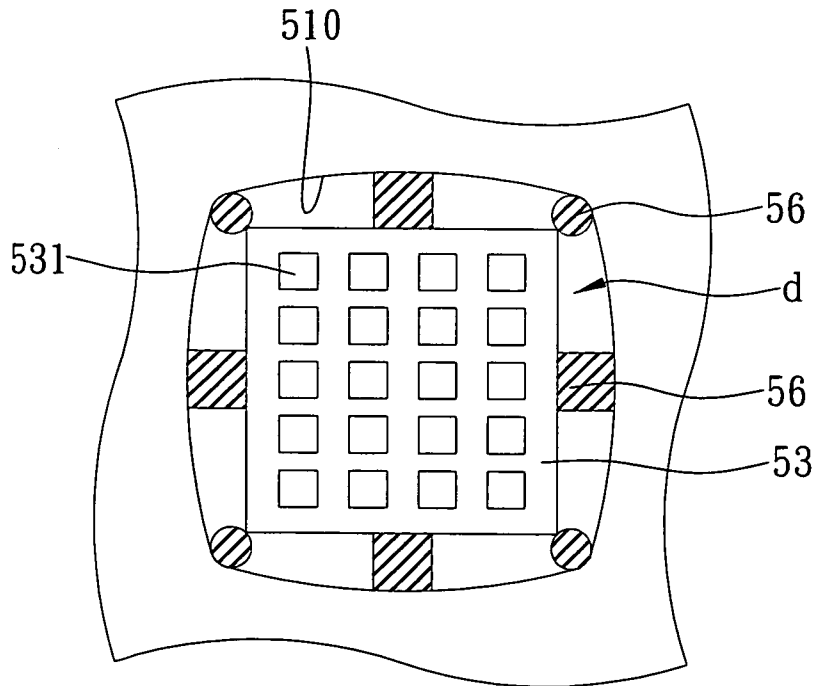
第 5A 圖



第 5B 圖



第 5C 圖



第 5C' 圖