



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월25일  
(11) 등록번호 10-2036708  
(24) 등록일자 2019년10월21일

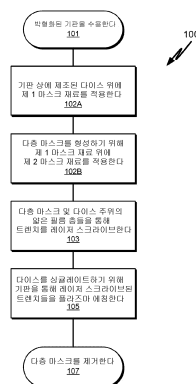
- (51) 국제특허분류(Int. Cl.)  
H01L 21/78 (2006.01) H01L 21/027 (2006.01)  
H01L 21/301 (2006.01) H01L 21/3065 (2006.01)
  - (21) 출원번호 10-2014-7013414(분할)
  - (22) 출원일자(국제) 2012년05월23일  
심사청구일자 2017년05월10일
  - (85) 번역문제출일자 2014년05월19일
  - (65) 공개번호 10-2014-0066799
  - (43) 공개일자 2014년06월02일
  - (62) 원출원 특허 10-2014-7001121  
원출원일자(국제) 2012년05월23일  
심사청구일자 2014년05월19일
  - (86) 국제출원번호 PCT/US2012/039205
  - (87) 국제공개번호 WO 2012/173758  
국제공개일자 2012년12월20일
  - (30) 우선권주장  
13/161,427 2011년06월15일 미국(US)
  - (56) 선행기술조사문헌  
JP2010165963 A\*  
(뒷면에 계속)
- 전체 청구항 수 : 총 24 항
- (73) 특허권자  
어플라이드 머티어리얼스, 인코포레이티드  
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
- (72) 발명자  
홀든, 제임스, 엠.  
미국 95129 캘리포니아 새너제이 골든 드라이브 5088  
레이, 웨이-셴  
미국 95130 캘리포니아 새너제이 듀발 드라이브 1786  
(뒷면에 계속)
- (74) 대리인  
특허법인 남앤남
- 심사관 : 김중희

(54) 발명의 명칭 레이저 및 플라즈마 에칭에 의한 기판 다이싱을 위한 다층 마스크

(57) 요약

복수의 IC들을 갖는 기판들을 다이싱하는 방법들이 개시된다. 방법은 반도체 기판 위의 용매에서 용해가능한 제 1 마스크 재료 층 및 제 1 마스크 재료 층 위의 용매에서 용해가능하지 않은 제 2 마스크 재료 층을 포함하는 다층화된 마스크를 형성하는 단계를 포함한다. 다층화된 마스크는 갭들을 갖는 패터닝된 마스크를 제공하기 위해 레이저 스크라이빙 프로세스로 패터닝된다. 패터닝은 IC들 사이의 기판의 구역들을 노출시킨다. 그 후에, 제 2 마스크 재료 층이 플라즈마 에칭의 적어도 일부 동안 제 1 마스크 재료 층을 보호하면서, IC를 싱글레이팅하기 위해, 패터닝된 마스크에서의 갭들을 통해 기판이 플라즈마 에칭된다. 다층화된 마스크를 제거하기 위해, 싱글레이션 후에 용해가능한 재료 층이 용해된다.

대표도



(72) 발명자

**이튼, 브래드**

미국 94025 캘리포니아 멘로 파크 8 애비뉴 563

**이간, 토드**

미국 94536 캘리포니아 프레몬트 힐뷰 드라이브  
145

**성호, 사라브지트**

미국 95051 캘리포니아 산타 클라라 키엘리 블러바  
드 1000 # 74

(56) 선행기술조사문헌

JP62042426 A\*

KR1020010006932 A\*

JP2002016123 A\*

KR1020070011070 A\*

JP평성06260436 A

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

복수의 IC들을 포함하는 기판을 다이싱(dicing)하는 방법으로서,

웨이퍼를 다이싱하기 위한 시스템으로 상기 기판을 도입하는 단계 - 상기 시스템은 로봇식 이송 챔버에 커플링된 플라즈마 에칭 모듈, 상기 로봇식 이송 챔버에 결합된 마스크 형성 모듈 또는 용매 웨트(wet) 세정 모듈 중 적어도 하나, 및 상기 로봇식 이송 챔버와 레이저 스크라이브 모듈을 커플링시키는 팩토리 인터페이스 모듈을 포함하고, 상기 레이저 스크라이브 모듈은 상기 로봇식 이송 챔버에 직접적으로 결합되지 않음 -;

상기 기판 위에 상기 IC들을 덮고 보호하는 다층 마스크를 형성하는 단계 - 상기 다층 마스크는, 상기 IC들의 상단 표면 상에 배치된 제 1 마스크 재료 층, 및 상기 제 1 마스크 재료 층 위에 배치된 제 2 마스크 재료 층을 포함함 -;

갭들을 갖는 패터닝된 마스크를 제공하여, 상기 IC들 사이의 상기 기판의 구역들을 노출시키기 위해, 상기 레이저 스크라이브 모듈 내에서 레이저 스크라이빙(laser scribing) 프로세스로 상기 다층 마스크를 패터닝하는 단계;

상기 팩토리 인터페이스 모듈과 상기 로봇식 이송 챔버를 통해 상기 레이저 스크라이브 모듈로부터 상기 플라즈마 에칭 모듈로 상기 기판을 이송하는 단계;

상기 IC들을 싱글레이팅(singulate)하기 위해, 상기 플라즈마 에칭 모듈 내의 상기 패터닝된 마스크에서의 상기 갭들을 통해 상기 기판을 플라즈마 에칭하는 단계 - 상기 제 2 마스크 재료 층은 에칭 프로세스의 적어도 일부 동안 플라즈마에 대한 노출로부터 상기 제 1 마스크 재료 층을 보호함 -;

상기 제 2 마스크 재료 층의 적어도 일부를 제거하는 단계; 및

상기 제 2 마스크 재료 층의 일부를 제거한 후에, 상기 제 1 마스크 재료 층을 제거하는 단계를 포함하는,

기판을 다이싱하는 방법.

#### 청구항 2

제 1 항에 있어서,

상기 제 2 마스크 재료 층의 적어도 일부를 제거하는 단계는, 상기 제 1 마스크 재료 층을 제거하기 전에, 상기 제 1 마스크 재료 층의 적어도 일부를 노출시키는 단계를 포함하는,

기판을 다이싱하는 방법.

#### 청구항 3

제 1 항에 있어서,

상기 제 2 마스크 재료 층의 적어도 일부를 제거하는 단계는, 상기 플라즈마 에칭 모듈에서 상기 제 2 마스크 재료 층을 플라즈마 에칭하는 단계를 포함하는,

기판을 다이싱하는 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제 2 마스크 재료 층을 플라즈마 에칭하는 단계는,  $C_4F_8$ 와  $C_4F_6$  중 적어도 하나 및  $SF_6$ 를 사용하는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 5**

제 1 항에 있어서,

상기 제 1 마스크 재료 층을 제거하는 단계는, 상기 제 1 마스크 재료 층을 용해시키는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 6**

제 5 항에 있어서,

상기 제 1 마스크 재료 층을 용해시키는 단계는, 수용액에서 용해시키는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 7**

제 1 항에 있어서,

상기 제 2 마스크 재료 층의 적어도 일부를 제거하는 단계는, 상기 제 2 마스크 재료 층을 플라즈마 에칭하는 단계를 포함하며, 상기 제 1 마스크 재료 층을 제거하는 단계는, 상기 제 1 마스크 재료 층을 용해시키는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 8**

제 1 항에 있어서,

상기 제 1 마스크 재료 층은 수용성 폴리머를 포함하고, 반도체 기판을 에칭하는 것은, 딥 트렌치 에칭 프로세스(deep trench etch process)로 트렌치들을 에칭하는 것을 포함하며, 상기 딥 트렌치 에칭 프로세스로 상기 트렌치들을 에칭하는 동안에, 상기 제 1 마스크 재료 층은 100 °C 아래로 유지되는,

기판을 다이싱하는 방법.

**청구항 9**

제 8 항에 있어서,

상기 다층 마스크를 형성하는 단계는, IC의 상단 표면과 접촉하는 상기 제 1 마스크 재료 층으로서, 폴리(비닐 알코올), 폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 또는 폴리(에틸렌 산화물) 중 적어도 하나를 적용하는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 10**

제 1 항에 있어서,

상기 다층 마스크를 형성하는 단계는, 상기 제 1 마스크 재료 층 위에 비-수용성(non-water soluble) 폴리머를 적용하는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 11**

제 10 항에 있어서,

상기 비-수용성 폴리머를 적용하는 단계는, 포토레지스트와 폴리이미드 중 적어도 하나를 적용하는 단계를 더 포함하는,

기판을 다이싱하는 방법.

**청구항 12**

제 1 항에 있어서,

상기 다층 마스크를 형성하는 단계는, IC의 상단 범프(bump) 표면 위에서 적어도 10  $\mu\text{m}$  그리고 상기 IC들 사이의 스트리트(street) 위에서 20  $\mu\text{m}$  이하의 두께로 상기 다층 마스크를 형성하는 단계를 더 포함하는,

기판을 다이싱하는 방법.

**청구항 13**

제 1 항에 있어서,

상기 마스크를 패터닝하는 단계는, 400 펨토초와 동등한 또는 그 미만의 레이저 펄스 폭, 및 540 나노미터와 동등한 또는 그 미만의 파장을 갖는 펨토초 레이저로 상기 레이저 스크라이브 모듈 내에서 패턴을 직접적으로 라이팅(writing)하는 단계를 더 포함하는,

기판을 다이싱하는 방법.

**청구항 14**

제 1 항에 있어서,

상기 다층 마스크를 형성하는 단계는,

IC의 상단 표면 상에 상기 제 1 마스크 재료 층의 용액을 스핀 코팅하는 단계; 및

상기 제 1 마스크 재료 층 위에, 상기 제 2 마스크 재료 층을 기상 증착(vapor depositing)하거나 또는 상기 제 2 마스크 재료 층의 용액을 스핀 코팅하는 단계

를 포함하는,

기판을 다이싱하는 방법.

**청구항 15**

제 14 항에 있어서,

상기 기판을 배면 그라인드(backside grind) 프로세스로 박형화(thinning)하는 단계를 더 포함하며, 상기 제 1 마스크 재료 층의 스핀 코팅은 배면 그라인드 후에 수행되는,

기판을 다이싱하는 방법.

**청구항 16**

제 14 항에 있어서,

상기 제 1 마스크 재료 층 위에, 상기 제 2 마스크 재료 층을 기상 증착하는 단계는, 상기 제 1 마스크 재료 층 위에 비정질 탄소 층을 화학 기상 증착(chemical vapor depositing)하는 단계를 포함하는,

기판을 다이싱하는 방법.

**청구항 17**

복수의 IC들을 포함하는 실리콘 기판을 다이싱하는 방법으로서,

웨이퍼를 다이싱하기 위한 시스템으로 상기 실리콘 기판을 도입하는 단계 - 상기 시스템은 로봇식 이송 챔버에 커플링된 플라즈마 에칭 모듈, 상기 로봇식 이송 챔버에 결합된 마스크 형성 모듈 또는 용매 웨트 세정 모듈 중 적어도 하나, 상기 로봇식 이송 챔버와 레이저 스크라이브 모듈을 커플링시키는 팩토리 인터페이스 모듈을 포함하고, 상기 레이저 스크라이브 모듈은 상기 로봇식 이송 챔버에 직접적으로 결합되지 않음 -;

실리콘 기판 위에 수용성 마스크 재료 층을 형성하는 단계 - 상기 수용성 마스크 재료 층은, 상기 실리콘 기판 상에 배치된 IC들을 덮고, 상기 IC들은 실리콘 이산화물의 층, 로우-k 재료의 층, 및 구리의 층을 포함하는 얇은 필름 스택(stack)을 포함함 -;

상기 수용성 마스크 재료 층 위에 비-수용성 마스크 재료 층을 형성하는 단계;

상기 IC들 사이의 상기 실리콘 기판의 구역들을 노출시키기 위해, 상기 레이저 스크라이브 모듈 내에서 펄스 레이저로, 포토레지스트 층, 상기 로우-k 재료의 층, 및 상기 구리의 층을 패터닝하는 단계;

상기 팩토리 인터페이스 모듈과 상기 로봇식 이송 챔버를 통해 상기 레이저 스크라이브 모듈로부터 상기 플라즈마 에칭 모듈로 상기 기판을 이송하는 단계; 및

상기 IC들을 싱글레이팅하기 위해, 상기 플라즈마 에칭 모듈 내에서 갭들을 통해 상기 실리콘 기판을 에칭하는 단계 - 상기 비-수용성 마스크 재료 층은 상기 실리콘 기판의 에칭의 적어도 일부에 걸쳐 플라즈마에 대한 노출로부터 상기 수용성 마스크 재료 층을 보호함 -;

상기 비-수용성 마스크 재료 층의 적어도 일부를 제거하는 단계; 및

상기 비-수용성 마스크 재료 층의 일부를 제거한 후에, 상기 수용성 마스크 재료 층을 제거하는 단계

를 포함하는,

실리콘 기판을 다이싱하는 방법.

**청구항 18**

제 17 항에 있어서,

상기 비-수용성 마스크 재료 층의 적어도 일부를 제거하는 단계는, 상기 수용성 마스크 재료 층을 제거하기 전에, 상기 수용성 마스크 재료 층의 적어도 일부를 노출시키는 단계를 포함하는,

실리콘 기판을 다이싱하는 방법.

**청구항 19**

제 17 항에 있어서,

상기 비-수용성 마스크 재료 층의 적어도 일부를 제거하는 단계는, 상기 비-수용성 마스크 재료 층을 플라즈마 에칭하는 단계를 포함하며, 상기 수용성 마스크 재료 층을 제거하는 단계는, 상기 수용성 마스크 재료 층을 용해시키는 단계를 포함하는,

실리콘 기판을 다이싱하는 방법.

**청구항 20**

제 17 항에 있어서,

상기 펄스 레이저로, 상기 실리콘 이산화물의 층, 상기 로우-k 재료의 층, 및 상기 구리의 층을 패터닝하는 것은, 상기 구리의 층 및 상기 로우-k 재료의 층을 어블레이팅(ablating)하기 전에, 상기 실리콘 이산화물의 층을 어블레이팅하는 것을 포함하며, 상기 실리콘 기판을 에칭하는 단계는, 상기 수용성 마스크 재료 층을 100 °C 아래의 온도로 유지하면서, C<sub>4</sub>F<sub>8</sub>와 C<sub>4</sub>F<sub>6</sub> 중 적어도 하나 및 SF<sub>6</sub>의 플라즈마에 상기 기판을 노출시키는 단계를 포함하는,

실리콘 기판을 다이싱하는 방법.

**청구항 21**

복수의 IC들을 포함하는 기판을 다이싱하기 위한 시스템으로서,

다층 마스크를 패터닝하고 상기 IC들 사이의 기판의 구역들을 노출시키기 위한 레이저 스크라이브 모듈;

팩토리 인터페이스 모듈에 커플링된 로봇식 이송 챔버;

상기 레이저 스크라이브 모듈과 상기 로봇식 이송 챔버를 커플링하는 팩토리 인터페이스 모듈 - 상기 레이저 스크라이브 모듈은 상기 로봇식 이송 챔버에 직접적으로 결합되지 않음 -;

상기 로봇식 이송 챔버에 물리적으로 커플링되는 플라즈마 에칭 모듈 - 상기 플라즈마 에칭 모듈은 상기 기판

의 플라즈마 에칭에 의해 상기 IC들을 싱글레이팅함 -; 및  
 상기 로봇식 이송 챔버에 커플링된 마스크 형성 모듈 또는 용매 웨트 세정 모듈 중 적어도 하나  
 를 포함하며,  
 상기 마스크 형성 모듈은 스핀 코터 또는 화학 기상 증착(CVD) 챔버를 포함하는,  
 기판을 다이싱하기 위한 시스템.

**청구항 22**

제 21 항에 있어서,  
 상기 레이저 스크라이브 모듈은 400 펨토초와 동등한 또는 그 미만의 펄스 폭, 및 540 나노미터와 동등한 또는  
 그 미만의 파장을 갖는 펨토초 레이저를 포함하는,  
 기판을 다이싱하기 위한 시스템.

**청구항 23**

제 21 항에 있어서,  
 상기 마스크 형성 모듈을 포함하며, 상기 화학 기상 증착(CVD) 챔버는 CVD 탄소 층을 증착하기 위한 것인,  
 기판을 다이싱하기 위한 시스템.

**청구항 24**

제 21 항에 있어서,  
 플라즈마 에칭 챔버는,  $C_4F_8$ 와  $C_4F_6$  중 적어도 하나 및  $SF_6$ 에 커플링되는,  
 기판을 다이싱하기 위한 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 반도체 프로세싱의 분야에 관한 것이고, 특히, 각각의 기판이 그 위에 집적 회로(IC)를  
 갖는 기판들을 다이싱(dicing)하기 위한 마스크킹(masking) 방법들에 관한 것이다.

**배경 기술**

[0002] 반도체 기판 프로세싱에서, 전형적으로 실리콘 또는 다른 반도체 재료로 구성된 기판(또한, 웨이퍼라고 지칭됨)  
 상에 IC들이 형성된다. 일반적으로, IC들을 형성하기 위해, 반도체성, 전도성, 또는 절연성인 다양한 재료들의  
 얇은 필름 층들이 활용된다. 동일한 기판 상에, 병행하여, 메모리 디바이스들, 로직 디바이스들, 광발전  
 (photovoltaic) 디바이스들 등과 같은 복수의 IC들을 동시에 형성하기 위해, 다양한 잘 알려진 프로세스들을 사  
 용하여 이들 재료들이 도핑, 증착, 및 에칭된다.

[0003] 디바이스 형성 후에, 필름 프레임에 걸쳐 신장된(stretched) 접착성(adhesive) 필름과 같은 지지 부재 상에 기  
 판이 탑재되고, 패키징 등을 위하여 각각의 개별적인 디바이스 또는 "다이(die)"를 서로로부터 분리시키기 위해  
 기판이 "다이싱된다(diced)". 현재, 2개의 가장 대중적인 다이싱 기법들은 스크라이빙(scribing) 및 소잉  
 (sawing)이다. 스크라이빙에 있어서, 다이아몬드 팁형(tipped) 스크라이브가, 미리 형성된 스크라이브 라인들  
 을 따라 기판 표면에 걸쳐 이동된다. 예컨대 롤러로 압력을 가할 시에, 기판은 스크라이브 라인들을 따라 분리  
 된다. 소잉에 있어서, 다이아몬드 팁형 소우(saw)가 스트리트(street)들을 따라 기판을 커팅한다. < 150  $\mu$ m  
 두께의 벌크 실리콘 싱글레이션(singulation)과 같은 얇은 기판 싱글레이션에 있어서, 통상적인(conventional)  
 접근법들은 빈약한 프로세스 품질만을 산출하여 왔다. 얇은 기판들로부터 다이를 싱글레이팅(singulating)하는  
 경우에 직면될 수 있는 난제들 중 몇몇은, 상이한 층들 사이의 박리(delamination) 또는 미세균열(microcrack)  
 형성, 무기 유전체 층들의 칩핑(chipping), 엄격한 커프(kerf) 폭 제어의 유지, 또는 정밀한 어블레이션  
 (ablation) 깊이 제어를 포함할 수 있다.

[0004] 또한 플라즈마 다이싱이 고려되어 왔지만, 레지스트를 패터닝하기 위한 표준 리소그래피 동작이 구현 비용을 과중하게 만들 수 있다. 플라즈마 다이싱의 구현을 방해하는 것이 가능한 다른 제한은, 스트리트들을 따르는 다이싱에서 일반적으로 조우되는 금속들(예컨대, 구리)의 플라즈마 프로세싱이, 제품 문제들 또는 스루풋(throughput) 제한들을 생성할 수 있다는 것이다. 마지막으로, 플라즈마 다이싱 프로세스의 마스킹은, 특히, 기판의 상단 표면 토포그래피(topography) 및 두께, 플라즈마 에칭의 선택성(selectivity), 및 기판의 상단 표면 상에 존재하는 재료들로부터 선택적으로 마스크를 제거하는 것에 따라 문제가 있을 수 있다.

**발명의 내용**

[0005] 본 발명의 실시예들은 레이저 스크라이빙과 플라즈마 에칭 양자 모두를 포함하는 하이브리드 다이싱 프로세스를 위해 반도체 기판들을 마스킹하는 방법들을 포함한다.

[0006] 실시예에서, 복수의 IC들을 갖는 반도체 기판을 다이싱하는 방법은 반도체 기판 위에 마스크를 형성하는 단계를 포함하며, 그 마스크는 IC들을 덮고 보호하는 복수의 별개의 재료 층들을 포함한다. IC들 사이의 기판의 구역들을 노출시키는 갭(gap)들을 갖는 패터닝된 마스크를 제공하기 위해, 레이저 스크라이빙 프로세스로 마스크가 패터닝된다. 그 후에, IC들을 칩들로 싱글레이팅하기 위해, 패터닝된 마스크에서의 갭들을 통해 기판이 플라즈마 에칭된다.

[0007] 다른 실시예에서, 반도체 기판을 다이싱하기 위한 시스템은, 동일한 플랫폼에 커플링된, 펨토초(femtosecond) 레이저, 플라즈마 에칭 챔버, 및 마스크 증착 모듈을 포함한다. 복수의 IC들을 갖는 기판을 다이싱하기 위한 시스템은, 다층화된 마스크를 패터닝하고 IC들 사이의 기판의 구역들을 노출시키기 위한 레이저 스크라이브 모듈; 기판의 플라즈마 에칭에 의해 IC들을 싱글레이팅하기 위해 레이저 스크라이브 모듈에 물리적으로 커플링된 플라즈마 에칭 모듈; 레이저 스크라이브 모듈로부터 플라즈마 에칭 모듈로, 레이저 스크라이빙된 기판을 이송하기 위한 로봇식 이송 챔버; 및 마스크 형성 모듈 또는 용매 웨트(wet) 세정 모듈 중 적어도 하나를 포함할 수 있으며, 마스크 형성 모듈은 스핀 코터 또는 화학 기상 증착(CVD) 챔버를 포함한다. 추가적인 실시예에서, 레이저 스크라이브는 400 펨토초와 동등한 또는 그 미만의 펄스 폭, 및 540 나노미터와 동등한 또는 그 미만의 파장을 갖는 펨토초 레이저를 포함한다. 추가적인 실시예에서, 화학 기상 증착(CVD) 챔버인 마스크 형성 모듈은 CVD 탄소 층을 증착하기 위한 것이다. 추가적인 실시예에서, 플라즈마 에칭 챔버는 C<sub>4</sub>F<sub>8</sub>와 C<sub>4</sub>F<sub>6</sub> 중 적어도 하나 및 SF<sub>6</sub>에 커플링된다.

[0008] 다른 실시예에서, 복수의 IC들을 갖는 기판을 다이싱하는 방법은, 실리콘 기판의 전면(front side) 위에 폴리(비닐 알코올)과 같은 용해가능한 재료 층을 포함하는 이중층(bi-layer) 마스크를 형성하는 단계를 포함한다. 포토레지스트 또는 폴리이미드(PI)와 같은 비-용해가능한(non-soluble) 재료 층이 용해가능한 재료 층 위에 존재한다. 이중층 마스크는 기판의 전면 상에 배치된 IC들을 덮고 보호한다. IC들은 폴리이미드(PI)와 같은 패시베이션 층에 의해 둘러싸인 범프(bump)들을 갖는 구리 범프형(bumped) 상단 표면을 포함한다. 패시베이션 및 범프들 아래의 표면하(subsurface) 얇은 필름들은 로우-k(low-k) 층간 유전체(ILD) 층 및 구리 인터커넥트(interconnect)의 층을 포함한다. IC들 사이의 실리콘 기판의 구역들을 노출시키기 위해, 펨토초 레이저 스크라이빙 프로세스로, 이중층 마스크, 패시베이션 층, 및 표면하 얇은 필름들이 패터닝된다. IC들을 싱글레이팅하기 위해, 딥 실리콘 플라즈마 에칭 프로세스(deep silicon plasma etch process)로 갭들을 통해 실리콘 기판이 에칭되고, 그 후에, 용해가능한 층을 용해시키고 비-용해가능한 층을 들어 올리기(lift off) 위해, 이중층 마스크가 웨트(wet) 프로세싱된다.

[0009] 일 특정 실시예에서, 복수의 IC들을 포함하는 반도체 기판을 다이싱하는 방법은, 실리콘 기판 위에 수용성 마스크 재료 층을 형성하는 단계 - 그 수용성 마스크 재료 층은 실리콘 기판 상에 배치된 IC들을 덮고, 그 IC들은 실리콘 이산화물의 층, 로우-k 재료의 층, 및 구리의 층을 포함하는 얇은 필름 스택(stack)을 포함함 -; 수용성 마스크 재료 층 위에 비-수용성 마스크 재료 층을 형성하는 단계; IC들 사이의 실리콘 기판의 구역들을 노출시키기 위해, 펨토초 레이저로, 포토레지스트 층, 로우-k 재료의 층, 및 구리의 층을 패터닝하는 단계; 및 IC들을 싱글레이팅하기 위해 갭들을 통해 실리콘 기판을 에칭하는 단계를 포함하며, 비-수용성 마스크 재료 층은 실리콘 기판 에칭의 적어도 일부 동안 플라즈마에 대한 노출로부터 수용성 마스크 재료 층을 보호한다. 추가적인 실시예에서, 펨토초 레이저로 실리콘 이산화물의 층, 로우-k 재료의 층, 및 구리의 층을 패터닝하는 것은, 구리의 층 및 로우-k 재료의 층을 어블레이팅(ablating)하기 전에 실리콘 이산화물의 층을 어블레이팅하는 것을 포함하며, 실리콘 기판을 에칭하는 것은, 수용성 마스크 재료 층을 100 °C 아래의 온도로 유지하면서, C<sub>4</sub>F<sub>8</sub>와 C<sub>4</sub>F<sub>6</sub>

중 적어도 하나 및 SF<sub>6</sub>의 플라즈마에 기판을 노출시키는 것을 포함한다.

**도면의 간단한 설명**

[0010] 본 발명의 실시예들은 첨부 도면들의 도면들에서 제한이 아닌 예로서 예시된다.

도 1은 본 발명의 실시예에 따른, 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법을 예시하는 흐름도이다.

도 2a는 본 발명의 실시예에 따른, 다이싱될 기판 상에 다층 마스크를 스핀 코팅하는 방법을 예시하는 흐름도이다.

도 2b는 본 발명의 실시예에 따른, 다이싱될 기판에 다층 마스크를 기상 증착하는 방법을 예시하는 흐름도이다.

도 3a는 본 발명의 실시예에 따른, 웨이퍼 박형화 전에, 기판에 다층화된 마스크를 적용하는 방법을 예시하는 흐름도이다.

도 3b는 본 발명의 실시예에 따른, 웨이퍼 박형화 후에, 기판에 다층화된 마스크를 적용하는 방법을 예시하는 흐름도이다.

도 4a는 본 발명의 실시예에 따른, 도 1에 예시된 다이싱 방법의 동작들(102A 및 102B)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4b는 본 발명의 실시예에 따른, 도 1에 예시된 다이싱 방법의 동작(103)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4c는 본 발명의 실시예에 따른, 도 1에 예시된 다이싱 방법의 동작(105)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4d는 본 발명의 실시예에 따른, 도 1에 예시된 다이싱 방법의 동작(107)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 5는 본 발명의 실시예들에 따른, 복수의 IC들을 포함하는 기판의 표면하 얇은 필름들 및 상단 표면 위에 적용된 수용성 마스크의 단면도를 예시한다.

도 6은 본 발명의 실시예에 따른, 다층화된 마스크의 인-시튜 적용을 위한 통합된 증착 모듈을 갖는, 기판들의 레이저 및 플라즈마 다이싱을 위한 툴 레이아웃의 블록도를 예시한다.

도 7은 본 발명의 실시예에 따른, 여기에서 설명된, 마스크링, 레이저 스크라이빙, 플라즈마 다이싱 방법들에서의 하나 또는 그 초과 동작의 자동화된 수행을 제어하는 예시적인 컴퓨터 시스템의 블록도를 예시한다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 기판들을 다이싱하기 위한 방법들 및 장치들이 설명된다. 다음의 설명에서, 본 발명의 예시적인 실시예들을 설명하기 위해, 펄스 레이저 스크라이빙 및 딥 실리콘 플라즈마 에칭 조건들과 같은 다수의 특정 세부사항들이 설명된다. 그러나, 이들 특정 세부사항들 없이 본 발명의 실시예들이 실시될 수 있다는 것이 당업자에게는 명백할 것이다. 다른 경우들에서, 본 발명의 실시예들을 공연히 불명료하게 하는 것을 피하기 위해, IC 제조, 기판 박형화, 테이핑 등과 같은 잘 알려진 양태들은 상세히 설명되지 않는다. 본 명세서 전반에 걸친 "실시예(an embodiment)"에 대한 언급은, 그 실시예와 관련하여 설명되는 특정한 피쳐(feature), 구조, 재료, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전반에 걸친 다양한 개소들에서의 "실시예에서(in an embodiment)"라는 문구의 출현들이 반드시 본 발명의 동일한 실시예를 지칭하는 것은 아니다. 게다가, 하나 또는 그 초과 실시예들에서 임의의 적합한 방식으로 특정한 피쳐들, 구조들, 재료들, 또는 특성들이 조합될 수 있다. 또한, 도면들에 도시된 다양한 예시적인 실시예들은 단지 예시적인 표현들일 뿐이고 반드시 실척대로 도시된 것이 아니라는 것이 이해될 것이다.

[0012] "커플링된(coupled)" 및 "연결된(connected)"이라는 용어들은, 이들의 파생어들과 함께, 컴포넌트들 사이의 구조적인 관계들을 설명하기 위해 여기에서 사용될 수 있다. 이들 용어들이 서로에 대한 동의어들로서 의도되지 않는다는 것이 이해되어야 한다. 더 정확히는, 특정한 실시예들에서, "연결된"은 2개 또는 그 초과 엘리먼트들이 서로 직접적으로 물리 또는 전기 접촉하는 것을 나타내기 위해 사용될 수 있다. "커플링된"은, 2개 또는 그 초과 엘리먼트들이 서로 직접적으로 또는 간접적으로(이들 사이에 다른 개재하는 엘리먼트들이

존재하면서) 물리 또는 전기 접촉하는 것, 그리고/또는 2개 또는 그 초과와 엘리먼트들이 서로 협력 또는 상호 작용하는 것(예컨대, 인과 관계에서와 같음)을 나타내기 위해 사용될 수 있다.

[0013] 여기에서 사용되는 바와 같은 "위(over)", "아래(under)", "사이(between)", 및 "상(on)"이라는 용어들은 하나의 재료 층의 다른 재료 층들에 대한 상대적인 위치를 지칭한다. 따라서, 예컨대, 다른 층 위 또는 아래에 배치된 하나의 층이 다른 층과 직접적으로 접촉할 수 있거나, 또는 하나 또는 그 초과와 개재하는 층들을 가질 수 있다. 더욱이, 2개의 층들 사이에 배치된 하나의 층이 2개의 층들과 직접적으로 접촉할 수 있거나, 또는 하나 또는 그 초과와 개재하는 층들을 가질 수 있다. 반대로, 제 2 층 "상"의 제 1 층은 그 제 2 층과 접촉한다. 부가적으로, 하나의 층의 다른 층들에 대한 상대적인 위치는, 동작들이 기관의 절대적인 배향(orientation)을 고려하지 않고 기관에 관하여 수행된다고 상정하여 제공된다.

[0014] 일반적으로, 초기의 레이저 스크라이브 및 후속적인 플라즈마 에칭을 수반하는 하이브리드 기관 또는 기관 다이싱 프로세스는 다이 싱글레이션을 위한 다층화된 마스크를 이용하여 구현된다. 레이저 스크라이브 프로세스는 적어도 2개의 층들을 포함하는 패터닝되지 않은(즉, 블랭킷(blanket)) 마스크, 패시베이션 층, 및 표면하 얇은 필름 디바이스 층들을 인접한 IC들 사이의 스트리트들을 따라 깨끗하게(cleanly) 제거하기 위해 사용될 수 있다. 그 후에, 기관의 노출 또는 부분적인 어블레이션 시에, 레이저 어블레이션 프로세스가 종료될 수 있다. 그 후에, 하이브리드 다이싱 프로세스의 플라즈마 에칭 부분이, 칩들의 다이싱 또는 싱글레이션을 위하여, 기관의 벌크를 통해, 예컨대 벌크 단결정질 실리콘을 통해 에칭한다.

[0015] 본 발명의 실시예에 따르면, 펨토초 레이저 스크라이빙과 플라즈마 에칭의 조합이 반도체 기관을 개별화된 또는 싱글레이팅된 IC들로 다이싱하기 위해 사용된다. 일 실시예에서, 펨토초 레이저 스크라이빙은, 본질적으로, 그렇지 않다면 완전히, 비평형(non-equilibrium) 프로세스이다. 예컨대, 펨토초 기반 레이저 스크라이빙은 무시 가능한 열적 손상 구역으로 국한될 수 있다. 실시예에서, 레이저 스크라이빙은 울트라 로우-k 필름들(즉, 3.0 아래의 유전 상수를 가짐)을 갖는 IC들을 싱글레이팅하기 위해 사용된다. 일 실시예에서, 레이저를 이용하는 직접적인 라이팅(writing)은 리소그래피 패터닝 동작을 제거하여, 마스크 재료는 포토리소그래피에서 사용되는 것과 같은 포토레지스트 이외의 다른 것이 되게 허용하고, 기관의 벌크를 통하는 플라즈마 에칭을 허용한다. 일 실시예에서, 실질적으로 이방성(anisotropic)인 에칭이 플라즈마 에칭 챔버에서 다이싱 프로세스를 완료하기 위해 사용되고; 이방성 에칭은, 에칭되는 트렌치의 측벽들 상에 에칭 폴리머를 증착함으로써 기관 내로의 높은 방향성(directionality)을 달성한다.

[0016] 도 1은 본 발명의 실시예에 따른, 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)를 예시하는 흐름도이다. 도 4a 내지 도 4d는 본 발명의 실시예에 따른, 방법(100)에서의 동작들에 대응하는, 제 1 및 제 2 IC들(425, 426)을 포함하는 기관(406)의 단면도들을 예시한다.

[0017] 도 1의 동작(102A) 및 대응하는 도 4a를 참조하면, 다층화된 마스크(402)의 제 1 마스크 재료(402A)가 기관(406) 위에 형성된다. 일반적으로, 기관(406)은 그 위에 형성되는 얇은 필름 디바이스 층들의 제조 프로세스를 견디는데 적합한 임의의 재료로 구성된다. 예컨대, 일 실시예에서, 기관(406)은 단결정질 실리콘, 게르마늄, 또는 실리콘/게르마늄과 같은(그러나, 이에 제한되지 않는) IV 족-계 재료이다. 다른 실시예에서, 기관(406)은, 예컨대 발광 다이오드들(LEDs)의 제조에서 사용되는 III-V 재료 기관과 같이 III-V 재료이다. 디바이스 제조 동안에, 기관(406)은 전형적으로 두께가 600 μm-800 μm이지만, 도 4a에 예시된 바와 같이, 100 μm로 또는 심지어 50 μm로 박형화되었을 수 있고, 그 박형화된 기관은 지금은, 다이 부착 필름(DAF)(408)으로 기관의 배면에 접촉되고 다이싱 프레임(미도시)의 지지 구조에 걸쳐 신장된 배킹 테이프(backing tape)(410)와 같은 캐리어에 의해 지지되어 있다.

[0018] 실시예들에서, 제 1 및 제 2 IC들(425, 426)은, 실리콘 기관(406)에 제조되고 유전체 스택에 매립된(encased) 상보적 금속-산화물-반도체(CMOS) 트랜지스터들 또는 메모리 디바이스들을 포함한다. 복수의 금속 인터커넥트들이 디바이스들 또는 트랜지스터들 위에 그리고 둘러싸는 유전체 층들에 형성될 수 있고, IC들(425, 426)을 형성하기 위하여 디바이스들 또는 트랜지스터들을 전기적으로 커플링시키기 위해 사용될 수 있다. 스트리트(427)를 형성하는 재료들은 IC들(425, 426)을 형성하기 위해 사용되는 재료들과 동일할 수 있거나 또는 유사할 수 있다. 예컨대, 스트리트(427)는 유전체 재료들, 반도체 재료들, 및 메탈라이제이션(metallization)의 얇은 필름 층들을 포함할 수 있다. 일 실시예에서, 스트리트(427)는 IC들(425, 426)과 유사한 테스트 디바이스를 포함한다. 스트리트(427)의 폭은 얇은 필름 디바이스 층 스택/기관 인터페이스에서 측정하여, 10 μm 내지 200 μm일 수 있다.

[0019] 실시예들에서, 다층화된 마스크(402)는 IC들(425, 426)의 상단 표면과 접촉하도록 동작(102A)에서 형성된 제 1

마스크 재료 층(402A)을 갖는 이중층이다. 다층화된 마스크(402)는 또한, IC들(425, 426) 사이의 개재하는 스트리트(427)를 덮는다. 동작(102B)에서, 제 2 마스크 재료 층(402B)이 제 1 마스크 재료 층(402A) 상에 배치된다. 추가적인 실시예들에서, 부가적인 마스크 층들이 적용될 수 있다. 제 1 마스크 재료 층(402A)은 IC들(425, 426)의 상단 표면으로부터 제 2 마스크 재료 층(402B)을 제거하기 위한 수단을 제공하기 위한 것인 한편, 제 2 마스크 재료 층(402B)은, 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)(도 1) 동안에, IC들(425, 426)의 상단 표면에 대한(그리고 제 1 마스크 재료 층(402A)에 대한) 부가적인 보호를 제공하기 위한 것이다. 스트리트(427) 위에 배치된 다층화된 마스크(402)의 부분들을 어블레이팅함으로써 스크라이브 라인들의 직접적인 라이팅(writing)을 수행하기 위해 레이저 스크라이브를 이용하는 레이저 스크라이빙 동작(103) 전에는, 다층화된 마스크(402)가 패터닝되지 않는다.

[0020] 도 5는 스트리트(427) 및 IC(426)의 상단 표면과 접촉하는 제 1 마스크 재료 층(402A)을 포함하는 일 예시적인 실시예의 확대된 단면도(500)를 예시한다. 도 5에 도시된 바와 같이, 기판(406)은, DAF(408)(도 4a)와 인터페이스(interface)하는 저부 표면(502) 반대편에 있는 상단 표면(503)을 가지며, 그 상단 표면(503) 상에는 얇은 필름 디바이스 층들이 배치된다. 일반적으로, 얇은 필름 디바이스 층 재료들은 유기 재료들(예컨대, 폴리머들), 금속들, 또는 무기 유전체들, 예컨대 실리콘 이산화물 및 실리콘 질화물을 포함할 수 있다(그러나, 이에 제한되지 않는다). 도 5에 예시된 예시적인 얇은 필름 디바이스 층들은, 실리콘 이산화물 층(504), 실리콘 질화물 층(505), 구리 인터커넥트 층들(508)과, 이들 사이에 배치된 탄소 도핑된 산화물(CDO)과 같은 로우-k(예컨대, 3.5 미만) 또는 울트라 로우-k(예컨대, 3.0 미만) 층간 유전체 층들(ILD)(507)을 포함한다. IC(426)의 상단 표면은, 전형적으로 폴리이미드(PI) 또는 유사한 폴리머인 패시베이션 층(511)에 의해 둘러싸인 전형적으로 구리인 범프(512)를 포함한다. 따라서, 범프들(512) 및 패시베이션 층(511)이 IC의 상단 표면을 형성하며, 얇은 필름 디바이스 층들은 표면하 IC 층들을 형성한다. 범프(512)는 패시베이션 층(511)의 상단 표면으로부터 범프 높이( $H_b$ ) 만큼 연장되며, 범프 높이( $H_b$ )는 예시적인 실시예들에서 10  $\mu\text{m}$  내지 50  $\mu\text{m}$ 의 범위를 갖는다.

[0021] 제 1 마스크 재료 층(402A)이 제 2 마스크 재료 층(402B)에 의해 덮이면서, 제 1 마스크 재료 층(402A)은, 제 2 마스크 재료 층(402B)을 스트리핑(strip)하기 위해 사용되는 프로세스로부터 패시베이션 층(511) 및/또는 범프(512)를 보호하는 배리어로서, 또는 제 2 마스크 재료 층(402B)이 아래놓인 패시베이션 층(511), 범프(512)로부터 들어 올려질 수 있도록 제 2 마스크 재료 층(402B)을 언더커팅(undercutting)하는 수단으로서 기능할 수 있다. 제 1 마스크 재료 층(402A)이 범프(412)를 덮기 때문에, 들어 올리는 것은 다층화된 마스크를 완전히 제거할 것이다. 그러면, 제 2 재료 조성 및 두께는, 마스크 스트리핑에 의해 제약되지 않으면서, (플라즈마에 노출되는 경우에, 손상, 산화, 또는 그렇지 않으면 오염될 수 있고 구리인) 매우 높은 범프(512) 위에서도 플라즈마 에칭 프로세스를 견뎌내도록 자유롭게 설계될 수 있다.

[0022] 도 5를 참조하면, 스트리트에서, 스트리트(427)에서의 다층화된 마스크(402)의 최대 두께( $T_{\text{max}}$ )는 일반적으로, 어블레이션에 의해 마스크를 통해 패터닝하는 레이저의 능력에 의해 제한된다. 다층화된 마스크(402)는, 스트리트 패턴이 형성되지 않을 스트리트(427)의 에지들 및/또는 IC들(425, 426) 위에서 훨씬 더 두꺼울 수 있다. 따라서,  $T_{\text{max}}$ 는 레이저 파장과 연관된 광학 변환 효율 및 레이저 전력과 상관된다.  $T_{\text{max}}$ 가 스트리트(427)와 연관되기 때문에, 스트리트 피쳐 토포그래피, 스트리트 폭, 및 다층화된 마스크(402)를 적용하는 방법은, 스루풋 요건들에 따라, 하나 또는 그 초과 레이저 통과(pass)들에서 아래놓인 얇은 필름 디바이스 층들과 함께 어블레이팅될 수 있는 두께로  $T_{\text{max}}$ 를 제한하도록 설계될 수 있다. 특정한 실시예들에서, 다층화된 마스크(402)는 30  $\mu\text{m}$  미만 그리고 유리하게는 20  $\mu\text{m}$  미만인 스트리트 마스크 두께( $T_{\text{max}}$ )를 가지며, 더 두꺼운 마스크는 다수의 레이저 통과들을 요구한다. 특정한 실시예들에서, 제 1 마스크 재료 층(402A)은 제 2 마스크 재료 층(402B)보다 더 얇다. 예시적인 실시예들에 있어서, 제 1 마스크 재료 층(402A)은 제 2 마스크 재료 층(402B)의 두께의 절반 이하이다(예컨대, 제 1 마스크 재료 층(402A)은 스트리트 마스크 두께( $T_{\text{max}}$ )의 절반 이하를 차지한다).

[0023] 도 5에 추가로 도시된 바와 같이, (가장 극단의 토포그래피인) 범프(512)의 상단 표면 상에서 발견되는 다층화된 마스크(402)의 최소 두께( $T_{\text{min}}$ )는 제 2 마스크 재료 층(402B)에 걸친 후속적인 플라즈마 에칭(예컨대, 도 1에서의 동작(105))에 의해 달성되는 선택성과 상관된다. 플라즈마 에칭 선택성은, 적어도, 채용되는 에칭 프로세스와 제 2 마스크 재료 층(402B)의 재료/조성 양자 모두에 따른다.

[0024] 산화성 플라즈마 세정들, 산성 에천트들, 및 다수의 다른 통상적인 마스크 스트리핑 프로세스들이 범프(512) 및/또는 패시베이션 층(511)과 양립가능하지 않을 수 있기 때문에, 실시예에서, 제 1 마스크 재료 층(402A)은 아래놓인 패시베이션 층(511) 및/또는 범프(512)에 대해 선택적인 용매에서 용해가능한 폴리머이다. 추가적인 실

시예에서, (예컨대, 플라즈마 전력의 인가를 통해) 재료의 온도가 상승될 플라즈마 에칭 프로세스 또는 제 2 마스크 층의 후속적인 형성 동안에 과도한 가교를 피하기 위해, 제 1 마스크 재료 층(402A)은 또한 열적으로, 적어도 60 °C에 대해 안정적이고, 바람직하게는 100 °C에서 안정적이고, 이상적으로는 120 °C에 대해 안정적이다. 일반적으로, 과도한 가교는 재료의 용해성에 악영향을 미쳐서, 다층화된 마스크(402)의 제거를 더 어렵게 한다.

[0025] 일 실시예에서, 제 1 마스크 재료 층(402A)은 물에서 용해가능한 재료로 이루어진다. 일 그러한 실시예에서, 수용성 재료는 수용성 폴리머를 포함한다. 본 발명에 대한 수용성 재료의 선택은, 열적 안정성 요건들, 기관으로/으로부터 재료를 적용/제거하는 메카니즘, 및 IC 오염 고려사항들에 의해 복잡하게 된다. 충분한 열적 안정성을 갖는 예시적인 수용성 재료들은, 폴리(비닐 알코올), 폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 폴리(에틸렌 산화물) 등 중 임의의 것을 포함한다. PVA를 채용하는 예시적인 실시예에 있어서, 열적 안정성은 60 °C에 대해 확인되었고, 온도가 150 °C에 접근함에 따라 용해성이 감소된다. 따라서, PVA 실시예에 있어서, 동작(102A) 후에 다층화된 마스크(402)가 제거될 때까지(즉, 스트리트(427)의 플라즈마 에칭)의 프로세싱은 유리하게, 제 1 마스크 층(402A)을 150 °C 아래의, 바람직하게는 100 °C 아래의, 그리고 이상적으로는 80 °C 아래의 온도로 유지한다.

[0026] 다른 실시예에서, 제 1 마스크 재료 층(402A)은, 패시베이션 층(511) 및 범프(512)를 위해 채용된 재료들과 양립가능한 임의의 상업적으로 이용가능한 수성(aqueous) 또는 탄화수소 웨트 세정제에서 용해가능하다. 예시적인 마스크 재료들은, 이소프로필 알코올(IPA), 트라메틸암모늄 하이드록사이드(tramethylammonium hydroxide; TMAH) 등과 같은 용매를 요구하기에 충분한 가교가 발생하는 위에 나열된 것들 중 임의의 것과 같은 비-감광성 유기 폴리머릭 재료들을 포함한다.

[0027] 실시예에 따라, 제 1 마스크 재료 층(402A)은 패시베이션 층(511) 및 범프(512)를 닦기 위해 기관(406) 상에 습식 적용되거나, 기상 증착되거나, 또는 드라이 필름 적층물로서 적용된다. 제 1 실시예에서, 제 1 마스크 재료 층(402A)은 단지 기관 상에 스프레이(spray)된다. 추가적인 실시예에서, 제 1 마스크 재료 층(402A)은 기관 상에 스핀 코팅된다.

[0028] 도 2a는 본 발명의 실시예에 따른, 다이싱될 기관 상에 제 1 마스크 재료 층(402A)을 스핀 코팅하기 위한 마스크킹 방법(200)을 예시하는 흐름도이다. 동작(202)에서, 기관이 스핀 코트 시스템 상에 로딩되거나, 또는 통합된 플랫폼의 스핀 코트 모듈 내로 이송된다. 동작(204)에서, 폴리머릭 전구체 용액이 패시베이션 층(511) 및 범프(512) 위에서 스피닝된다. 예시적인 수용성 제 1 마스크 재료 층에 있어서, 폴리머릭 전구체 용액은 수용액이다. 스핀-온 PVA 용액들을 이용하여 실시된 실험들은 50 μm의 높이(H<sub>b</sub>)를 갖는 범프들의 커버리지(coverage)를 입증하였다.

[0029] 동작(208)에서, 예컨대 핫 플레이트 상에서 웨트 코트가 건조 또는 베이킹(bake)되고, 기관이 레이저 스크라이브를 위해 언로딩되거나, 또는 레이저 스크라이브 모듈로 진공 내에서 이송된다. 제 1 마스크 재료 층(402A)이 흡습성(hygroscopic)인 특정한 실시예들에 있어서, 진공-내 이송이 유리하다. 스핀 및 디스펜스 파라미터들은, 재료, 기관 토포그래피, 및 원하는 제 1 마스크 재료 층 두께에 따른 선택의 문제이다. 베이크 온도 및 시간은, 제거를 어렵게 하는 과도한 가교를 피하도록 선택되어야 한다. 예시적인 건조 온도들은 재료에 따라 60 °C 내지 150 °C의 범위를 갖는다.

[0030] (도 2a에 예시된 바와 같이) 제 1 마스크 재료 층(402A)이 스핀 코팅되는 예시적인 실시예에서, (동작(210)에서) 제 2 마스크 재료 층(402B)이 또한 스핀 코팅된다. 그러한 실시예들에 있어서, 제 2 마스크 재료 층(402B)은, 임의의 알려져 있는 포토레지스트, 폴리이미드(PI), 벤조-시클로-부텐(BCB) 등과 같은(그러나, 이에 제한되지 않는) 플라즈마 에칭에 대해 적합한 내성(resistance)을 제공하는 임의의 통상적인 폴리머릭 재료일 수 있다. 스핀 및 디스펜스 파라미터들은 다시, 재료, 기관 토포그래피, 및 제 2 마스크 재료 층(402B)의 (내에칭성 등과 상관되는) 원하는 두께에 따른 선택의 문제이다. 동작(212)에서, 제 2 마스크 재료 층(402B)은, 제 1 마스크 재료 층(402A)의 과도한 가교를 피할 베이크 시간 및 베이크 온도로 건조된다. 예시적인 건조 온도들은 재료에 따라 60 °C 내지 150 °C의 범위를 갖는다. 그 후에, 기관이 후속적인 스크라이빙을 위해 언로딩되거나, 또는 통합된 플랫폼의 레이저 스크라이브 장치로 진공 내에서 이송되면서, 동작(220)이 마스크킹 방법(200)을 완료한다.

[0031] 다른 실시예에서, 제 1 및 제 2 마스크 재료 층(402A, 402B) 중 적어도 하나가 기상 증착에 의해 형성된다. 도 2b는 본 발명의 실시예에 따른, 제 2 마스크 재료 층(402B)을 적용하기 위한 예시적인 마스크킹 방법(2B)을 예시하는 흐름도이다. 동작(205)에서, 제 1 마스크 재료 층(402A)이 여기 다른 곳에서 설명되는 임의의 방식(예컨대, 스핀 코트, 스프레이, 기상 증착, 드라이 적층물)에 의해 형성된다. 동작(211)에서, 제 2 마스크 재료 층

(402B)이 화학 기상 증착에 의해 제 1 마스크 재료 층(402A) 위에 형성된다. 예시적인 실시예에서, 저온 화학 기상 증착 프로세스가 CVD 탄소 층을 형성하기 위해 채용된다. CVD 탄소 층이 다양한 비율(proportion)들로 복수의 본딩 상태들을 함유할 수 있기 때문에, 그 CVD 탄소 층은 장거리 질서가 결여되고, 따라서 일반적으로 "비정질 탄소(amorphous carbon)"라고 지칭된다. 비정질 탄소 재료는, 상표명 Advanced Patterning Film™(APF) 하에서 미국, 캘리포니아의 Applied Materials, Inc.로부터 상업적으로 이용가능하다. 특정 실시예들에서, 비정질 탄소 층은, 메탄(CH<sub>4</sub>), 프로필렌(C<sub>3</sub>H<sub>6</sub>), 프로핀(C<sub>3</sub>H<sub>4</sub>), 프로판(C<sub>3</sub>H<sub>8</sub>), 부탄(C<sub>4</sub>H<sub>10</sub>), 부틸렌들(C<sub>4</sub>H<sub>8</sub>), 부타디엔(C<sub>4</sub>H<sub>6</sub>), 아세틸렌(C<sub>2</sub>H<sub>2</sub>), 및 이들의 혼합물들과 같은(그러나, 이에 제한되지 않는) 탄화수소 전구체들을 사용하여 PECVD 프로세스로 형성된다. CVD 탄소 재료는 또한 질소 또는 다른 첨가제들을 포함할 수 있다. 제 1 마스크 재료 층(402A)을 가교할 위험성이 존재하는 경우에 저온 CVD 프로세스가 바람직하다. 예컨대, CVD 탄소 층의 증착 동안에, 웨이퍼 온도는, 제 1 마스크 재료에 따라, 150 °C 아래로, 또는 필요한 경우에 심지어 100 °C 아래로 유지될 수 있다. 보통의(moderate) 플라즈마 이온 밀도의 경우에, 후속적인 플라즈마 스트리트 에칭 동안에 1:20 내지 1:30의 내에칭성을 제공하고 제 1 마스크 재료 층(402A)을 증대(augment)시키기에 충분한 품질의 CVD 필름을 위해 약간의 기관 가열이 필요하다. 제 1 마스크 재료(402A)가 수용성(예컨대, PVA)인 예시적인 실시예에서, 제 2 마스크 재료(402B)는 100 °C 아래의 온도에서 탄소질(carbonaceous) 전구체 가스로 증착된 비정질 탄소이다. 그 후에, 기관이 후속적인 스크라이빙을 위해 언로딩되거나, 또는 통합된 플랫폼의 레이저 스크라이브 장치로 진공 내에서 이송되면서, 동작(220)이 마스크링 방법(200)을 완료한다.

[0032] 실시예에 따라, 배면 그라운드(BSG) 프로세스 전에 또는 후에, 마스크링 방법(200) 또는 마스크링 방법(250)이 수행될 수 있다. 스핀 코팅이 일반적으로, 750 μm의 통상적인 두께를 갖는 기관들에 대한 기성의(accomplished) 기법이기 때문에, 마스크링 방법(200)은 배면 그라운드 전에 유리하게 수행될 수 있다. 그러나, 대안으로, 예컨대 회전가능한 척 상에 박형화된 기관 및 테이핑된 프레임 양자 모두가 지지됨으로써, 배면 그라운드 후에 마스크링 방법(200)이 수행된다.

[0033] 도 3a는 웨이퍼 박형화 전에, 다이싱될 기관에 다층화된 마스크(402)를 적용하기 위한 방법(300)을 예시하는 흐름도이다. 방법(300)은, 동작(355)에서, 범프형 그리고 패시베이트된 기관을 수용하면서 시작된다. 동작(304)에서, 적어도 제 1 마스크 재료 층(402A)이 형성된다. 추가적인 실시예에서, 제 1 마스크 재료 층(402A) 및 제 2 마스크 재료 층(402B) 양자 모두가 형성된다. 따라서, 동작(304)은, 여기 다른 곳에서 설명되는 바와 같은, 제 1 마스크 재료 층 및/또는 제 2 마스크 재료 층에 대해 설명된 형성 방법들 중 임의의 것을 수반할 수 있다. 동작(360)에서, 전면 테이프가 다층화된 마스크(402)의 적어도 제 1 층 위에 적용된다. UV 테이프와 같은(그러나, 이에 제한되지 않는) 임의의 통상적인 전면 테이프가 다층화된 마스크(402)의 제 1 층 위에 적용될 수 있다. 동작(370)에서, 예컨대 기관(406)의 저부 표면(502)(도 5)을 그라인딩함으로써, 기관이 배면으로부터 박형화된다. 동작(375)에서, 배면 지지부(411)가 박형화된 기관에 추가된다. 예컨대, 배면 테이프(410)가 적용될 수 있고, 그 후에, 다층화된 마스크(402)의 적어도 제 1 층을 남기면서, 전면 테이프가 기관으로부터 제거된다. 그 후에, 방법(300)은, 다층화된 마스크링 프로세스를 완료하거나, 또는 본 발명의 실시예들에 따른 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법(300)을 진행하기 위해, 동작(103)(도 1)으로 돌아간다.

[0034] 도 3b는 웨이퍼 박형화 후에, 다이싱될 기관에 다층화된 마스크(402)를 적용하기 위한 방법(350)을 예시하는 흐름도이다. 방법(350)은, 동작(355)에서, 범프형 그리고 패시베이트된 기관을 수용하면서 시작된다. 동작(360)에서, UV 테이프와 같은(그러나, 이에 제한되지 않는) 임의의 통상적인 전면 테이프가 IC들 위에 적용된다. 동작(370)에서, 예컨대 도 5에 예시된 기관(406)의 저부 표면(502)을 그라인딩함으로써, 기관이 배면으로부터 박형화된다. 동작(375)에서, 배면 지지부(411)가 박형화된 기관에 추가된다. 예컨대, 배면 테이프(410)가 적용될 수 있고, 그 후에, 수용성 마스크 층으로부터 전면 테이프가 제거된다. 동작(304)에서, 그 후에, (예컨대, 스핀 코트, CVD, 드라이 필름 적층 등에 의해) 적어도 제 2 마스크 재료 층(402B)이 형성된다. 추가적인 실시예에서, 제 1 마스크 재료 층(402A) 및 제 2 마스크 재료 층(402B) 양자 모두가 형성된다. 동작(304)는 다시, 여기 다른 곳에서 설명되는 바와 같은 제 2 마스크 재료 층 및/또는 제 1 마스크 재료 층에 대해 설명된 형성 방법들 중 임의의 것을 수반할 수 있다. 그 후에, 방법(350)은, 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법(300)을 진행하기 위해 도 1로 돌아간다.

[0035] 추가적인 실시예에서, 제 1 마스크 재료 층(402A)이 (도 3a에 의해 예시된 바와 같이) BSG 전에 형성되고 제 2 마스크 재료 층(402B)이 (도 3a에 의해 예시된 바와 같이) BSG 후에 형성되면서, 방법들(300 및 350) 양자 모두가 실시된다. 일 그러한 실시예에서, 기관이 완전한 두께인 동안에 제 1 마스크 재료 층(402A)이 스핀 코트 기

법으로 적용되고, 제 2 마스크 재료 층(402B)이 기상 증착과 같은 비-스핀 코트 기법으로, 박형화된 기판에 적용된다. 예컨대, 도 3a를 참조하면, 동작(360)에서의 전면 테이핑 전에 동작(304)에서 PVA 제 1 마스크 재료 층(402A)이 적용될 수 있는 한편, 전면 테이프 제거 동작(375) 후에 동작(304)에서 CVD 탄소 제 2 마스크 재료 층(402B)이 적용될 수 있다.

[0036] 이제, 방법(100)의 동작(103) 및 대응하는 도 4b로 돌아가면, 레이저 스크라이빙 프로세스로 어블레이션에 의해 다층화된 마스크(402)가 패터닝되어, 표면하 얇은 필름 디바이스 층들로 연장되고 IC들(425, 426) 사이의 기판(406)의 구역들을 노출시키는 트렌치들(412)이 형성된다. 따라서, 레이저 스크라이빙 프로세스는 IC들(425, 426) 사이에 원래 형성된 스트리트들(427)의 얇은 필름 재료를 어블레이팅하기 위해 사용된다. 본 발명의 실시예에 따르면, 레이저 기반 스크라이빙 프로세스로 다층화된 마스크(402)를 패터닝하는 것은, 도 4b에 도시된 바와 같이, IC들(425, 426) 사이의 기판(406)의 구역들 내측으로 부분적으로만 트렌치들(414)을 형성하는 것을 포함한다.

[0037] 도 5에 예시된 예시적인 실시예에서, 표면하 얇은 필름 디바이스 층들과 패시베이션(511)의 두께( $T_f$ ), 및 다층화된 마스크(402)의 두께( $T_{max}$ )에 따라, 레이저 스크라이빙 깊이( $D_L$ )는 대략, 깊이가 5  $\mu m$  내지 50  $\mu m$ 의 범위 내에, 유리하게는 깊이가 10  $\mu m$  내지 20  $\mu m$ 의 범위 내에 있다.

[0038] 실시예에서, 다층화된 마스크(402)는 펨토초 범위(즉,  $10^{-15}$  초)에서의 펄스 폭(지속기간)을 갖는 레이저로 패터닝되며, 그 레이저는 여기에서 펨토초 레이저라고 지칭된다. 펄스 폭과 같은 레이저 파라미터들의 선택은, 깨끗한 레이저 스크라이브 커팅들을 달성하기 위해 치핑, 미세균열들, 및 박리를 최소화하는 성공적인 레이저 스크라이빙 및 다이싱 프로세스를 전개하는데 중요할 수 있다. 펨토초 범위에서의 레이저 주파수는 유리하게, 더 긴 펄스 폭들(예컨대, 피코초 또는 나노초)에 관한 열 손상 문제들을 완화시킨다. 이론에 의해 구속되지 않지만, 현재 이해되는 바와 같이, 펨토초 에너지 소스는 피코초 소스들에 대해 존재하는 낮은 에너지 리커플링(recoupling) 메커니즘들을 피하고, 나노초 소스가 제공하는 것보다 더 큰 열적 비평형을 제공한다. 나노초 또는 피코초 레이저 소스들의 경우에, 스트리트(427)에 존재하는 다양한 얇은 필름 디바이스 층 재료들은 광학 흡수 및 어블레이션 메커니즘들에 관하여 상당히 상이하게 거동한다. 예컨대, 실리콘 이산화물과 같은 유전체 층들은 본질적으로, 정상적인(normal) 조건들 하에서 모든 상업적으로 이용가능한 레이저 파장들에 대해 투명하다. 반대로, 금속들, 유기물들(예컨대, 로우-k 재료들), 및 실리콘은, 특히 나노초 기반 또는 피코초 기반 레이저 조사(irradiation)에서, 광자들을 매우 쉽게 커플링시킬 수 있다. 비-최적의 레이저 파라미터들이 선택되는 경우에, 무기 유전체, 유기 유전체, 반도체, 또는 금속 중 2개 또는 그 초과를 수반하는 스택된 구조들에서, 스트리트(427)의 레이저 조사는 불리하게 박리를 야기할 수 있다. 예컨대, 측정가능한 정도의 흡수 없이 높은 밴드갭 에너지 유전체들(예컨대, 대략 9 eV 밴드갭을 갖는 실리콘 이산화물)을 관통하는 레이저는 아래 놓인 금속 또는 실리콘 층에서 흡수될 수 있어서, 금속 또는 실리콘 층들의 상당한 기화(vaporization)가 야기될 수 있다. 기화는 심각한 층간 박리 및 미세균열을 야기할 가능성이 있는 높은 압력들을 생성할 수 있다. 펨토초 기반 레이저 조사 프로세스들은 그러한 재료 스택들의 그러한 미세균열 또는 박리를 피하거나 또는 완화시키는 것으로 입증되었다.

[0039] 펨토초 레이저 기반 프로세스에 대한 파라미터들은, 무기 및 유기 유전체들, 금속들, 및 반도체들에 대해 실질적으로 동일한 어블레이션 특성들을 갖도록 선택될 수 있다. 예컨대, 실리콘 이산화물의 흡수성(absorptivity)/흡수율(absorptance)은 비선형이고, 유기 유전체들, 반도체들, 및 금속들의 흡수성/흡수율과 더 비슷하게 될 수 있다. 일 실시예에서, 유기 유전체, 반도체, 또는 금속 중 하나 또는 그 초과 및 실리콘 이산화물 층을 포함하는 얇은 필름 층들의 스택을 어블레이팅하기 위해, 높은 강도 및 짧은 펄스 폭의 펨토초 기반 레이저 프로세스가 사용된다. 본 발명의 실시예에 따르면, 적합한 펨토초 기반 레이저 프로세스들은, 일반적으로 다양한 재료들에서 비선형 상호작용들을 야기하는 높은 피크 강도(방사조도)를 특징으로 한다. 일 그러한 실시예에서, 펨토초 레이저 소스들은, 대략 10 펨토초 내지 450 펨토초의 범위에서의, 그러나 바람직하게는 50 펨토초 내지 400 펨토초의 범위에서의 펄스 폭을 갖는다.

[0040] 특정 실시예들에서, 레이저 방출은, 넓은 또는 좁은 밴드의 광학 방출 스펙트럼에 대해, 가시 스펙트럼, 자외선(UV), 및/또는 적외선(IR) 스펙트럼들의 임의의 조합을 포괄한다. 펨토초 레이저 어블레이션에 있어서도, 특정 파장들이 다른 파장들보다 더 우수한 성능을 제공할 수 있다. 예컨대, 일 실시예에서, UV 범위에서의 또는 UV 범위에 더 근접한 파장을 갖는 펨토초 기반 레이저 프로세스가 IR 범위에서의 또는 IR 범위에 더 근접한 파장을 갖는 펨토초 기반 레이저 프로세스보다 더 깨끗한 어블레이션 프로세스를 제공한다. 특정 실시예에서, 반도체 기판 또는 기판 스크라이빙에 적합한 펨토초 레이저는, 대략 540 나노미터와 동등한 또는 그 미만의, 그러나 바

람직하게는 540 나노미터 내지 250 나노미터의 범위에서의 파장을 갖는 레이저에 기초한다. 특정한 실시예에서, 펄스 폭들은 540 나노미터와 동등한 또는 그 미만의 파장을 갖는 레이저에 대해 400 펨토초와 동등하거나 또는 그 미만이다. 그러나, 대안적인 실시예에서, 듀얼 레이저 파장들(예컨대, IR 레이저와 UV 레이저의 조합)이 사용된다.

[0041] 일 실시예에서, 레이저 및 연관된 광학 경로는, 대략 3  $\mu\text{m}$  내지 15  $\mu\text{m}$ 의 범위에서의, 그러나 유리하게는 5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 의 범위에서의 작업 표면에서의 포컬 스폿(focal spot)을 제공한다. 작업 표면에서의 공간적인 빔 프로파일은 단일 모드(가우시안)일 수 있거나 또는 빔 성형된 톱-햇(top-hat) 프로파일을 가질 수 있다. 실시예에서, 레이저 소스는, 대략 300 kHz 내지 10 MHz의 범위에서의, 그러나 바람직하게는 대략 500 kHz 내지 5 MHz의 범위에서의 펄스 반복 레이트를 갖는다. 실시예에서, 레이저 소스는, 대략 0.5  $\mu\text{J}$  내지 100  $\mu\text{J}$ 의 범위에서의, 그러나 바람직하게는 대략 1  $\mu\text{J}$  내지 5  $\mu\text{J}$ 의 범위에서의 작업 표면에서의 펄스 에너지를 전달한다. 실시예에서, 레이저 스크라이빙 프로세스는, 대략 500 mm/sec 내지 5 m/sec의 범위에서의, 그러나 바람직하게는 대략 600 mm/sec 내지 2 m/sec의 범위에서의 속력으로 작업 피스 표면을 따라 진행한다.

[0042] 스크라이빙 프로세스는 단일의 통과만으로 또는 다수의 통과들로 진행될 수 있지만, 2회의 통과들을 초과하지 않는 것이 유리하다. 레이저는 주어진 펄스 반복 레이트로 단일의 펄스들의 트레인(train)으로 또는 펄스 버스트(burst)들의 트레인으로 가해질 수 있다. 실시예에서, 생성된 레이저 빔의 커프 폭은, 디바이스/실리콘 인터페이스에서 측정하여, 실리콘 기판 스크라이빙/다이싱에서 바람직하게는 대략 6  $\mu\text{m}$  내지 10  $\mu\text{m}$ 의 범위에 있지만, 대략 2  $\mu\text{m}$  내지 15  $\mu\text{m}$ 의 범위에 있다.

[0043] 도 1 및 도 4c로 돌아가면, IC들(425, 426)을 싱글레이팅하기 위해, 패터닝된 다층화된 마스크(402)에서의 트렌치들(412)을 통해 기판(406)이 에칭된다. 본 발명의 실시예에 따르면, 기판(406)을 에칭하는 것은, 도 4c에 도시된 바와 같이, 궁극적으로 기판(406)을 완전히 통하여 에칭하기 위해, 펨토초 기반 레이저 스크라이빙 프로세스로 형성된 트렌치들(412)을 에칭하는 것을 포함한다.

[0044] 실시예에서, 기판(406)을 에칭하는 것은 이방성 플라즈마 에칭 프로세스(416)를 사용하는 것을 포함한다. 일 실시예에서, 제 2 마스크 재료 층(402B)이 플라즈마 에칭의 전체 지속기간 동안 플라즈마 노출로부터 제 1 마스크 재료 층(402A)을 보호하면서, 스루 기판 에칭 프로세스(through substrate etch process)가 사용된다. 대안적인 실시예에서, 에칭의 완료 전에 제 1 마스크 층(402A)이 플라즈마에 노출되는 포인트까지 플라즈마 에칭 동안에 제 2 마스크 재료 층(402B)이 소모된다. 높은 전력들에서 동작하는 고밀도 플라즈마 소스가 플라즈마 에칭 동작(105)에 대해 사용될 수 있다. 분당 25  $\mu\text{m}$ 보다 더 큰, 기판(406)의 에칭 레이트를 달성하기 위해, 예시적인 전력들은 3 kW 내지 6 kW, 또는 그 초과를 갖는다.

[0045] 예시적인 실시예에서, 본질적으로 정밀한 프로파일 제어 및 사실상 스칼롭(scallop)이 없는 측면들을 유지하면서, 통상적인 실리콘 에칭 레이트들의 대략 40 %보다 더 큰 에칭 레이트로 단결정질 실리콘 기판 또는 기판(406)을 에칭하기 위해, 딥 이방성 실리콘 에칭(예컨대, 스루 실리콘 비아 에칭)이 사용된다. 플라즈마 에칭 프로세스의 지속기간 전반에 걸쳐 제 1 마스크 재료 층(402A)을 100  $^{\circ}\text{C}$  아래의, 그리고 바람직하게는 70  $^{\circ}\text{C}$  내지 80  $^{\circ}\text{C}$ 의 온도로 유지하기 위해, -10  $^{\circ}\text{C}$  내지 -15  $^{\circ}\text{C}$ 로 칠링된(chilled) 정전 척(ESC)을 통해 냉각력을 가하는 것을 통하여, 다층화된 마스크(특히, 제 1 마스크 재료 층(402A))에 대한 높은 전력의 영향들이 제어된다. 그러한 온도들에서, 제 1 마스크 재료 층(402A)의 용해성이 유리하게 유지될 수 있다.

[0046] 특정 실시예에서, 플라즈마 에칭은, 복수의 에칭 사이클들이 시간에 걸쳐 인터리빙된(interleaved) 복수의 보호 폴리머 증착 사이클들을 수반한다. 증착:에칭 듀티 사이클은 변화될 수 있고, 예시적인 듀티 사이클은 대략 1:1이다. 예컨대, 에칭 프로세스는 250 ms - 750 ms의 지속기간을 갖는 증착 사이클, 및 250 ms - 750 ms의 에칭 사이클을 가질 수 있다. 증착 및 에칭 사이클들 사이에, 예컨대 예시적인 실리콘 에칭 실시예에 대해 SF<sub>6</sub>를 채용하는 에칭 프로세스 케미스트리(chemistry)가 C<sub>4</sub>F<sub>6</sub> 또는 C<sub>4</sub>F<sub>8</sub>과 같은(그러나, 이에 제한되지 않는) 중합(polymerizing) C<sub>x</sub>F<sub>y</sub> 가스를 채용하는 증착 프로세스 케미스트리와 교번된다. 당업계에 알려져 있는 바와 같이, 프로세스 압력들이 추가로 에칭 및 증착 사이클들 사이에서 교번될 수 있어서, 특정한 사이클에서 각각을 조절할 수 있다.

[0047] 그 후에, 동작(107)에서, 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법(300)은 마스크 층(402)의 제거와 함께 완료된다. 도 4d에 예시된 예시적인 실시예에서, 마스크 제거 동작(107)은, IC들(425, 426)에 대해 선택적으로(예컨대, 패시베이션 층(511), 범프(512)에 대해 선택적으로), 뿐만 아니라, 제 2 마스크 재료 층(402B)에 대해 선택적으로 제 1 마스크 재료 층(402A)을 용해시키는 것을 수반한다. 그에 의해, 제 2 마

스크 재료 층(402B)이 들어 올려진다. 제 1 마스크 재료 층(402A)이 수용성인 일 실시예에서, 수용성 마스크 층은, 탈이온수의 가압된 분사로, 또는 분위기(ambient) 또는 가열된 워터 배스(water bath) 내의 기관의 침수(submergence)를 통해 세척제거된다. 대안적인 실시예들에서, 제 1 마스크 재료 층(402A)에 대해 활용되는 특정한 재료를 용해시키기 위한, 당업계에서 알려져 있는 수성 또는 탄화수소 용매 용액들을 이용하여, 다층화된 마스크(402)가 들어 올려질 수 있다. 도 4d에서 추가로 예시된 바와 같이, 싱글레이션 프로세스 또는 마스크 제거 프로세스는, 다이 부착 필름(908)을 패터닝하여, 배킹 테이프(910)의 상단 부분을 노출시키는 것을 더 포함할 수 있다.

[0048] 단일 통합된 플랫폼(600)은 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)에서의 동작들 중 다수 또는 전부를 수행하도록 구성될 수 있다. 예컨대, 도 6은 본 발명의 실시예에 따른, 기관들의 레이저 및 플라즈마 다이싱을 위해 레이저 스크라이브 장치(610)와 커플링된 클러스터 툴(606)의 블록도를 예시한다. 도 6을 참조하면, 클러스터 툴(606)은 복수의 로드락들(604)을 갖는 팩토리 인터페이스(602)(FI)에 커플링된다. 팩토리 인터페이스(602)는 레이저 스크라이브 장치(610) 및 클러스터 툴(606)과 외부 제조 설비 사이에서 인터페이스하기 위한 적합한 대기 포트(atmospheric port)일 수 있다. 팩토리 인터페이스(602)는 (전면 개방 통합 포트(front opening unified pod)들과 같은) 저장 유닛들로부터 클러스터 툴(606) 또는 레이저 스크라이브 장치(610), 또는 양자 모두 내로 기관들(또는 그 기관들의 캐리어들)을 이송하기 위한 암(arm)들 또는 블레이드들을 갖는 로봇들을 포함할 수 있다.

[0049] 레이저 스크라이브 장치(610)가 또한 FI(602)에 커플링된다. 실시예에서, 레이저 스크라이브 장치(610)는 펄스 레이저를 포함한다. 펄스 레이저는 하이브리드 레이저 및 에칭 싱글레이션 프로세스(100)의 레이저 어블레이션 부분을 수행한다. 일 실시예에서, 이동가능한 스테이지가 또한 레이저 스크라이브 장치(610)에 포함되며, 그 이동가능한 스테이지는 펄스 레이저에 관하여 기관(또는 그 기관의 캐리어)을 이동시키도록 구성된다. 특정 실시예에서, 펄스 레이저가 또한 이동가능하다.

[0050] 클러스터 툴(606)은 기관들의 진공-내 이송을 위한 로봇식 암을 하우징하는 로봇식 이송 챔버(650)에 의해 FI에 커플링된 하나 또는 그 초과 플라즈마 에칭 챔버들(608)을 포함한다. 플라즈마 에칭 챔버들(608)은 하이브리드 레이저 및 에칭 싱글레이션 프로세스(100)의 플라즈마 에칭 부분을 수행하기에 적합하다. 일 예시적인 실시예에서, 플라즈마 에칭 챔버(608)는 추가로, C<sub>4</sub>F<sub>8</sub>와 C<sub>4</sub>F<sub>6</sub> 소스 중 적어도 하나 및 SF<sub>6</sub> 가스 소스에 커플링된다. 특정 실시예에서, 하나 또는 그 초과 플라즈마 에칭 챔버들(608)은 미국, 캘리포니아, 서니베일의 Applied Materials로부터 이용가능한 Applied Centura® Silvia™ 에칭 시스템이지만, 다른 적합한 에칭 시스템들이 또한 상업적으로 이용가능하다. 실시예에서, 싱글레이션 또는 다이싱 프로세스의 높은 제조 스루풋을 가능하게 하기 위해, 통합된 플랫폼(600)의 클러스터 툴(606) 부분에 하나보다 더 많은 에칭 챔버(608)가 포함된다.

[0051] 클러스터 툴(606)은 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)에서의 기능들을 수행하기에 적합한 다른 챔버들을 포함할 수 있다. 도 6에 예시된 예시적인 실시예에서, 클러스터 툴(606)은 마스크 형성 모듈(612) 및 용매 웨트 스테이션(614) 양자 모두를 포함하지만, 어느 하나가 다른 하나의 부재시에 제공될 수 있다. 실시예에 따라, 마스크 형성 모듈(612)은 스핀 코팅 모듈 또는 화학 기상 증착(CVD) 챔버일 수 있다. 스핀 코팅 모듈로서, 회전가능한 척이 프레임 상에 탑재된 배킹 테이프와 같은 캐리어 상에 탑재된 박형화된 기관을 진공에 의해 또는 다른 방식으로 클램핑(clamp)하도록 구성된다. 추가적인 실시예들에서, 스핀 코팅 모듈은 수용액 소스에 유체적으로(fluidly) 커플링된다. CVD 챔버 실시예들에 있어서, 마스크 형성 모듈(612)은 CVD 탄소 층을 증착하도록 구성된다. 저온 필름 증착들에 대해 구성된 임의의 상업적으로 이용가능한 CVD 챔버가 탄소 소스 가스에 커플링될 수 있다.

[0052] 웨트 스테이션(614)의 실시예들은 기관을 플라즈마 에칭한 후에, 적어도 제 1 마스크 재료 층(예컨대, 402A)을 용해시키기 위한 것이다. 웨트 스테이션(614)은 예컨대 물 또는 다른 용매를 디스펜스하기 위한 가압된 스프레이 분사를 포함할 수 있다.

[0053] 도 7은 컴퓨터 시스템(700)을 예시하며, 그 컴퓨터 시스템(700) 내에서, 머신으로 하여금 여기에서 논의되는 스크라이빙 방법들 중 하나 또는 그 초과를 실행하게 하기 위한 명령들의 세트가, 예컨대, 적어도 하나의 마이크로프로세서(artifact)를 식별하기 위해 태그로부터 반사되는 광을 분석하도록 실행될 수 있다. 예시적인 컴퓨터 시스템(700)은, 프로세서(702), 메인 메모리(704)(예컨대, 판독 전용 메모리(ROM), 플래시 메모리, 동적 랜덤 액세스 메모리(DRAM), 예컨대 동기식 DRAM(SDRAM) 또는 램버스 DRAM(RDRAM) 등), 정적 메모리(706)(예컨대, 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM) 등), 및 이차 메모리(718)(예컨대, 데이터 저장 디바이스)

를 포함하며, 이들은 버스(730)를 통해 서로 통신한다.

[0054] 프로세서(702)는 마이크로프로세서, 중앙 프로세싱 유닛 등과 같은 하나 또는 그 초과 범용 프로세싱 디바이스들을 표현한다. 더 상세하게, 프로세서(702)는, 복잡 명령 세트 컴퓨팅(complex instruction set computing; CISC) 마이크로프로세서, 축약된 명령 세트 컴퓨팅(reduced instruction set computing; RISC) 마이크로프로세서, 매우 긴 명령어(very long instruction word; VLIW) 마이크로프로세서 등일 수 있다. 프로세서(702)는 또한, 주문형 집적 회로(application specific integrated circuit; ASIC), 필드 프로그래머블 게이트 어레이(FPGA), 디지털 신호 프로세서(DSP), 네트워크 프로세서 등과 같은 하나 또는 그 초과 특수 목적 프로세싱 디바이스들일 수 있다. 프로세서(702)는 여기에서 논의되는 동작들 및 단계들을 수행하기 위한 프로세싱 로직(726)을 실행하도록 구성된다.

[0055] 컴퓨터 시스템(700)은 네트워크 인터페이스 디바이스(708)를 더 포함할 수 있다. 컴퓨터 시스템(700)은 또한, 비디오 디스플레이 유닛(710)(예컨대, 액정 디스플레이(LCD) 또는 음극선관(CRT)), 알파뉴메릭 입력 디바이스(712)(예컨대, 키보드), 커서 제어 디바이스(714)(예컨대, 마우스), 및 신호 생성 디바이스(716)(예컨대, 스피커)를 포함할 수 있다.

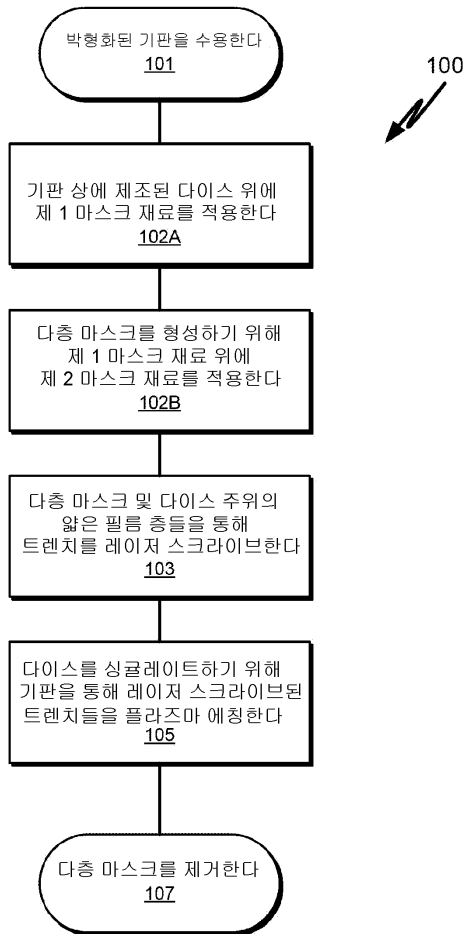
[0056] 이차 메모리(718)는 머신 액세스가능 저장 매체(또는 더 구체적으로, 컴퓨터 판독가능 저장 매체)(731)를 포함할 수 있으며, 그 머신 액세스가능 저장 매체(731) 상에는, 여기에서 설명되는 기능들 또는 방법들 중 임의의 하나 또는 그 초과를 구현하는 명령들의 하나 또는 그 초과 세트들(예컨대, 소프트웨어(722))이 저장된다. 소프트웨어(722)는 또한, 컴퓨터 시스템(700)에 의한 그 소프트웨어(722)의 실행 동안에 프로세서(702) 내에 그 리고/또는 메인 메모리(704) 내에, 완전히 또는 적어도 부분적으로 상주할 수 있으며, 메인 메모리(704) 및 프로세서(702)가 또한 머신 판독가능 저장 매체들을 구성한다. 소프트웨어(722)는 추가로, 네트워크 인터페이스 디바이스(708)를 통하여 네트워크(720)를 통해 송신 또는 수신될 수 있다.

[0057] 머신 액세스가능 저장 매체(731)는 또한, 패턴 인식 알고리즘들, 아티팩트 형상 데이터, 아티팩트 위치 데이터, 또는 입자 스파클(sparkle) 데이터를 저장하기 위해 사용될 수 있다. 예시적인 실시예에서 머신 액세스가능 저장 매체(731)가 단일 매체인 것으로 도시되지만, "머신 판독가능 저장 매체"라는 용어는 명령들의 하나 또는 그 초과 세트들을 저장하는 다수의 매체들(예컨대, 중앙 집중식 또는 분산식 데이터베이스, 및/또는 연관된 캐시들 및 서버들) 또는 단일 매체를 포함하는 것으로 취해져야 한다. "머신-판독가능 저장 매체"라는 용어는 또한, 머신으로 하여금 본 발명의 방법들 중 임의의 하나 또는 그 초과를 수행하게 하는 그리고 머신에 의한 실행을 위한 명령들의 세트를 저장 또는 인코딩할 수 있는 임의의 매체를 포함하는 것으로 취해져야 한다. 따라서, "머신-판독가능 저장 매체"라는 용어는 솔리드-스테이트 메모리들 그리고 광학 및 자성 매체들을 포함하는 (그러나, 이에 제한되지 않는) 것으로 취해져야 한다.

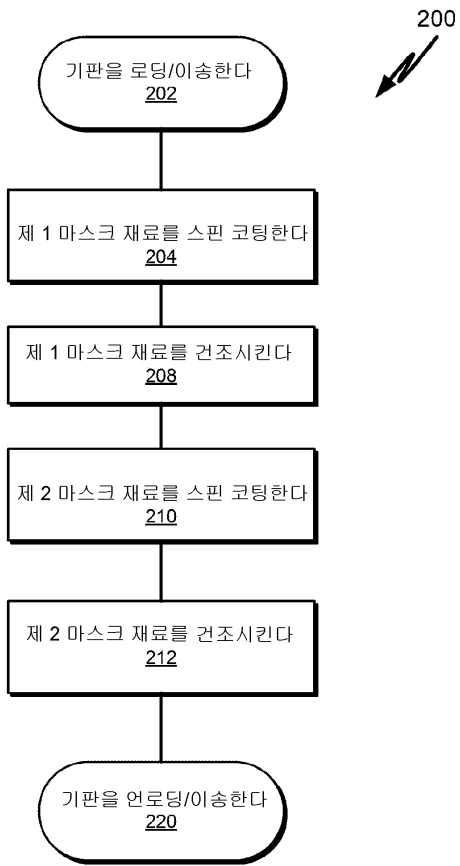
[0058] 따라서, 각각의 기관이 복수의 IC들을 갖는 반도체 기관들을 다이싱하는 방법들이 개시되었다. 요약서에서 설명된 것을 포함하는 본 발명의 예시적인 실시예들의 위의 설명은 포괄적이도록 의도되지 않거나, 또는 본 발명을 개시된 정밀한 형태들로 제한하도록 의도되지 않는다. 본 발명의 특정 구현들 그리고 본 발명에 대한 예들이 여기에서 예시적인 목적들을 위해 설명되지만, 당업자가 인식할 바와 같이, 본 발명의 범위 내에서 다양한 동등한 변형들이 가능하다. 따라서, 본 발명의 범위는 다음의 청구항들에 의해 전부 결정될 것이고, 그 청구항들은 청구항 해석의 확립된 원칙들에 따라 이해될 것이다.

도면

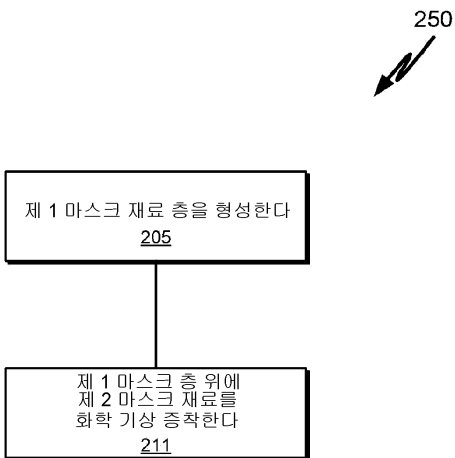
도면1



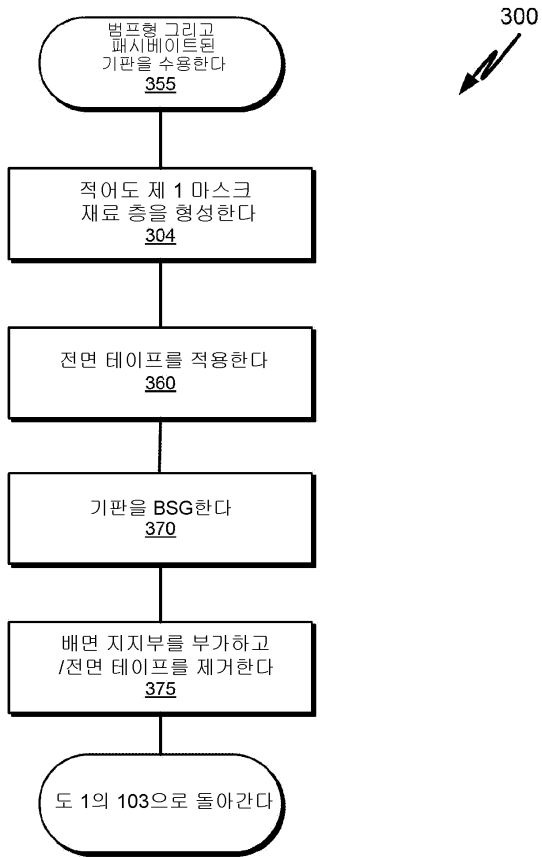
도면2a



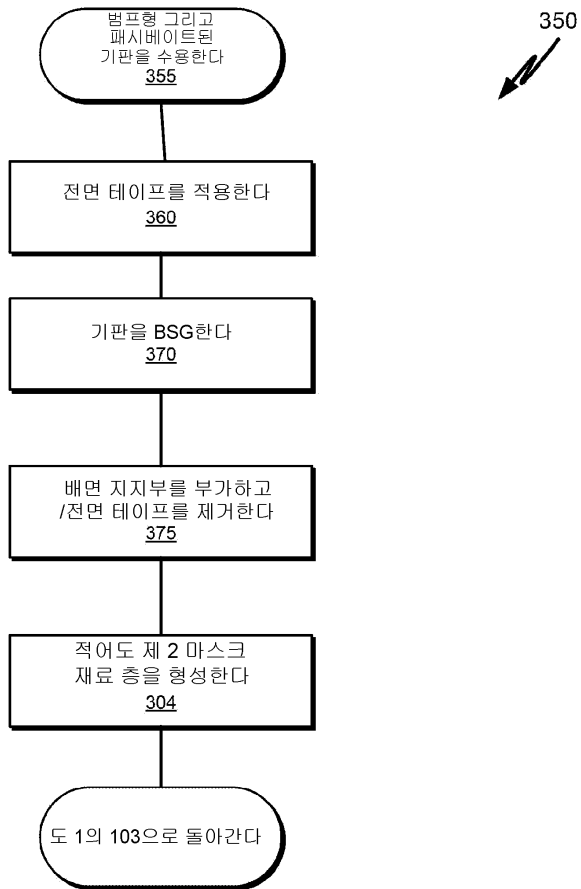
도면2b



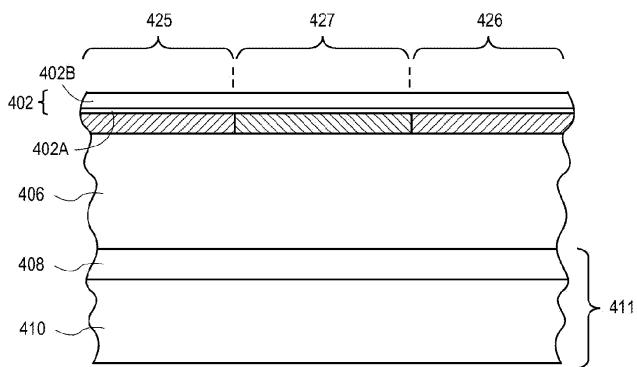
도면3a



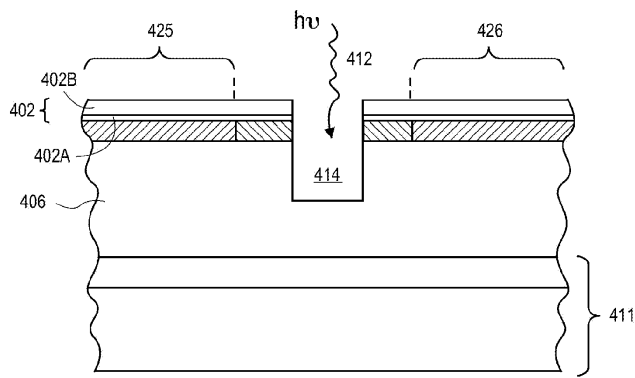
도면3b



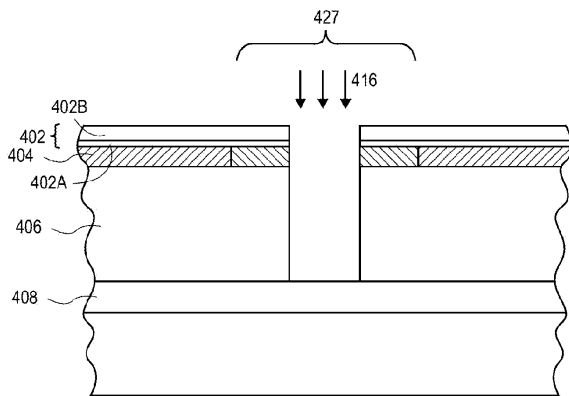
도면4a



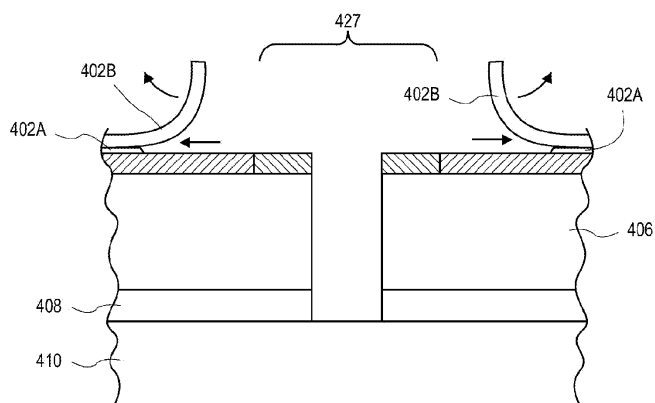
도면4b



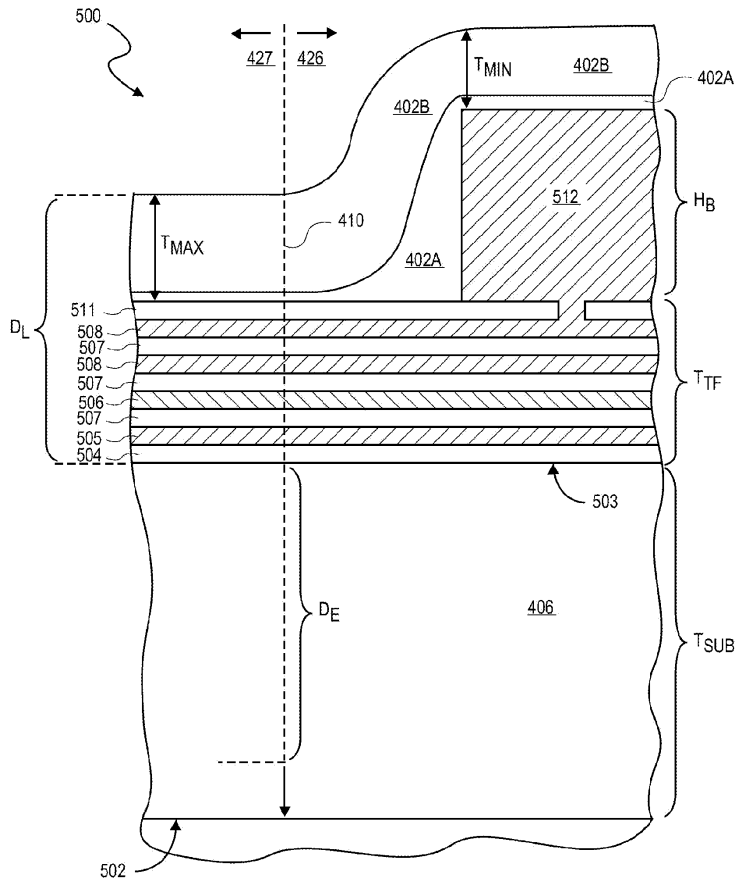
도면4c



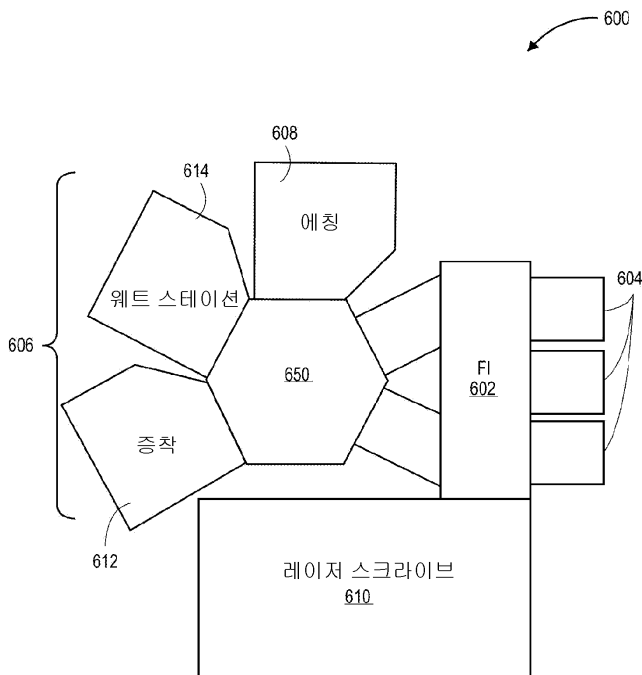
도면4d



도면5



도면6



도면7

