(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月12日(12.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/185296 A1

(51) 国際特許分類:
H04N 25/768 (2023.01) *H04N 25/773* (2023.01)

(21) 国際出願番号： PCT/JP2024/000633

(22) 国際出願日： 2024年1月12日(12.01.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-035921 2023年3月8日(08.03.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

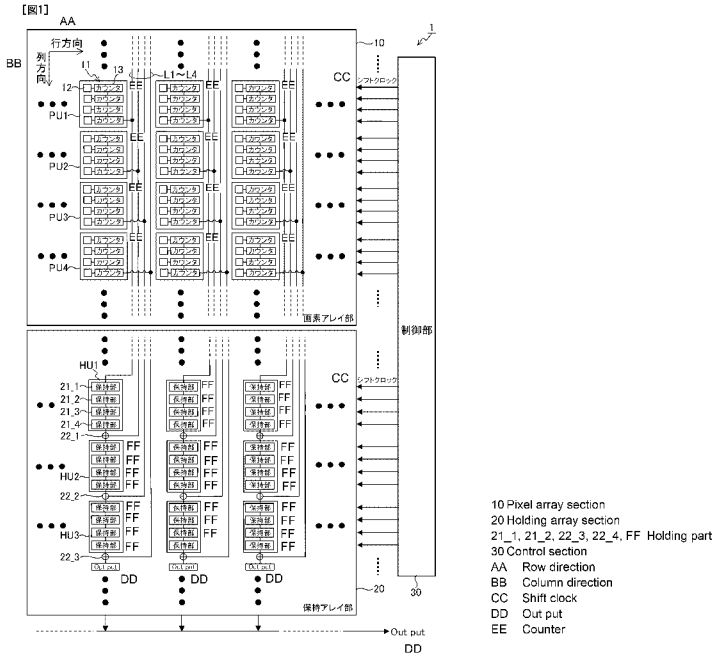
(72) 発明者: 池田 泰二(**IKEDA, Yasuji**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** LIGHT DETECTION DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称： 光検出装置および電子機器



(57) **Abstract:** The present technology further increases the number of TDI processing stages in a light detection device which performs TDI processing. A light detection device according to the present technology comprises: a pixel array section in which pixel circuits that have photon detection parts and counters are arranged in a matrix, and in which pixel units are formed with N-stages (N is an integer) as one unit for each pixel column; a holding array section that is provided outside the pixel array section and that holds count values read from the pixel units; and a control section that reads

WO 2024/185296 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

the count values for the pixel units on an M-pixel unit (M is an integer) basis. The holding array section comprises (M-1)-holding units that each have N-stage holding parts which hold the count values read from one pixel unit of the M-pixel units; and (M-1)-adder circuits that adds held values of the last-stage holding part of the N-stage holding parts and the count values read from a pixel unit at the stage subsequent to the one pixel unit.

(57) 要約:ＴＤＩ処理を行う光検出装置において、ＴＤＩ処理のより多段化を図る。 本技術の光検出装置は、フォトン検出部とカウンタとを有する画素回路が行列状に配置され、画素列毎にＮ段（Ｎは、整数）を１ユニットとして画素ユニットを構成する画素アレイ部と、画素アレイ部の外部に設けられ、画素ユニットから読み出されるカウント値を保持する保持アレイ部と、Ｍ個（Ｍは、整数）の画素ユニットを単位として各画素ユニット毎にカウント値を読み出す制御部とを具備する。保持アレイ部は、Ｍ個の画素ユニットの一の画素ユニットから読み出されるカウント値を保持するＮ段の保持部を有する（Ｍ－１）個の保持ユニットと、Ｎ段の保持部における最終段の保持部の保持値と、一の画素ユニットの次段の画素ユニットから読み出されるカウント値とを加算する（Ｍ－１）個の加算回路とを備える。

明　細　書

発明の名称 ： 光検出装置および電子機器

技術分野

[0001]　本技術は、光検出装置に関する。詳しくは、時間遅延積分処理を行う光検出装置および電子機器に関する。

背景技術

[0002]　従来より、ＦＡ（Factory Automation）の分野、空撮の分野、あるいは、医療の分野において、時間遅延積分（Time Delay Integration：ＴＤＩ）処理を行うＴＤＩセンサが用いられている。このＴＤＩセンサは、被写体の移動速度に合わせて時間をずらしながら、電荷量を積分するＴＤＩ処理を行うセンサである。例えば、行列状に配置された各画素回路において、カウンタのカウント値を、ラッチ部を介して次段（次の行）のカウンタに初期値として書き込み、当該初期値に対して光入射に応答して光パルス応答部から得られる情報を加算することで、ＴＤＩ処理を実現する撮像装置が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０２３／２７６２９９号

発明の概要

発明が解決しようとする課題

[0004]　上述の従来技術では、ＴＤＩ処理により、列方向において隣接する２つのカウンタの間にラッチ部を設けることで、簡易な制御で画像データの転送を実現することができる。しかしながら、上述の撮像装置では、２つのカウンタ間にラッチ部を設け、画素アレイ部内においてカウンタのカウント値のシフトおよび加算を行う構成となっているため、画素アレイ部内の回路面積が増大する。その結果、画素アレイ部内に配置可能なカウンタの数が限られるために、ＴＤＩ処理のより多段化を図ることが難しい。

[0005] 本技術は、このような状況に鑑みて生み出されたものであり、ＴＤＩ処理を行う光検出装置において、ＴＤＩ処理のより多段化を図ることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、フォトンの入射に応答してパルス信号を生成するフォトン検出部と前記フォトン検出部で生成される上記パルス信号をカウントするカウンタとを有する画素回路が行列状に配置され、上記画素回路について画素列毎にＮ段（Ｎは、整数）を１ユニットとして画素ユニットを構成する画素アレイ部と、上記画素アレイ部の外部に設けられ、上記画素ユニットから読み出される上記カウンタのカウント値を保持する保持アレイ部と、上記画素ユニットにおいて次ラインの露光開始前に前段の上記カウンタのカウント値を次段の上記カウンタに書き込むシフト動作を行うとともに、上記画素アレイ部から上記保持アレイ部に対して、Ｍ個（Ｍは、整数）の画素ユニットを単位として各画素ユニット毎に上記カウンタのカウント値を読み出す制御部とを具備し、上記保持アレイ部は、上記画素アレイ部の画素列に対応して設けられ、上記Ｍ個の画素ユニットの一の画素ユニットから読み出される上記カウンタのカウント値を保持するＮ段の保持部を有する（Ｍ－１）個の保持ユニットと、上記Ｎ段の保持部における最終段の保持部の保持値と、上記一の画素ユニットの次段の画素ユニットから読み出される上記カウンタのカウント値とを加算する（Ｍ－１）個の加算回路とを備える光検出装置である。これにより、画素アレイ部内の回路面積を縮小できるため、ＴＤＩ処理をより多段化でき、ダイナミックレンジの拡大を図ることができるという作用をもたらす。

[0007] また、この第１の側面において、上記画素アレイ部の各段の上記カウンタのビット数について、初段の上記カウンタの最大値および上記１ユニット内の段数に基づいて設定されるビット数であるとしてもよい。これにより、１ユニットをより小さい面積で形成することができるという作用をもたらす。

[0008] また、この第１の側面において、上記Ｍ個の画素ユニットの各画素ユニットについて、上記制御部による制御の下に読み出される上記カウンタのカウント値を保持する読み出し用保持回路を有し、上記制御部について、上記読み出し用保持回路からの上記カウンタのカウント値の読み出しを順次行うようにしてもよい。これにより、各段でシフトが行われる露光期間中に、上記読み出し用保持回路に保持されたカウント値の読み出しを完了すればよいため、読み出し時間の確保が可能となるという作用をもたらす。

[0009] また、この第１の側面において、上記Ｍ個の画素ユニットの各画素ユニットに対して共通の読み出しラインを備え、上記制御部について、上記Ｍ個の画素ユニットの各画素ユニットの上記読み出し用保持回路からの上記カウンタのカウント値の上記共通の読み出しラインへの読み出しを順次行うようにしてもよい。これにより、各段でシフトが行われる露光期間中に、上記読み出し用保持回路に保持されたカウント値の読み出しを完了すればよいため、読み出し時間の確保が可能となるという作用をもたらす。

[0010] また、この第１の側面において、上記Ｍ個の画素ユニットの各画素ユニットに対して読み出しラインを各画素ユニット毎に備え、上記Ｍ個の画素ユニットの各画素ユニットについて、上記保持アレイ部に保持された上記カウンタのカウント値をパラレルシリアル変換するパラレルシリアル変換部を有し、上記制御部について、上記パラレルシリアル変換部でパラレルシリアル変換された値を、対応する上記読み出しラインに読み出す制御を行うようにしてもよい。これにより、画素ユニット毎に読み出しラインが１本で済むため、読み出しラインの削減を図ることができるという作用をもたらす。

[0011] また、この第１の側面において、上記Ｍ個の画素ユニットの各画素ユニットについて、最終段の上記画素回路として、露光を行わないブランキングのフォトン検出部および読み出し用保持回路を有し、上記制御部について、上記読み出し用保持回路に保持されたカウント値を上記保持アレイ部に読み出す制御を行うようにしてもよい。これにより、各画素ユニットのレイアウトが容易になるという作用をもたらす。

[0012] また、この第１の側面において、上記保持ユニットにおける上記Ｎ段の保持部について、シフトレジスタからなり、上記画素ユニットにおけるシフト動作と同一のタイミングでシフト動作を行うようにしてもよい。これにより、画素アレイ部から読み出されたカウンタのカウント値についてシフト、加算を行うことができるという作用をもたらす。

[0013] また、この第１の側面において、上記保持ユニットについて、Ｎ段のメモリと上記Ｎ段のメモリの一つを選択するマルチプレクサとを有し、上記マルチプレクサについて、上記画素ユニットの読み出し行のシフトに同期して上記Ｎ段のメモリを順次選択するようにしてもよい。これにより、画素アレイ部から読み出されたカウンタのカウント値についてシフト、加算を行うことができるという作用をもたらす。

[0014] また、この第１の側面において、上記制御部について、上記画素アレイ部において、上記画素ユニットの最上位ビットのカウント値のみを読み出し、最上位ビット以外のビットのカウント値については次段の画素ユニットにシフトし、上記保持アレイ部において、上記保持ユニットでカウントした最上位ビットのカウント値と上記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得るようにしてもよい。これにより、画素アレイ部からの読み出しビット数の削減、および、保持アレイ部の回路削減を図ることができるという作用をもたらす。

[0015] また、この第１の側面において、上記制御部について、上記画素アレイ部において、上記画素ユニットの最上位ビットのカウント値のみを読み出した上で全ビットのカウント値については次段の画素ユニットにシフトし、上記保持アレイ部において、最上位ビットのオーバーフローを検出し、オーバーフローの検出回数と上記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得るようにしてもよい。これにより、画素アレイ部からの読み出しビット数の削減、および、保持アレイ部の回路削減を図ることができるという作用をもたらす。

[0016] また、この第１の側面において、上記保持アレイ部について、上記画素ア

レイ部が形成された半導体基板外に配置されるようにしてもよい。これにより、画素アレイ部が形成された半導体基板のチップサイズの縮小化を図ることができるという作用をもたらす。

[0017] また、この第１の側面において、上記保持アレイ部について、上記画素アレイ部が形成された半導体基板内に配置されるようにしてもよい。これにより、画素アレイ部に対する保持アレイ部の電気的な接続が容易になるという作用をもたらす。

[0018] また、この第１の側面において、少なくとも２つの半導体基板が積層された積層チップ構造を備え、上記画素アレイ部における上記フォトン検出部について、上層の半導体基板に配置され、上記画素アレイ部における上記カウンタおよび上記保持アレイ部について、下層の半導体基板に配置されるようにしてもよい。これにより、各カウンタと保持アレイ部との電気的な接続が容易になるという作用をもたらす。

[0019] また、この第１の側面において、上記フォトン検出部の受光部がアバランシェフォトダイオードであってもよい。これにより、フォトンを検出することができるという作用をもたらす。

図面の簡単な説明

[0020] [図1]本技術の第１の実施の形態における光検出装置の全体構成の概略を模式的に示すブロック図である。

[図2]本技術の第１の実施の形態における光検出装置の画素回路におけるフォトン検出部についての説明に供する図である。

[図3]本技術の第１の実施の形態における光検出装置の動作の一例の説明に供する図である。

[図4]本技術の第１の実施の形態における光検出装置の保持アレイ部の配置例１を模式的に示す平面図である。

[図5]本技術の第１の実施の形態における光検出装置の保持アレイ部の配置例２を模式的に示す平面図である。

[図6]本技術の第１の実施の形態における光検出装置の保持アレイ部の配置例

３を模式的に示す分解斜視図である。

[図7]本技術の第２の実施の形態における光検出装置の実施例１に係る画素ユニットの構成を模式的に示す図である。

[図8]本技術の第２の実施の形態における光検出装置の実施例２に係る画素ユニットの構成を模式的に示す図である。

[図9]本技術の第２の実施の形態における光検出装置の実施例３に係る画素ユニットの構成を模式的に示す図である。

[図10]本技術の第３の実施の形態における光検出装置の要部の構成を模式的に示す図である。

[図11]本技術の第３の実施の形態における光検出装置の要部の動作説明に供するタイミングチャートである。

[図12]本技術の第４の実施の形態における光検出装置の要部の構成を模式的に示す図である。

[図13]本技術の第４の実施の形態における光検出装置の要部の動作説明に供するタイミングチャートである。

[図14]本技術の第５の実施の形態における保持アレイ部の回路構成例１を示す回路図である。

[図15]本技術の第５の実施の形態における保持アレイ部の回路構成例２を示す回路図である。

[図16]本技術の第６の実施の形態における画素アレイ部および保持アレイ部の回路構成例を示す回路図である。

[図17]本技術の第６の実施の形態における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示す図である。

[図18]本技術の第７の実施の形態における画素アレイ部および保持アレイ部の回路構成例を示す回路図である。

[図19]本技術の第７の実施の形態における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示す図である。

[図20]本技術の適用例に係る生体試料分析装置の概略構成例を示す図である

。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（画素アレイ部外に保持アレイ部を設けてＴＤＩ処理を行う例）

２．第２の実施の形態（ＴＤＩ処理を行う画素ユニットの具体的な構成の実施例）

３．第３の実施の形態（画素回路毎に読み出し用保持回路を有し、保持回路の保持値を各画素ユニット共通の読み出しラインに読み出す例）

４．第４の実施の形態（画素回路毎に読み出し用保持回路を有し、保持回路の保持値をパラレルシリアル変換して読み出しラインに読み出す例）

５．第５の実施の形態（保持アレイ部の他の回路構成の例）

６．第６の実施の形態（一つの画素ユニットの最上位ビットのカウント値を外部に読み出し、残りのビットのカウント値を次段のカウンタに送る例）

７．第７の実施の形態（一つの画素ユニットの最上位ビットのカウント値を外部に読み出し、全ビットのカウント値を次段のカウンタに送る例）

８．変形例

９．適用例（生体試料分析装置に適用する例）

１０．本技術がとることができる構成

[0022] ＜１．第１の実施の形態＞

［光検出装置の構成例］

図１は、本技術の第１の実施の形態における光検出装置の全体構成の概略を模式的に示すブロック図である。本技術の第１の実施の形態における光検出装置１は、画素アレイ部１０、保持アレイ部２０、および、制御部３０を具備している。

[0023] 画素アレイ部１０は、光電変換を行う複数の画素回路１１を有している。複数の画素回路１１は、画素アレイ部１０の有効画素領域において行列状（

アレイ状）に配置されている。本明細書中では、便宜上、複数の画素回路１１がアレイ状に配置されたアレイ部を画素アレイ部と呼ぶこととする。画素アレイ部１０を備える光検出装置１においては、撮像対象物（被写体）が、例えば、画素アレイ部１０に対して画素列方向に一定の速度で移動することが前提となっている。

[0024] 本技術の第１の実施の形態における光検出装置１は、画素アレイ部１０および保持アレイ部２０に対する制御部３０による制御の下に、撮像対象物の移動速度に合わせて時間をずらしながら、電荷量を積分するＴＤＩ処理を行うことで、高感度・低ノイズの画像データを取得することができるＴＤＩセンサである。

[0025] 複数の画素回路１１の各々は、フォトンの入射に応答してパルス信号を生成するフォトン検出部１２、および、フォトン検出部１２で生成されるパルス信号をカウントするカウンタ１３を有する構成となっている。画素回路１１におけるフォトン検出部１２の詳細については後述する。

[0026] カウンタ１３は、一定の期間においてフォトン検出部１２に入射したフォトンのカウントを行う。カウンタ１３のカウント値は、画素回路１１の画素値でもある。カウンタ１３のカウント値は、次段のカウンタ１３に初期値として送られる（シフトされる）。次段のカウンタ１３は、前段のカウンタ１３からシフトされた初期値に対して加算する形でパルス信号のカウントを行う。この画素回路１１におけるカウンタ１３によるシフトおよびカウントの一連の処理が、上述のＴＤＩ処理でもある。

[0027] （画素アレイ部）

本技術の第１の実施の形態における光検出装置１の画素アレイ部１０では、画素回路１１について画素列毎にＮ段（Ｎは、整数）を１ユニット（１単位）とする画素ユニットを構成している。Ｎ段は、Ｎ行（Ｎライン）でもある。ここでは、Ｎ＝４として、画素列毎に４行（４ライン）を１ユニットとして画素ユニットが構成されている。また、Ｎ段の画素ユニットをＭユニット（Ｍは、整数）配列することで（Ｎ×Ｍ）段の画素アレイ部１０が構成さ

れている。ここでは、Ｍ＝４として、４段（４ユニット）の画素ユニットＰＵ１～ＰＵ４を構成している。

[0028] ４段（４個）の画素ユニットＰＵ１～ＰＵ４において、複数の画素回路１１の各カウンタ１３は、同一画素列の前の画素行（ライン）に属するカウンタ１３のカウント値を書き込むデータシフト機能を持っている。そして、制御部３０による制御の下に、複数の画素回路１１の各カウンタ１３は、以下のようにしてＴＤＩ処理（ＴＤＩ動作）を行う。

[0029] １段目のカウンタ１３がフォトン検出部１２で生成されるパルス信号のカウント動作を行った後、２段目のカウンタ１３は、１段目のカウンタ１３のカウント値を初期値として書き込み、当該初期値に対してフォトン検出部１２で生成されるパルス信号を加算して２段目のカウンタ１３のカウント値とする。３段目のカウンタ１３は、２段目のカウンタ１３のカウント値を初期値として書き込み、当該初期値に対してフォトン検出部１２で生成されるパルス信号を加算して３段目のカウンタ１３のカウント値とする。４段目のカウンタ１３は、３段目のカウンタ１３のカウント値を初期値として書き込み、当該初期値に対してフォトン検出部１２で生成されるパルス信号を加算して４段目のカウンタ１３のカウント値とする。

[0030] ４段の画素ユニットＰＵ１～ＰＵ４の各最終段（本例では、４段目）のカウンタ１３のカウント値は、制御部３０による制御の下に、４段の画素ユニットＰＵ１～ＰＵ４を単位として各画素ユニット毎に、画素アレイ部１０外に配置された保持アレイ部２０に読み出し線Ｌ１～Ｌ４を通して読み出される。

[0031] （保持アレイ部）

保持アレイ部２０は、画素アレイ部１０の外部に設けられ、行列状（アレイ状）に配置された複数の保持部（保持回路）を有している。本明細書中では、便宜上、複数の保持部（保持回路）がアレイ状に配置されたアレイ部を保持アレイ部と呼ぶこととする。

[0032] 保持アレイ部２０は、制御部３０による制御の下に、画素アレイ部１０か

ら４段の画素ユニットＰＵ１～ＰＵ４の各画素ユニット毎に、読み出し線Ｌ１～Ｌ４を通して読み出されるカウンタ１３のカウント値を保持する。保持アレイ部２０は、（Ｍ－１）段の保持ユニットと加算回路、本例では、３段の保持ユニットＨＵ１～ＨＵ３と、３段の加算回路２２_1～２２_3とから構成されている。

[0033] ３段の保持ユニットＨＵ１～ＨＵ３は、各々、画素アレイ部１０における４段の画素ユニットＰＵ１～ＰＵ４の一の画素ユニットから読み出されるカウンタ１３のカウント値を保持するＮ段、本例では、４段の保持部２１_1～２１_4を有している。保持部２１_1～２１_4は、制御部３０による制御の下に、保持値をシフトする機能を持っている。

[0034] ３段の加算回路２２_1～２２_3は、４段の保持部２１_1～２１_4における最終段の保持部２１_4の保持値と、画素アレイ部１０における４段の画素ユニットＰＵ１～ＰＵ４の一の画素ユニットの次段の画素ユニットから読み出されるカウンタ１３のカウント値とを加算する処理を行う。

[0035] 保持アレイ部２０において、１ユニット目の保持ユニットＨＵ１は、画素アレイ部１０の１段目の画素ユニットＰＵ１から出力されるカウンタ１３のカウント値を入力とする。そして、１ユニット目の保持ユニットＨＵ１の出力と画素アレイ部１０の２段目の画素ユニットＰＵ２の出力とが１段目の加算回路２２_1で加算され、その加算結果が２ユニット目の保持ユニットＨＵ２の入力となる。

[0036] ２ユニット目の保持ユニットＨＵ２の出力と画素アレイ部１０の３ユニット目の画素ユニットＰＵ３の出力とが２段目の加算回路２２_2で加算され、その加算結果が３ユニット目の保持ユニットＨＵ３の入力となる。３ユニット目の保持ユニットＨＵ３の出力と画素アレイ部１０の４段目の画素ユニットＰＵ４の出力とが３段目の加算回路２２_3で加算され、その加算結果を総カウント値として得る。

[0037] 制御部３０による制御の下に、画素アレイ部１０における画素ユニットＰＵ１～ＰＵ４のシフト動作と、保持アレイ部２０における保持ユニットＨＵ

１～ＨＵ３のシフト動作とは同一のタイミングで実施される。

[0038] （制御部）

制御部３０は、画素アレイ部１０における４段の画素ユニットＰＵ１～ＰＵ４の各画素ユニット、および、保持アレイ部２０における３段の保持ユニットＨＵ１～ＨＵ３に対してシフトクロックを含む制御信号を適宜与える。そして、制御部３０は、画素ユニットにおいて次ラインの露光開始前に前段のカウンタのカウント値を次段のカウンタに書き込むシフト動作を行うとともに、画素アレイ部１０から保持アレイ部２０に対して、４段の画素ユニットＰＵ１～ＰＵ４の各画素ユニット毎にカウンタ１３のカウント値を読み出す制御を行う。

[0039] （フォトン検出部）

図２は、画素回路１１におけるフォトン検出部１２についての説明に供する図である。図２におけるａは、フォトン検出部１２の回路構成の一例を示す回路図である。フォトン検出部１２は、例えば、受光部１２１、クエンチ部１２２、および、波形整形部１２３を有する構成となっている。フォトン検出部１２には、外部回路であるリチャージ制御部１２０からリセットパルスＲＳＴが与えられる。

[0040] 受光部１２１としては、アバランシェフォトダイオード（ＡＰＤ）を用いることができる。ガイガーモードのアバランシェフォトダイオードでは、端子間に降伏電圧以上の電圧が印加されると、単一フォトンの入射でアバランシェ現象が発生する。単一フォトンをアバランシェ現象で増倍させるアバランシェフォトダイオードは、シングルフォトンアバランシェダイオード（ＳＰＡＤ(Single Photon Avalanche Diode)：単一光子アバランシェダイオード）と呼ばれている。ここでは、受光部１２１として、例えば、ＳＰＡＤ素子を用いる場合を例示している。フォトン検出部１２については、クエンチ部１２２に代えて、例えば抵抗素子を用いるようにしてもよい。

[0041] クエンチ部１２２は、受光部１２１に印加される電圧を降伏電圧まで下げることによって、アバランシェ現象を止める機能（クエンチ機能）を有する

。クエンチ部１２２は、さらに、受光部１２１に印加される電圧を降伏電圧以上のバイアス電圧にすることによって、受光部１２１で再びフォトンの検出を行えるようにする機能を有する。クエンチ部１２２は、例えば、Ｐ型ＭＯＳ（Metal Oxide Semiconductor）トランジスタによって構成されており、電源電圧V_{DD}のノードと受光部１２１（具体的には、ＳＰＡＤ素子のカソード電極）との間に接続されて、受光部１２１に対してリチャージを行う。

[0042] クエンチ部１２２を構成するＰ型ＭＯＳトランジスタのゲート電極には、外部回路であるリチャージ制御部１２０からリセットパルスＲＳＴが与えられる。このリセットパルスＲＳＴは、受光部１２１のリチャージのタイミングを制御するためのリチャージパルスである。

[0043] 波形整形部１２３は、例えばＣＭＯＳインバータによって構成され、受光部１２１の出力、即ち、Ｐ型ＭＯＳトランジスタのカソード電圧Ｖkの波形整形を行い、パルス信号ＰＬＳとして出力する。

[0044] 上述のように、フォトン検出部１２は、外部回路であるリチャージ制御部１２０から与えられるリセットパルスＲＳＴによって受光部１２１を周期的にリセットする構成となっている。これにより、カウンタ１３について、ビット数に応じた最大カウント数にコントロールすることが可能になる。

[0045] 図２におけるｂは、Ｐ型ＭＯＳトランジスタのカソード電圧Ｖk、リセットパルスＲＳＴ、および、パルス信号ＰＬＳのタイミング関係を示すタイミングチャートである。

[0046] ［光検出装置の動作例］

次に、上述の第１の実施の形態における光検出装置１の動作の一例について図３を参照して説明する。図３は、第１の実施の形態における光検出装置１の動作の一例の説明に供する図である。図３では、一つの画素列における４段（４ユニット）の画素ユニットＰＵ１～ＰＵ４、３段の保持ユニットＨＵ１～ＨＵ３、および、３段の加算回路２２_1～２２_3についての動作の場合を例示している。

[0047] 画素アレイ部１０内におけるシフト動作が１ユニット目の画素ユニットＰ

Ｕ１のＮ段目（本例では、４段目）まで到達すると（Ｓｔｅｐ１～４）、次のシフトのタイミングで、１ユニット目の画素ユニットＰＵ１の４段目のカウンタ１３のカウント値を、保持アレイ部２０における１ユニット目の保持ユニットＨＵ１の１段目の保持部２１_1にシフトする（Ｓｔｅｐ５）。それと同時に、２ユニット目の画素ユニットＰＵ２の１段目で新たにカウント動作を開始する。

[0048] 次に、画素アレイ部１０における２ユニット目の画素ユニットＰＵ２のシフト動作と同時に、保持アレイ部２０における１ユニット目の保持ユニットＨＵ１においてもシフト動作を行う（Ｓｔｅｐ６～８）。そして、シフト動作が４段目まで到達すると、次のシフトのタイミングで、画素アレイ部１０における２ユニット目の画素ユニットＰＵ２の４段目のカウント値と保持アレイ部２０における１ユニット目の保持ユニットＨＵ１の４段目の保持値とを加算し、その加算値を次の保持ユニット、即ち、２ユニット目の保持ユニットＨＵ２の１段目に保持する（Ｓｔｅｐ９）。同時に、画素アレイ部１０における３ユニット目の画素ユニットＰＵ３の１段目では新たにカウント動作を開始する。

[0049] 次に、画素アレイ部１０における３ユニット目の画素ユニットＰＵ３のシフト動作と同時に、保持アレイ部２０における２ユニット目の保持ユニットＨＵ２においてもシフト動作を行う（Ｓｔｅｐ１０～１２）。そして、シフト動作が４段目まで到達すると、次のシフトのタイミングで、画素アレイ部１０における３ユニット目の画素ユニットＰＵ３の４段目のカウント値と保持アレイ部２０における２ユニット目の保持ユニットＨＵ２の４段目の保持値とを加算し、その加算値を次の保持ユニット、即ち、３ユニット目の保持ユニットＨＵ３の１段目に保持する（Ｓｔｅｐ１３）。同時に、画素アレイ部１０における４ユニット目の画素ユニットＰＵ４の１段目では新たにカウント動作を開始する。

[0050] 次に、画素アレイ部１０における４ユニット目の画素ユニットＰＵ４のシフト動作と同時に、保持アレイ部２０における３ユニット目の保持ユニット

ＨＵ３においてもシフト動作を行う（Ｓｔｅｐ１４～１６）。そして、シフト動作が４段目まで到達すると、次のシフトのタイミングで、画素アレイ部１０における４ユニット目の画素ユニットＰＵ４の４段目のカウント値と保持アレイ部２０における３ユニット目の保持ユニットＨＵ３の４段目の保持値とを加算し、その加算値を総カウント値として出力する。

[0051] 上述した一連の処理、即ち、Ｎ段毎にカウンタ１３のカウント値を、画素アレイ部１０の外部の保持アレイ部２０に読み出し、外部の保持アレイ部２０でシフト、加算を行う処理を繰り返す処理が、本技術の第１の実施の形態における光検出装置１において実行されるＴＤＩ処理である。

[0052] 上述のように、本技術の第１の実施の形態における光検出装置１では、画素アレイ部１０の外部に保持アレイ部２０を設け、Ｎ段毎にカウンタ１３のカウント値を保持アレイ部２０に読み出してシフト、加算を行うようにしているため、画素アレイ部１０内の回路面積を縮小できる。そして、回路面積を縮小できることによってＴＤＩ処理をより多段化でき、それに伴って総カウント値（総カウント数）を増やすことができるため、ダイナミックレンジの拡大を図ることができる。

[0053] ［保持アレイ部の配置例］

続いて、本技術の第１の実施の形態における光検出装置１の保持アレイ部２０の配置例について説明する。この保持アレイ部２０の配置例については、後述する各実施の形態においても同様である。以下に、配置例１、配置例２、および、配置例３について説明するが、いずれの配置例を採用するかは任意である。

[0054] （配置例１）

図４は、本技術の第１の実施の形態における光検出装置１の保持アレイ部２０の配置例１を模式的に示す平面図である。配置例１では、複数の画素回路１１がアレイ状に配置された画素アレイ部１０が、半導体基板１０１上に形成されている。画素アレイ部１０が形成された半導体基板１０１は、センサチップである。そして、配置例１では、画素アレイ部１０が半導体基板１

０１内に形成されているのに対して、保持アレイ部２０は半導体基板１０１外に配置された構成となっている。半導体基板１０１内に配置された画素アレイ部１０と半導体基板１０１外に配置された保持アレイ部２０とは、多ビットの読み出し線１０２を通して電気的に接続されている。保持アレイ部２０を画素アレイ部１０が形成された半導体基板１０１外に配置することで、半導体基板１０１のチップサイズの縮小化を図ることができる。

[0055] （配置例２）

図５は、本技術の第１の実施の形態における光検出装置１の保持アレイ部２０の配置例２を模式的に示す平面図である。配置例２では、複数の画素回路１１がアレイ状に配置された画素アレイ部１０が半導体基板１０１上に形成され、同じ半導体基板１０１上に保持アレイ部２０が形成された構成となっている。半導体基板１０１上において、画素アレイ部１０と保持アレイ部２０とは、読み出し線１０２を通して電気的に接続されている。このように、画素アレイ部１０と同じ半導体基板１０１上に保持アレイ部２０を配置することにより、画素アレイ部１０に対する保持アレイ部２０の電気的な接続が容易になる。

[0056] （配置例３）

図６は、本技術の第１の実施の形態における光検出装置１の保持アレイ部２０の配置例３を模式的に示す分解斜視図である。配置例３は、少なくとも２つの半導体基板が積層された積層チップ構造における配置例である。

[0057] 配置例３では、例えば、第１の半導体基板１０３と第２の半導体基板１０４とが積層された２層の積層チップ構造となっている。この２層の積層チップ構造において、上層の第１の半導体基板１０３上には、複数の画素回路１１の各カウンタ１３を除く画素アレイ部１０が形成され、下層の第２の半導体基板１０４上には、複数の画素回路１１の各カウンタ１３がアレイ状に配置されたカウンタアレイ部４０と保持アレイ部２０とが形成された構成となっている。

[0058] この２層の積層チップ構造において、画素アレイ部１０が形成された上層

の第１の半導体基板１０３がセンサチップであるのに対して、カウンタアレイ部４０および保持アレイ部２０が形成された下層の第２の半導体基板１０４はロジックチップである。そして、上層のセンサチップ上の画素アレイ部１０の各フォトン検出部１２と下層のロジックチップ上のカウンタアレイ部４０の各カウンタ１３とは、Ｃｕ－Ｃｕ接続（接合）、シリコン貫通電極（ＴＳＶ）、マイクロバンプ等の接続部１０５を介して電気的に接続される。

[0059] 上述のように、画素アレイ部１０におけるフォトン検出部１２について、上層の第１の半導体基板１０３に配置し、画素アレイ部１０におけるカウンタアレイ部４０および保持アレイ部２０について、下層の第２の半導体基板１０４に配置することにより、カウンタアレイ部４０の各カウンタ１３と保持アレイ部２０との電気的な接続が容易になる。

[0060] なお、配置例３では、１層目の第１の半導体基板１０３上に、複数の画素回路１１の各カウンタ１３を除く画素アレイ部１０を形成するとしたが、配置例１の場合のように、複数の画素回路１１の各カウンタ１３を含む画素アレイ部１０を形成するようにしてもよい。

[0061] ＜２．第２の実施の形態＞

本技術の第２の実施の形態は、ＴＤＩ処理を行う画素ユニットの具体的な構成の実施例である。なお、光検出装置１の全体構成については、上述の第１の実施の形態と同様であるため、詳細な説明は省略する。この点については、後述する各実施の形態においても同様である。

[0062] ［実施例１］

実施例１は、各画素ユニット内の各段のカウンタ１３のビット数を、初段のカウンタ１３のカウント値（カウント数）の最大値および１ユニット内の段数に基づいて設定する例である。図７は、本技術の第２の実施の形態における光検出装置の実施例１に係る画素ユニットの構成を模式的に示す図である。

[0063] 図７では、例えば４段構成の画素ユニットＰＵ１～ＰＵ４において、１段目の画素ユニットＰＵ１について、例えば１６段（Ｎ＝１６）のフォトン検

出部１２およびカウンタ１３を１ユニットとする構成を例示している。また、ここでは、例えば、図６に示す２層の積層チップ構造において、フォトン検出部１２を１層目の第１の半導体基板１０３（上チップ）に形成し、カウンタ１３を２層目の第２の半導体基板１０４（下チップ）に形成する構成を例示している。これらの点については、後述する実施例２および実施例３においても同様である。

[0064] 実施例１に係る画素ユニットＰＵ１は、初段のカウンタ１３のカウント値の最大値ＣＯＵＮＴmaxとし、１ユニット内の段数をＮ（本例では、Ｎ＝１６）とするとき、１ユニット内の各段のカウンタ１３のビット数を、（ＣＯＵＮＴmax×Ｎ）のカウント値に応じたビット数に設定した構成となっている。

[0065] 具体的には、１期間あたりのカウント値が最大６３だとし、初段のカウンタとして６ビットのカウンタが配置されるとき、２段目では、最大カウント値１２６（＝６３×２）に応じたビット数である７ビットのカウンタを配置し、３段目では、最大カウント値１８９（＝６３×３）に応じたビット数である８ビットのカウンタを配置する。以下同様に、各段のカウンタ１３のビット数を設定し、最終段（本例では、１６段目）では、最大カウント値１００８（＝６３×１６）に応じたビット数である１０ビットのカウンタを配置する。

[0066] ここでは、１段目の画素ユニットＰＵ１を例に挙げて各段のカウンタ１３のビット数の設定について説明したが、２段目～４段目の画素ユニットＰＵ２～ＰＵ４についても１段目の画素ユニットＰＵ１と同様である。

[0067] 上述のように、実施例１に係る画素ユニットでは、１ユニット内の各段のカウンタ１３のビット数を、初段のカウンタ１３のカウント値の最大値×１ユニット内の段数Ｎに設定するようにしているため、１ユニットをより小さい面積で形成することができる。

[0068] ［実施例２］

実施例２は、各画素ユニット内に少なくとも一つの読み出し用保持回路を有する例である。図８は、本技術の第２の実施の形態における光検出装置の

実施例２に係る画素ユニットの構成を模式的に示す図である。

[0069] 実施例２に係る画素ユニットＰＵ１は、画素ユニット内に読み出し用保持回路として、例えばメモリ１４を少なくとも一つ有する構成となっている。メモリ１４のビット幅は、画素ユニットＰＵ１のＮ段目（本例では、Ｎ＝１６）のカウンタ１３のビット幅と同一、即ち、１０ビットである。そして、メモリ１４には、Ｎ段目のカウンタ１３のカウント値が保持される。メモリ１４に保持されたカウント値については、制御部３０による制御の下に、保持アレイ部２０への読み出しが行われる。

[0070] ここでは、１段目の画素ユニットＰＵ１を例に挙げて、画素ユニット内に少なくとも一つの読み出し用保持回路を設けることについて説明したが、２段目～４段目の画素ユニットＰＵ２～ＰＵ４についても１段目の画素ユニットＰＵ１と同様である。

[0071] 上述のように、実施例２に係る画素ユニットでは、各画素ユニット内に読み出し用保持回路としてメモリ１４を少なくとも一つ有する構成となっている。これにより、各段でシフト動作が行われる露光期間中に、メモリ１４に保持されたカウント値の読み出しを完了すればよいため、読み出し時間の確保が可能となる。その結果、画素ユニットの数が増えた場合にも対応可能となる。

[0072] ［実施例３］

実施例３は、各画素ユニット内に露光を行わないブランキングのフォトン検出部とそれに対応した読み出し用保持回路を有する例である。図９は、本技術の第２の実施の形態における光検出装置の実施例３に係る画素ユニットの構成を模式的に示す図である。

[0073] 実施例３に係る画素ユニットＰＵ１は、最終段（Ｎ段目）の画素回路として、露光を行わないブランキングのフォトン検出部１５と、それに対応した読み出し用保持回路としてのメモリ１６とを有する構成となっている。最終段の画素回路では、露光を行わずに、メモリ１６に保持されたカウント値について、制御部３０による制御の下に、露光期間に保持アレイ部２０への読

み出しが行われる。

[0074] ここでは、１段目の画素ユニットＰＵ１を例に挙げて、最終段の画素回路として、露光を行わないブランキングのフォトン検出部１５と、それに対応した読み出し用保持回路とを設けることについて説明したが、２段目～４段目の画素ユニットＰＵ２～ＰＵ４についても１段目の画素ユニットＰＵ１と同様である。

[0075] 上述のように、実施例３に係る画素ユニットでは、各画素ユニット内の最終段の画素回路として、ブランキングのフォトン検出部１５および読み出し用保持回路を設けるようにしているため、実施例２に比べて各画素ユニットのレイアウトが容易になる。さらに、各段でシフトが行われる露光期間中に、読み出し用保持回路に保持されたカウント値の読み出しを完了すればよいため、読み出し時間の確保が可能となる。

[0076] ＜３．第３の実施の形態＞

本技術の第３の実施の形態は、画素ユニットの画素回路毎に読み出し用保持回路を有し、保持回路に保持されたカウント値（保持値）をスイッチ素子によって各画素ユニットに共通の読み出しラインに読み出す例である。

[0077] 図１０は、本技術の第３の実施の形態における光検出装置の要部の構成を模式的に示す図である。図１０では、光検出装置１の要部、具体的には、一つの画素列について、画素アレイ部１０における４段（４ユニット）の画素ユニットＰＵ１～ＰＵ４のうちの画素ユニットＰＵ１、および、保持アレイ部２０における３段の保持ユニットＨＵ１～ＨＵ３の回路構成を例示している。

[0078] 画素ユニットＰＵ１において、画素回路１１は、フォトン検出部１２およびカウンタ１３に加えて、読み出し用保持回路１７を有している。また、画素ユニットＰＵ１は、各画素回路１１毎にスイッチ素子ＳＷ１１～ＳＷ１４を有している。

[0079] 画素アレイ部１０および保持アレイ部２０には、カウンタ１３のビット数（例えば、１０ビット）に応じた読み出しライン５０が画素列毎に配線され

ている。そして、各画素回路１１における読み出し用保持回路１７と読み出しライン５０とは、制御部３０から与えられる選択信号ＳＥＬ１～ＳＥＬ４による制御の下に、スイッチ素子ＳＷ１１～ＳＷ１４によって選択的に接続される。

[0080] 保持アレイ部２０において、１段目の保持ユニットＨＵ１は、２段のシフトレジスタ１１およびシフトレジスタ１２によって構成されている。２段目の保持ユニットＨＵ２は、２段のシフトレジスタ２１およびシフトレジスタ２２によって構成されている。３段目の保持ユニットＨＵ３は、２段のシフトレジスタ３１およびシフトレジスタ３２によって構成されている。

[0081] １段目の保持ユニットＨＵ１のシフトレジスタ１１の入力端と読み出しライン５０との間にはスイッチ素子ＳＷ２１が設けられている。スイッチ素子ＳＷ２１は、制御部３０から供給される選択信号ＳＥＬ１に応答してオン（閉）状態になることで、読み出しライン５０を通して供給される画素ユニットＰＵ１の１段目のカウンタ１３のカウント値をシフトレジスタ１１に入力する。

[0082] １段目の加算回路２２_1と読み出しライン５０との間にはスイッチ素子ＳＷ２２が設けられている。スイッチ素子ＳＷ２２は、制御部３０から供給される選択信号ＳＥＬ２に応答してオン状態になることで、読み出しライン５０を通して供給される画素ユニットＰＵ１の２段目のカウンタ１３のカウント値を加算回路２２_1に入力する。これにより、加算回路２２_1は、１段目の保持ユニットＨＵ１の保持値と画素ユニットＰＵ１の２段目のカウンタ１３のカウント値とを加算し、その加算結果を２段目の保持ユニットＨＵ２の入力とする。

[0083] ２段目の加算回路２２_2と読み出しライン５０との間にはスイッチ素子ＳＷ２３が設けられている。スイッチ素子ＳＷ２３は、制御部３０から供給される選択信号ＳＥＬ３に応答してオン状態になることで、読み出しライン５０を通して供給される画素ユニットＰＵ１の３段目のカウンタ１３のカウント値を加算回路２２_2に入力する。これにより、加算回路２２_2は、２段目

の保持ユニットＨＵ２の保持値と画素ユニットＰＵ１の３段目のカウンタ１３のカウント値とを加算し、その加算結果を３段目の保持ユニットＨＵ３の入力とする。

[0084] ３段目の加算回路２２_3と読み出しライン５０との間にはスイッチ素子ＳＷ２４が設けられている。スイッチ素子ＳＷ２４は、制御部３０から供給され、選択信号ＳＥＬ４に応答してオン状態になることで、読み出しライン５０を通して供給される画素ユニットＰＵ１の４段目のカウンタ１３のカウント値を加算回路２２_3に入力する。これにより、加算回路２２_3は、３段目の保持ユニットＨＵ３の保持値と画素ユニットＰＵ１の４段目のカウンタ１３のカウント値とを加算し、その加算結果を総カウント値として出力する。

[0085] 図１１は、本技術の第３の実施の形態における光検出装置の要部の動作説明に供するタイミングチャートである。図１１には、制御部３０から画素ユニットＰＵ１および保持ユニットＨＵ１～ＨＵ３に与えられるシフトクロックおよび選択信号ＳＥＬ１～ＳＥＬ４のタイミング関係、ならびに、画素ユニットＰＵ１の読み出し用保持回路１～４および保持ユニットＨＵ１～ＨＵ３の各シフトレジスタの状態を示している。

[0086] 上述のように、本技術の第３の実施の形態における光検出装置１では、露光期間中、即ち、画素ユニットＰＵ１の読み出し用保持回路１～４がカウント値を保持している期間中に、スイッチ素子ＳＷ１１～ＳＷ１４によって各画素ユニットを順次読み出しライン５０に接続する。同時に、読み出しライン５０に接続された読み出し用保持回路に対応した保持ユニットＨＵ１～ＨＵ３の入力端を、スイッチ素子ＳＷ２１～ＳＷ２４によって読み出しライン５０に接続することで、順次、画素アレイ部１０の読み出し用保持回路１～４から保持アレイ部２０への保持値（カウント値）読み出しを実施する。

[0087] このように、画素ユニットの画素回路１１毎に読み出し用保持回路１７を有し、当該読み出し用保持回路１７の保持値（カウント値）を各画素ユニット共通の読み出しライン５０に読み出す構成とすることで、読み出しラインの削減を図ることができる。

[0088] ＜４．第４の実施の形態＞

本技術の第４の実施の形態は、画素ユニットの画素回路毎に読み出し用保持回路を有し、保持回路に保持されたカウント値（保持値）をパラレルシリアル変換して読み出しラインに読み出す例である。

[0089] 図１２は、本技術の第４の実施の形態における光検出装置の要部の構成を模式的に示す図である。図１２では、光検出装置１の要部、具体的には、一つの画素列について、画素アレイ部１０おける４段（４ユニット）の画素ユニットＰＵ１～ＰＵ４のうちの画素ユニットＰＵ１、および、保持アレイ部２０における３段の保持ユニットＨＵ１～ＨＵ３の回路構成を例示している。

[0090] 画素ユニットＰＵ１において、画素回路１１は、フォトン検出部１２およびカウンタ１３に加えて、読み出し用保持回路１７を有している。読み出し用保持回路１７は、カウント保持しているカウンタ１３のカウント値を、例えば４ビットのパラレルデータとして出力する。

[0091] 画素ユニットＰＵ１は、各画素回路１１毎に、読み出し用保持回路１７の後段回路としてパラレルシリアル変換回路１８を有している。図１２では、パラレルシリアル変換回路について「ＰＳ」と略記している。

[0092] 画素アレイ部１０および保持アレイ部２０には、画素ユニットＰＵ１の段数に対応する本数の読み出しラインＢＬ１～ＢＬ４が画素列毎に配線されている。

[0093] 画素ユニットＰＵ１において、各画素回路１１に対応するパラレルシリアル変換回路１８は、読み出し用保持回路１７から出力されるパラレルデータをシリアルデータに変換して、対応する読み出しラインＢＬ１～ＢＬ４に出力する。

[0094] 保持アレイ部２０において、１段目の保持ユニットＨＵ１は、２段のシフトレジスタ１２１２によって構成されている。２段目の保持ユニットＨＵ２は、２段のシフトレジスタ２１，２２によって構成されている。３段目の保持ユニットＨＵ３は、２段のシフトレジスタ３１，３２によって構成されて

いる。

[0095] １段目の保持ユニットＨＵ１のシフトレジスタ１１の入力端と読み出しラインＢＬ１との間には、シリアルパラレル変換回路２３_1が配置されている。図１２では、シリアルパラレル変換回路について「ＳＰ」と略記している。シリアルパラレル変換回路２３_1は、読み出しラインＢＬ１を通して供給される画素ユニットＰＵ１の１段目のカウンタ１３のカウント値についてのシリアルデータをパラレルデータに変換してシフトレジスタ１１に入力する。

[0096] １段目の加算回路２２_1と読み出しラインＢＬ２との間には、シリアルパラレル変換回路２３_2が配置されている。シリアルパラレル変換回路２３_2は、読み出しラインＢＬ２を通して供給される画素ユニットＰＵ１の２段目のカウンタ１３のカウント値についてのシリアルデータをパラレルデータに変換して加算回路２２_1に入力する。これにより、加算回路２２_1は、１段目の保持ユニットＨＵ１の保持値と画素ユニットＰＵ１の２段目のカウンタ１３のカウント値とを加算し、その加算結果を２段目の保持ユニットＨＵ２の入力とする。

[0097] ２段目の加算回路２２_2と読み出しラインＢＬ３との間には、シリアルパラレル変換回路２３_3が配置されている。シリアルパラレル変換回路２３_3は、読み出しラインＢＬ３を通して供給される画素ユニットＰＵ１の３段目のカウンタ１３のカウント値についてのシリアルデータをパラレルデータに変換して加算回路２２_2に入力する。これにより、加算回路２２_2は、２段目の保持ユニットＨＵ２の保持値と画素ユニットＰＵ１の３段目のカウンタ１３のカウント値とを加算し、その加算結果を３段目の保持ユニットＨＵ３の入力とする。

[0098] ３段目の加算回路２２_3と読み出しラインＢＬ４との間には、シリアルパラレル変換回路２３_4が配置されている。シリアルパラレル変換回路２３_4は、読み出しラインＢＬ４を通して供給される画素ユニットＰＵ１の４段目のカウンタ１３のカウント値についてのシリアルデータをパラレルデータに

変換して加算回路２２_3に入力する。これにより、加算回路２２_3は、３段目の保持ユニットＨＵ３の保持値と画素ユニットＰＵ１の４段目のカウンタ１３のカウント値とを加算し、その加算結果を総カウント値として出力する。

[0099] 図１３は、本技術の第４の実施の形態における光検出装置の要部の動作説明に供するタイミングチャートである。図１３には、制御部３０から画素ユニットＰＵ１および保持ユニットＨＵ１～ＨＵ３に与えられるシフトクロックに対する画素ユニットＰＵ１の読み出し用保持回路１～４、読み出しラインＢＬ１～ＢＬ４のデータ、および、保持ユニットＨＵ１～ＨＵ３の各シフトレジスタの状態を示している。

[0100] 上述のように、本技術の第４実施の形態における光検出装置１では、画素ユニットの画素回路毎に設けられた読み出し用保持回路に保持されたカウント値（保持値）をパラレルシリアル変換して読み出しラインに読み出すようにしていることで、画素ユニット毎に読み出しラインが１本で済むため、読み出しラインの削減を図ることができる。

[0101] ＜５．第５の実施の形態＞

本技術の第５の実施の形態は、保持アレイ部２０の他の回路構成の例である。以下では、保持アレイ部２０の他の回路構成の例として、回路構成例１および回路構成例２の２つの回路構成例について説明する。

[0102] ［回路構成例１］

図１４は、本技術の第５の実施の形態における保持アレイ部２０の回路構成例１を示す回路図である。図１４では、一例として、保持ユニットをＮ段（Ｒｏｗ１～ＲｏｗＮ）とし、画素アレイ部１０から入力されるデータ（カウント値）を４ビット（Ａ_Ｄ１～Ａ_Ｄ４）のデータとしている。

[0103] 以下では、データＡ_Ｄ１が入力される列の保持ユニットの回路構成について説明するが、データＡ_Ｄ２～Ａ_Ｄ４が入力される列の保持ユニットの回路構成についても、データＡ_Ｄ１が入力される列の保持ユニットの回路構成と同じである。

[0104] データＡ_Ｄ１が入力される列の保持ユニットは、Ｎ段のＤ型フリップフロップ２４_1～２４_Nと加算回路２５とから構成されている。Ｄ型フリップフロップ２４_1は、画素アレイ部１０から入力されるデータＡ_Ｄ１をＤ入力とする。Ｄ型フリップフロップ２４_1～２４_Nは、Ｑ出力を次段のＤ入力とすることでシフトレジスタを構成しており、図１に示す制御部３０から与えられるシフトクロックに同期して、画素アレイ部１０内のシフト動作と同一のタイミングでシフト動作を行う。

[0105] 加算回路２５は、Ｎ－１段のＤ型フリップフロップ（図示せず）のＱ出力と、画素アレイ部１０から供給されるデータＢ_Ｄとを加算し、その加算結果を最終段のＤ型フリップフロップ２４_NにそのＤ入力として供給する。

[0106] 上述の回路構成の回路構成例１に係る保持アレイ部２０によっても、第１の実施の形態における保持アレイ部２０の場合と同様に、画素アレイ部１０から読み出されたカウンタ１３のカウント値についてシフト、加算を行うことができる。

[0107] ［回路構成例２］

図１５は、本技術の第５の実施の形態における保持アレイ部２０の回路構成例２を示す回路図である。図１５では、Ｎ段（本例では、４段）構成の一つの保持ユニットを図示している。

[0108] 回路構成例２に係る保持アレイ部２０において、保持ユニットは、Ｎビットのメモリ２６-1～２６-4、加算回路２７-1～２７-4、および、マルチプレクサ２８によって構成されている。この保持ユニットにおいて、画素ユニットの読み出し行（ライン）のシフトに同期してメモリ２６-1～２６-4を順次選択することにより、時間毎に別のメモリに保持する。

[0109] 具体的には、一つのメモリ２６-1に注目したとき、まず、１ユニット目の画素ユニットの出力（カウント値）を保持した後、Ｎ段のシフト動作の期間の後に２ユニット目の画素ユニットの出力を取り込んで、前保持値と加算回路２７-1で加算し、その加算値を保持する。これにより、第１の実施の形態における保持アレイ部２０のシフト動作と同等の駆動を行うことができる。

[0110] 上述の回路構成の回路構成例２に係る保持アレイ部２０によっても、第１の実施の形態における保持アレイ部２０の場合と同様に、画素アレイ部１０から読み出されたカウンタ１３のカウント値についてシフト、加算を行うことができる。

[0111] ＜６．第６の実施の形態＞

本技術の第６の実施の形態は、一つの画素ユニットの最上位（ＭＳＢ）ビットのカウント値を外部に読み出し、残りのビットのカウント値を次段のカウンタに送る例である。

[0112] 図１６は、本技術の第６の実施の形態における画素アレイ部１０および保持アレイ部２０の回路構成例を示す回路図である。図１６では、画素回路１１のビット数を８ビットとし、８段（Ｎ＝８）の画素回路１１_1～１１_8によって一つの画素ユニットを構成している回路例を示している。８段の画素回路１１_1～１１_8に対応して、保持アレイ部２０には、３ビットの最上位ビットの保持部２９_1～２９_8が８段配置されている。

[0113] 画素アレイ部１０においては、制御部３０による制御の下に、一つの画素ユニットから最上位（ＭＳＢ）ビットのカウント値が外部に読み出され、残りのビットについては次段の画素ユニット（カウンタ）に送られる。なお、一つの画素ユニットに、最上位ビットのカウント値を保持する読み出し用保持回路を設け、当該保持回路から最上位ビットのカウント値を読み出すようにしてもよい。

[0114] 各画素ユニットの最終段のカウント値のうち読み出した最上位ビット以外のカウント値については、次段の画素ユニットの１段目のカウンタにシフトし、シフトした値から続けてＴＤＩ処理（ＴＤＩ動作）を行う。

[0115] 保持アレイ部２０においては、制御部３０による制御の下に、画素アレイ部１０から読み出された最上位ビットのカウント値について、最上位ビットの保持部２９_1～２９_8によってシフトが行われる。そして、加算回路２２_1おいて、次段の画素ユニットから読み出される最上位ビットのカウント値との加算を行った上で次段の保持ユニットの入力とする。

[0116] 上述の動作により、保持アレイ部２０では最上位ビットのカウントと同等の動作が行われる。そして、最終段で画素アレイ部１０から読み出された下位ビットのカウント値と保持アレイ部２０でシフトされた最上位ビットのカウント値とを加算回路２２_1で合算することにより総カウント値として得る。

[0117] 図１７は、本技術の第６の実施の形態における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示す図である。図１７におけるａは、画素アレイ部１０における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示し、同図におけるｂは、保持アレイ部２０における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示している。

[0118] 上述のように、本技術の第６の実施の形態では、画素アレイ部１０一つの画素ユニットの最上位ビットを保持アレイ部２０に読み出し、残りのビットを次段の画素ユニットのカウンタに送る。そして、保持アレイ部２０において、保持ユニットでカウントした最上位ビットのカウント値と次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る処理が行われる。これにより、基本的に、第１の実施の形態の場合と同様のＴＤＩ処理を実行することができる。また、第６の実施の形態によれば、画素アレイ部１０からの読み出しビット数の削減、および、保持アレイ部２０の回路削減を図ることができる。

[0119] ＜７．第７の実施の形態＞

本技術の第７の実施の形態は、一つの画素ユニットの最上位ビットのカウント値を外部に読み出し、全ビットのカウント値を次段のカウンタに送る例である。

[0120] 図１８は、本技術の第７の実施の形態における画素アレイ部１０および保持アレイ部２０の回路構成例を示す回路図である。図１８では、画素回路１１のビット数を８ビットとし、８段（Ｎ＝８）の画素回路１１_1～１１_8によって一つの画素ユニットを構成している回路例を示している。８段の画素回路１１_1～１１_8に対応して、保持アレイ部２０には、１ビットの最上位

ビットの保持部２９_1～２９_8が８段配置されている。保持アレイ部２０には、さらに、オーバーフロー判定回路６１および３ビットのオーバーフローカウント用の保持部６２_1～６２_8が配置されている。

[0121] 画素アレイ部１０においては、図１に示す制御部３０による制御の下に、一つの画素ユニットから最上位（ＭＳＢ）ビットのカウント値が外部に読み出され、残りのビットについては次段の画素ユニット（カウンタ）に送られる。なお、一つの画素ユニットに、最上位ビットのカウント値を保持する読み出し用保持回路を設け、当該保持回路から最上位ビットのカウント値を読み出すようにしてもよい。

[0122] 各画素ユニットの最終段のカウント値については、そのまま次段の画素ユニットの１段目のカウンタにシフトし、シフトした値から続けてＴＤＩ処理（ＴＤＩ動作）を行う。

[0123] 保持アレイ部２０においては、図１に示す制御部３０による制御の下に、画素アレイ部１０から読み出された最上位ビットのカウント値ａについて、最上位ビットの保持部２９_1～２９_8によってシフトが行われる。そして、次段の画素ユニットから読み出される最上位ビットのカウント値ｂとの比較をオーバーフロー判定回路６１で行ったうえで、０から１の遷移があった場合に（ａ＝１＆ｂ＝０）、オーバーフローカウント用の保持部６２_1～６２_8に１加算して保持する。オーバーフローカウント用の保持部６２_1～６２_8も、最上位ビットの保持部２９_1～２９_8と同様にシフト動作を行う。

[0124] 上述の動作により、保持アレイ部２０では、上位ビットのカウントと同等の動作が行われる。そして、最終段で画素アレイ部１０から読み出される下位ビットのカウント値と保持アレイ部２０でカウントされた上位ビットのカウント値を合算することにより総カウント値として得る。

[0125] 図１９は、本技術の第７の実施の形態における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示す図である。図１９におけるａは、画素アレイ部１０における画素行ｒｏｕに対するカウント値ＣＮＴの関係を示し、同図におけるｂは、保持アレイ部２０における画素行ｒｏｕに対するカウント値ＣＮ

Ｔの関係を示している。

[0126] 上述のように、本技術の第７の実施の形態では、画素アレイ部１０において、一つの画素ユニットの最上位ビットを保持アレイ部２０に読み出し、全ビットを次段の画素ユニットのカウンタに送る。そして、保持アレイ部２０において、最上位ビットのオーバーフローを検出し、オーバーフローの検出回数と次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る処理が行われる。これにより、基本的に、第１の実施の形態の場合と同様のＴＤＩ処理を実行することができる。また、第７の実施の形態によれば、第６の実施の形態と同様に、画素アレイ部１０からの読み出しビット数の削減、および、保持アレイ部２０の回路削減を図ることができる。

[0127] ＜８．変形例＞

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0128] ＜９．適用例＞

図２０は、本技術の適用例に係る生体試料分析装置２００の概略構成例を示す図である。生体試料分析装置２００は、本技術の電子機器の一例である。本技術の光検出装置１は、生体試料分析装置２００において、後述の検出部２０２に用いることができる。

[0129] 生体試料分析装置２００は、流路Ｃを流れる生体試料Ｓに光を照射する光照射部２０１、生体試料Ｓに光を照射することにより生じた光を検出する検出部２０２、および、検出部２０２により検出された光に関する情報を処理する情報処理部２０３を含む。

[0130] 生体試料分析装置２００の例としては、フローサイトメータおよびイメー

ジングサイトメータを挙げることができる。生体試料分析装置２００は、生体試料Ｓ内の特定の生体粒子Ｐの分取を行う分取部２０４を含んでもよい。分取部２０４を含む生体試料分析装置２００の例としては、セルソータを挙げることができる。

[0131] （生体試料）

生体試料Ｓは、生体粒子Ｐを含む液状試料であってよい。生体粒子Ｐは、例えば細胞又は非細胞性生体粒子である。上記細胞は、生細胞であってよく、より具体的な例として、赤血球や白血球などの血液細胞、及び精子や受精卵等生殖細胞を挙げることができる。また、上記細胞は全血等検体から直接採取されたものでもよいし、培養後に取得された培養細胞であってもよい。上記非細胞性生体粒子として、細胞外小胞、特にはエクソソーム及びマイクロベシクルなどを挙げることができる。生体粒子Ｐは、１つ又は複数の標識物質（例えば色素（特には蛍光色素）及び蛍光色素標識抗体など）によって標識されていてもよい。なお、本技術の生体試料分析装置により、生体粒子Ｐ以外の粒子が分析されてもよく、キャリブレーションなどのために、ビーズなどが分析されてもよい。

[0132] （流路）

流路Ｃは、生体試料Ｓが流れるように構成される。特には、流路Ｃは、生体試料Ｓに含まれる生体粒子Ｐが略一列に並んだ流れが形成されるように構成されうる。流路Ｃを含む流路構造は、層流が形成されるように設計されてよい。特には、当該流路構造は、生体試料Ｓの流れ（サンプル流）がシース液の流れによって包まれた層流が形成されるように設計される。当該流路構造の設計は、当業者により適宜選択されてよく、既知のものが採用されてもよい。流路Ｃは、マイクロチップ（マイクロメートルオーダーの流路を有するチップ）又はフローセルなどの流路構造体（flow channel structure）中に形成されてよい。流路Ｃの幅は、１ｍｍ以下であり、特には１０μｍ以上１ｍｍ以下であってよい。流路Ｃ及びそれを含む流路構造体は、プラスチックやガラスなどの材料から形成されてよい。

[0133] 流路Ｃ内を流れる生体試料Ｓ、特には当該生体試料Ｓ中の生体粒子Ｐに、光照射部２０１からの光が照射されるように、生体試料分析装置２００は構成される。生体試料分析装置２００は、生体試料Ｓに対する光の照射点（interrogation point）が、流路Ｃが形成されている流路構造体中にあるように構成されてよく、又は、当該光の照射点が、当該流路構造体の外にあるように構成されてもよい。前者の例として、マイクロチップ又はフローセル内の流路Ｃに上記光が照射される構成を挙げることができる。後者では、流路構造体（特にはそのノズル部）から出た後の生体粒子Ｐに上記光が照射されてよく、例えばＪｅｔ　ｉｎ　Ａｉｒ方式のフローサイトメータを挙げることができる。

[0134] （光照射部）

光照射部２０１は、光を出射する光源部と、当該光を照射点へと導く導光光学系とを含む。上記光源部は、１又は複数の光源を含む。光源の種類は、例えばレーザ光源又はＬＥＤである。各光源から出射される光の波長は、紫外光、可視光、又は赤外光のいずれかの波長であってよい。導光光学系は、例えばビームスプリッター群、ミラー群又は光ファイバなどの光学部品を含む。また、導光光学系は、光を集光するためのレンズ群を含んでよく、例えば対物レンズを含む。生体試料と光が交差する照射点は、１つ又は複数であってよい。光照射部２０１は、一の照射点に対して、一つ又は異なる複数の光源から照射された光を集光するよう構成されていてもよい。

[0135] （検出部）

検出部２０２は、生体粒子Ｐへの光照射により生じた光を検出する少なくとも一つの光検出器を備えている。検出する光は、例えば蛍光又は散乱光（例えば前方散乱光、後方散乱光、及び側方散乱光のいずれか１つ以上）である。各光検出器は、１以上の受光素子を含み、例えば受光素子アレイを有する。各光検出器は、受光素子として、１又は複数のＰＭＴ（光電子増倍管）及び／又はＡＰＤ及びＭＰＰＣ等のフォトダイオードを含んでよい。当該光検出器は、例えば複数のＰＭＴを一次元方向に配列したＰＭＴアレイを含む

。また、検出部２０２は、ＣＣＤ又はＣＭＯＳなどの撮像素子を含んでもよい。検出部２０２は、当該撮像素子により、生体粒子Ｐの画像（例えば明視野画像、暗視野画像、及び蛍光画像など）を取得しうる。

[0136] 検出部２０２は、所定の検出波長の光を、対応する光検出器に到達させる検出光学系を含む。検出光学系は、プリズムや回折格子等の分光部又はダイクロイックミラーや光学フィルタ等の波長分離部を含む。検出光学系は、例えば生体粒子Ｐへの光照射により生じた光を分光し、当該分光された光が、生体粒子Ｐが標識された蛍光色素の数より多い複数の光検出器にて検出されるよう構成される。このような検出光学系を含むフローサイトメータをスペクトル型フローサイトメータと呼ぶ。また、検出光学系は、例えば生体粒子Ｐへの光照射により生じた光から特定の蛍光色素の蛍光波長域に対応する光を分離し、当該分離された光を、対応する光検出器に検出させるよう構成される。

[0137] また、検出部２０２は、光検出器により得られた電気信号をデジタル信号に変換する信号処理部を含みうる。当該信号処理部が、当該変換を行う装置としてＡ／Ｄ変換器を含んでよい。当該信号処理部による変換により得られたデジタル信号が、情報処理部２０３に送信されうる。上記デジタル信号が、情報処理部２０３により、光に関するデータ（以下「光データ」ともいう）として取り扱われうる。上記光データは、例えば蛍光データを含む光データであってよい。より具体的には、上記光データは、光強度データであってよく、当該光強度は、蛍光を含む光の光強度データ（Ａｒｅａ、Ｈｅｉｇｈｔ、Ｗｉｄｔｈ等の特徴量を含んでもよい）であってよい。

[0138] （情報処理部）

情報処理部２０３は、例えば各種データ（例えば光データ）の処理を実行する処理部及び各種データを記憶する記憶部を含む。処理部は、蛍光色素に対応する光データを検出部２０２より取得した場合、光強度データに対し蛍光漏れ込み補正（コンペンセーション処理）を行いうる。また、処理部は、スペクトル型フローサイトメータの場合、光データに対して蛍光分離処理を

実行し、蛍光色素に対応する光強度データを取得する。

[0139] 上記蛍光分離処理は、例えば特開２０１２２３２２５９号公報に記載されたアンミキシング方法に従い行われてよい。検出部２０２が撮像素子を含む場合、処理部は、撮像素子により取得された画像に基づき、生体粒子の形態情報を取得してもよい。記憶部は、取得された光データを格納できるように構成されていてよい。記憶部は、さらに、上記アンミキシング処理において用いられるスペクトラルリファレンスデータを格納できるように構成されていてよい。

[0140] 生体試料分析装置２００が後述の分取部２０４を含む場合、情報処理部２０３は、光データ及び／又は形態情報に基づき、生体粒子Ｐを分取するかの判定を実行しうる。そして、情報処理部２０３は、当該判定の結果に基づき当該分取部２０４を制御し、分取部２０４による生体粒子Ｐの分取が行われうる。

[0141] 情報処理部２０３は、各種データ（例えば光データや画像）を出力することができるように構成されていてよい。例えば、情報処理部２０３は、当該光データに基づき生成された各種データ（例えば二次元プロット、スペクトルプロットなど）を出力しうる。また、情報処理部２０３は、各種データの入力を受け付けることができるように構成されていてよく、例えばユーザによるプロット上へのゲーティング処理を受け付ける。情報処理部２０３は、当該出力又は当該入力を実行させるための出力部（例えばディスプレイなど）又は入力部（例えばキーボードなど）を含みうる。

[0142] 情報処理部２０３は、汎用のコンピュータとして構成されてよく、例えばＣＰＵ、ＲＡＭ、及びＲＯＭを備えている情報処理装置として構成されてよい。情報処理部２０３は、光照射部２０１及び検出部２０２が備えられている筐体内に含まれていてよく、又は、当該筐体の外にあってもよい。また、情報処理部２０３による各種処理又は機能は、ネットワークを介して接続されたサーバコンピュータ又はクラウドにより実現されてもよい。

[0143] （分取部）

分取部２０４は、情報処理部２０３による判定結果に応じて、生体粒子Ｐの分取を実行する。分取の方式は、振動により生体粒子を含む液滴を生成し、分取対象の液滴に対して電荷をかけ、当該液滴の進行方向を電極により制御する方式であってよい。分取の方式は、流路構造体内にて生体粒子Ｐの進行方向を制御し分取を行う方式であってもよい。当該流路構造体には、例えば、圧力（噴射若しくは吸引）又は電荷による制御機構が設けられる。当該流路構造体の例として、流路Ｃがその下流で回収流路及び廃液流路へと分岐している流路構造を有し、特定の生体粒子が当該回収流路へ回収されるチップ（例えば特開２０２０－７６７３６に記載されたチップ）を挙げることができる。

[0144] 上述の適用例では、本技術の電子機器の一例として生体試料分析装置２００を例に挙げて説明したが、本技術の電子機器としては、生体試料分析装置２００に限られるものではない。

[0145] ＜１０．本技術がとることができる構成＞

なお、本技術は以下のような構成もとることができる。

（１）フォトンの入射に応答してパルス信号を生成するフォトン検出部と前記フォトン検出部で生成される前記パルス信号をカウントするカウンタとを有する画素回路が行列状に配置され、前記画素回路について画素列毎にＮ段（Ｎは、整数）を１ユニットとして画素ユニットを構成する画素アレイ部と、

前記画素アレイ部の外部に設けられ、前記画素ユニットから読み出される前記カウンタのカウント値を保持する保持アレイ部と、

前記画素ユニットにおいて次ラインの露光開始前に前段の前記カウンタのカウント値を次段の前記カウンタに書き込むシフト動作を行うとともに、前記画素アレイ部から前記保持アレイ部に対して、Ｍ個（Ｍは、整数）の画素ユニットを単位として各画素ユニット毎に前記カウンタのカウント値を読み出す制御部と

を具備し、

前記保持アレイ部は、

前記画素アレイ部の画素列に対応して設けられ、前記Ｍ個の画素ユニットの一の画素ユニットから読み出される前記カウンタのカウント値を保持するＮ段の保持部を有する（Ｍ－１）個の保持ユニットと、

前記Ｎ段の保持部における最終段の保持部の保持値と、前記一の画素ユニットの次段の画素ユニットから読み出される前記カウンタのカウント値とを加算する（Ｍ－１）個の加算回路とを備える

光検出装置。

（２）前記画素アレイ部の各段の前記カウンタのビット数は、初段の前記カウンタの最大値および前記１ユニット内の段数に基づいて設定されるビット数である

前記（１）に記載の光検出装置。

（３）前記Ｍ個の画素ユニットの各画素ユニットは、前記制御部による制御の下に読み出される前記カウンタのカウント値を保持する読み出し用保持回路を有し、

前記制御部は、前記読み出し用保持回路からの前記カウンタのカウント値の読み出しを順次行う

前記（１）に記載の光検出装置。

（４）前記Ｍ個の画素ユニットの各画素ユニットに対して共通の読み出しラインを備え、

前記制御部は、前記Ｍ個の画素ユニットの各画素ユニットの前記読み出し用保持回路からの前記カウンタのカウント値の前記共通の読み出しラインへの読み出しを順次行う

前記（３）に記載の光検出装置。

（５）前記Ｍ個の画素ユニットの各画素ユニットに対して読み出しラインを各画素ユニット毎に備え、

前記Ｍ個の画素ユニットの各画素ユニットは、前記保持アレイ部に保持された前記カウンタのカウント値をパラレルシリアル変換するパラレルシリア

ル変換部を有し、

前記制御部は、前記パラレルシリアル変換部でパラレルシリアル変換された値を、対応する前記読み出しラインに読み出す制御を行う

前記（３）に記載の光検出装置。

（６）前記Ｍ個の画素ユニットの各画素ユニットは、最終段の前記画素回路として、露光を行わないブランキングのフォトン検出部および読み出し用保持回路を有し、

前記制御部は、前記読み出し用保持回路に保持されたカウント値を前記保持アレイ部に読み出す制御を行う

前記（１）に記載の光検出装置。

（７）前記保持ユニットにおける前記Ｎ段の保持部は、シフトレジスタからなり、前記画素ユニットにおけるシフト動作と同一のタイミングでシフト動作を行う

前記（１）に記載の光検出装置。

（８）前記保持ユニットは、Ｎ段のメモリと前記Ｎ段のメモリの一つを選択するマルチプレクサとを有し、

前記マルチプレクサは、前記画素ユニットの読み出し行のシフトに同期して前記Ｎ段のメモリを順次選択する

前記（１）に記載の光検出装置。

（９）前記制御部は、前記画素アレイ部において、前記画素ユニットの最上位ビットのカウント値のみを読み出し、最上位ビット以外のビットのカウント値については次段の画素ユニットにシフトし、前記保持アレイ部において、前記保持ユニットでカウントした最上位ビットのカウント値と前記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る

前記（１）に記載の光検出装置。

（１０）前記制御部は、前記画素アレイ部において、前記画素ユニットの最上位ビットのカウント値のみを読み出した上で全ビットのカウント値については次段の画素ユニットにシフトし、前記保持アレイ部において、最上位ビ

ットのオーバーフローを検出し、オーバーフローの検出回数と前記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る

前記（１）に記載の光検出装置。

（１１）前記保持アレイ部は、前記画素アレイ部が形成された半導体基板外に配置される

前記（１）から（１０）のいずれかに記載の光検出装置。

（１２）前記保持アレイ部は、前記画素アレイ部が形成された半導体基板内に配置される

前記（１）から（１０）のいずれかに記載の光検出装置。

（１３）少なくとも２つの半導体基板が積層された積層チップ構造を備え、

前記画素アレイ部における前記フォトン検出部は、上層の半導体基板に配置され、

前記画素アレイ部における前記カウンタおよび前記保持アレイ部は、下層の半導体基板に配置される

前記（１）から（１０）のいずれかに記載の光検出装置。

（１４）前記フォトン検出部の受光部は、アバランシェフォトダイオードである

前記（１）から（１０）のいずれかに記載の光検出装置。

符号の説明

[0146] １　光検出装置

１０　画素アレイ部

１１_1～１１_8　画素回路

１２　フォトン検出部

１３　カウンタ

１４，１６，２６_1～２６_4　メモリ

１５　ブランキングのフォトン検出部

１７　読み出し用保持回路

１８　パラレルシリアル変換回路（ＰＳ）

２０　保持アレイ部

２１_1～２１_4　保持部

２２_1～２２_3，２５，２７_1～２７_4　加算回路

２３_1～２３_4　シリアルパラレル変換回路（ＳＰ）

２４_1～２３_Ｎ　Ｄ型フリップフロップ

２８　マルチプレクサ

２９_1～２９_8　最上位ビットの保持部

３０　制御部

４０　カウンタアレイ部

５０　読み出しライン

６１　オーバーフロー判定回路

６２_1～６２_8　オーバーフローカウント用の保持部

１２０　リチャージ制御部

１２１　受光部

１２２　クエンチ部

１２３　波形整形部

２００　生体試料分析装置

２０１　光照射部

２０２　検出部

２０３　情報処理部

２０４　分取部

ＰＵ１～ＰＵ４　画素ユニット

ＨＵ１～ＨＵ３　保持ユニット

請求の範囲

[請求項1] フォトンの入射に応答してパルス信号を生成するフォトン検出部と前記フォトン検出部で生成される前記パルス信号をカウントするカウンタとを有する画素回路が行列状に配置され、前記画素回路について画素列毎にＮ段（Ｎは、整数）を１ユニットとして画素ユニットを構成する画素アレイ部と、

前記画素アレイ部の外部に設けられ、前記画素ユニットから読み出される前記カウンタのカウント値を保持する保持アレイ部と、

前記画素ユニットにおいて次ラインの露光開始前に前段の前記カウンタのカウント値を次段の前記カウンタに書き込むシフト動作を行うとともに、前記画素アレイ部から前記保持アレイ部に対して、Ｍ個（Ｍは、整数）の画素ユニットを単位として各画素ユニット毎に前記カウンタのカウント値を読み出す制御部と

を具備し、

前記保持アレイ部は、

前記画素アレイ部の画素列に対応して設けられ、前記Ｍ個の画素ユニットの一の画素ユニットから読み出される前記カウンタのカウント値を保持するＮ段の保持部を有する（Ｍ－１）個の保持ユニットと、

前記Ｎ段の保持部における最終段の保持部の保持値と、前記一の画素ユニットの次段の画素ユニットから読み出される前記カウンタのカウント値とを加算する（Ｍ－１）個の加算回路とを備える

光検出装置。

[請求項2] 前記画素アレイ部の各段の前記カウンタのビット数は、初段の前記カウンタの最大値および前記１ユニット内の段数に基づいて設定されるビット数である

請求項１記載の光検出装置。

[請求項3] 前記Ｍ個の画素ユニットの各画素ユニットは、前記制御部による制御の下に読み出される前記カウンタのカウント値を保持する読み出し

用保持回路を有し、

前記制御部は、前記読み出し用保持回路からの前記カウンタのカウント値の読み出しを順次行う

請求項１記載の光検出装置。

[請求項4] 前記Ｍ個の画素ユニットの各画素ユニットに対して共通の読み出しラインを備え、

前記制御部は、前記Ｍ個の画素ユニットの各画素ユニットの前記読み出し用保持回路からの前記カウンタのカウント値の前記共通の読み出しラインへの読み出しを順次行う

請求項３記載の光検出装置。

[請求項5] 前記Ｍ個の画素ユニットの各画素ユニットに対して読み出しラインを各画素ユニット毎に備え、

前記Ｍ個の画素ユニットの各画素ユニットは、前記保持アレイ部に保持された前記カウンタのカウント値をパラレルシリアル変換するパラレルシリアル変換部を有し、

前記制御部は、前記パラレルシリアル変換部でパラレルシリアル変換された値を、対応する前記読み出しラインに読み出す制御を行う

請求項３記載の光検出装置。

[請求項6] 前記Ｍ個の画素ユニットの各画素ユニットは、最終段の前記画素回路として、露光を行わないブランキングのフォトン検出部および読み出し用保持回路を有し、

前記制御部は、前記読み出し用保持回路に保持されたカウント値を前記保持アレイ部に読み出す制御を行う

請求項１記載の光検出装置。

[請求項7] 前記保持ユニットにおける前記Ｎ段の保持部は、シフトレジスタからなり、前記画素ユニットにおけるシフト動作と同一のタイミングでシフト動作を行う

請求項１記載の光検出装置。

[請求項8] 前記保持ユニットは、Ｎ段のメモリと前記Ｎ段のメモリの一つを選択するマルチプレクサとを有し、

前記マルチプレクサは、前記画素ユニットの読み出し行のシフトに同期して前記Ｎ段のメモリを順次選択する

請求項１記載の光検出装置。

[請求項9] 前記制御部は、前記画素アレイ部において、前記画素ユニットの最上位ビットのカウント値のみを読み出し、最上位ビット以外のビットのカウント値については次段の画素ユニットにシフトし、前記保持アレイ部において、前記保持ユニットでカウントした最上位ビットのカウント値と前記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る

請求項１記載の光検出装置。

[請求項10] 前記制御部は、前記画素アレイ部において、前記画素ユニットの最上位ビットのカウント値のみを読み出した上で全ビットのカウント値については次段の画素ユニットにシフトし、前記保持アレイ部において、最上位ビットのオーバーフローを検出し、オーバーフローの検出回数と前記次段の画素ユニットにシフトした下位ビットの値とから総カウント値を得る

請求項１記載の光検出装置。

[請求項11] 前記保持アレイ部は、前記画素アレイ部が形成された半導体基板外に配置される

請求項１記載の光検出装置。

[請求項12] 前記保持アレイ部は、前記画素アレイ部が形成された半導体基板内に配置される

請求項１記載の光検出装置。

[請求項13] 少なくとも２つの半導体基板が積層された積層チップ構造を備え、

前記画素アレイ部における前記フォトン検出部は、上層の半導体基板に配置され、

前記画素アレイ部における前記カウンタおよび前記保持アレイ部は、下層の半導体基板に配置される

請求項１記載の光検出装置。

[請求項14] 前記フォトン検出部の受光部は、アバランシェフォトダイオードである

請求項１記載の光検出装置。

[請求項15] フォトンの入射に応答してパルス信号を生成するフォトン検出部と前記フォトン検出部で生成される前記パルス信号をカウントするカウンタとを有する画素回路が行列状に配置され、前記画素回路について画素列毎にＮ段（Ｎは、整数）を１ユニットとして画素ユニットを構成する画素アレイ部と、

前記画素アレイ部の外部に設けられ、前記画素ユニットから読み出される前記カウンタのカウント値を保持する保持アレイ部と、

前記画素ユニットにおいて次ラインの露光開始前に前段の前記カウンタのカウント値を次段の前記カウンタに書き込むシフト動作を行うとともに、前記画素アレイ部から前記保持アレイ部に対して、Ｍ個（Ｍは、整数）の画素ユニットを単位として各画素ユニット毎に前記カウンタのカウント値を読み出す制御部と

を具備し、

前記保持アレイ部は、

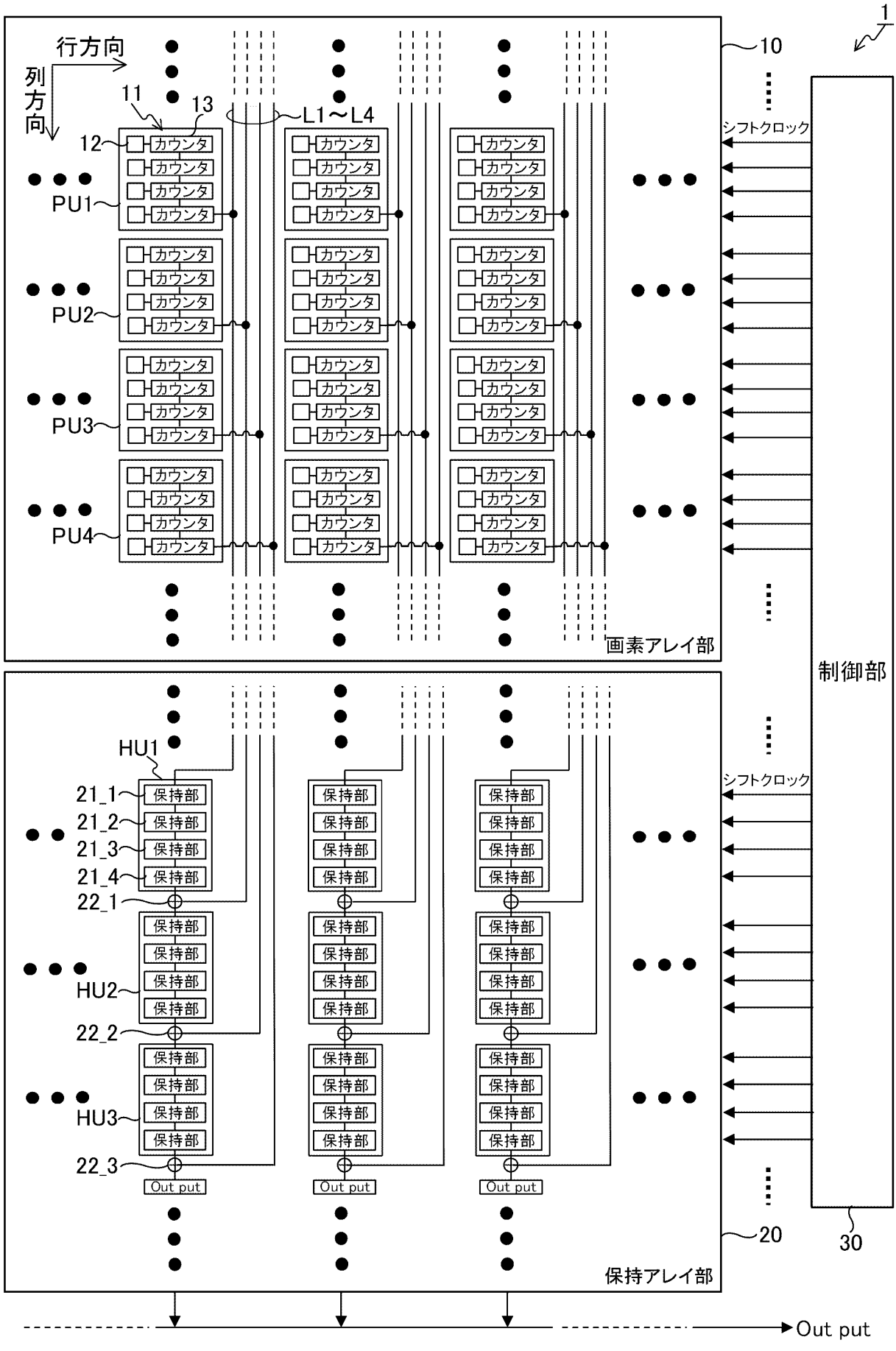
前記画素アレイ部の画素列に対応して設けられ、前記Ｍ個の画素ユニットの一の画素ユニットから読み出される前記カウンタのカウント値を保持するＮ段の保持部を有する（Ｍ－１）個の保持ユニットと、

前記Ｎ段の保持部における最終段の保持部の保持値と、前記一の画素ユニットの次段の画素ユニットから読み出される前記カウンタのカウント値とを加算する（Ｍ－１）個の加算回路とを備える

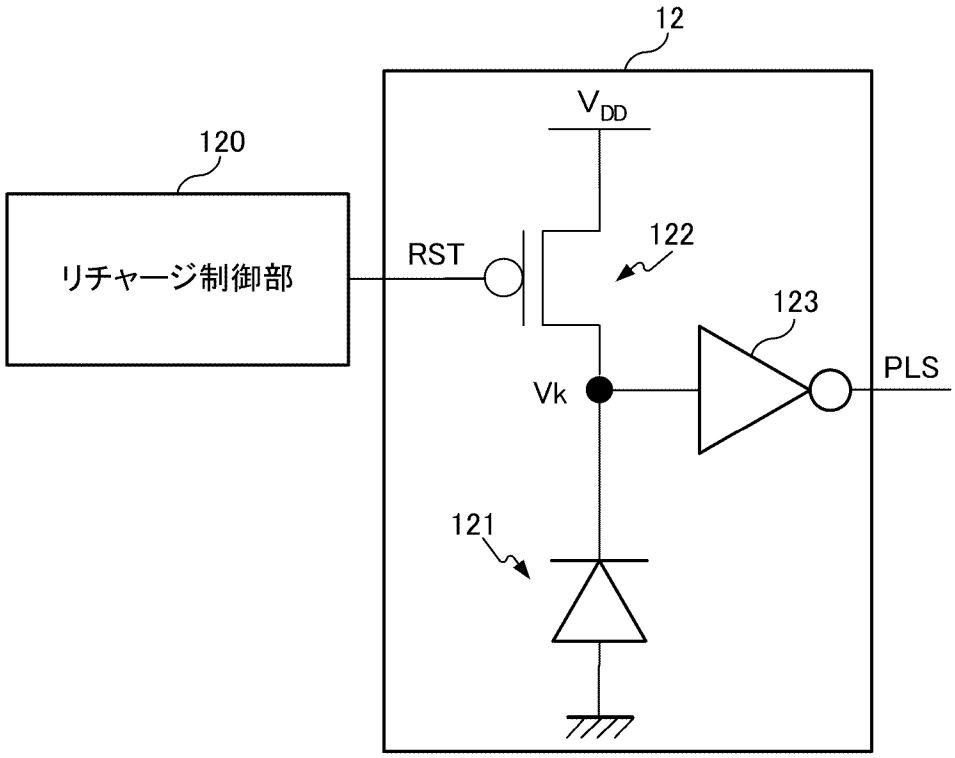
光検出装置を有する電子機器。

WO 2024/185296 PCT/JP2024/000633

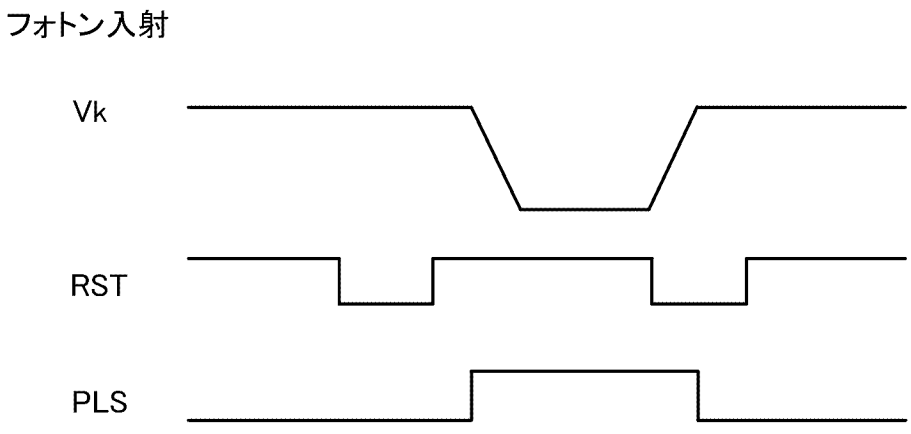
[図1]



[図2]

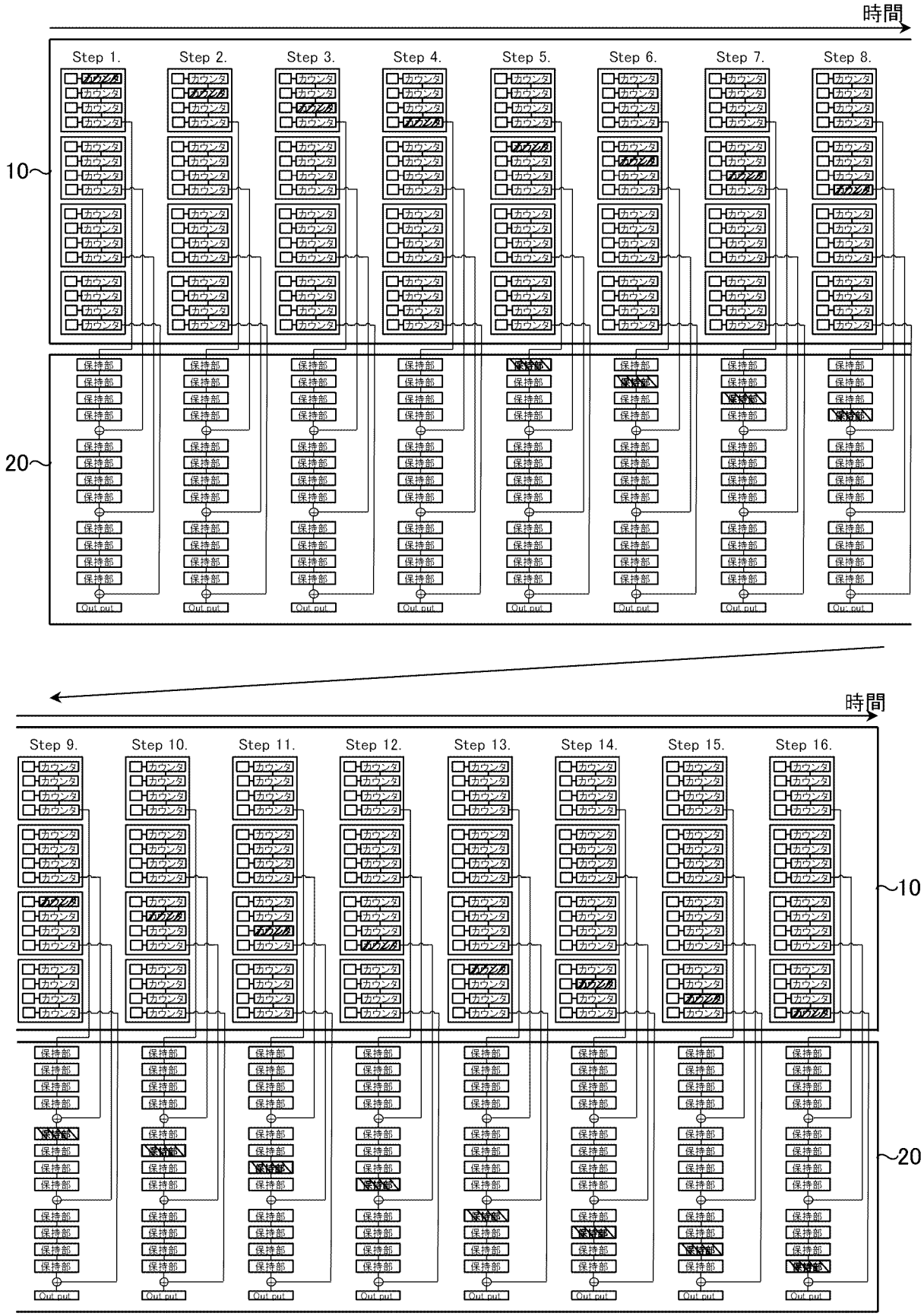


a

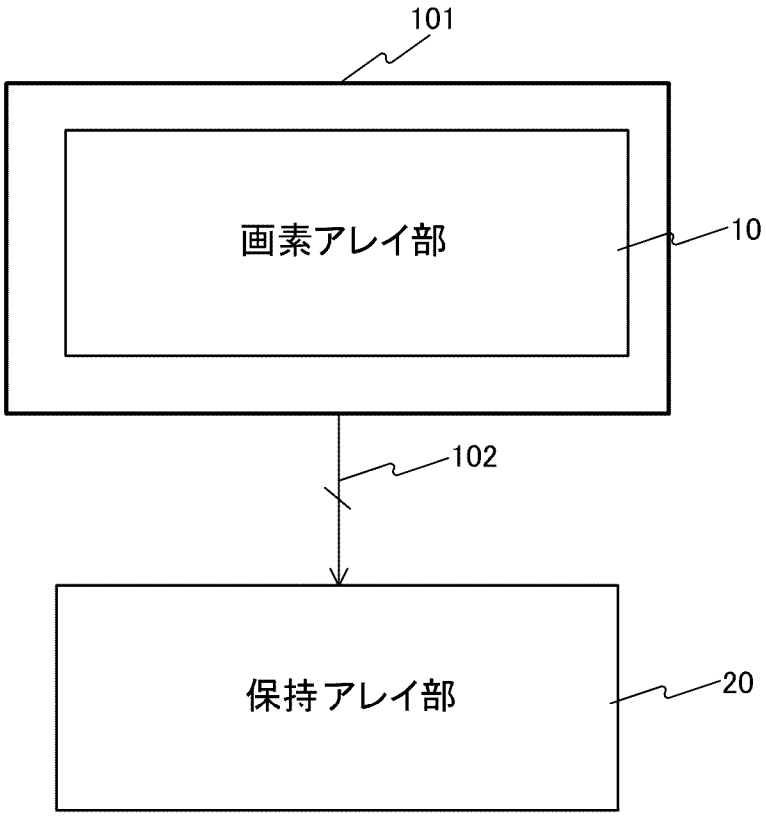


b

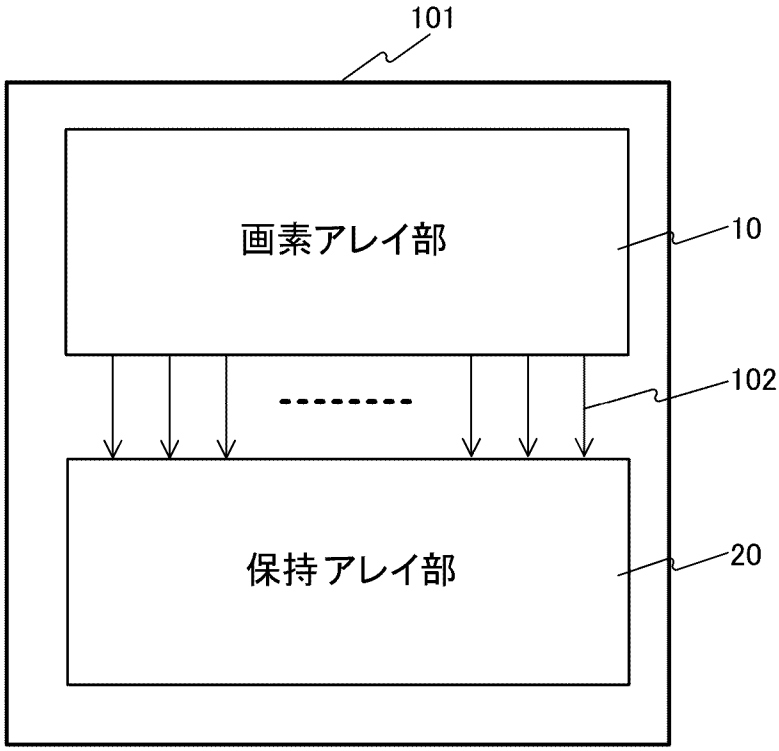
[図3]


時間
Step 1.
Step 2.
Step 3.
Step 4.
Step 5.
Step 6.
Step 7.
Step 8.
10
20
カウンタ
保持部
Out put
時間
Step 9.
Step 10.
Step 11.
Step 12.
Step 13.
Step 14.
Step 15.
Step 16.
10
20

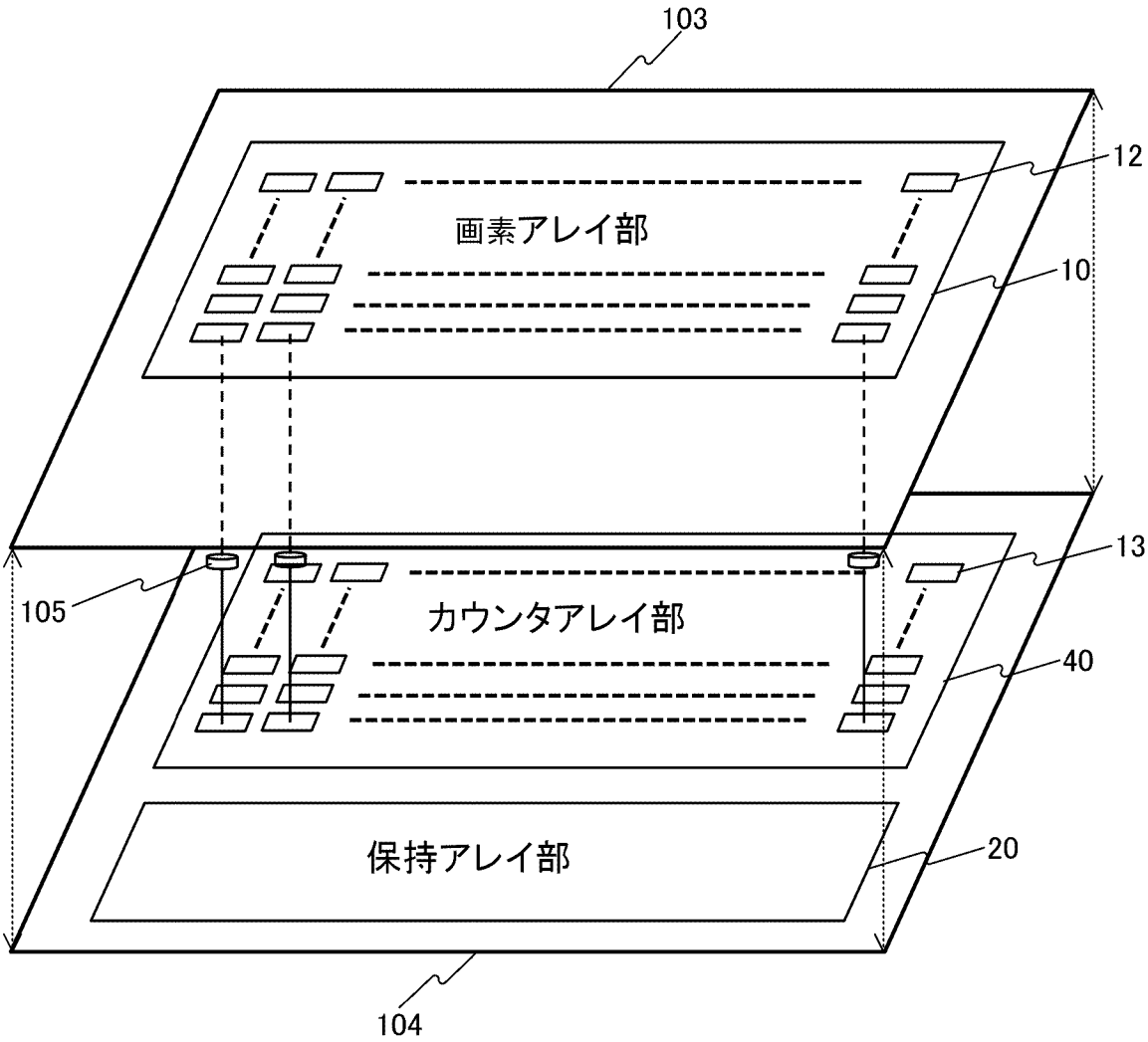
[図4]



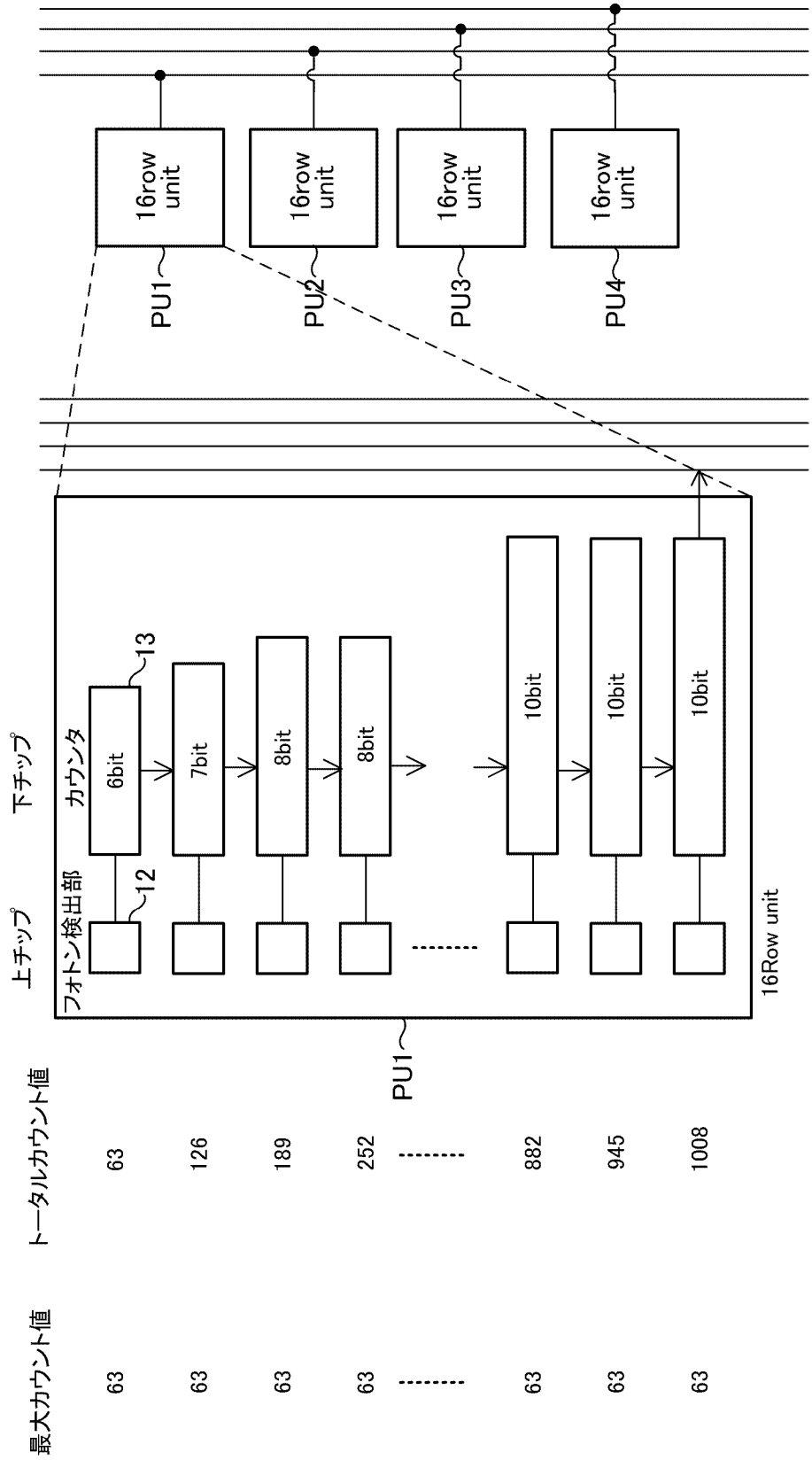
[図5]



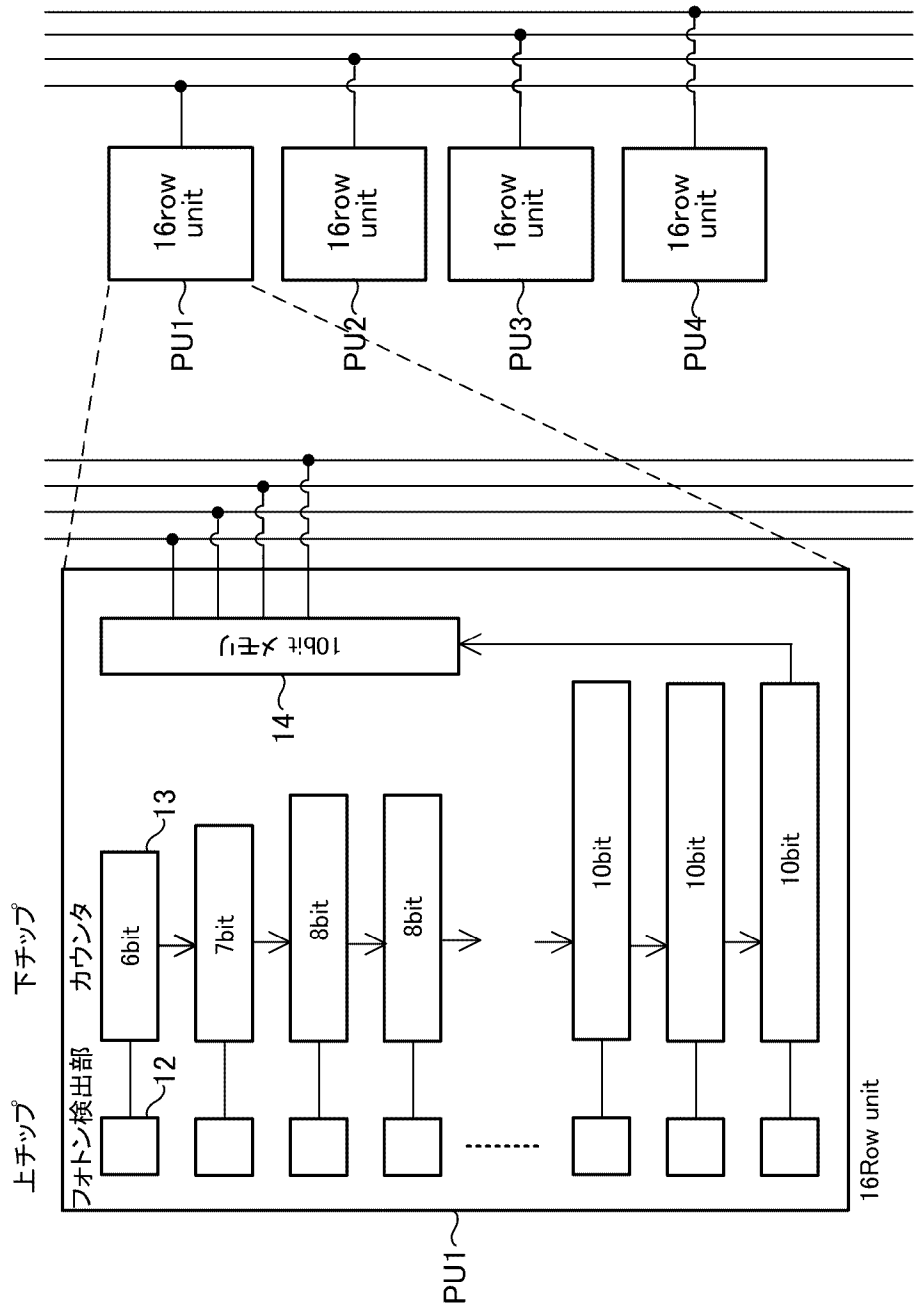
[図6]



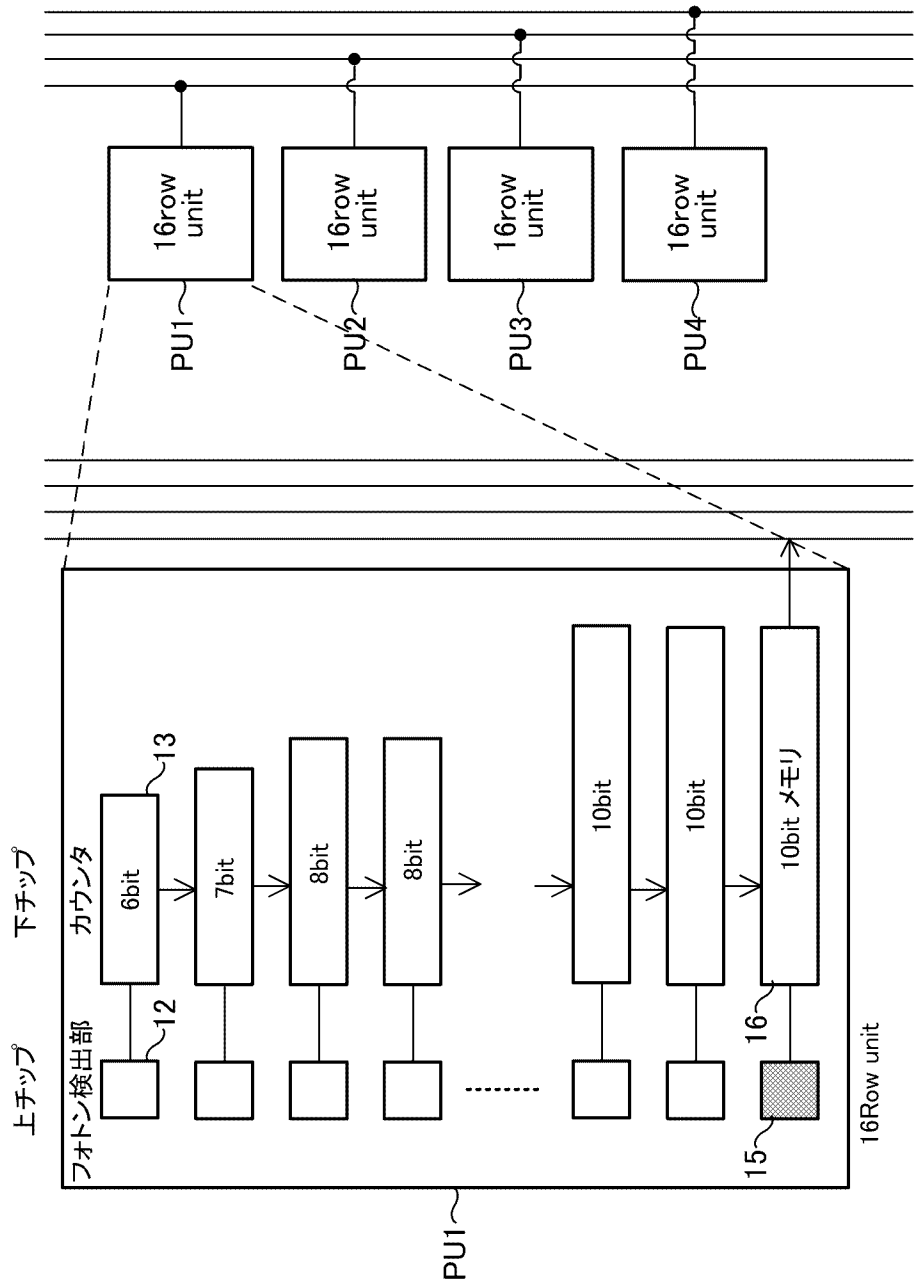
[図7]


16row unit
PU1
PU2
PU3
PU4
上チップ
フォトン検出部
12
下チップ
カウンタ
13
6bit
7bit
8bit
8bit
10bit
10bit
10bit
16Row unit
PU1
トータルカウント値
63
126
189
252
882
945
1008
最大カウント値
63
63
63
63
63
63
63

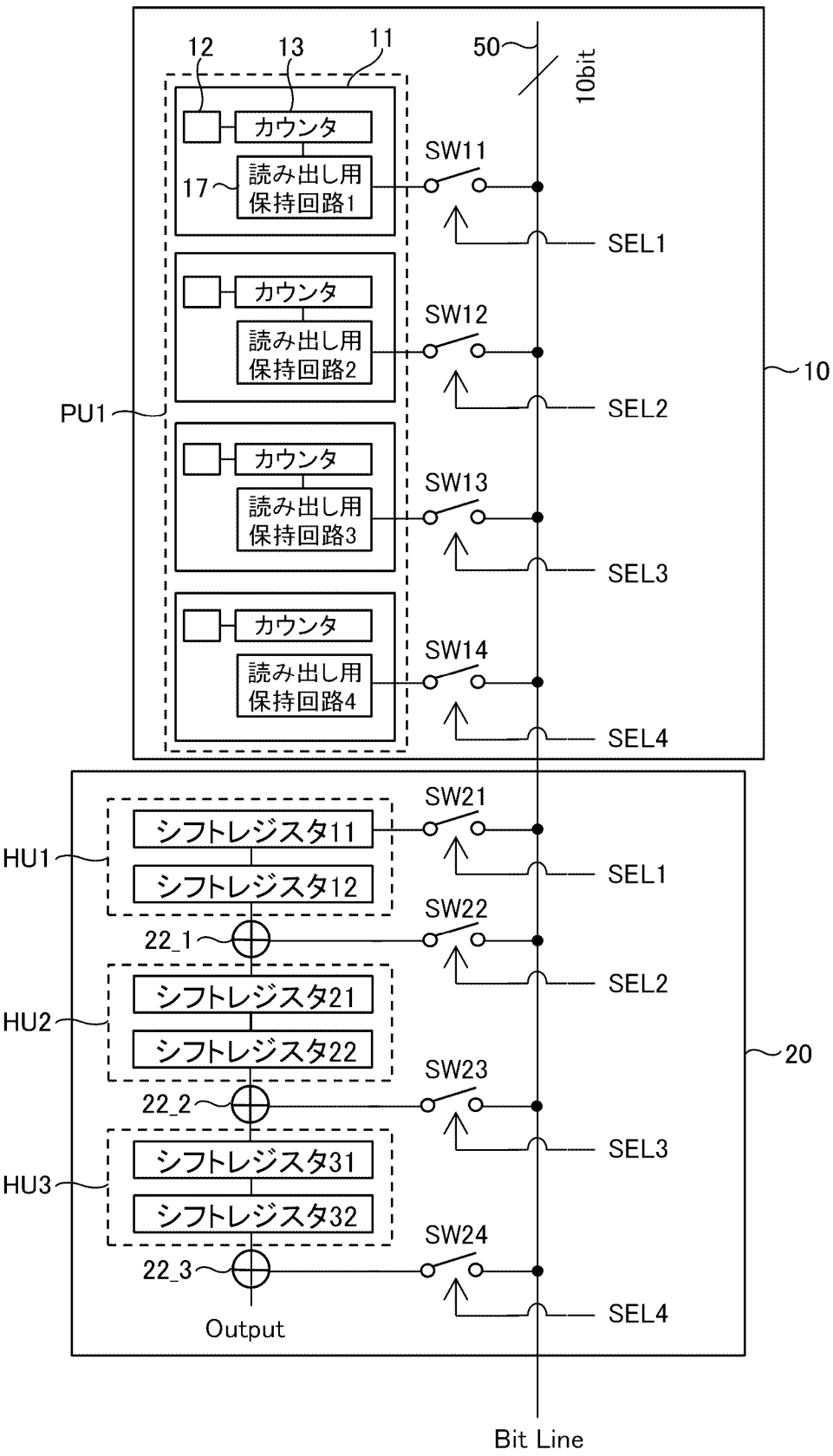
[図8]


16row unit
16row unit
16row unit
16row unit
PU1
PU2
PU3
PU4
10bit メモリ
14
13
6bit
7bit
8bit
8bit
10bit
10bit
10bit
12
フォトン検出部
カウンタ
下チップ
上チップ
16Row unit
PU1

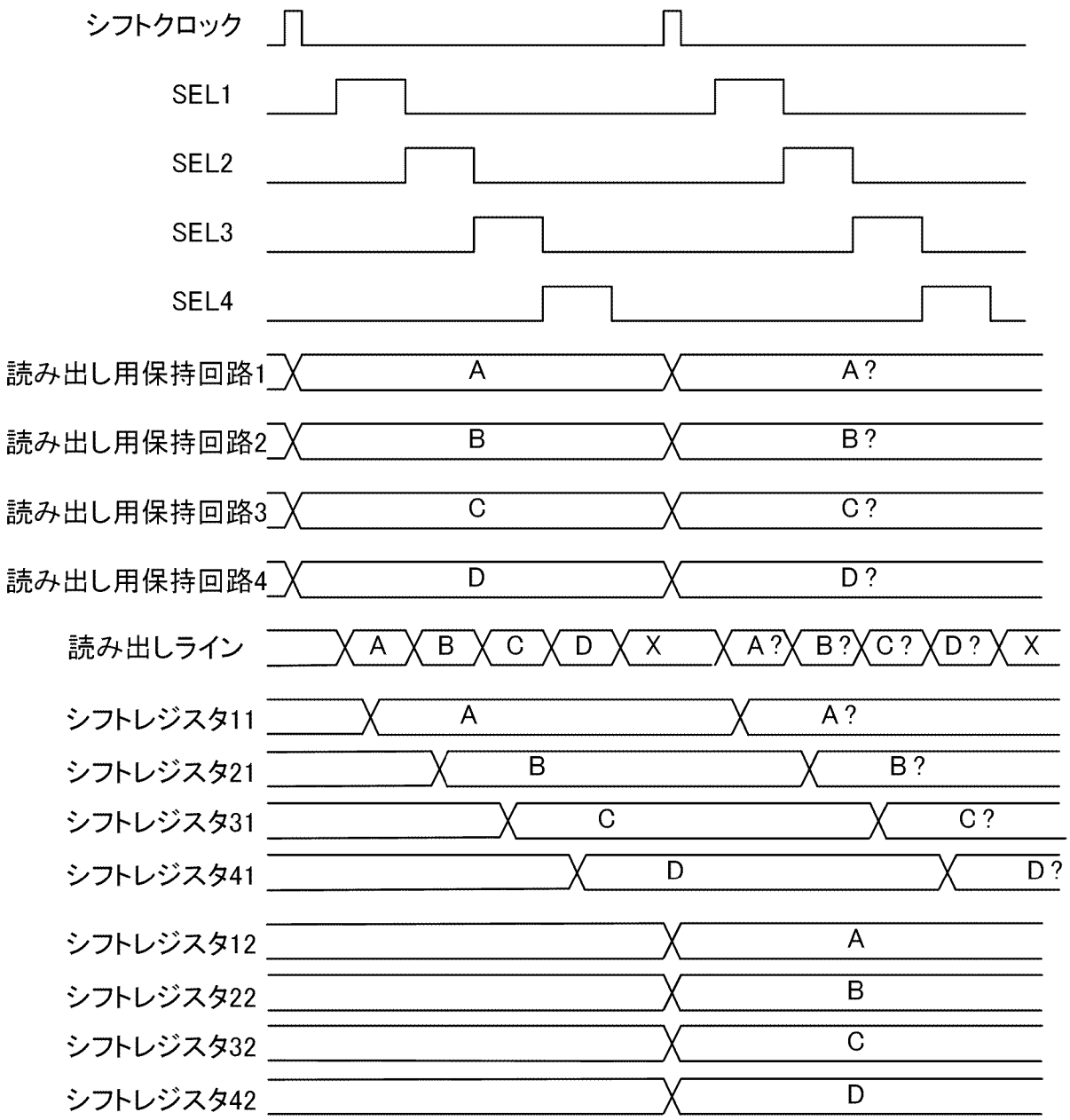
[図9]


16row unit
16row unit
16row unit
16row unit
PU1
PU2
PU3
PU4
下チップ
上チップ
フォトン検出部
カウンタ
6bit
7bit
8bit
8bit
10bit
10bit
10bit メモリ
12
13
15
16
16Row unit
PU1

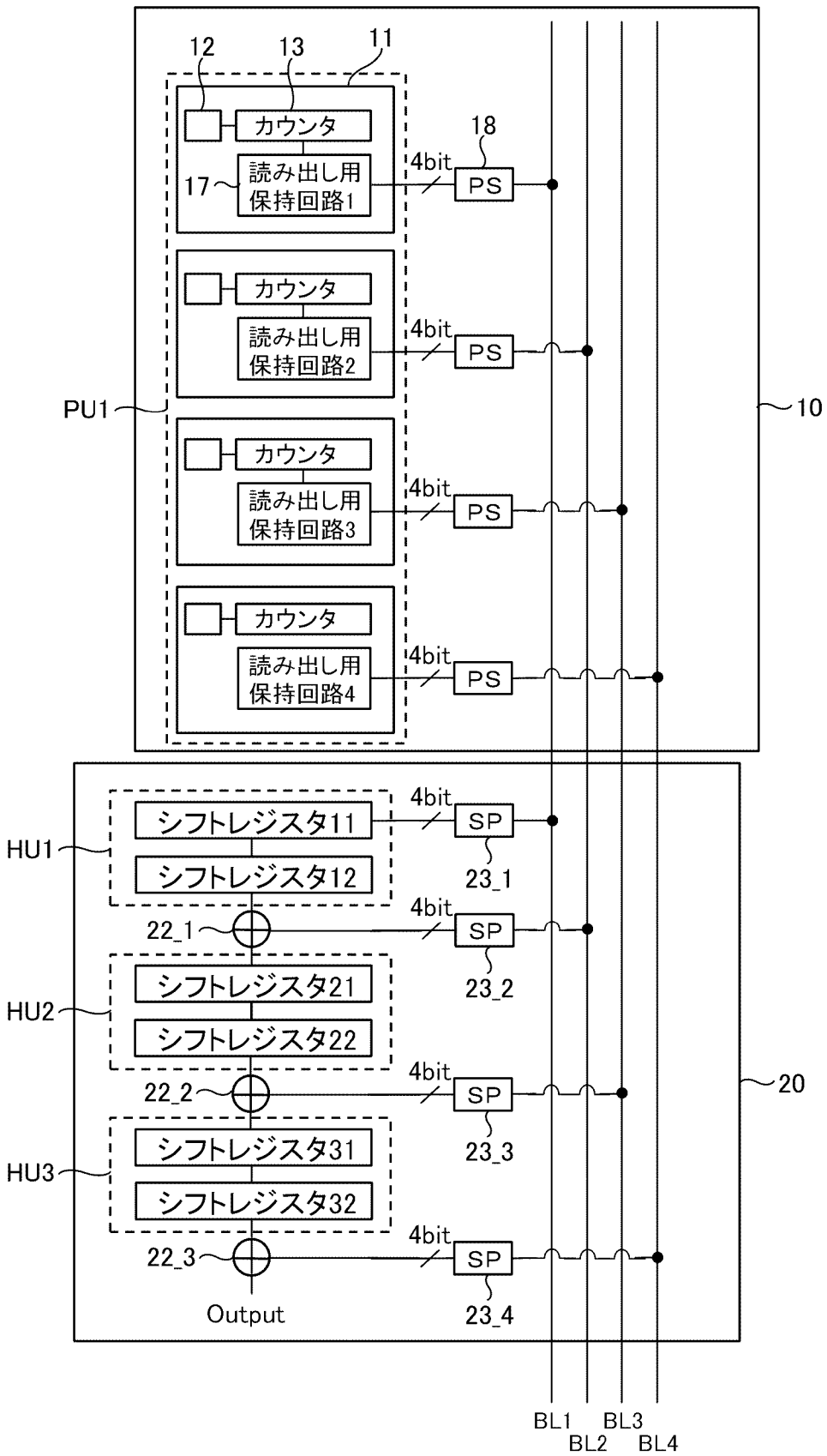
[図10]


12
13
11
50
10bit
カウンタ
読み出し用
保持回路1
17
SW11
SEL1
読み出し用
保持回路2
SW12
SEL2
読み出し用
保持回路3
SW13
SEL3
読み出し用
保持回路4
SW14
SEL4
PU1
10
シフトレジスタ11
シフトレジスタ12
HU1
SW21
SEL1
22_1
SW22
SEL2
シフトレジスタ21
シフトレジスタ22
HU2
SW23
SEL3
22_2
シフトレジスタ31
シフトレジスタ32
HU3
SW24
SEL4
22_3
Output
20
Bit Line

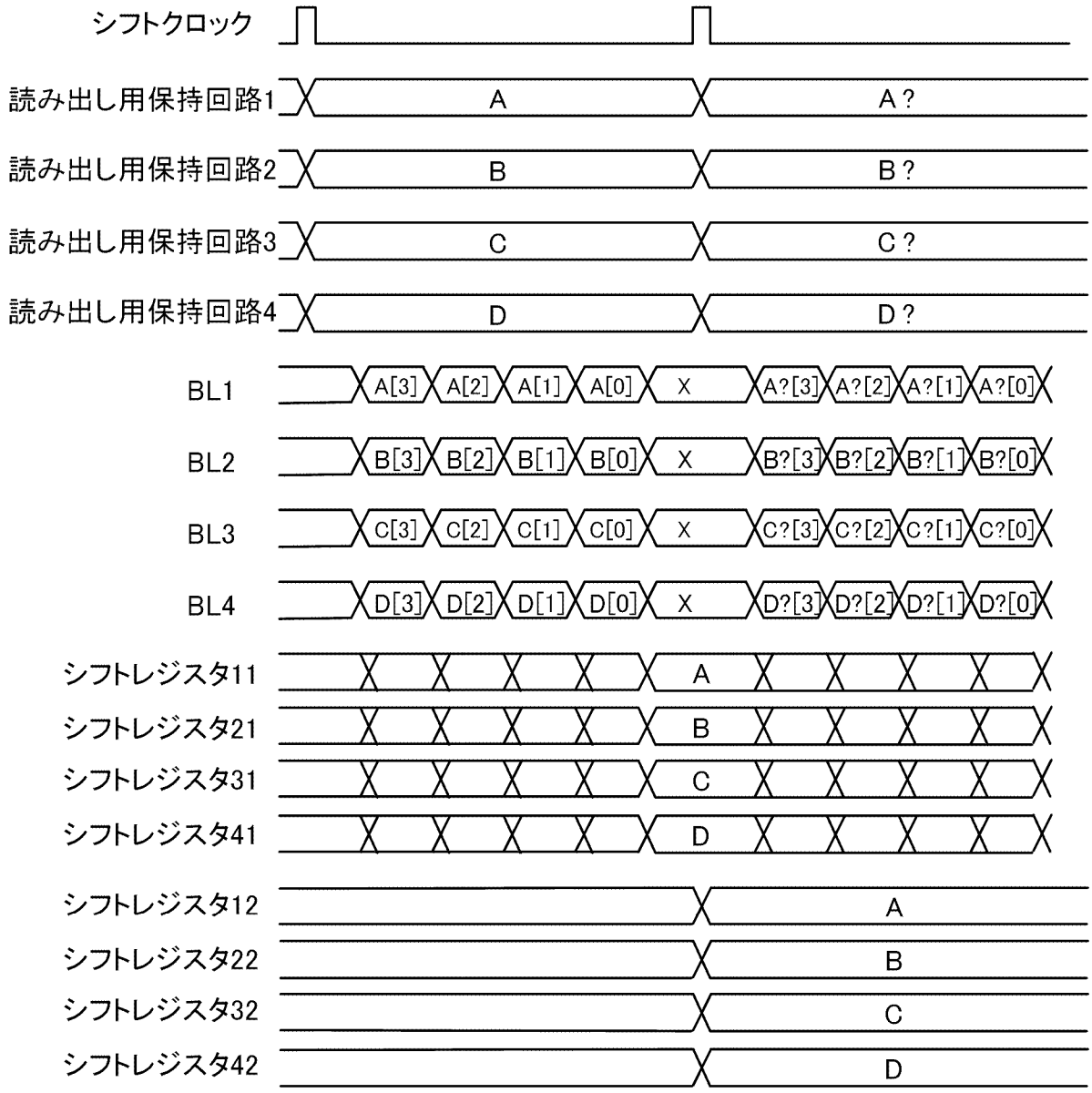
[図11]


シフトクロック
SEL1
SEL2
SEL3
SEL4
読み出し用保持回路1
A
A？
読み出し用保持回路2
B
B？
読み出し用保持回路3
C
C？
読み出し用保持回路4
D
D？
読み出しライン
A
B
C
D
X
A？
B？
C？
D？
X
シフトレジスタ11
A
A？
シフトレジスタ21
B
B？
シフトレジスタ31
C
C？
シフトレジスタ41
D
D？
シフトレジスタ12
A
シフトレジスタ22
B
シフトレジスタ32
C
シフトレジスタ42
D

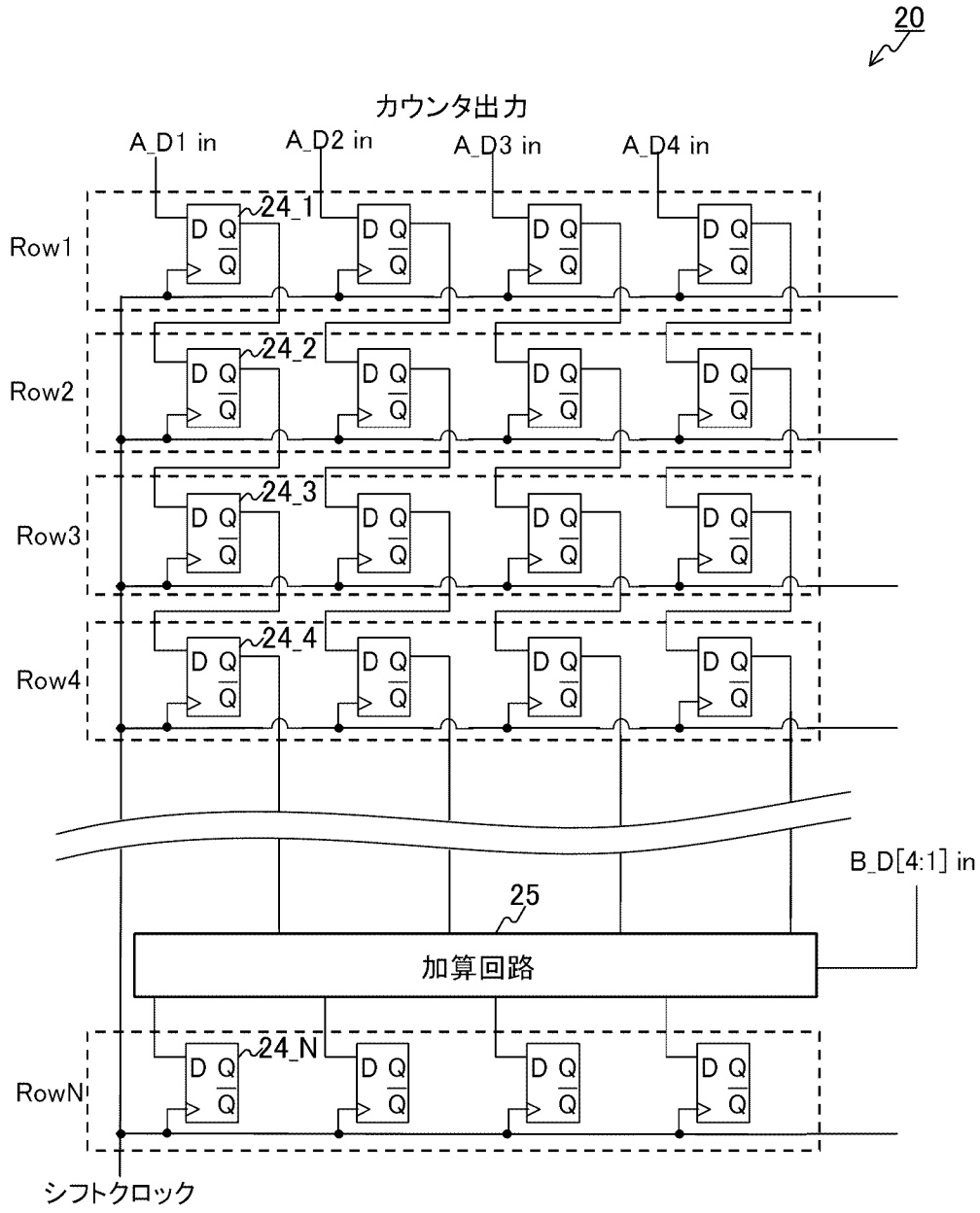
[図12]


12
13
11
カウンタ
読み出し用
保持回路1
17
18
4bit
PS
読み出し用
保持回路2
読み出し用
保持回路3
読み出し用
保持回路4
PU1
10
シフトレジスタ11
シフトレジスタ12
シフトレジスタ21
シフトレジスタ22
シフトレジスタ31
シフトレジスタ32
HU1
HU2
HU3
SP
22_1
22_2
22_3
23_1
23_2
23_3
23_4
Output
20
BL1
BL2
BL3
BL4

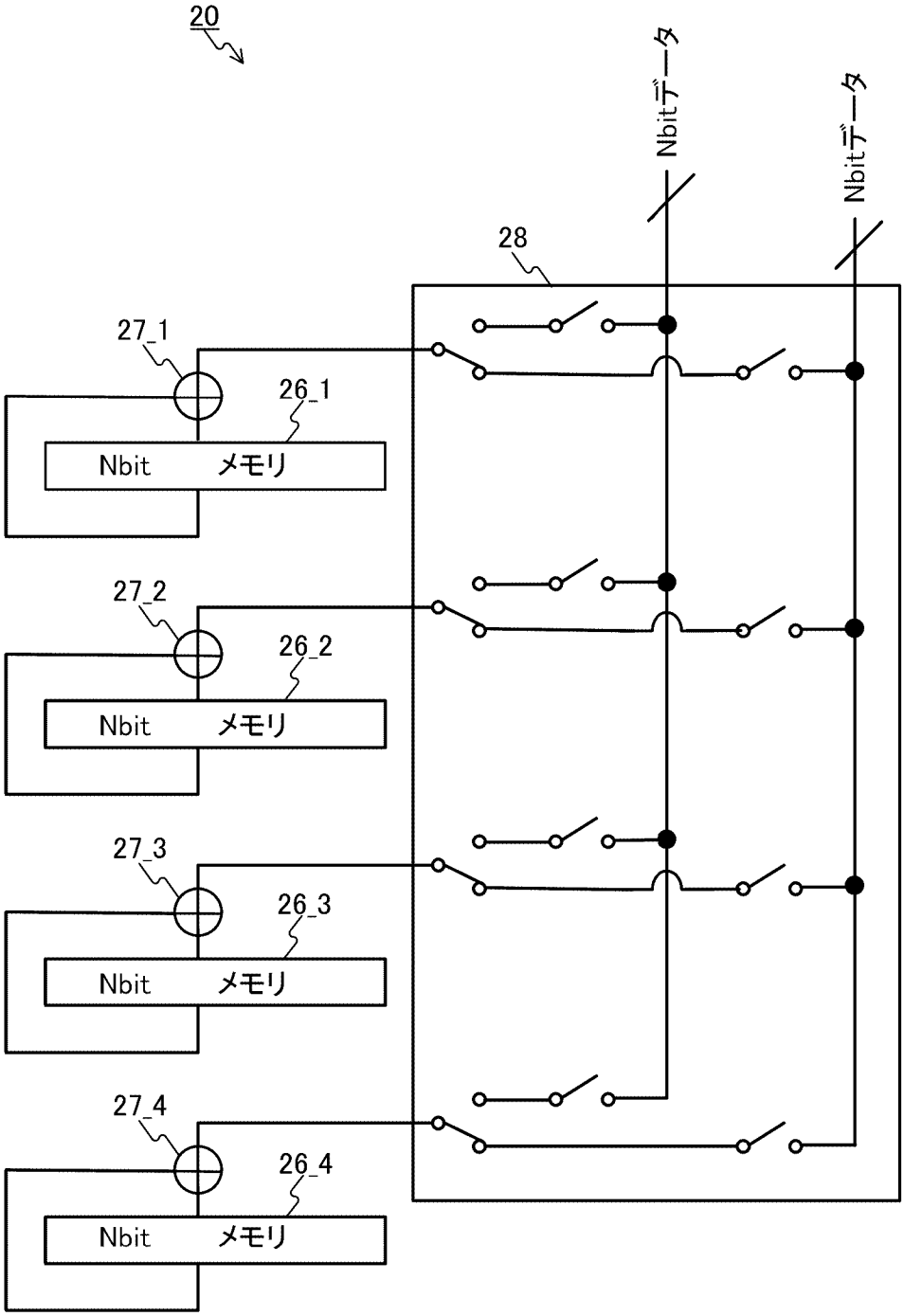
[図13]


シフトクロック
読み出し用保持回路1
A
A？
読み出し用保持回路2
B
B？
読み出し用保持回路3
C
C？
読み出し用保持回路4
D
D？
BL1
A[3] A[2] A[1] A[0] X A?[3] A?[2] A?[1] A?[0]
BL2
B[3] B[2] B[1] B[0] X B?[3] B?[2] B?[1] B?[0]
BL3
C[3] C[2] C[1] C[0] X C?[3] C?[2] C?[1] C?[0]
BL4
D[3] D[2] D[1] D[0] X D?[3] D?[2] D?[1] D?[0]
シフトレジスタ11
A
シフトレジスタ21
B
シフトレジスタ31
C
シフトレジスタ41
D
シフトレジスタ12
A
シフトレジスタ22
B
シフトレジスタ32
C
シフトレジスタ42
D

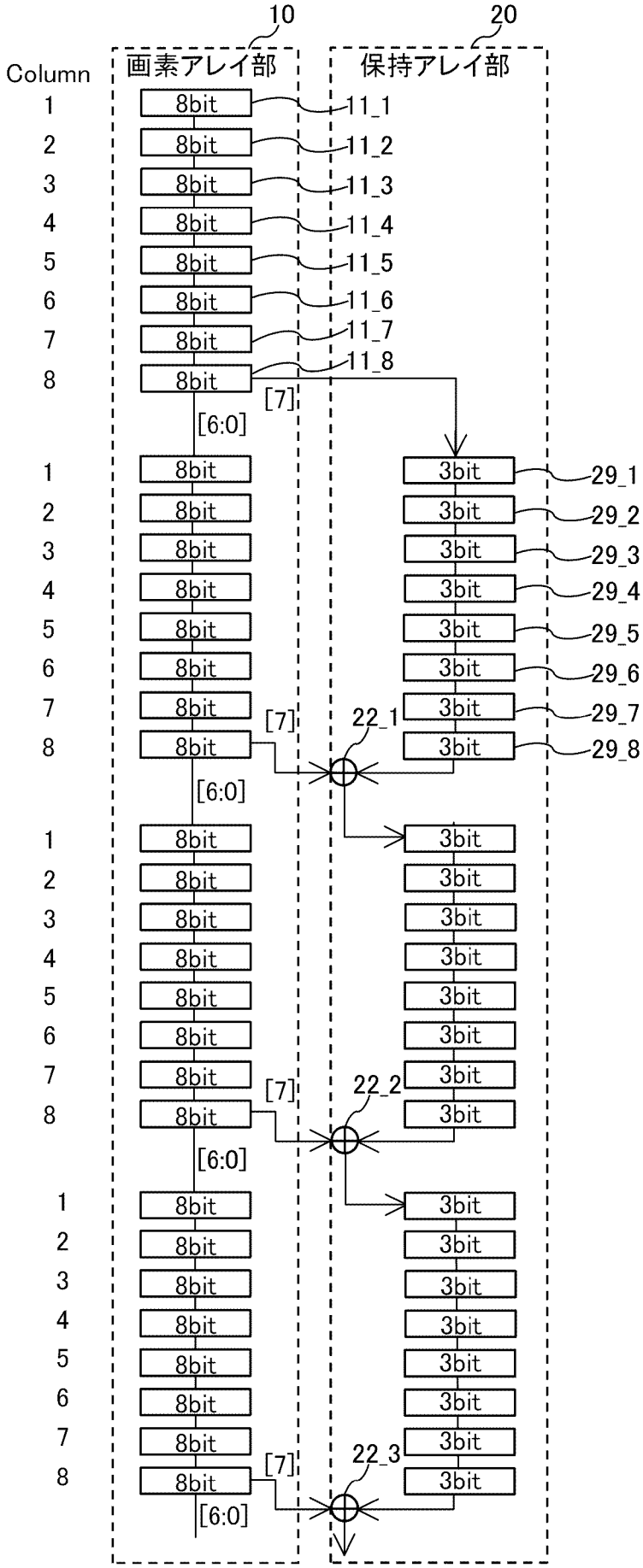
[図14]


20
カウンタ出力
A_D1 in
A_D2 in
A_D3 in
A_D4 in
24_1
24_2
24_3
24_4
24_N
Row1
Row2
Row3
Row4
RowN
D Q
Q
B_D[4:1] in
25
加算回路
シフトクロック

[図15]

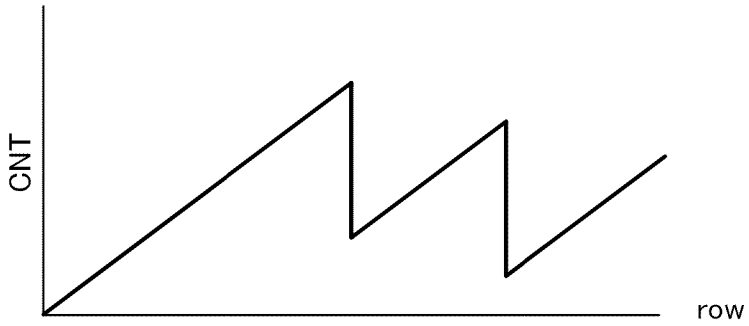

20
Nbitデータ
Nbitデータ
28
27_1
26_1
Nbit メモリ
27_2
26_2
Nbit メモリ
27_3
26_3
Nbit メモリ
27_4
26_4
Nbit メモリ

[図16]


10
20
画素アレイ部
保持アレイ部
Column
1
2
3
4
5
6
7
8
8bit
11_1
11_2
11_3
11_4
11_5
11_6
11_7
11_8
[7]
[6:0]
3bit
29_1
29_2
29_3
29_4
29_5
29_6
29_7
29_8
22_1
22_2
22_3

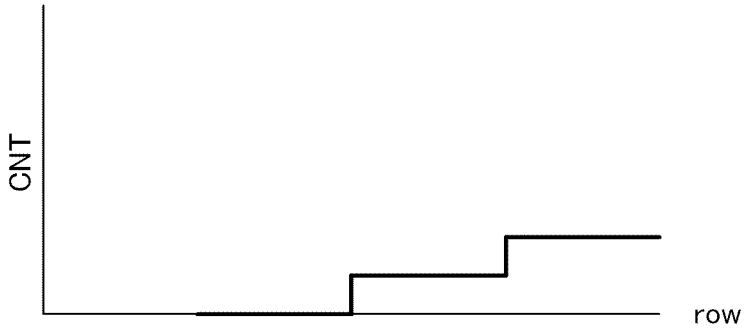
[図17]

画素アレイ部



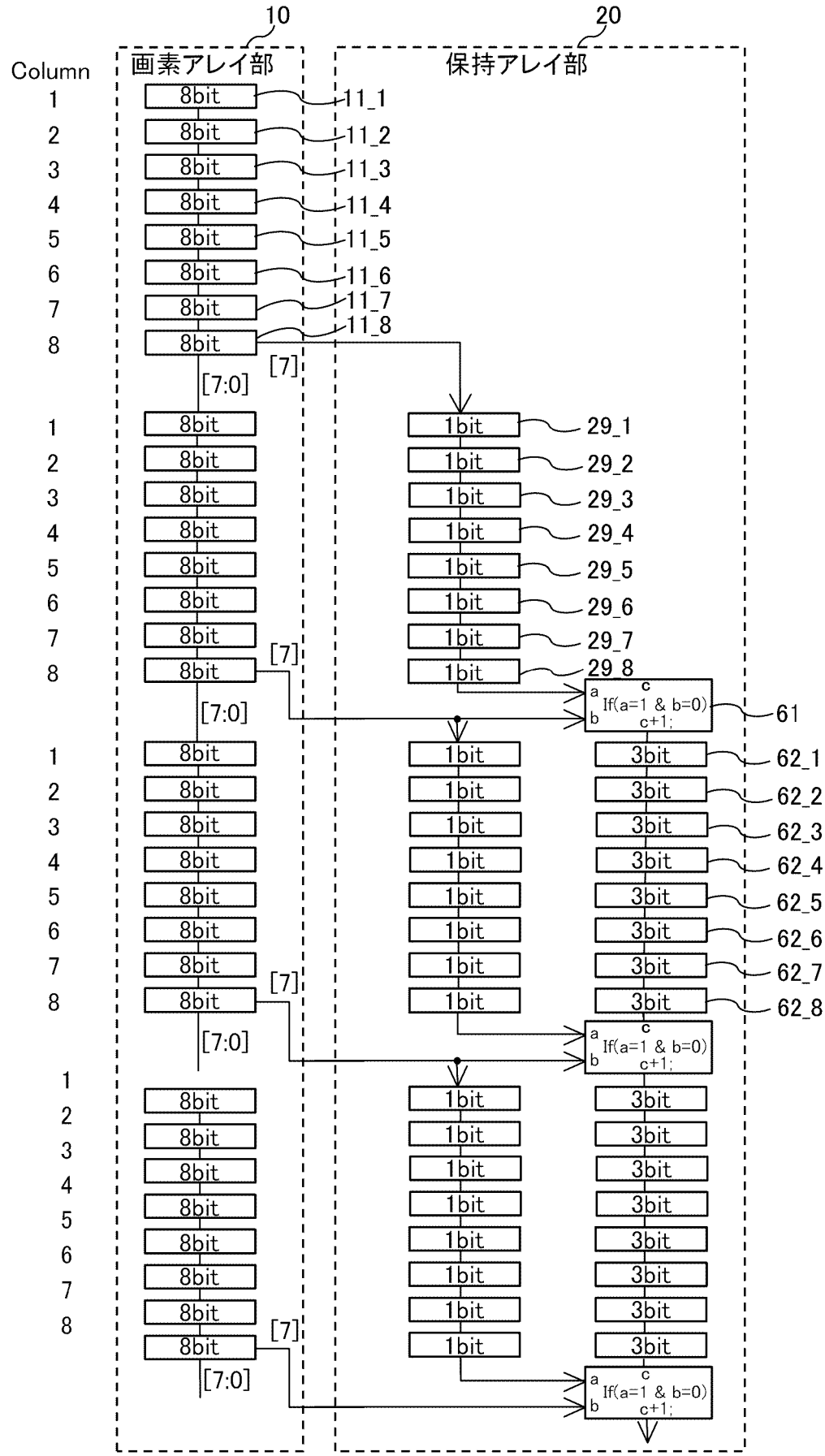
a

保持アレイ部



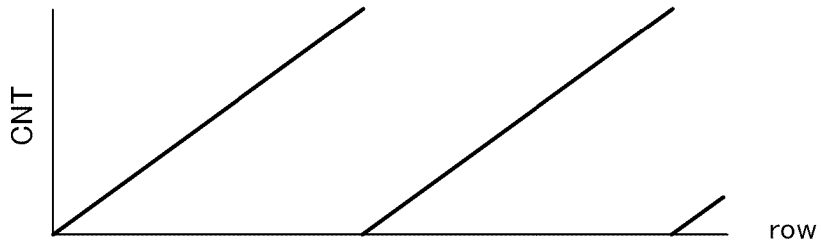
b

[図18]


10
20
画素アレイ部
保持アレイ部
Column
8bit
11_1
11_2
11_3
11_4
11_5
11_6
11_7
11_8
[7]
[7:0]
1bit
29_1
29_2
29_3
29_4
29_5
29_6
29_7
29_8
a
b
c
If(a=1 & b=0)
c+1;
61
3bit
62_1
62_2
62_3
62_4
62_5
62_6
62_7
62_8

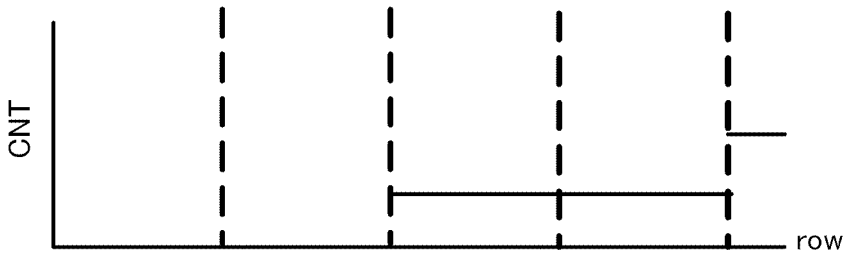
[図19]

画素アレイ部



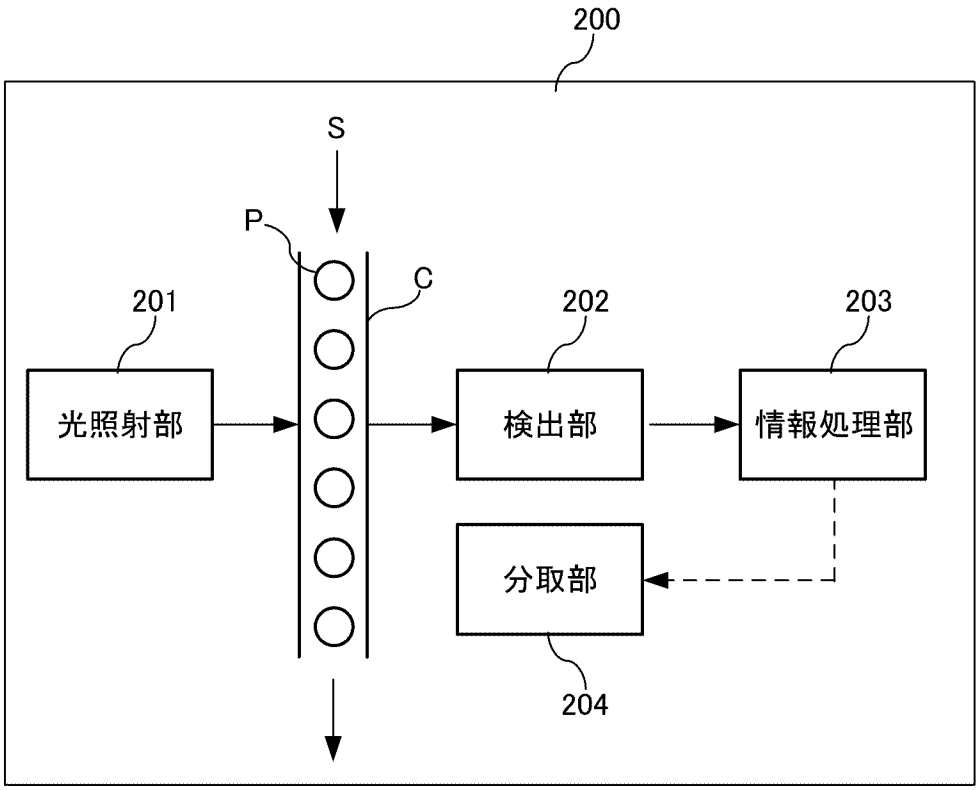
a

保持アレイ部



b

[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/000633

A. CLASSIFICATION OF SUBJECT MATTER

H04N 25/768(2023.01)i; ***H04N 25/773***(2023.01)i
FI: H04N25/768; H04N25/773

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/768; H04N25/773

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/276299 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 05 January 2023 (2023-01-05) fig. 35	1-15
A	JP 2021-34862 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 01 March 2021 (2021-03-01) fig. 19	1-15
A	JP 2022-172952 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 17 November 2022 (2022-11-17) entire text, all drawings	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 March 2024	**19 March 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/000633

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2023/276299 A1	05 January 2023	(Family: none)	
JP 2021-34862 A	01 March 2021	US 2022/0295000 A1 fig. 19 WO 2021/039017 A1 CN 114270805 A KR 10-2022-0049514 A	
JP 2022-172952 A	17 November 2022	WO 2022/234700 A1 entire text, all drawings	

国際調査報告

国際出願番号
PCT/JP2024/000633

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 25/768(2023.01)i; H04N 25/773(2023.01)i
FI: H04N25/768; H04N25/773

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N25/768; H04N25/773

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2023/276299 A1 (ソニーセミコンダクタソリューションズ株式会社) 05.01.2023 (2023-01-05) 図35	1-15
A	JP 2021-34862 A (ソニーセミコンダクタソリューションズ株式会社) 01.03.2021 (2021-03-01) 図19	1-15
A	JP 2022-172952 A (ソニーセミコンダクタソリューションズ株式会社) 17.11.2022 (2022-11-17) 全文、全図	1-15

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
11.03.2024	19.03.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

豊田　好一　5V 3568

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/000633

引用文献	公表日	パテントファミリー文献	公表日
WO 2023/276299 A1	05.01.2023	（ファミリーなし）	
JP 2021-34862 A	01.03.2021	US 2022/0295000 A1 fig.19 WO 2021/039017 A1 CN 114270805 A KR 10-2022-0049514 A	
JP 2022-172952 A	17.11.2022	WO 2022/234700 A1 全文、全図	