

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月28日(28.07.2016)



(10) 国際公開番号
WO 2016/117329 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) H02M 1/00 (2007.01)
H01L 27/04 (2006.01) H03K 17/00 (2006.01)
H01L 29/739 (2006.01) H03K 17/08 (2006.01)
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/000246
- (22) 国際出願日: 2016年1月19日(19.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-011464 2015年1月23日(23.01.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 柿本 規行(KAKIMOTO, Noriyuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 長瀬 拓生(NAGASE, Takuo); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 赤間 貞洋(AKAMA, Sadahiro); 〒4488661 愛知県刈谷市昭和

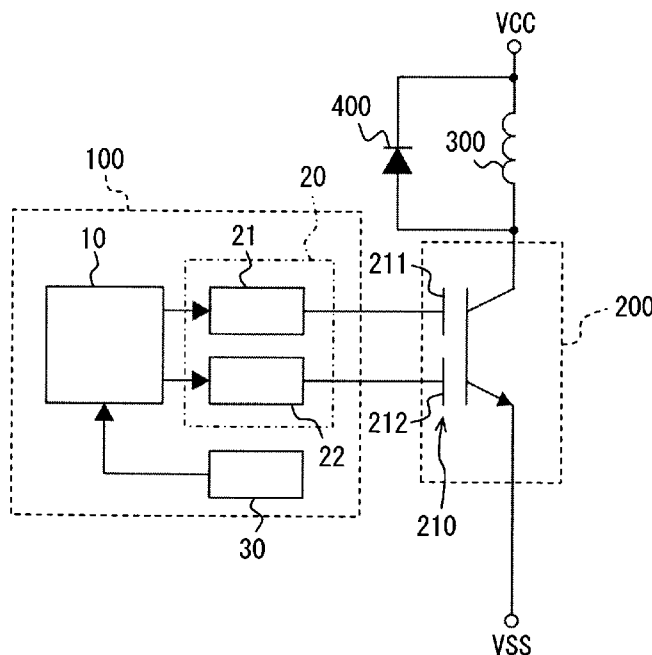
町1丁目1番地株式会社デンソー内 Aichi (JP). 金森 淳(KANAMORI, Atsushi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).

- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: DRIVE DEVICE

(54) 発明の名称: 駆動装置



第1電極および第2電極のうち、少なくともセーフモードでスウィッチング素子を駆動する。

(57) Abstract: A drive device drives a power switching element (200) having a control electrode (210) for controlling the output current supplied to a load by the application of voltage. The drive device is provided with a control unit (10) for controlling the timing of the application of voltage to the control electrode. The control electrode has a plurality of divided electrodes. The plurality of divided electrodes includes a first electrode (211) and a second electrode (212). During a short-circuit detection period for detecting a short circuit of the load, the control unit drives the switching element in a safe mode in which voltage is applied to the first electrode or the second electrode, and during a normal drive period for normal driving of the load, the control unit drives the switching element in a normal mode in which voltage is applied at least to the divided electrode, among the first and second electrodes, to which voltage is not applied in safe mode.

(57) 要約: 駆動装置は、電圧が印加されることによって負荷へ供給する出力電流を制御する制御電極(210)を有するパワースウィッチング素子(200)を駆動する。駆動装置は制御電極への電圧印加のタイミングを制御する制御部(10)を備える。制御電極は、複数の分割電極を有する。複数の分割電極は、第1電極(211)および第2電極(212)を含む。制御部は、負荷の短絡を検出するための短絡検出期間において、第1電極および第2電極の一方に電圧を印加するセーフモードでスウィッチング素子を駆動し、負荷を通常駆動させるための通常駆動期間において、ドにて電圧を印加していない分割電極に電圧を印

WO 2016/117329 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：駆動装置

関連出願の相互参照

[0001] 本出願は、2015年1月23日に提出された日本出願番号2015-11464号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、ゲート電極やベース電極のような制御電極を駆動する駆動装置に関する。

背景技術

[0003] 短絡によるスイッチング素子への過電流の供給は素子の熱破壊につながるため、短絡を検出した場合にスイッチング素子を停止させるなどのフェールセーフ制御が行われる。短絡の検出においては、短絡による過電流とパルスノイズとの切り分けが必要である。過電流であることを断定するために、例えば特許文献1に記載の駆動回路は、所定のフィルタ時間を設けている。すなわち、スイッチング素子を流れる出力電流が設定されたフィルタ時間の間、予め決められた閾値以上を維持している場合に、その電流は短絡によるものであると断定される。

[0004] 逆に言えば、このフィルタ時間の間は、スイッチング素子に出力電流が流れる状態を維持することになる。短絡時の出力電流は通常駆動時に比べて大きく、フィルタ時間内において本来は要することのない電力が消費されることになり、スイッチング素子の過熱につながる虞がある。

[0005] 短絡時においてスイッチング素子の発熱量を抑制する方法としては、出力電流の飽和電流を小さくすること、スイッチング素子の熱容量を大きくすること、短絡保護の応答速度を改善すること、が考えられる。そのなかで、出力電流を抑制する方法としては、例えば特許文献2および特許文献3に記載の技術がある。

[0006] 特許文献2に記載の半導体装置は、出力電流が流れる有効領域の寸法を最

適化することにより、低オン電圧を実現しつつ負荷短絡耐量を向上させるものである。

[0007] また、特許文献3に記載の負荷駆動装置は、ゲートドライブ回路とクランプ回路とを有している。短絡時には、短絡が発生していない通常駆動時におけるゲート電圧よりも小さいクランプ電圧を用いてIGBTのゲートを制御するようになっている。

先行技術文献

特許文献

[0008] 特許文献1：特開2014-23342号公報

特許文献2：特開2013-84922号公報

特許文献3：特開2012-204985号公報

発明の概要

[0009] しかしながら、特許文献2に記載の半導体装置においては、出力電流を従来の構成に較べて小さくする構成であるため、スイッチング素子の電流能力を低下させることになる。電流能力とオン電圧はトレードオフの関係にあるので、電流能力を低下させた結果、通常駆動時のオン電圧は大きくなり、損失が増加してしまう。

[0010] また、特許文献3に記載の負荷駆動装置においては、2系統の電源回路を必要とするため回路規模が増大することに加えて、この技術だけでは近年要求される十分な負荷短絡耐量を確保することができない。

[0011] 本開示は、通常駆動時の損失を抑制しつつ短絡耐量を確保することのできる駆動装置を提供することを目的とする。

[0012] 本開示の第一の態様によれば、駆動装置は、電圧が印加されることによって負荷へ供給する出力電流を制御する制御電極を有するパワースwitchング素子を駆動する駆動装置であって、制御電極への電圧印加のタイミングを制御する制御部を備える。制御電極は、複数の分割電極を有する。複数の分割電極は、第1電極および第2電極を含む。制御部は、負荷の短絡を検出するための短絡検出期間において、第1電極および第2電極の一方に電圧を印加

するセーフモードでスイッチング素子を駆動し、負荷を通常駆動させるための通常駆動期間において、第1電極および第2電極のうち、少なくともセーフモードにて電圧を印加していない分割電極に電圧を印加するノーマルモードでスイッチング素子を駆動する。

[0013] これによれば、短絡を検出する期間であるセーフモード時においては、制御電極の一部を構成する第1電極あるいは第2電極のどちらか一方に電圧が印加された状態となる。このため、電圧が印加される制御電極の面積は、制御電極全体に較べて小さくなる。よって、スイッチング素子におけるチャンネル形成領域は、制御電極全体に電圧が印加される場合に較べて小さくなり、出力電流能力を小さくすることができる。したがって、セーフモード時における短絡時の消費電力を抑制でき、スイッチング素子の発熱を抑制することによって短絡耐量を向上させることができる。

[0014] 本開示の第二の態様によれば、ノーマルモードにおいて、制御部は、第1電極および第2電極の両方に電圧を印加して前記スイッチング素子を駆動する。これによれば、ノーマルモード時において、第1電極に加えて第2電極への電圧の印加によってチャンネルが形成される。このため、ノーマルモード時にはセーフモード時に較べて多くの出力電流を出力することができ、導通抵抗が小さい状態となり、通常駆動時の損失を低減することができる。

図面の簡単な説明

[0015] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。

[図1]第1実施形態における駆動装置およびIGBTの概略構成を示すブロック図である。

[図2]ドライブ回路および短絡検出回路の概略構成を示す回路図である。

[図3]IGBTの電極構成を示す正面図である。

[図4]制御部による制御フローを示すフローチャートである。

[図5]制御部による制御フローを示すフローチャートである。

[図6]制御部による制御フローを示すフローチャートである。

[図7]制御部による制御フローを示すフローチャートである。

[図8] IGBTにおける電圧電流特性を示す概略図である。

[図9]伝熱距離Wの概念を示す図である。

[図10]熱源が一面に一様に存在する場合の温度変化を示す概念図である。

[図11] $L \geq 2W$ の条件における温度変化を示す概念図である。

[図12] $L < 2W$ の条件における温度変化を示す概念図である。

[図13]図12に示す状態からDを小さくした条件における温度変化を示す概念図である。

[図14]図13に示す状態からDを小さくした条件における温度変化を示す概念図である。

[図15]図14に示す状態からLを小さくした条件における温度変化を示す概念図である。

[図16]シミュレーション条件を纏めて示す図である。

[図17]シリコンを主成分とする半導体基板において、IGBTの温度上昇のストライプ幅依存性を示すシミュレーション結果である。

[図18]シリコンカーバイドを主成分とする半導体基板において、IGBTの温度上昇のストライプ幅依存性を示すシミュレーション結果である。

[図19]変形例1におけるIGBTの領域構成を示す正面図である。

[図20]変形例1におけるIGBTの領域構成を示す正面図である。

[図21]変形例1におけるIGBTの領域構成を示す正面図である。

[図22]第2実施形態におけるドライブ回路の概略構成を示す回路図である。

[図23]制御部による制御フローを示すフローチャートである。

[図24]第3実施形態におけるドライブ回路の概略構成を示す回路図である。

[図25]制御部による制御フローを示すフローチャートである。

[図26]その他の実施形態におけるドライブ回路およびIGBTの概略構成を示す回路図である。

[図27]その他の実施形態におけるIGBTのセル構成を示す回路図である。

[図28]その他の実施形態におけるIGBTのセル構成を示す回路図である。

[図29]その他の実施形態における I G B T の領域構成を示す正面図である。

発明を実施するための形態

[0016] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0017] (第1実施形態)

最初に、図1～図3を参照して、本実施形態に係る駆動装置および、駆動装置の駆動対象であるスイッチング素子の概略構成について説明する。なお、図3は概念を説明するための図であり、そのスケールは厳密ではない。

[0018] 本実施形態における駆動装置は、例えば、モータなどの負荷のオンオフを制御する回路である。図1に示すように、負荷300への電流の供給は、I G B T や M O S F E T、その他のトランジスタなどのスイッチング素子200のオンオフによって制御される。駆動装置100は、スイッチング素子200のオンオフを制御して負荷300への電流の供給を制御する装置である。

[0019] なお、本実施形態では、スイッチング素子200として I G B T を例に説明する。よって、スイッチング素子200を I G B T 200と表記する。また、I G B T 200のコレクターエミッタ間を流れるコレクタ電流が出力電流に相当する。さらに、I G B T 200のゲート電極210が制御電極に相当する。そして、ゲート電極210が少なくとも第1電極と第2電極とを含む複数の分割電極に分割されており、第1電極は第1ゲート電極211と称し、第2電極は第2ゲート電極212と称する。すなわち、本実施形態における第1ゲート電極211および第2ゲート電極212が分割電極に相当する。

[0020] まず、駆動装置100について説明する。図1に示すように、本実施形態における駆動装置100は、制御部10と、ドライブ回路20と、短絡検出回路30とを備えている。

[0021] 制御部10は、ドライブ回路20に対して制御信号を出力し、ゲート電極

210への電圧の印加を制御する。制御部10は所定の条件において、ゲート電極210のうちどの電極に電圧を印加するかを決定するようになっている。すなわち、第1ゲート電極211および第2ゲート電極212への電圧の印加タイミングを制御している。制御部10のする制御について詳しい説明は追って行う。

[0022] ドライブ回路20は、制御部10から入力される制御信号に基づいて、ゲート電極210へ電圧を印加するための回路である。ドライブ回路20は、第1ドライブ回路21と第2ドライブ回路22とを有しており、ゲート電極210の分割された一部である第1ゲート電極211と、分割された別の一部である第2ゲート電極212とに、独立して電圧を印加できるようになっている。

[0023] 具体的には、図2に示すように、ドライブ回路20は、第1ドライブ回路21と第2ドライブ回路22とを有している。

[0024] 第1ドライブ回路21は、スイッチS1とスイッチS2、および、抵抗器R1と抵抗器R2とを有している。第1ゲート電極211は、抵抗器R1とスイッチS1とを介してゲート電位 V_g に接続されている。また、第1ゲート電極211は、抵抗器R2とスイッチS2とを介してドライブ回路20の基準電位 V_{SS} に接続されている。なお、スイッチS1およびスイッチS2は、それぞれ、第1オン側回路および第1オフ側回路に相当する。図2において、スイッチS1およびS2をそれぞれ一つの開閉装置として表現しているが、各スイッチS1, S2は、ゲート電位 V_g の温度特性を緩和する温特調整回路等を含んでいてもよいし、定電流をゲート電極210に供給するような機能を持ったスイッチであってもよい。また、抵抗器R1, R2は後述の第2ドライブ回路22の抵抗器R3のように、ドライブ回路20とIGBT200のゲート電極210との間に介在される構成であってもよい。

[0025] 第2ドライブ回路22は、スイッチS3とスイッチS4、および、抵抗器R3とを有している。第2ゲート電極212は、抵抗器R3とスイッチS3とを介してゲート電位 V_g に接続されている。また、第2ゲート電極212

は、抵抗器R3とスイッチS4とを介して基準電位VSSに接続されている。なお、スイッチS3およびスイッチS4は、それぞれ、第2オン側回路および第2オフ側回路に相当する。各スイッチS3、S4は、温特調整回路等を含んでいてもよいし、定電流をゲート電極210に供給するような機能を持ったスイッチであってもよい。また、抵抗器R3は、第1ドライブ回路21の抵抗器R1、R2のように、オン側回路とオフ側回路とに分けて配置されてもよい。

[0026] なお、基準電位VSSはしばしばIGBT200のエミッタ電位と同電位とされるが、誤オンを防止する等の目的で、より低い電位を用いることもでき、IGBT200の閾値電圧よりも低い電位であればとくに限定されない。

[0027] 第1ゲート電極211に電圧を印加してIGBT200をオンする場合は、スイッチS2をオフした上でスイッチS1をオンしてゲート電位Vg側から第1ゲート電極211に電荷を供給する。一方、第1ゲート電極211をオフする場合は、スイッチS1をオフした上でスイッチS2をオンして第1ゲート電極211から基準電位VSS側に電荷を引き抜く。

[0028] 第2ゲート電極212に電圧を印加してIGBT200をオンする場合は、スイッチS4をオフした上でスイッチS3をオンしてゲート電位Vg側から第2ゲート電極212に電荷を供給する。一方、第2ゲート電極212をオフする場合は、スイッチS3をオフした上でスイッチS4をオンして第2ゲート電極212から基準電位VSS側に電荷を引き抜く。

[0029] 各スイッチS1～S4のオンオフは、制御部10から出力される制御信号に基づいて制御されている。すなわち、制御部10は各スイッチS1～S4のオンオフを制御して第1ゲート電極211および第2ゲート電極212への電圧の印加を制御している。

[0030] なお、IGBT200をターンオンする場合のスイッチ速度は、抵抗器R1の抵抗値に依存する。また、ターンオフする場合のスイッチ速度は、抵抗器R2の抵抗値に依存する。抵抗器R3は、後に詳述するノーマルモードお

よびセーフモードとの間の、互いの遷移時間に影響する。

[0031] 短絡検出回路30は、図2に示すように、IGBT200のセンスエミッタ端子に接続されている。センスエミッタ端子とは、出力電流たるコレクタ電流と相関関係を有するセンス電流を検出するための端子である。短絡検出回路30は、シャント抵抗器R4と、減算回路31と、比較回路32と、参照電位 V_{ref} を生じさせる電源とを有している。

[0032] シャント抵抗器R4は、センスエミッタ端子と基準電位 V_{SS} との間に接続されている。センス電流は、IGBT200のセンスエミッタ端子からシャント抵抗器R4を経由して基準電位 V_{SS} 側に流れる。

[0033] 減算回路31は、シャント抵抗器R4の両端の電位をそれぞれ入力として、その差分を出力する回路である。つまり、減算回路31は、シャント抵抗器R4による電圧降下量を出力するようになっている。この電圧降下量は、センス電流の電流値と比例するので、シャント抵抗器R4による電圧降下量を検出することによってセンス電流を検出することができる。そして、センス電流はコレクタ電流と相関関係にあるので、結果的に出力電流たるコレクタ電流の電流値を検出することができる。

[0034] 比較回路32は、減算回路31から出力される電圧降下量と参照電位 V_{ref} とを比較する回路である。比較回路32は、電圧降下量が参照電位 V_{ref} 以上である場合に、制御部10に検出信号を出力する。参照電位 V_{ref} は短絡を判断する場合の閾値電流に相当する電圧値が設定されている。すなわち、比較回路32は、コレクタ電流が参照電位 V_{ref} により規定される閾値電流以上になった場合に、制御部10に対して検出信号を出力するようになっている。

[0035] なお、参照電位 V_{ref} は可変である。制御部10は参照電位 V_{ref} を制御することによって閾値電流を変更することができるようになっている。

[0036] 次いで、スイッチング素子たるIGBT200について説明する。図3に示すように、本実施形態におけるIGBT200は、一般的に知られた縦型の絶縁ゲートバイポーラトランジスタであり、例えばシリコンを主成分とす

る半導体基板 290 に形成されている。IGBT 200 は、半導体基板 290 の主面 290a の表層に制御電極としてのゲート電極 210 と、ゲート電極 210 に電氣的に接続され電圧を印加するためのパッド 220 とを有している。また、図示しないが、半導体領域としてのエミッタ領域とコレクタ領域とを有している。そして、主面 290a 上にあつてエミッタ領域に接触して形成されたエミッタ電極と、主面 290a の反対側の裏面上にあつてコレクタ領域に接触して形成されたコレクタ電極と、を有している。エミッタ電極は基準電位 VSS に接続され、コレクタ電極は負荷 300 と還流ダイオード 400 の並列回路を介して電源電圧である VCC に接続されている。

[0037] 本実施形態におけるゲート電極 210 は、第 1 ゲート電極 211 と第 2 ゲート電極 212 とを有しており、主面 290a に沿う所定方向に延びて形成されている。第 1 ゲート電極 211 および第 2 ゲート電極 212 はそれぞれ交互に並んで形成されている。

[0038] パッド 220 は、第 1 ゲート電極 211 と配線を介して接続される第 1 パッド 221 と、第 2 ゲート電極 212 と配線を介して接続される第 2 パッド 222 と、を有している。すなわち、第 1 ゲート電極 211 に電位を与える場合には、制御部 10 が第 1 ドライブ回路 21 に対して第 1 パッド 221 に電圧を印加するように指示する。これにより、第 1 ドライブ回路 21 は、所定の電圧を第 1 パッド 221 に印加し、これに伴って第 1 ゲート電極 211 に電位が与えられる。また、第 2 ゲート電極 212 に電位を与える場合には、制御部 10 が第 2 ドライブ回路 22 に対して第 2 パッド 222 に電圧を印加するように指示する。これにより、第 2 ドライブ回路 22 は、所定の電圧を第 2 パッド 222 に印加し、これに伴って第 2 ゲート電極 212 に電位が与えられる。

[0039] なお、エミッタ領域は、ゲート電極 210 に絶縁膜を介して接触しており、ゲート電極 210 に電圧が印加されるとエミッタ領域とコレクタ領域との間でキャリアが移動するようになっている。そして、キャリアの移動によってエミッタ電極とコレクタ電極との間に、出力電流たるコレクタ電流が流れ

るようになっている。

[0040] 本実施形態における IGBT 200 は、ゲート電極 210 として第 1 ゲート電極 211 と第 2 ゲート電極 212 とを有しているから、それぞれのゲート電極 210 に接するエミッタ領域は、ゲート電極 210 への電圧の印加に対して独立してキャリアの移動経路を生じる。すなわち、図 3 に示すように、第 1 ゲート電極 211 に電圧が印加された場合にキャリアの移動経路となる第 1 領域 231 と、第 2 ゲート電極 212 に電圧が印加された場合にキャリアの移動経路となる第 2 領域 232 と、が存在する。なお、図 3 は上面図であるが、領域の別を明確にするために領域ごとに異なるハッチングを施している。

[0041] 上記したように、第 1 ゲート電極 211 および第 2 ゲート電極 212 は、それぞれ交互に並びつつ所定の方に延設されている。このため、第 1 領域 231 および第 2 領域 232 は互いに隣接し、ゲート電極 210 の延設方向に沿ってストライプ状に形成される。なお、本実施形態では、図 3 に示すように、第 1 ゲート電極 211 と第 2 ゲート電極 212 とが互いに同一の間隔をもって離間して形成されており、第 1 領域 231 と第 2 領域 232 はその形成位置を除いて略等価である。第 1 領域 231 の、延設方向に直交する方向（ゲート電極 210 の並び方向）の幅を L とし、並び方向における、隣り合う第 1 領域 231 の離間距離を D とすると、本実施形態における IGBT 200 では、 $L = D$ となっている。

[0042] なお、第 1 領域 231 および第 2 領域 232 の少なくとも一方は、その面積が、出力電流として、スイッチング素子に規定された定格電流以上を流せるような面積になるように形成されていることが好ましい。換言すれば、第 1 ゲート電極 211、第 2 ゲート電極 212 およびエミッタ領域は、第 1 ゲート電極 211 または第 2 ゲート電極 212 に所定の電圧が印加された場合に、定格電流以上が流れるように、半導体基板 290 にレイアウトされていることが好ましい。

[0043] 本実施形態では、第 1 領域 231 と第 2 領域 232 は互いに等価であるか

ら、第1ゲート電極211および第2ゲート電極212のいずれに電圧を印加しても、スイッチング素子に規定される定格電流以上のコレクタ電流が流れるようになっている。

[0044] 次に、図4～図7を参照して、本実施形態に係る駆動装置100の動作について説明する。

[0045] 以下、IGBT200のターンオン時における動作と、IGBT200がオン状態での動作と、ターンオフ時における動作と、を分けて説明する。なお、図4～図7の各図において、検出信号とは、短絡検出回路30が短絡を検出した場合に制御部10に出力する信号である。短絡検出回路30は、短絡を検出した場合はH信号を、短絡を検出しない場合はL信号を、それぞれ制御部10に出力する。また、動作モードとは、制御部10がIGBT200を制御するモードであり、ゲート電極210に電圧が印加されずIGBT200の動作が停止状態である停止モードと、一部のゲート電極210に電圧を印加してIGBT200を駆動するセーフモードと、セーフモードよりも電流能力が高くなるように制御されるノーマルモードと、を有している。

[0046] <ターンオン時>

まず、図4を参照して、短絡が発生していない状態におけるIGBT200のターンオン動作について説明する。

[0047] 図4に示す時刻t1以前は、制御部10は停止モードであり、IGBT200はオフ状態である。第1ゲート電極211および第2ゲート電極212にはいずれも電圧が印加されていない。よって、コレクタ電流も流れていない状態である。

[0048] 時刻t1にて制御部10は外部からIGBT200をオンするように制御信号を受けたと仮定する。制御部10は、短絡の有無の確認を目的に、IGBT200をセーフモードで駆動する。具体的には、制御部10は、時刻t1において、第1ドライブ回路21に対して第1ゲート電極211に電圧を印加するように制御信号を出力する。これにより、第1ゲート電極211に電圧が印加される。これに伴って、コレクタ電流の電流値が上昇を始める。

コレクタ電流はオーバーシュート発生の後に一定の値となる。なお、制御部 10 は、セーフモード開始時からフィルタ時間のカウントを開始する。このフィルタ時間が、短絡検出期間に相当する。なお、フィルタ時間のカウントは所定の時間をカウント可能であればどのような回路によって実現されてもよく、アナログ回路、デジタル回路いずれの方法も採用することができる。また、フィルタ時間は、時刻 t_1 からの時間で決められる方式に限らず、例えば、第 1 ゲート電極 211 に印加される電圧をモニタしておき、その電圧がある一定値に到達するまでの期間をフィルタ時間としても良い。また、電圧がある一定値になってから、一定の時間経過後としても良い。

[0049] 時刻 t_1 から所定のフィルタ時間が経過した後の時刻 t_2 において、制御部 10 が短絡検出回路 30 からの検出信号を検出しないことを条件に、制御部 10 は、第 2 ドライブ回路 22 に対して第 2 ゲート電極 212 に電圧を印加するように制御信号を出力する。本実施形態では、図 4 に示すように、セーフモードにおいて、コレクタ電流が閾値電流以上にならないため、制御部 10 に検出信号は入力されない。よって、制御部 10 は、ノーマルモードに移行し、第 2 ドライブ回路 22 が、第 2 ゲート電極 212 に電圧を印加する。なお、第 1 ゲート電極 211 には引き続き電圧が印加された状態である。

[0050] 時刻 t_2 において、第 1 ゲート電極 211 および第 2 ゲート電極 212 の両方に電圧が印加された状態となるため、ノーマルモードではセーフモードに較べて電流能力が向上された状態となっている。本実施形態の負荷 300 は、上記したようにモータであって、比較的高インダクタンスな負荷であるため、セーフモードからノーマルモードに移行してもコレクタ電流の値はほとんど変化しない。ただし、半導体基板 290 に占めるチャネルとして作用する面積が増加するためオン抵抗は低下する。第 1 ゲート電極 211 および第 2 ゲート電極 212 の両方に電圧が印加され、IGBT 200 が負荷 300 を正常に駆動している期間が、通常駆動期間に相当する。

[0051] 次いで、図 5 を参照して、負荷 300 の短絡が発生した状態における IGBT 200 のターンオン動作について説明する。

[0052] 図5に示す時刻 t_3 以前は、制御部10は停止モードであり、IGBT200はオフ状態である。第1ゲート電極211および第2ゲート電極212にはいずれも電圧が印加されていない。よって、コレクタ電流も流れていない状態である。

[0053] 時刻 t_3 にて制御部10は外部からIGBT200をオンするように制御信号を受けたと仮定する。制御部10は、短絡の有無の確認を目的に、IGBT200をセーフモードで駆動する。具体的な駆動は、短絡が発生していないターンオン動作にて説明した通りであるため、詳しい記載を省略する。時刻 t_3 において、第1ゲート電極211に電圧が印加され、コレクタ電流の電流値が上昇を始める。

[0054] ここでは、負荷300の短絡を仮定しているので、コレクタ電流は閾値電流を超えて飽和電流を上限にして上昇する。コレクタ電流が閾値電流に到達した時刻 t_4 において、短絡検出回路30は、制御部10に対して検出信号を出力する。制御部10は、この検出信号の入力が所定時間継続することを条件に、図5の時刻 t_5 において短絡状態にあると判定し、第1ゲート電極211への電圧の印加を停止させる。時刻 t_5 以降は、第1ゲート電極211および第2ゲート電極212ともにオフ状態であり、制御部10は停止モードにある。

[0055] この例では、セーフモード中に短絡が検出されるため、第2ゲート電極212に電圧が印加されてIGBT200がフルオンする前に停止に至る。IGBT200の飽和電流は、第1ゲート電極211およびゲート電極212ともに電圧が印加されている状態に較べて、第1ゲート電極211のみに印加されている状態のほうが小さくなる。このため、フィルタ時間内におけるIGBT200の消費電力を低減することができる。よって、IGBT200による発熱量を低減することができ、熱破壊を防止することができる。

[0056] <オン状態>

まず、図6を参照して、IGBT200がオン状態で動作中、短絡が発生しない状態について説明する。なお、短絡検出回路30の検出信号にパルス

ノイズが重畳した場合を仮定する。ここで、オン状態とは、第1ゲート電極211および第2ゲート電極212ともに電圧が印加されている状態であり、本実施形態ではフルオンの状態である。

[0057] 図6に示す時刻 t_7 以前において、IGBT200は、第1ゲート電極211および第2ゲート電極212の両方に電圧が印加されて、フルオンの状態で駆動している。そして、時刻 t_7 において、検出信号にパルスノイズが重畳する。制御部10に検出信号が入力されると、制御部10はセーフモードに移行する。すなわち、制御部10は、第2ゲート電極212への電圧の印加を停止させるとともに、フィルタ時間のカウントを開始する。なお、前述のように、フィルタ時間のカウントの実現はその方法を問わない。ノーマルモードからセーフモードへの移行についても、第1ゲート電極211への電圧の印加のみで、定格電流を確保しているため、コレクタ電流の値は変化しない。

[0058] パルスノイズの継続時間はフィルタ時間に較べて十分短時間であるからフィルタ時間として設定された時刻 t_7 から時刻 t_8 までの間、パルスノイズが継続することはない。したがって、制御部10は、負荷300が短絡状態にはないと判定し、時刻 t_8 において、再びノーマルモードに移行して第2ゲート電極212に電圧を印加する。なお、時刻 t_7 における検出信号にパルスノイズが重畳されてからセーフモードに移行する間に、別途上記のフィルタ時間より十分短いフィルタを設定してもよい。それにより、セーフモードとノーマルモードとの不要な切り替わりを防ぐことができる。

[0059] 次いで、図7を参照して、オン状態において、負荷300に短絡が発生した場合の動作について説明する。

[0060] IGBT200がフルオンで動作中の時刻 t_9 において、負荷300に短絡が発生したと仮定する。負荷300による電圧降下がなくなるため、IGBT200のコレクタ電極とエミッタ電極との間に電源電圧VCCが直接印加される。これにより、IGBT200のコレクタ電流は上昇を開始する。

[0061] コレクタ電流は閾値電流を超えて飽和電流を上限にして上昇する。コレク

タ電流が閾値電流に到達した時刻 t_{10} において、短絡検出回路 30 は、制御部 10 に対して検出信号を出力する。制御部 10 は、検出信号の入力をトリガに、負荷 300 の短絡のおそれを考慮して第 2 ゲート電極 212 への電圧の印加をオフにする。すなわちノーマルモードからセーフモードに移行する。この例では、時刻 t_9 での短絡発生を仮定しているので、コレクタ電流は閾値電流以上を維持するため、制御部 10 には検出信号が入力し続ける。制御部 10 は、この検出信号の入力が所定時間継続することを条件に、図 7 の時刻 t_{11} において短絡状態にあると判定し、第 1 ゲート電極 211 への電圧の印加を停止させる。時刻 t_{11} 以降は、第 1 ゲート電極 211 および第 2 ゲート電極 212 とともにオフ状態であり、制御部 10 は停止モードに移行している。

[0062] この例では、ノーマルモード中に短絡が検出されるため、検出直後には第 1 ゲート電極 211 および第 2 ゲート電極 212 の両方に電圧が印加されている。しかしながら、コレクタ電流が閾値電流以上となってセーフモードに移行することによって、第 2 ゲート電極 212 への電圧の印加が解除される。IGBT 200 の飽和電流は、第 1 ゲート電極 211 およびゲート電極 212 とともに電圧が印加されている状態に較べて、第 1 ゲート電極 211 のみに印加されている状態のほうが小さくなる。このため、セーフモード時における IGBT 200 の消費電力を低減することができる。よって、IGBT 200 による発熱量を低減することができ、熱破壊を防止することができる。そして、セーフモード移行後に短絡状態にあると判定された場合には、そのまま IGBT 200 がオフされ、駆動装置 100 による駆動は安全に停止される。

[0063] <ターンオフ時>

IGBT 200 のターンオフについては、ノーマルモードの状態から、第 1 ゲート電極 211 および第 2 ゲート電極 212 への電圧の印加をオフする。電圧の印加のオフのタイミングとしては、第 1 ゲート電極 211 と第 2 ゲート電極 212 とを同期してオフしても良いし、互いにずらしてオフしても

よい。

[0064] 次に、図8～図18を参照して、本実施形態に係る駆動装置100の作用効果について説明する。図8に示すAは本実施形態におけるノーマルモードの特性を示し、Bはセーフモードの特性を示している。また、Cは、例えば特許文献3に記載の電圧クランプ方式での特性を示している。なお、図8は概略図であって各軸のスケールは厳密ではない。

[0065] 駆動装置100における制御部10は、IGBT200の動作モードとして、ノーマルモードとセーフモードとを有している。上記したように、本実施形態では、第1ゲート電極211のみに電圧が印加された状態がセーフモードであり、第1ゲート電極211および第2ゲート電極212ともに電圧が印加された状態がノーマルモードである。

[0066] 負荷300の短絡発生時には、短絡が発生していない状態に比べてコレクタエミッタ間電圧が大きくなるため、図8に示すように、出力電流たるコレクタ電流は飽和した状態になる。この飽和電流は、セーフモードのほうがノーマルモードよりも小さくなるので、短絡発生時にIGBT200がセーフモードで駆動することによって、IGBT200の飽和電流が抑制され、IGBT200のコレクタ電流および発熱量を抑制することができる。そして、ノーマルモード時には、セーフモード時よりも大きな電流能力および低いオン電圧をもってIGBT200を駆動することができる。すなわち、ノーマルモード時には低オン電圧のため損失を抑制でき、セーフモード時には低い飽和電流によって短絡耐量を確保することができる。

[0067] なお、図8のCに示す従来の構成のように、ゲート電極210に印加する電圧をフルオン時よりも小さい所定の電圧にクランプしても飽和電流を抑制できるが、2系統の電源回路を必要とするため回路規模が増大してしまう。一方、本実施形態のような構成では、電源回路を増設することなく、短絡時の飽和電流を抑制することができる。また、クランプ方式のみでは飽和電流の抑制が不十分である場合、例えば特許文献2の技術を組み合わせることで飽和電流の抑制を実現することができるが、その際にはオン電圧が犠牲にな

る。本実施形態における駆動装置 100 を採用すればこのような背反はない。

[0068] ところで、一般的に、スイッチング素子を駆動するドライブ回路では、出力段（図 3 にてスイッチ S 1 ～ S 4 で示す部分）として、スイッチング損失の低減を目的とした高速スイッチングのため、電流能力の比較的大きい出力段を要する。さらに、損失低減を目的として、ゲート電位 V_g の温特調整回路やゲート電極 210 へ充放電する電流を定電流にする機能などをもたせている場合がある。これに対して、本実施形態のようにゲート電極 210 を複数に分割することにより、電流能力が比較的大きく、高機能な出力段を、先にターンオンするゲート電極 210、すなわち第 1 ゲート電極 211 に関する出力段のみにすることができる。また、前述にてターンオフ時において、第 1 ゲート電極 211 と第 2 ゲート電極 212 とをずらしてオフしても良い旨記載したが、このような構成においては、オフ側の出力段についても片方のみを、電流能力が比較的大きく高機能な出力段にすれば良くなる。

[0069] また、本実施形態のように、半導体基板 290 の主面 290 a が第 1 領域 231 と第 2 領域 232 とに分けられ、これらが略同一の面積の場合には、第 1 ゲート電極 211 への電圧の印加を制御するスイッチ S 1 および S 2 は、ゲート電極 210 が分割されていない態様に較べて半分の電流能力にすることができる。これにより、例えば、ドライバ IC の体格を小さくすることができる。

[0070] また、本実施形態における IGBT 200 は、コレクタ電流の電流経路となる領域として、第 1 領域 231 と第 2 領域 232 とを有している。第 1 領域 231 と第 2 領域 232 は互いに隣接してストライプ状に延設されているので、例えば第 1 領域 231 と第 2 領域 232 とが半導体基板 290 の主面 290 a を二分している場合に較べて、IGBT 200 の温度上昇を低減することができる。以下、図 9 ～図 16 を参照して具体的に説明する。

[0071] 発明者は、絶縁ゲートバイポーラトランジスタが半導体基板 290 に形成されて成る IGBT 200 について熱シミュレーションを実施した。シミュ

レーションは各領域 231, 232 の並び方向への伝熱を計算する一次元シミュレーションである。

[0072] 図9は、ある一点に熱源が存在する場合の、所定時間経過後における温度変化 ΔT の分布を示す図である。図9における破線は、主面290a上の位置に対する ΔT を示している。図9に示すように、熱源から温度変化が生じる場所までの距離を W とする。この距離 W は熱源からの伝熱により温度上昇の影響を受ける距離であり、以降、伝熱距離 W という。なお、伝熱距離 W は半導体基板290を構成する物質の熱的な物性値に依存する。

[0073] 図10は、単位時間あたり所定の熱量を発する熱源が、半導体基板290の主面290aに一様に分布している場合の所定時間経過後における温度変化 ΔT を、主面290a上の位置に対してプロットした図である。図10に示す破線は図9における破線と同義であり、主面290a上に存在する熱源による温度変化の重ね合わせが、主面290a全体の温度変化 ΔT となる。図10における実線は全体の温度変化 ΔT を示している。本実施形態のように半導体基板290の主面290aが第1領域231と第2領域232とに分けられていない構造、すなわち従来の構成では、図10の実線に示す温度変化分布となる。

[0074] 図11は、IGBT200が上記した第1領域231および第2領域232を有し、第1ゲート電極211にのみ電圧が印加されて第1領域231が発熱している場合であって、 $L \geq 2W$ を満たす場合の所定時間経過後における温度変化 ΔT を示す図である。なお、すでに記載したように、第1領域231の延設方向に直交する方向（ゲート電極210の並び方向）の幅を L とし、並び方向における隣り合う第1領域231の離間距離を D としている。また、本実施形態では $D=L$ であるが、以下、IGBT200が第1領域231および第2領域232を有することによる作用効果を説明するために、 $D=L$ 以外の形態についても説明する。

[0075] 図11に示すように、 $L \geq 2W$ の条件では、 ΔT のピークが図10の条件と同等の値を示している。すなわち、IGBT200が上記した第1領域2

3 1 および第2領域2 3 2を有している場合であっても、温度上昇の観点では従来と同等である。なお、伝熱距離 W は半導体基板2 9 0の体格に対して十分小さいから、 $L \geq 2W$ の条件とは、例えば、第1領域2 3 1と第2領域2 3 2とが半導体基板2 9 0の主面2 9 0 aを二分している状態である。

[0076] 図1 2は、図1 1に対して D/L 比を大きくし、 $L < 2W$ を満たす場合の所定時間経過後における温度変化 ΔT を示す図である。この条件では、熱源となる第1領域2 3 1の幅 L が図1 1の条件に対して小さくなっているため、熱源による温度変化の重ね合わせによるピークは図1 1に示す条件よりも小さくなる。つまり、第1領域2 3 1と第2領域2 3 2とが半導体基板2 9 0の主面2 9 0 aを二分している場合に較べて、IGBT2 0 0の温度上昇を低減することができる。なお、図1 2の温度変化分布は、 $D > W - L/2$ なる関係を満たす条件における分布である。

[0077] セーフモード時など、第1ゲート電極2 1 1のみに電圧が印加されている状態でも、十分なコレクタ電流を確保するためには、主面2 9 0 aに占める第1領域2 3 1の割合は、できる限り大きいことが好ましい。換言すれば、 $L < 2W$ を満たしつつ、 D を小さくすることが好ましい。図1 3は、 $L < 2W$ 、且つ、 $D > W - L/2$ を満たしたまま、図1 2の条件から D を小さくした場合の所定時間経過後における温度変化 ΔT を示す図である。 $D > W - L/2$ を満たしているため、隣り合う第1領域2 3 1から伝熱することがなく、温度変化 ΔT のピークの値は図1 2における条件と同等となっている。

[0078] 図1 4は、図1 3の条件から更に D を小さくし、 $D \leq W - L/2$ を満たす条件の所定時間経過後における温度変化 ΔT を示す図である。図1 3における寸法の条件である $D > W - L/2$ を満たさないため、ある第1領域2 3 1には、隣り合う第1領域2 3 1からの伝熱が到達して熱干渉する。このため、温度変化 ΔT のピークの値は、図1 3の条件に比べて大きくなる。しかしながら、 $L < 2W$ を満たしているので、第1領域2 3 1と第2領域2 3 2とが半導体基板2 9 0の主面2 9 0 aを二分している場合に較べて、IGBT2 0 0の温度上昇を低減できる状態にある。さらに、図1 3の条件に較べて

、 D/L を小さくできているので、第1ゲート電極211のみに電圧が印加されている状態でも、定格となるコレクタ電流をより小さなチップ面積でも確保することができる。なお、図14の条件に較べて温度上昇を抑制する要求がある場合には、 L を小さく設計すればよい。図15は、図14の条件から L を小さくした条件における温度変化 ΔT を示す図である。図15に示すように、第1領域231の幅 L を小さくすることにより、温度変化 ΔT のピークの値を、図14の条件に較べて小さくすることができる。

[0079] 上記した、 L 、 D および W の寸法に関する各条件におけるシミュレーションの結果について、図16を参照して総合して説明する。図16は、横軸を L 、縦軸を D とし、図11～図15に示したシミュレーション結果を得た L および D の寸法条件をプロットした図である。図16に示すa～eの各点は、それぞれ図11～図15に示したシミュレーション結果を得た L および D の寸法条件である。

[0080] $L \geq 2W$ で規定される領域Iでは、 ΔT は、 L および D に依存せず、一様に発熱する従来技術での ΔT と同等になる。 $L < 2W$ 、且つ、 $D > W - L/2$ で規定される領域IIでは、 L が小さくなるほど ΔT が低下するが、 D には依存しない。 $D \leq W - L/2$ で規定される領域IIIでは、 L が小さくなるほど ΔT が低下するが、 D が小さくなると ΔT は増加する。つまり、 L 、 D および W の寸法を、領域IIおよび領域IIIに係る条件とすることにより、IGBT200の温度上昇を低下させることができる。さらに言えば、 L 、 D および W の寸法を領域IIIに係る条件とすることにより、セーフモード時など、第1ゲート電極211のみに電圧が印加されている状態でも、十分なコレクタ電流をより小さなチップ面積で確保できるようにしつつ、IGBT200の温度上昇を抑制することができる。

[0081] 続いて、図17および図18を参照して、伝熱距離 W について検討する。

[0082] 図17は、シリコンを主成分とする半導体基板290を用い、第1ゲート電極211にのみ電圧を印加した場合におけるシミュレーションの結果である。なお、横軸をストライプ幅 a ($=L=D$) とし、縦軸を最も温度が上昇

する箇所、つまり第1領域231の中心の箇所における温度変化 ΔT として
 いる。プロットの系列は第1ゲート電極211への電圧印加からの経過時間
 t である。また、短絡が発生してから保護機能が動作するまでに一般的に必要
 となるとされる $5\mu s$ にてプロットしている。なお、縦軸は、 $a = 100$
 $0\mu m$ 、 $t = 5\mu s$ のときの温度変化 ΔT の大きさを1として規格化されて
 いる。図17によれば、ストライプ幅 a は、より小さいほうがIGBT20
 0の温度上昇を抑制することができるが、 $a = 200\mu m$ を下回るまでは、
 温度変化 ΔT の変動はほぼ無い。図10～図12に基づいて上記したように
 、 L が $2W$ を下回るまでは ΔT に変化がないことを鑑みると、シリコンにお
 ける伝熱距離 W は略 $100\mu m$ である。

[0083] 図18は、シリコンカーバイド(SiC)を主成分とする半導体基板29
 0を用い、第1ゲート電極211にのみ電圧を印加した場合におけるシミュ
 レーションの結果である。縦軸と横軸の取り方は図17に準ずる。図18に
 よれば、半導体基板290の主成分がシリコンの場合の結果と、主成分がS
 iCの場合の結果とは、プロットの形状が互いに略相似形となっている。換
 言すれば、主成分がSiCの場合の結果を示すプロットを横軸方向に拡大あ
 るいは縮小すると、主成分がシリコンの場合の結果と略一致する。横軸方向
 への拡大率あるいは縮小率は、半導体基板290を構成する物質の熱的な物
 性値に依存する。具体的には、数式1により表される係数 r が横軸方向への
 拡大率の因子となる。

[0084] [数1]

$$r = \sqrt{\frac{k}{c\rho}}$$

ここで、 c は比熱、 ρ は密度、 k は熱伝導率を示している。図17に示し
 たように、半導体基板290を構成する主な物質がシリコンである場合は伝
 熱距離 W が略 $100\mu m$ であるから、シリコンにおける比熱、密度および熱
 伝導率をそれぞれ c_{Si} 、 ρ_{Si} 、 k_{Si} とすると、一般の物質における伝熱距離
 W は、数式2により表すことができる。例えば、半導体基板290がSiC

を主成分として構成されている場合、数式 2 により求められる伝熱距離 W は略 $158 \mu\text{m}$ となる。

[0085] [数2]

$$W = 100 \times \frac{\sqrt{k/c\rho}}{\sqrt{k_{\text{Si}}/c_{\text{Si}}\rho_{\text{Si}}}} \quad [\mu\text{m}]$$

また、本実施形態のように $L = D$ の関係を満足するようにすると良い。本実施形態では、第 1 ゲート電極 211 と第 2 ゲート電極 212 が互いに略等価に形成されているため、第 1 領域 231 と第 2 領域 232 は互いに略等価であり、 $L = D$ を満たす。このような構成では、第 1 ゲート電極 211 と第 2 ゲート電極 212 が互いに略等価に形成されているため、その製造工程を簡素化することができる。

[0086] (変形例 1)

上記した実施形態では、図 3 に示したように、第 1 領域 231 と第 2 領域 232 とが $L = D$ を満たしつつ一方向に延びて形成される形態を例示した。しかしながら、上記形態に限定されない。

[0087] 第 1 領域 231 の幅、および、第 1 領域 231 の離間距離 D は、すべての第 1 領域 231 について一定である必要はない。例えば図 19 に示すように、主面 290a 上のうち、一部の区画では相対的に D が大きく設定されていても良いし、また、別の区画では相対的に L が小さく設定されていても良い。

[0088] また、図 20 に示すように、第 1 領域 231 と第 2 領域 232 とが繰り返して形成される構造が複数形成されるようになっていても良い。

[0089] また、第 1 領域 231 および第 2 領域 232 が形成するストライプ形状は、すべての第 1 領域 231 および第 2 領域 232 について、唯一つの方向を向いている必要はない。例えば図 21 に示すように、主面 290a 上のうち、一部の区画と、別の区画とで、ストライプの向く方向が直交するようになっていても良い。このような場合、両区画の境界において、ノーマルモードおよびセーフモードいずれでも通電され発熱量が相対的に大きい第 1 領域 231 が互いに隣り合わないようにすると良い。これにより、両区画の境界に

おける温度上昇を抑制することができる。

[0090] なお、第1領域231および第2領域232がストライプ状に形成されるとは、領域231、232の長手方向において互いに繰り返し並んでいる場合も含む。

[0091] (第2実施形態)

第1実施形態における第2オフ側回路は、第2ドライブ回路22のスイッチS4に相当していた。これに対して、本実施形態における第2ドライブ回路22は、図22に示すように、第2オフ側回路23として、スイッチS4に加えて第2ソフト遮断回路24を有している。この第2ソフト遮断回路24は、第2ゲート電極212に対して抵抗器R3と並列に接続されている。第2ソフト遮断回路24は、抵抗器R5とスイッチS5を有し、これらは第2ゲート電極212と基準電位VSSとの間で直列に接続されている。なお、スイッチS5は、短絡検出回路30によって検出信号が入力された場合にオンされる。

[0092] 第2ソフト遮断回路24の動作について、IGBT200がオン状態において短絡が検出された場合を例に、図23を参照して以下説明する。

[0093] 図23に示すように、IGBT200がフルオンで動作中の時刻t13において、負荷300に短絡が発生したと仮定する。IGBT200のコレクタ電極とエミッタ電極との間に電源電圧VCCが直接印加され、IGBT200のコレクタ電流は上昇を開始する。

[0094] コレクタ電流は閾値電流を超えて飽和電流を上限に上昇する。コレクタ電流が閾値電流に到達した時刻t14において、短絡検出回路30は、制御部10に対して検出信号を出力する。制御部10は、検出信号の入力をトリガに、負荷300の短絡のおそれを考慮して第2ゲート電極212への電圧の印加をオフにする。すなわちノーマルモードからセーフモードに移行する。

[0095] ところで、ノーマルモードからセーフモードへの移行の際に、第2ソフト遮断回路24が無い構成では、スイッチS3のオフと略同時にスイッチS4をオンすることによって、抵抗器R3を経由して第2ゲート電極212の電

荷を引き抜く。一方、本実施形態のように、第2オフ側回路23が第2ソフト遮断回路24を有している形態では、図13に示すように、制御部10はスイッチS4をオフのまま維持する。そして、スイッチS4に替えて、スイッチS5が検出信号の入力によってオンされる。これにより、第2ゲート電極212に蓄積されていた電荷は、抵抗器R5を経由して基準電位VSS側に抜ける。

[0096] この例では、時刻 t_{13} での短絡発生を仮定しているので、コレクタ電流は閾値電流以上を維持する。このため、制御部10には検出信号が入力し続ける。制御部10は、この検出信号の入力が所定時間継続することを条件に、時刻 t_{15} において負荷300が短絡状態にあると判定し、第1ゲート電極211への電圧の印加を停止させる。時刻 t_{15} 以降は、第1ゲート電極211および第2ゲート電極212ともにオフ状態であり、制御部10は停止モードに移行している。

[0097] 本実施形態における駆動装置100による作用効果を以下説明する。

[0098] ノーマルモード時に短絡が発生し、且つ、コレクタ電流の上昇が速い場合には、セーフモードへの移行前に過電流が流れる。その後、セーフモードへの移行のために第2ゲート電極212への電圧の印加をオフにするが、そのオフスピードが速過ぎるとコレクタ電流が急激に減少して、負荷300による誘導起電力に起因して過大なサージが発生してしまう虞がある。

[0099] 本実施形態における駆動装置100は、第2ドライブ回路22が第2ソフト遮断回路24を有しているから、抵抗器R5の抵抗値を適切に設定することにより、第2ゲート電極212に印加される電圧のスルーレートを大きくすることができ、過大なサージを抑制することができる。

[0100] なお、第2ソフト遮断回路24を経由する電荷の引き抜きは、負荷300の短絡時にのみ実施し、通常のターンオフ動作ではスイッチS4を介して電荷を引き抜くようにすると良い。これによれば、短絡時の電圧のスルーレートは抵抗器R5の抵抗値のみに依存し、抵抗器R3の抵抗値は独立で設定することができる。換言すれば、ノーマルモードとセーフモードとの相互の移

行スピードと、短絡時におけるノーマルモードからセーフモードへの移行スピードとを独立に設定することができる。すなわち、ノーマルモードとセーフモードとの相互の移行スピードを犠牲にすることなく、大きな電流変化によるサージを抑制することができる。

[0101] (第3実施形態)

第1実施形態および第2実施形態における第1オフ側回路は、第1ドライブ回路21のスイッチS2に相当していた。これに対して、本実施形態における第1ドライブ回路21は、図24に示すように、第1オフ側回路25として、スイッチS2に加えて第1ソフト遮断回路26を有している。この第1ソフト遮断回路26は、第1ゲート電極211に対して抵抗器R2と並列に接続されている。第1ソフト遮断回路26は、抵抗器R6とスイッチS6を有し、これらは第1ゲート電極211と基準電位VSSとの間で直列に接続されている。なお、スイッチS6は、短絡検出回路30によって検出信号が入力された場合にオンされる。

[0102] 第1ソフト遮断回路26の動作について、IGBT200がオン状態において短絡が検出された場合を例に、図25を参照して以下説明する。

[0103] 図25に示すように、IGBT200がフルオンで動作中の時刻 t_{17} において、負荷300に短絡が発生したと仮定する。IGBT200のコレクタ電極とエミッタ電極との間に電源電圧VCCが直接印加され、IGBT200のコレクタ電流は上昇を開始する。

[0104] コレクタ電流は閾値電流を超えて飽和電流に到達する。コレクタ電流が閾値電流に到達した時刻 t_{18} において、短絡検出回路30は、制御部10に対して検出信号を出力する。制御部10は、検出信号の入力をトリガに、負荷300の短絡のおそれを考慮して第2ゲート電極212への電圧の印加をオフにする。すなわちノーマルモードからセーフモードに移行する。制御部10はスイッチS3のオフと略同時にスイッチS4をオンする。これにより第2ゲート電極212の電荷を引き抜く。

[0105] この例では、時刻 t_{17} での短絡発生を仮定しているので、コレクタ電流

は飽和領域を維持する。このため、制御部 10 には検出信号が入力し続ける。制御部 10 は、この検出信号の入力が所定時間継続することを条件に、時刻 t_{19} において負荷 300 が短絡状態にあると判定し、第 1 ゲート電極 211 への電圧の印加を停止させる。すなわち、停止モードに移行する。

[0106] ところで、セーフモードから停止モードへの移行の際に、第 1 ソフト遮断回路 26 が無い構成では、スイッチ S1 のオフと略同時にスイッチ S2 をオンすることによって、抵抗器 R2 を経由して第 1 ゲート電極 211 の電荷を引き抜く。一方、本実施形態のように、第 1 オフ側回路 25 が第 1 ソフト遮断回路 26 を有している形態では、図 15 に示すように、制御部 10 はスイッチ S2 をオフのまま維持する。そして、スイッチ S2 に替えて、スイッチ S6 が検出信号の入力によってオンされる。これにより、第 1 ゲート電極 211 に蓄積されていた電荷は、抵抗器 R6 を経由して基準電位 V_{SS} 側に抜ける。

[0107] そして、時刻 t_{19} 以降は、第 1 ゲート電極 211 および第 2 ゲート電極 212 とともにオフ状態であり、制御部 10 は停止モードに移行した状態である。

[0108] 本実施形態における駆動装置 100 による作用効果を以下説明する。

[0109] 本実施形態における駆動装置 100 は、第 1 ドライブ回路 21 が第 1 ソフト遮断回路 26 を有しているから、抵抗器 R6 の抵抗値を適切に設定することにより、第 1 ゲート電極 211 に印加される電圧のスルーレートを大きくすることができ、過大なサージを抑制することができる。

[0110] なお、第 1 ソフト遮断回路 26 を経由する電荷の引き抜きは、負荷 300 の短絡時にのみ実施し、通常のターンオフ動作ではスイッチ S2 を介して電荷を引き抜くようにすると良い。これによれば、短絡時の電圧のスルーレートは抵抗器 R6 の抵抗値のみに依存し、抵抗器 R2 の抵抗値は独立で設定することができる。換言すれば、短絡が発生していない通常駆動時のターンオフスピードと、短絡時におけるターンオフスピードとを独立に設定することができる。よって、短絡時には大きな電流変化によるサージを抑制すること

ができる。

[0111] (その他の実施形態)

以上、本開示の好ましい実施形態について説明したが、本開示は上記した実施形態になんら制限されることなく、本開示の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0112] 例えば、図26に示すように、上記した各実施形態におけるドライブ回路20に、クランプ回路などの電圧調整回路27が構築されていても良い。電圧調整回路27は、短絡発生時に、ゲート電極210への印加電圧を通常駆動時よりも低く抑制する。制御部10によるセーフモードと、電圧調整回路27によるゲート電圧の調整によって、上記した各実施形態に較べて、短絡時の飽和電流をさらに抑制できる。なお、図26においては、電圧調整回路27がセーフモードにおいても電圧が印加される第1ゲート電極211のみに接続された例を示したが、第1ゲート電極211および第2ゲート電極212の両方に接続される構成であっても良い。

[0113] また、第1領域231および第2領域232における有効領域について、その面積が適切に設定されることが好ましい。ここで、有効領域とは、ゲート電極210に電圧が印加されることによってキャリアの注入源となる部分であり、エミッタ領域に相当する。

[0114] 半導体基板290の主面290aを正面視したとき、第1領域231における有効領域の面積割合を $\alpha 1$ 、第2領域232における有効領域の面積割合を $\alpha 2$ とし、主面290aにおける絶縁ゲートバイポーラトランジスタとして機能する領域に占める第1領域231の面積割合を β とする。つまり、第1領域の有効領域の面積割合は、主面290aにおける絶縁ゲートバイポーラトランジスタとして機能する領域に対して $\alpha 1 \times \beta$ であり、第1領域の有効領域の面積割合は $\alpha 2 \times (1 - \beta)$ である。

[0115] 一般に、飽和電流は有効領域の面積に対して単調増加し、オン電圧は有効領域の面積に対して単調減少する。セーフモードにおいては定格電流以上の電流を流すことが必要であるとともに、短絡耐量の確保のために、所定の電

流値よりも小さくする必要がある。すなわち、 $\alpha 1 \times \beta$ は、接続される負荷 300を含めたシステム全体の要件や規格などの仕様によって定まる。

[0116] 一方、ノーマルモードにおいてはオン電圧をできるだけ小さくすることが損失の低減につながるから、有効領域の占める面積割合である $\alpha 1 \times \beta + \alpha 2 \times (1 - \beta)$ は、できるだけ大きい値となることが好ましい。第1項の $\alpha 1 \times \beta$ は前述のようにシステムの仕様により決定されるので、第2項を大きくすることが求められる。例えば、短絡耐量に関わらない $\alpha 2$ については最大値である $\alpha 2 = 1$ を採用し、定格電流および短絡耐量による制限を守りつつ、 $\alpha 1 > \beta$ を満たすようにすることにより、 $\alpha 1 \times \beta + \alpha 2 \times (1 - \beta)$ をできるだけ大きく設定することができる。その結果、低オン電圧を実現しつつ短絡耐量を確保することができる。

[0117] また、上記した各実施形態および変形例では、抵抗器R1, R3を介するものの、共通のゲート電位Vgが第1ゲート電極211と第2ゲート電極212とに印加される例について説明した。しかしながら、第1ゲート電極211と第2ゲート電極212とに、それぞれ別系統の電源が用意されても良い。

[0118] 例えば、ターンオフに供されるゲート電極210に負電圧を印加するように構成することにより、当該ゲート電極210の絶縁膜に隣接した領域に蓄積層が形成されるため、キャリアをエミッタ電極から排出しやすくなることができる。

[0119] また、上記した各実施形態および変形例において説明した閾値電流について、ノーマルモード時における第1閾値と、セーフモード時における第2閾値とを用意し、第1閾値と第2閾値とに互いに異なる値が設定されることが好ましい。

[0120] 具体的には、ノーマルモード時における第1閾値を、セーフモード時における第2閾値よりも大きく設定する。ノーマルモード時は、セーフモード時に比べて電流能力が大きく、短絡時における飽和電流が大きくなる。第1閾値を第2閾値よりも大きく設定することにより、ノーマルモード時における

短絡の検出とともに、ノイズマージンを確保することができる。

[0121] さて、上記した各実施形態および変形例では、短絡検出回路30が接続されるセンスエミッタ端子について簡易的に説明した。具体的には、IGBT200は、図27に示すように、出力電流を取り出すメインセル200aとセンスエミッタ端子を有してセンス電流を取り出すセンスセル200bとを有している。

[0122] メインセル200aはゲート電極210として第1ゲート電極211aと第2ゲート電極212aとを有し、センスセル200bはゲート電極210として第1ゲート電極211bと第2ゲート電極212bとを有している。センスセル200b側で分割されたこれらゲート電極211b, 212bが、センスセル側分割電極に相当する。そして、第1ゲート電極211a, 211bは第1ドライブ回路21に接続されている。第2ゲート電極212a, 212bは第2ドライブ回路22に接続されている。

[0123] 第1ドライブ回路21あるいは第2ドライブ回路22からゲート電極210に対して電圧が出力されると、メインセル200aを出力電流たるコレクタ電流が流れるとともに、センスセル200bをセンス電流が流れる。センス電流は出力電流と相関関係を有している。短絡検出回路30のうちシャント抵抗器R4はセンスセル200bと基準電位VSSとの間に接続されている。短絡検出回路30は、センスセル200bから出力されるセンス電流をシャント抵抗器R4により電圧に変換して短絡を検出するようになっている。

[0124] センスセル200bは、ゲート電極210として、必ずしも第1ゲート電極211bと第2ゲート電極212bと、の2つを有している必要はない。図28に示すように、センスセル200bはひとつのゲート電極210、例えば、第1ゲート電極211bのみにより構成されていても良い。ただし、センスセル200bのゲート電極210には、ノーマルモードおよびセーフモードの両方で電圧が印加されるようになっていなければならない。これによれば、ノーマルモードとセーフモードとの切り替え時においてセンス電流

の変動が生じないので、安定したセンス電流の検出を行うことができる。なお、図27および図28に示す短絡検出回路30では、減算回路31よりも下流側の回路図を省略している。

[0125] また、上記した各実施形態および変形例では、IGBT200のゲート電極210が2つの分割電極に分割される例を示したが、分割数は3以上でもよい。図29は、ゲート電極210が、分割電極として、第1ゲート電極211、第2ゲート電極212、第3ゲート電極（第3ゲート電極は図示していない）、の3つに分割され、それぞれに電圧が印加されることによって出力電流が流れる第1領域231、第2領域232、第3領域233が形成される例を示している。

[0126] この例では、第1領域231、第2領域232、第3領域233がこの順で並んで繰り返し形成されており、ストライプ状を成している。この例においても、セーフモード時には第1ゲート電極211のみに電圧が印加されるとすれば、離間距離Dとは、第2領域232と第3領域233の幅の合計値に相当する。

[0127] このような形態では、例えば、セーフモード時に第1ゲート電極211に電圧を印加し、ノーマルモード時に第1ゲート電極211に加えて第2ゲート電極212に電圧を印加するようにすることもできるし、ノーマルモード時に第1ゲート電極211に加えて第3ゲート電極に電圧を印加するようにすることもできる。さらには、ノーマルモード時に第1ゲート電極211に加えて第2ゲート電極212および第3ゲート電極に電圧を印加するようにすることもできる。また、セーフモード時において第1ゲート電極211に加えて、第2ゲート電極212および第3ゲート電極のいずれか一方に電圧を印加するように構成することもできる。各モードにおいて電圧を印加するゲート電極210の組み合わせは任意であり、負荷300を駆動するための定格電流や短絡時の飽和電流の仕様に合わせた組み合わせを選択することができる。例えば、負荷300に流す電流は、指令値以上の電流定格は不要なので、指令値に合わせて、セーフモードで駆動する領域を可変にする方式が

有効となる。または、短絡時の電力は電源電圧 V_{CC} に依存するので、この電圧が高い場合には、セーフモード時に電流が流れる領域の面積を小さくするという方式も有効である。

[0128] 上記した各実施形態および変形例では、スイッチング素子として IGBT 200 を例に記載したが、スイッチング素子は絶縁ゲートバイポーラトランジスタに限定されない。例えば、MOSFET やバイポーラトランジスタ、そのほか一般的に知られた素子を採用することもできる。なお、MOSFET を採用する場合、上記各実施形態および変形例の記載におけるコレクタをドレインに言い換え、エミッタをソースに言い換えればよいし、バイポーラトランジスタを採用する場合は、ゲートをベースに言い換えればよい。

[0129] また、上記した各実施形態および変形例では、図 1 に示すように、一つのスイッチング素子で負荷 300 を駆動する方式を例に記載したが、スイッチング素子複数で上下アームを構成する方式を採用することもできる。

[0130] また、上記した各実施形態および変形例では、負荷 300 の短絡を検出するための短絡検出回路 30 がセンスエミッタ端子に接続される例を示したが、必ずしもセンスエミッタ端子、換言すればセンスセル 200b を介して検出する必要はない。例えば、メインセル 200a の出力端子に短絡検出回路 30 を構築しても良い。短絡検出回路 30 の例としては、シャント抵抗器を挿入する方式や、電流センサを挿入する方式を採用することができる。その他、IGBT 200 のコレクターエミッタ間電圧 V_{ce} やその時間変化 dV_{ce}/dt に基づいて短絡を検出しても良い。この場合、IGBT 200 のオン時に、 $V_{ce} = V_{CC}$ となれば短絡と判定することができる。また、ゲート電極 210 の電位 V_{ge} を検出し、ミラー期間の有無に基づいて短絡を検出するようにしても良い。

[0131] なお、上記の説明では、短絡として、負荷 300 の短絡について説明したが、本開示は、負荷短絡に限らず、ダイオード 400 のショートによるアーム短絡など、スイッチング素子に流れる電流が著しく増加するすべての短絡モードに適用することができる。

請求の範囲

- [請求項1] 電圧が印加されることによって負荷へ供給する出力電流を制御する制御電極（210）を有するパワースイッチング素子（200）、を駆動する駆動装置であって、
- 前記制御電極への電圧印加のタイミングを制御する制御部（10）を備え、
- 前記制御電極は、複数の分割電極を有し、
- 前記複数の分割電極は、第1電極（211）および第2電極（212）を含み、
- 前記制御部は、
- 前記負荷の短絡を検出するための短絡検出期間において、前記第1電極および前記第2電極の一方に電圧を印加するセーフモードで前記スイッチング素子を駆動し、
- 前記負荷を通常駆動させるための通常駆動期間において、前記第1電極および前記第2電極のうち、少なくとも前記セーフモードにて電圧を印加していない前記分割電極に電圧を印加するノーマルモードで前記スイッチング素子を駆動する駆動装置。
- [請求項2] 前記ノーマルモードにおいて、
- 前記制御部は、前記第1電極および前記第2電極の両方に電圧を印加して前記スイッチング素子を駆動する請求項1に記載の駆動装置。
- [請求項3] 前記分割電極は、前記スイッチング素子が形成された半導体基板（290）の深さ方向に直交する主面（290a）の少なくとも一部において、前記深さ方向に直交する所定方向に延設され、
- 前記主面を正面視した場合に、前記主面は、前記第1電極に電圧が印加されることによって出力電流が流れる第1領域（231）と、前記第2電極に電圧が印加されることによって出力電流が流れる第2領域（232）と、を有し、
- 前記第1領域および前記第2領域は、前記分割電極の延設方向に沿

ってストライプ状に形成されている請求項 1 または請求項 2 に記載の駆動装置。

[請求項4] 前記制御部は、前記セーフモードにおいて前記第 1 電極に電圧を印加して前記スイッチング素子を駆動し、

前記第 1 電極は、前記延設方向に直交する並び方向において、

前記半導体基板を構成する物質の比熱を c 、密度を ρ 、熱伝導率を k とし、シリコンの比熱を c_{Si} 、密度を ρ_{Si} 、熱伝導率を k_{Si} とするとき、数式 3 により規定される伝熱距離 W と、前記第 1 領域の幅 L と、の間に $L < 2W$ の関係を満たすように形成されている請求項 3 に記載の駆動装置。

[数3]

$$W = 100 \times \frac{\sqrt{k/c\rho}}{\sqrt{k_{Si}/c_{Si}\rho_{Si}}} \quad [\mu m]$$

[請求項5] 前記第 1 電極は、前記第 1 領域の幅 L と、前記第 1 領域の離間距離 D と、前記伝熱距離 W との間で、 $D \leq W - L/2$ の関係を満たすように形成されている請求項 4 に記載の駆動装置。

[請求項6] 複数の前記制御電極は、前記スイッチング素子が形成された半導体基板 (290) の深さ方向に直交する主面 (290a) に形成され、
前記主面を正面視した場合に、前記主面は、前記第 1 電極に電圧が印加されることによって出力電流が流れる第 1 領域 (231) と、前記第 2 電極に電圧が印加されることによって出力電流が流れる第 2 領域 (232) と、を有し、

前記第 1 領域および前記第 2 領域の少なくとも一方は、前記主面に占める面積が、出力電流として、予め定められた定格電流以上の電流が流れるように設定されている請求項 1 ～ 5 のいずれか 1 項に記載の駆動装置。

[請求項7] 前記第 1 領域および前記第 2 領域は、それぞれの前記主面に占める面積が、出力電流として、予め定められた定格電流以上の電流が流れ

るように設定されている請求項 6 に記載の駆動装置。

[請求項 8]

前記第 1 電極に電圧を印加する第 1 ドライブ回路 (21) と、前記第 2 電極に電圧を印加する第 2 ドライブ回路 (22) と、

前記スイッチング素子の短絡を検出した場合に検出信号を前記制御部に出力する短絡検出回路 (30) と、を備え、

前記第 1 ドライブ回路は、前記第 1 電極への電圧の印加をオンするための第 1 オン側回路 (S1) と、前記第 1 電極への電圧の印加をオフするための第 1 オフ側回路 (S2, 25) と、を有し、

前記第 2 ドライブ回路は、前記第 2 電極への電圧の印加をオンするための第 2 オン側回路 (S3) と、前記第 2 電極への電圧の印加をオフするための第 2 オフ側回路 (S4, 23) と、を有し、

前記スイッチング素子をターンオンする場合において、

前記制御部は、前記第 1 電極への電圧の印加のみをオンして前記セーフモードで駆動し、

前記短絡検出期間内に前記検出信号が入力されないときには、前記第 2 電極への電圧の印加をオンして前記ノーマルモードに移行し、

前記短絡検出期間内に前記検出信号が入力されたときには、前記検出信号が前記短絡検出期間の間継続していれば前記第 2 電極への電圧の印加をオンすることなく前記第 1 電極への電圧の印加をオフするように制御する請求項 1～7 のいずれか 1 項に記載の駆動装置。

[請求項 9]

前記第 1 電極に電圧を印加する第 1 ドライブ回路 (21) と、前記第 2 電極に電圧を印加する第 2 ドライブ回路 (22) と、

前記スイッチング素子の短絡を検出した場合に検出信号を前記制御部に出力する短絡検出回路 (30) と、を備え、

前記第 1 ドライブ回路は、前記第 1 電極への電圧の印加をオンするための第 1 オン側回路 (S1) と、前記第 1 電極への電圧の印加をオフするための第 1 オフ側回路 (S2, 25) と、を有し、

前記第 2 ドライブ回路は、前記第 2 電極への電圧の印加をオンする

ための第2オン側回路（S3）と、前記第2電極への電圧の印加をオフするための第2オフ側回路（S4，23）と、を有し、

前記第1電極および第2電極に電流が供給されて前記スイッチング素子が駆動している通常駆動期間に、前記検出信号が前記制御部に入力された場合において、

前記制御部は、前記第2電極への電圧の印加をオフして前記セーフモードに移行し、

前記検出信号が前記短絡検出期間の間継続していれば前記第1電極への電圧の印加をオフし、

前記検出信号が前記短絡検出期間の間継続していなければ再び前記第2電極への電圧の印加をオンして前記ノーマルモードに移行するように制御する請求項1～8のいずれか1項に記載の駆動装置。

[請求項10] 前記第2オフ側回路は、前記第2電極への電圧の印加がオフされる際の出力電流の時間変化を緩やかにする第2ソフト遮断回路（24）を有する請求項8または請求項9に記載の駆動装置。

[請求項11] 前記第1オフ側回路は、前記第1電極への電圧の印加がオフされる際の出力電流の時間変化を緩やかにする第1ソフト遮断回路（26）を有する請求項8～10のいずれか1項に記載の駆動装置。

[請求項12] 前記第1ドライブ回路および前記第2ドライブ回路の少なくとも一方には、それぞれ前記第1電極および前記第2電極へ印加される電圧を調整するための電圧調整回路（27）を有する請求項8～11のいずれか1項に記載の駆動装置。

[請求項13] 前記スイッチング素子の短絡を検出した場合に検出信号を前記制御部に出力する短絡検出回路（30）を備え、

前記短絡検出回路は、入力される電流の電流値が所定の閾値電流以上である場合に前記検出信号を出力し、

前記閾値電流は、ノーマルモード時における第1閾値と、セーフモード時における第2閾値とを有し、

前記第 2 閾値は、前記第 1 閾値よりも小さい値に設定される請求項 1 ～ 1 2 のいずれか 1 項に記載の駆動装置。

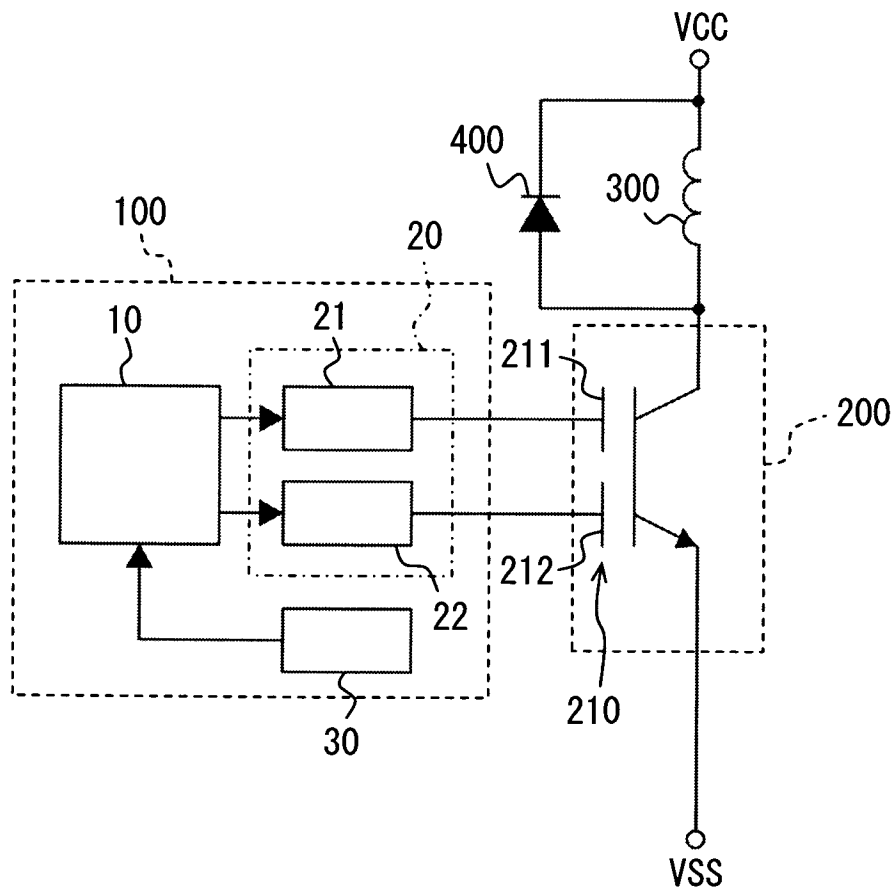
[請求項 14] 前記スイッチング素子の短絡を検出した場合に検出信号を前記制御部に出力する短絡検出回路（30）を備え、

前記スイッチング素子は、前記制御電極に電圧が印加されることにより前記出力電流を生じるメインセル（200a）と、前記スイッチング素子の出力電流をモニタするためのセンスセル（200b）とを有し、

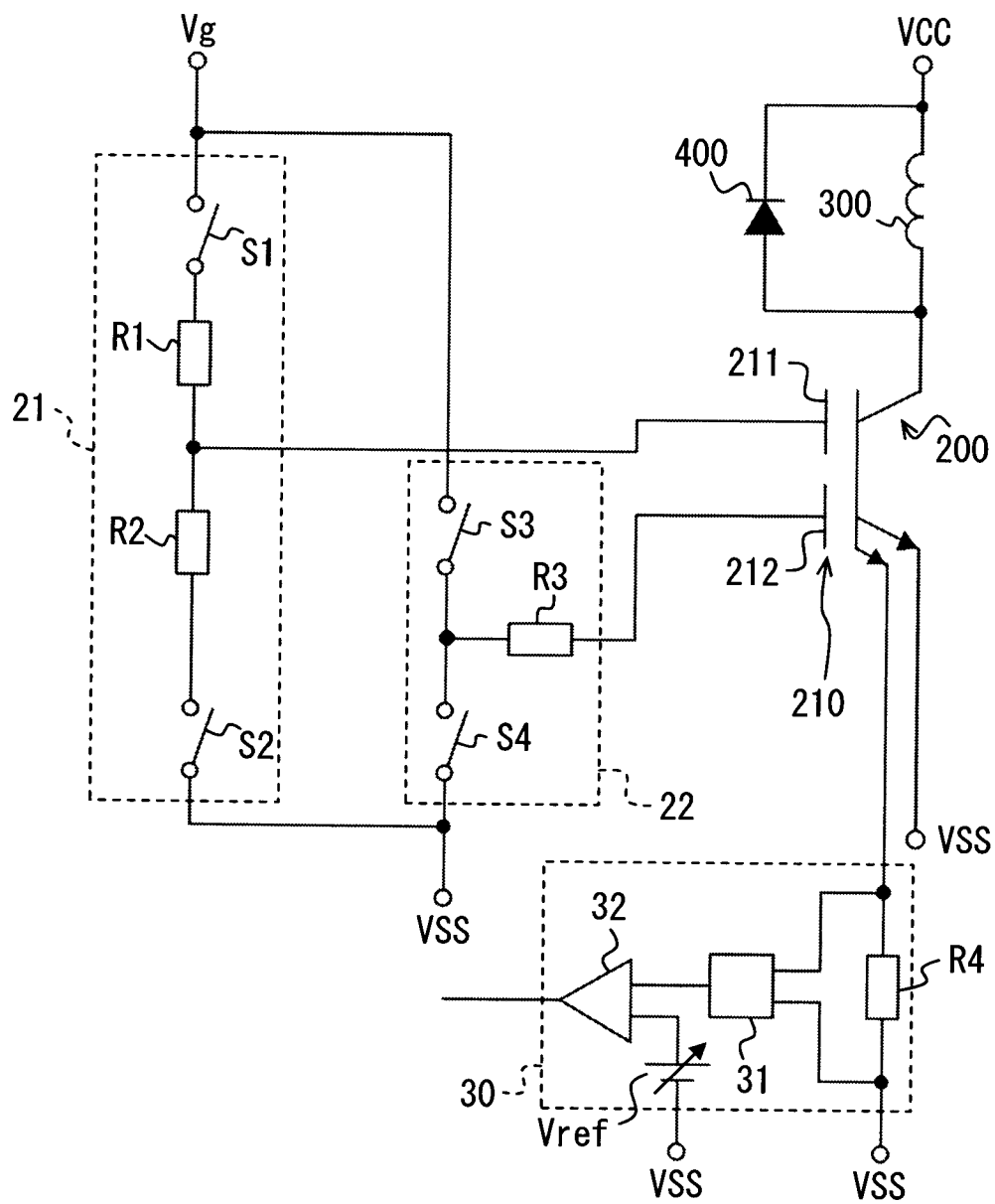
前記短絡検出回路に入力される電流は、前記センスセルの出力するセンス電流である請求項 1 ～ 1 3 のいずれか 1 項に記載の駆動装置。

[請求項 15] 前記センスセルの制御電極は、前記メインセルにおける前記分割電極に対応して分割されたセンスセル側分割電極（211b, 212b）を有し、前記センスセル側分割電極は、前記メインセルにおける前記分割電極に対応して駆動される請求項 1 4 に記載の駆動装置。

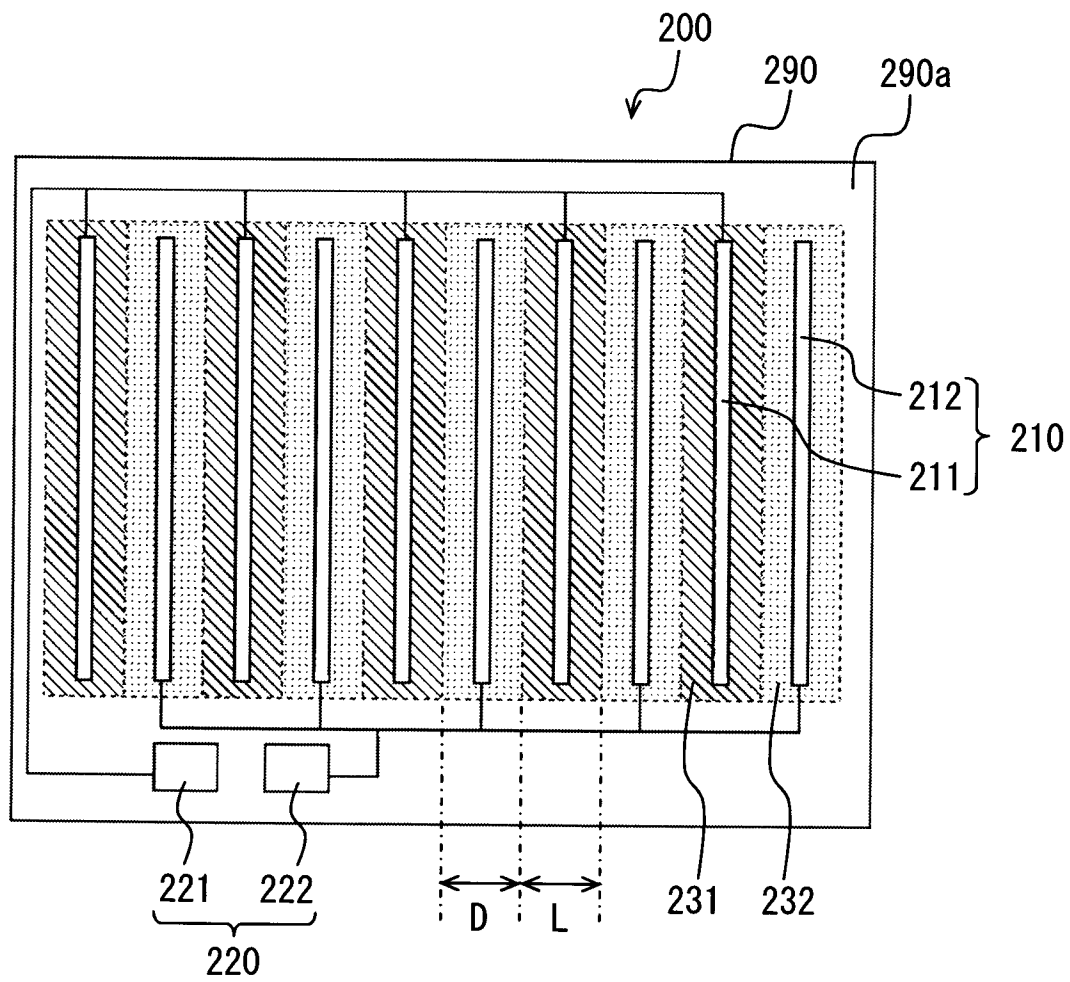
[図1]



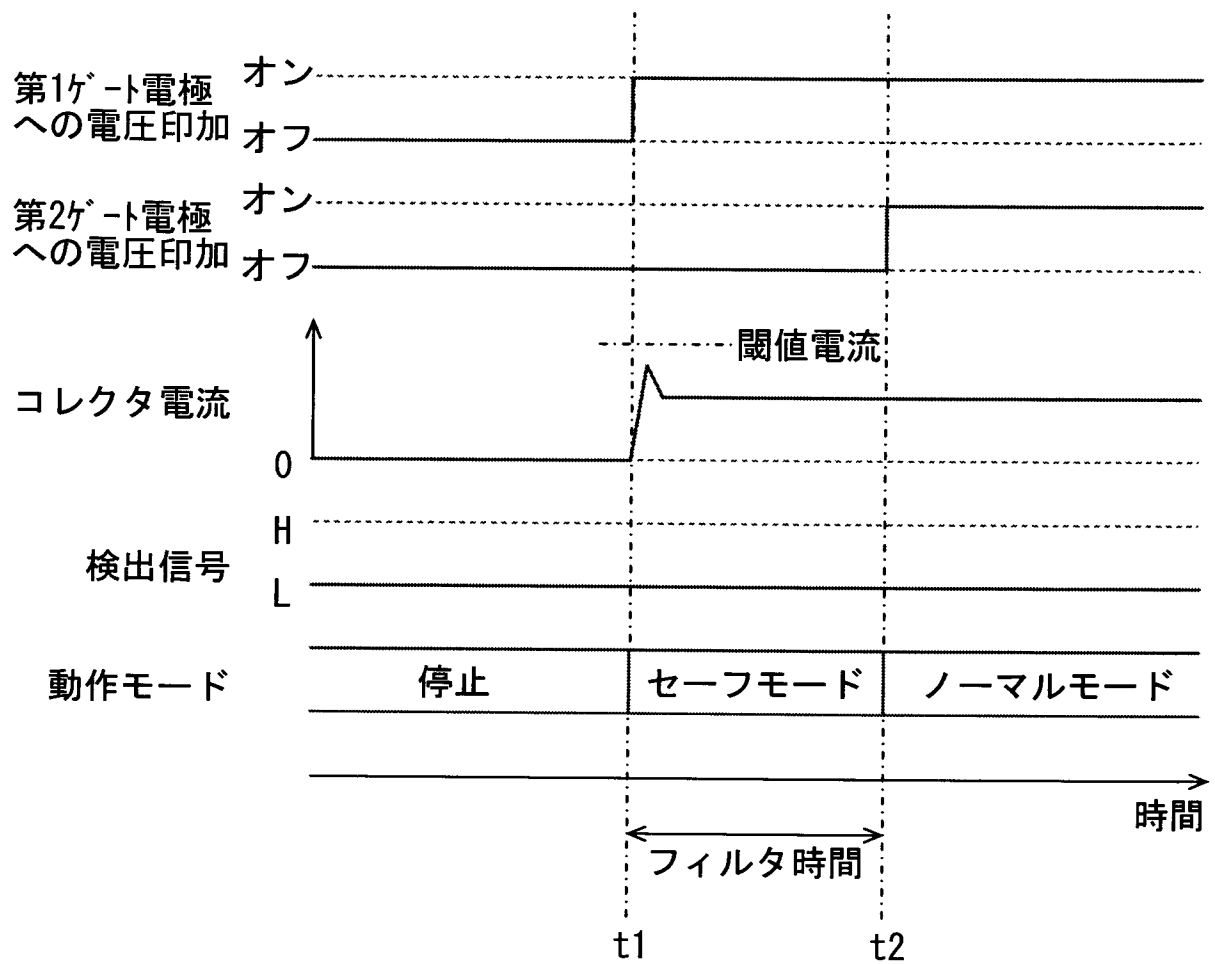
[図2]



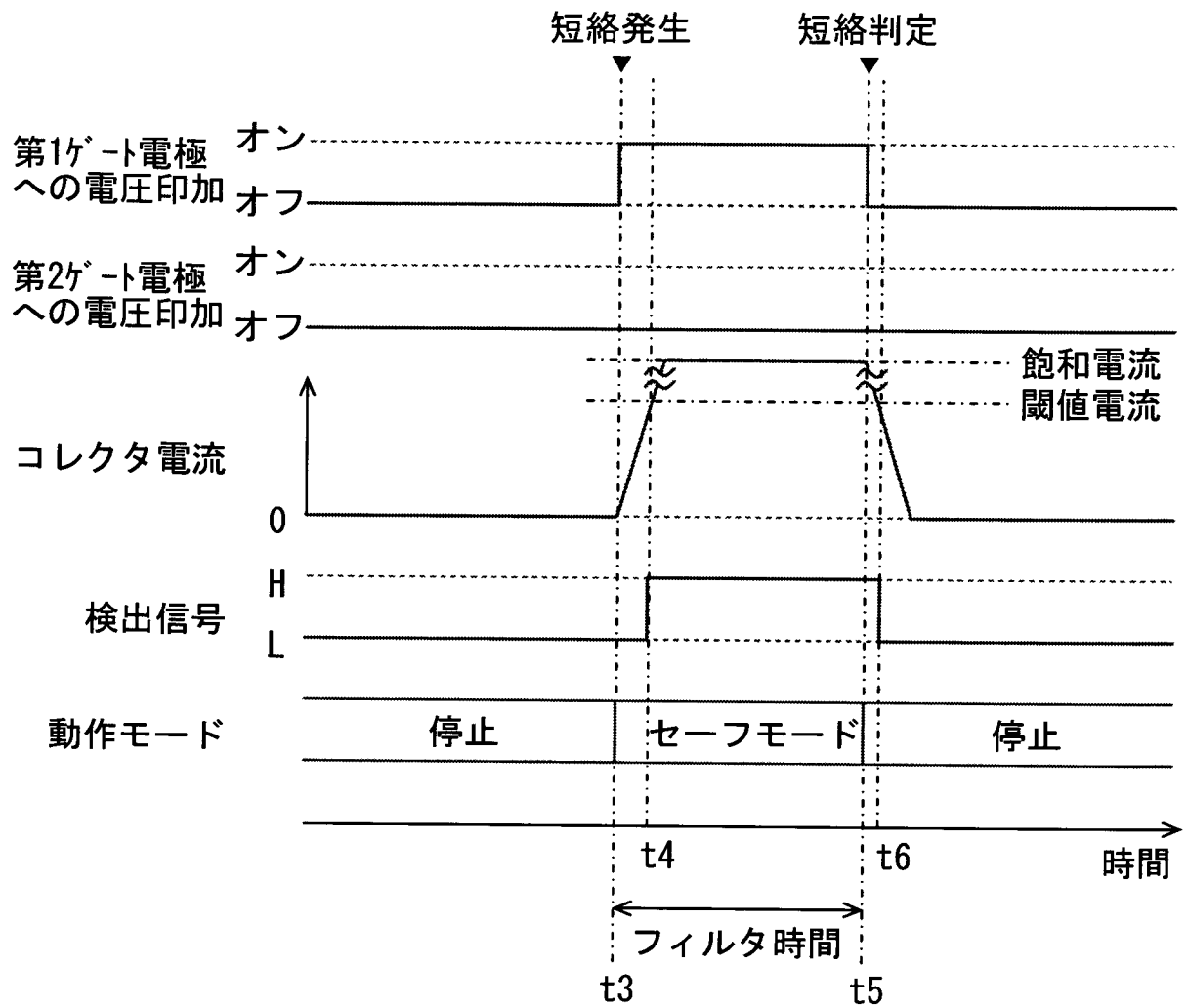
[図3]



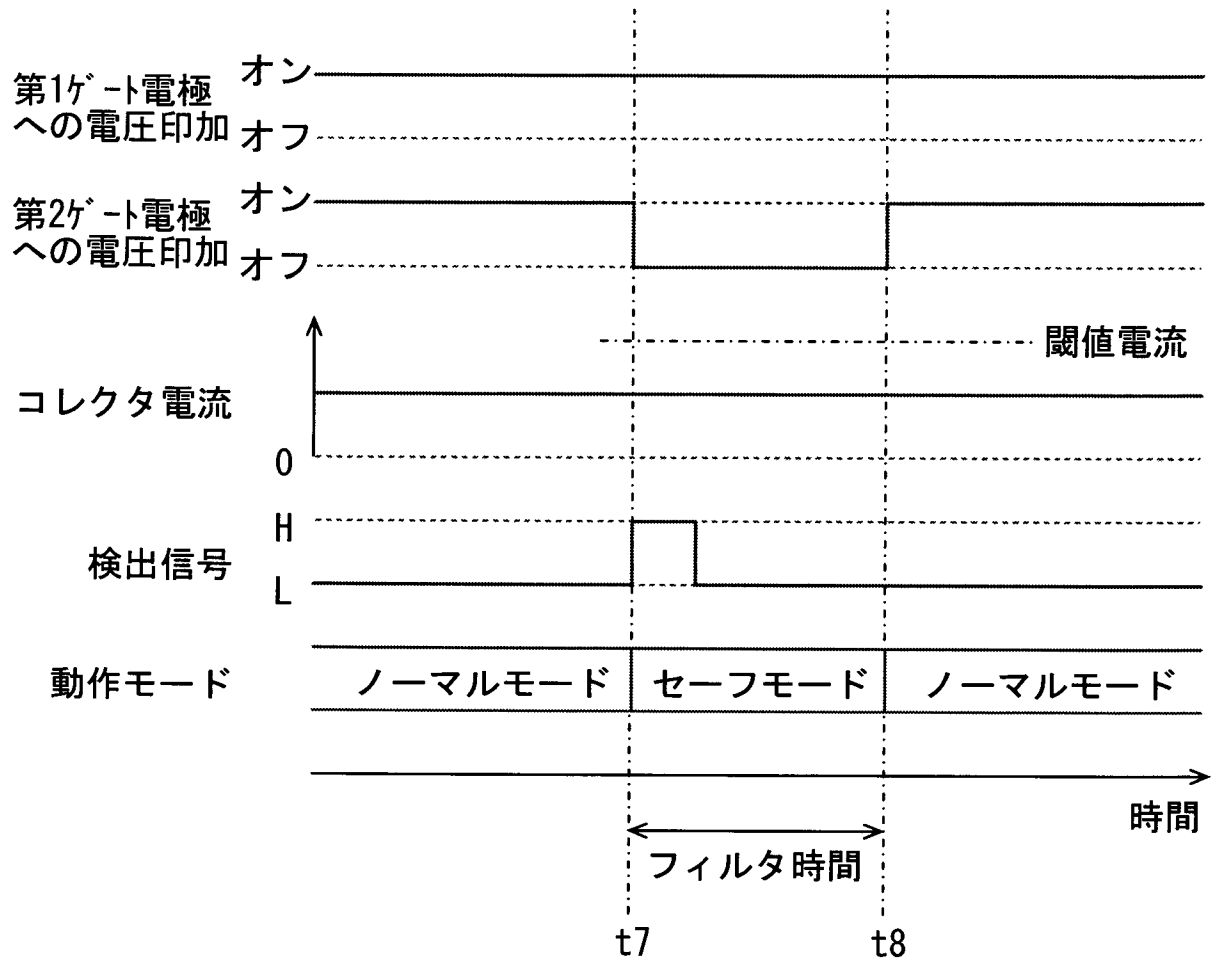
[図4]



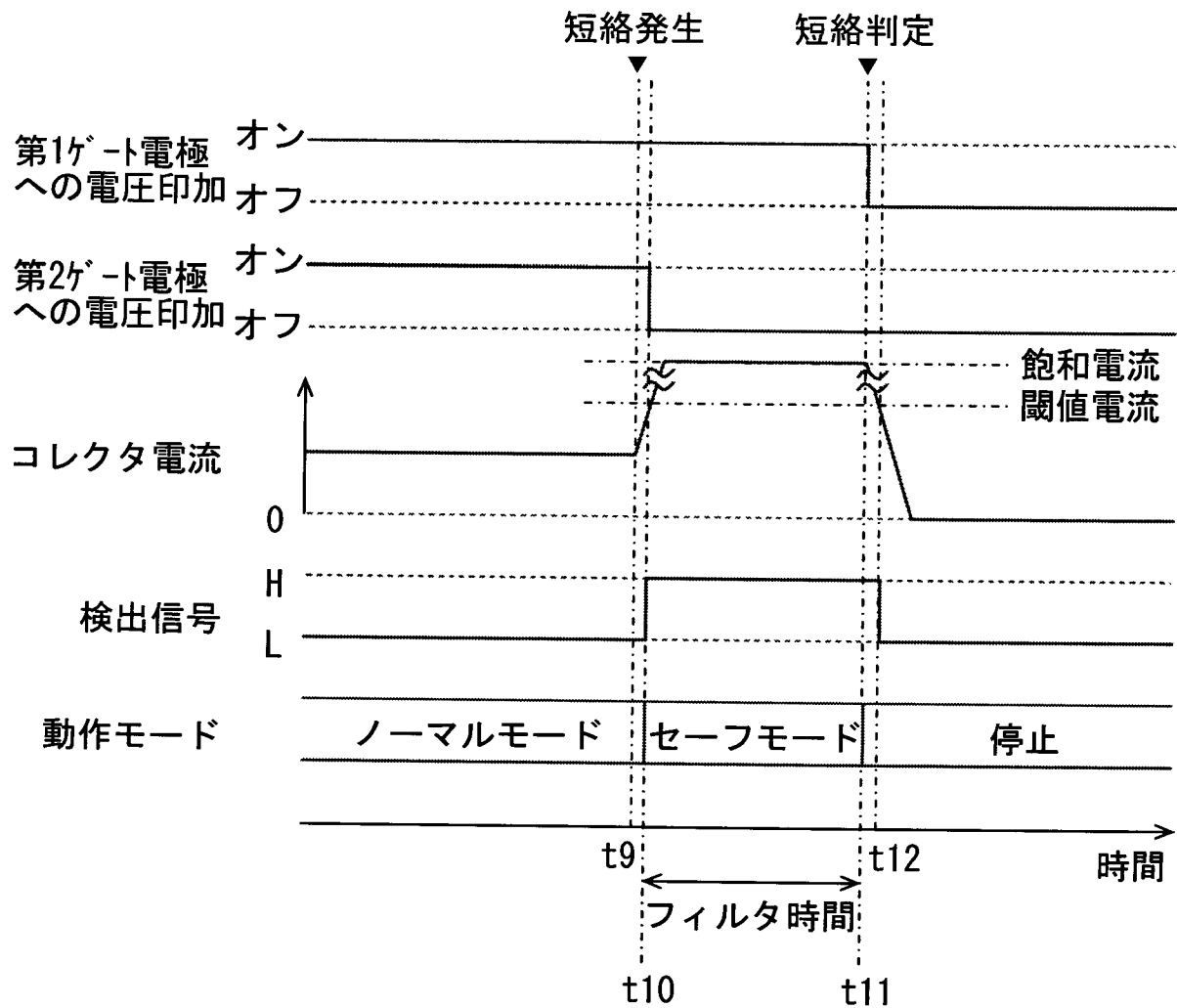
[図5]



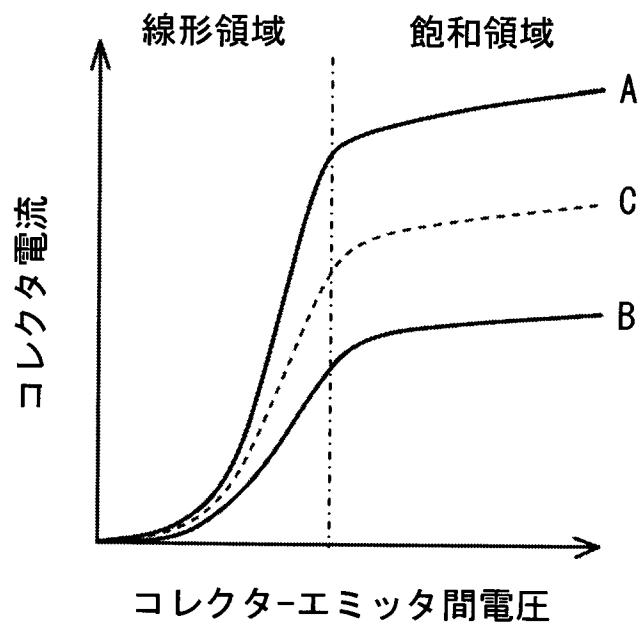
[図6]



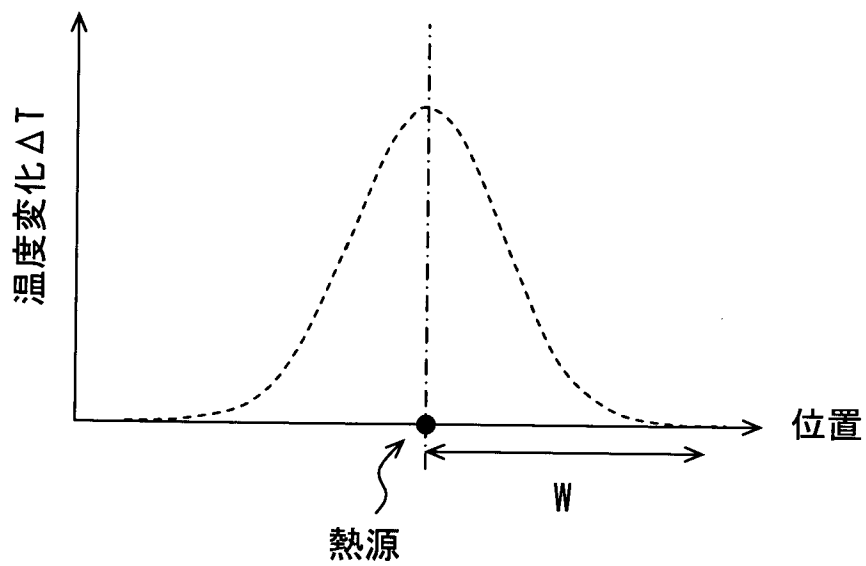
[図7]



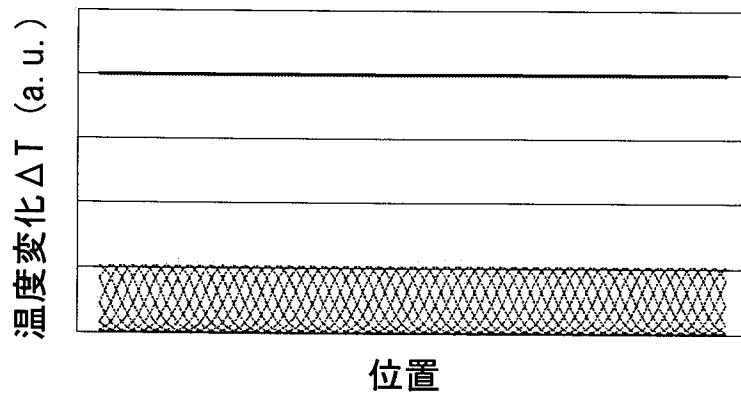
[図8]



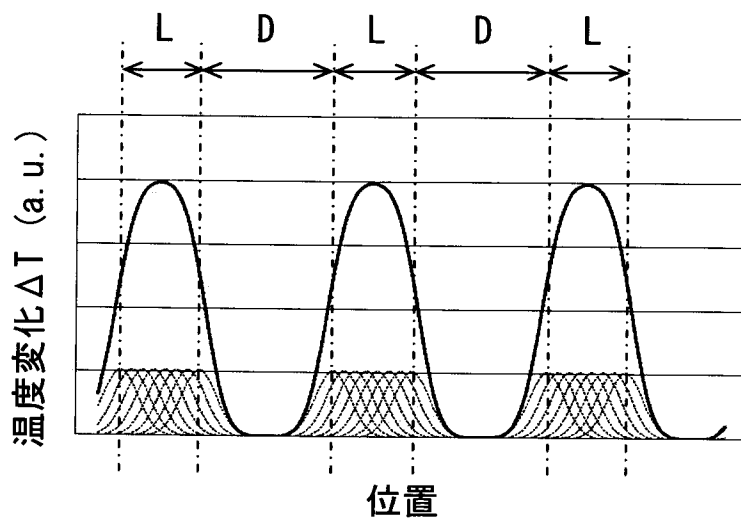
[図9]



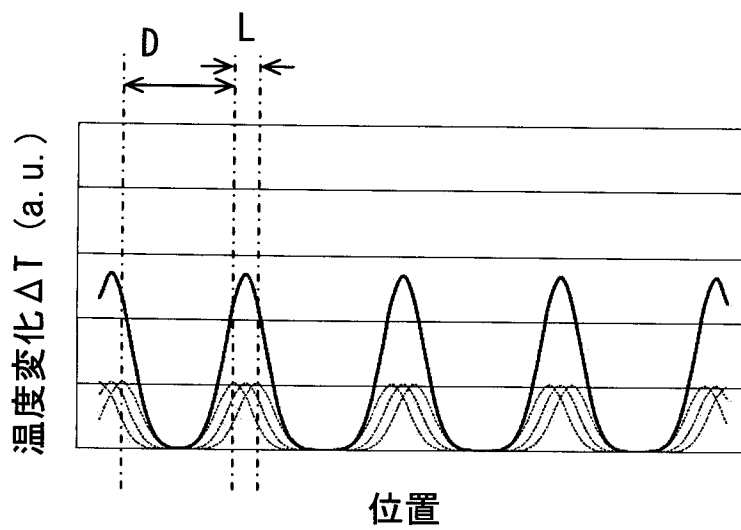
[図10]



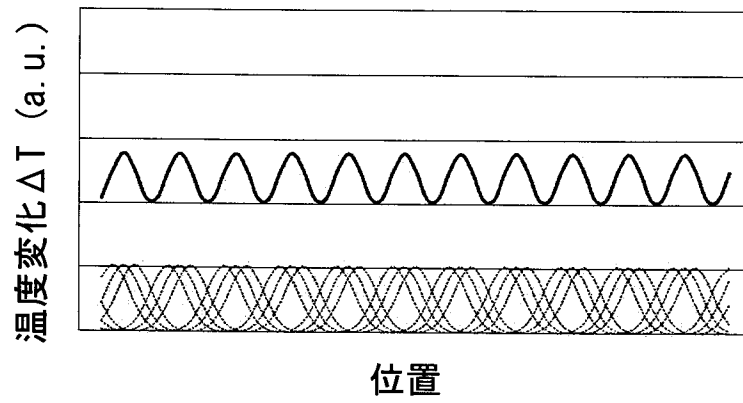
[図11]



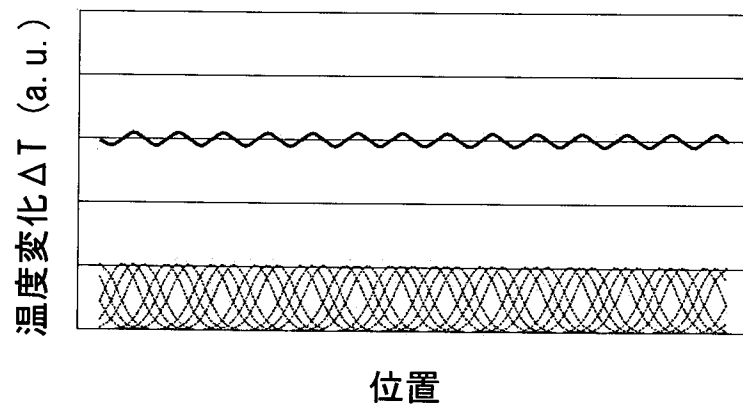
[図12]



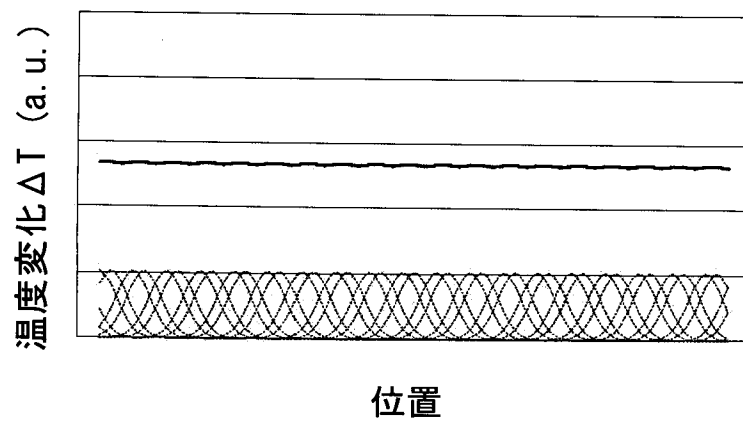
[図13]



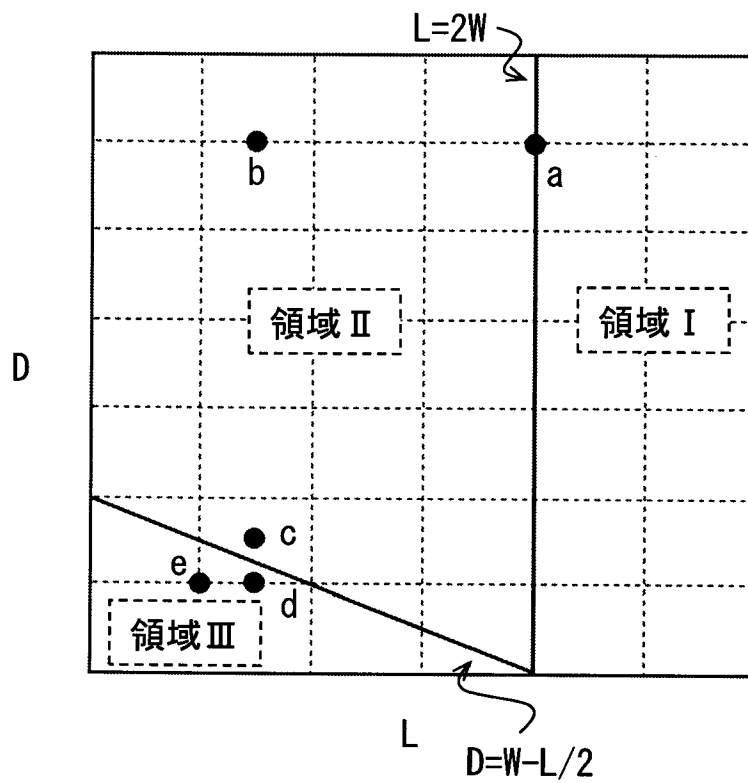
[図14]



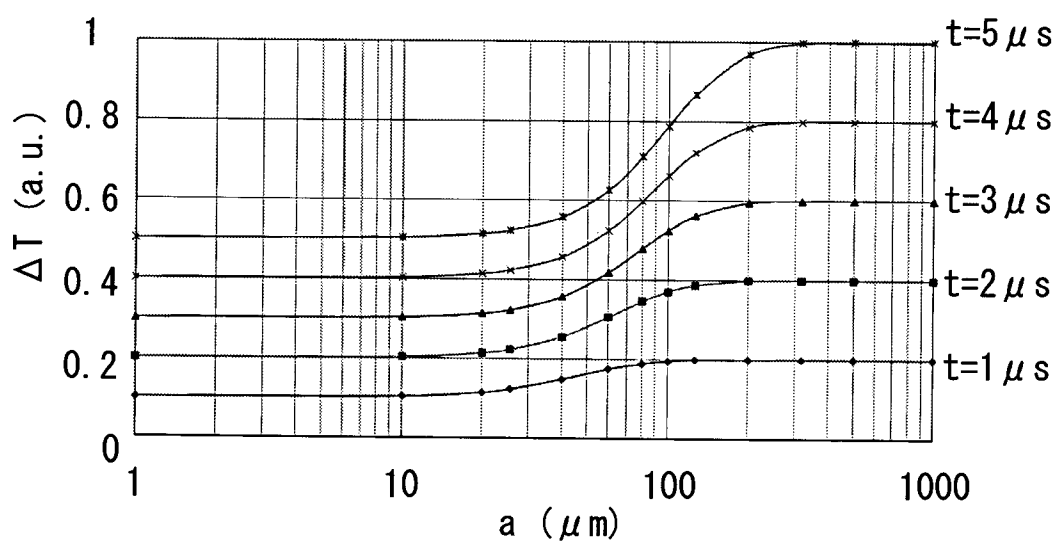
[図15]



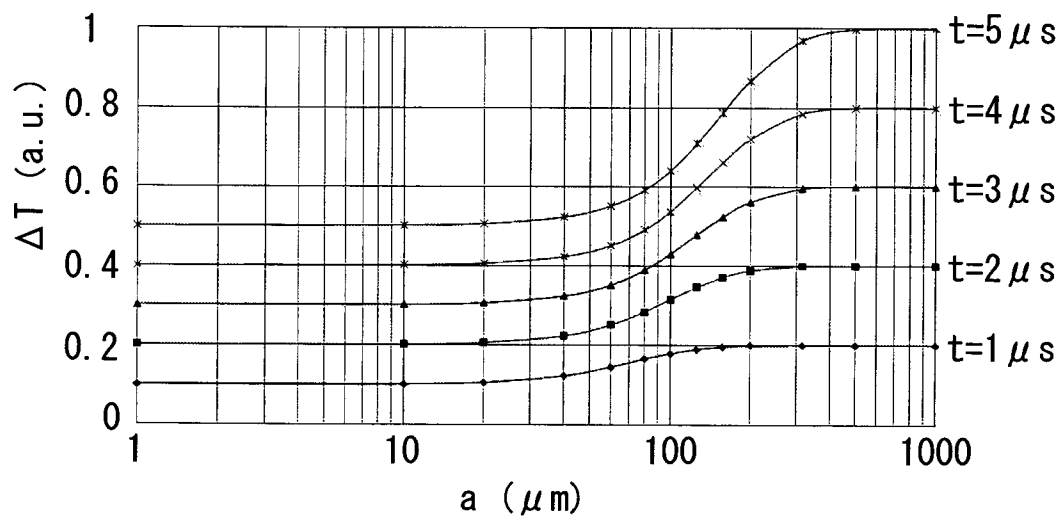
[図16]



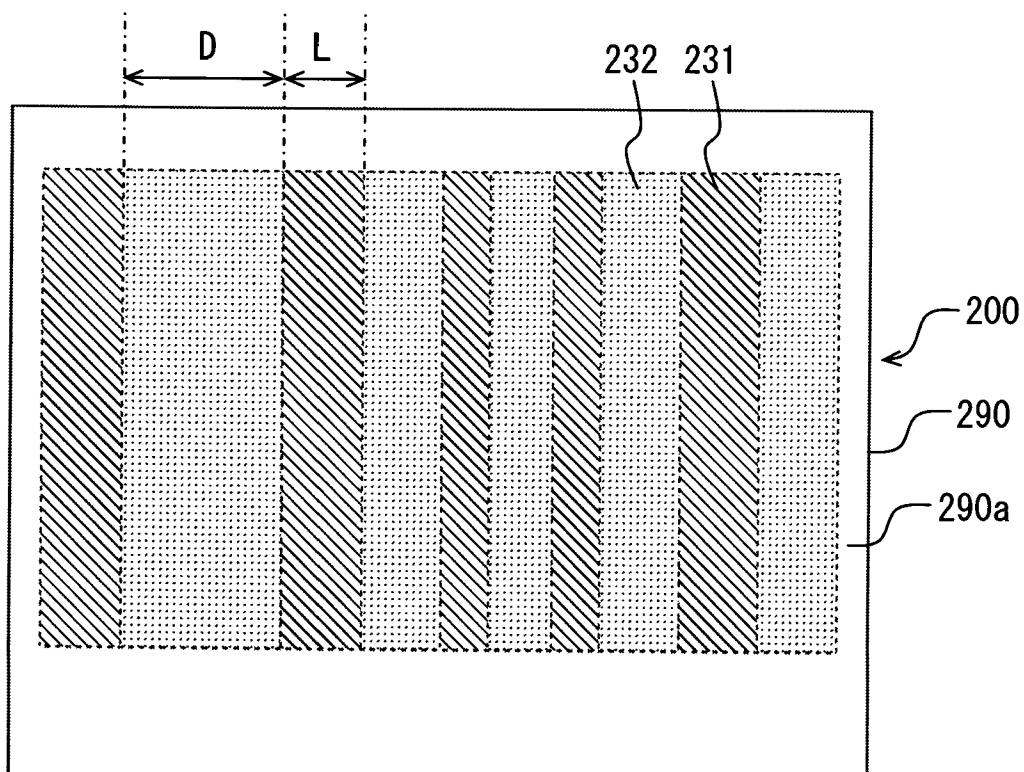
[図17]



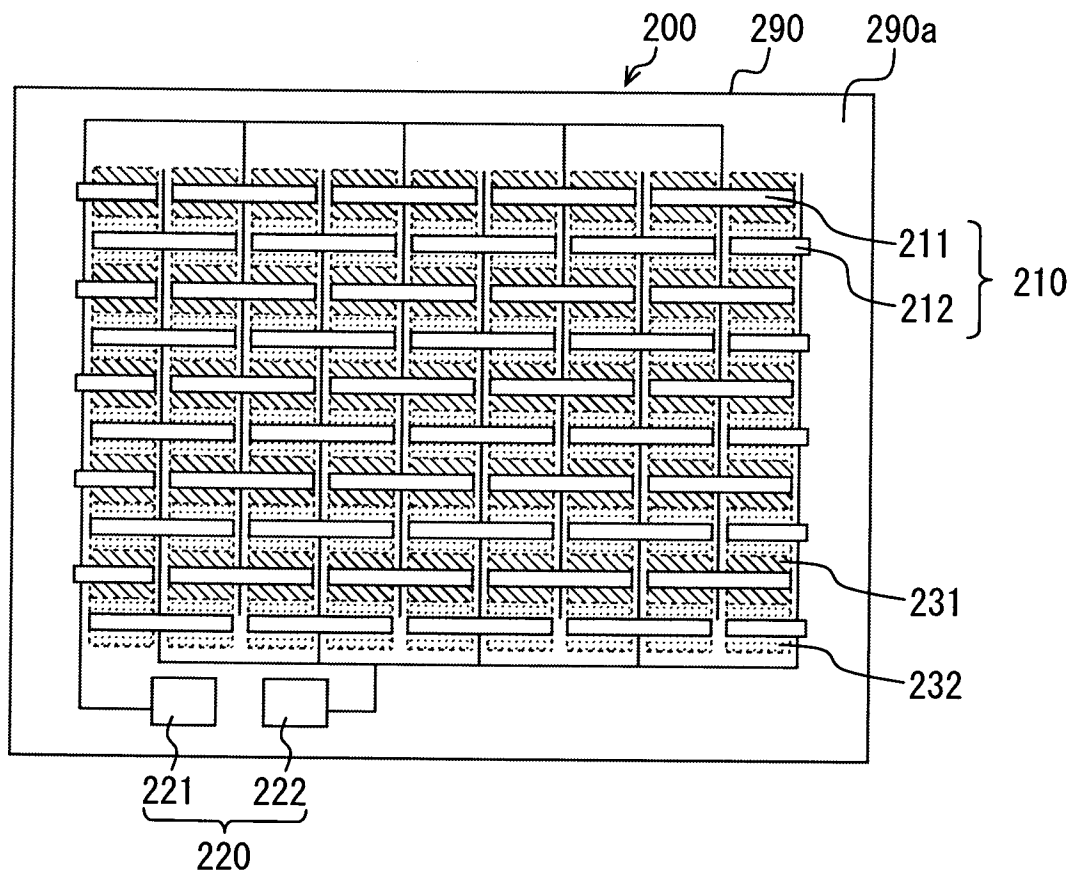
[図18]



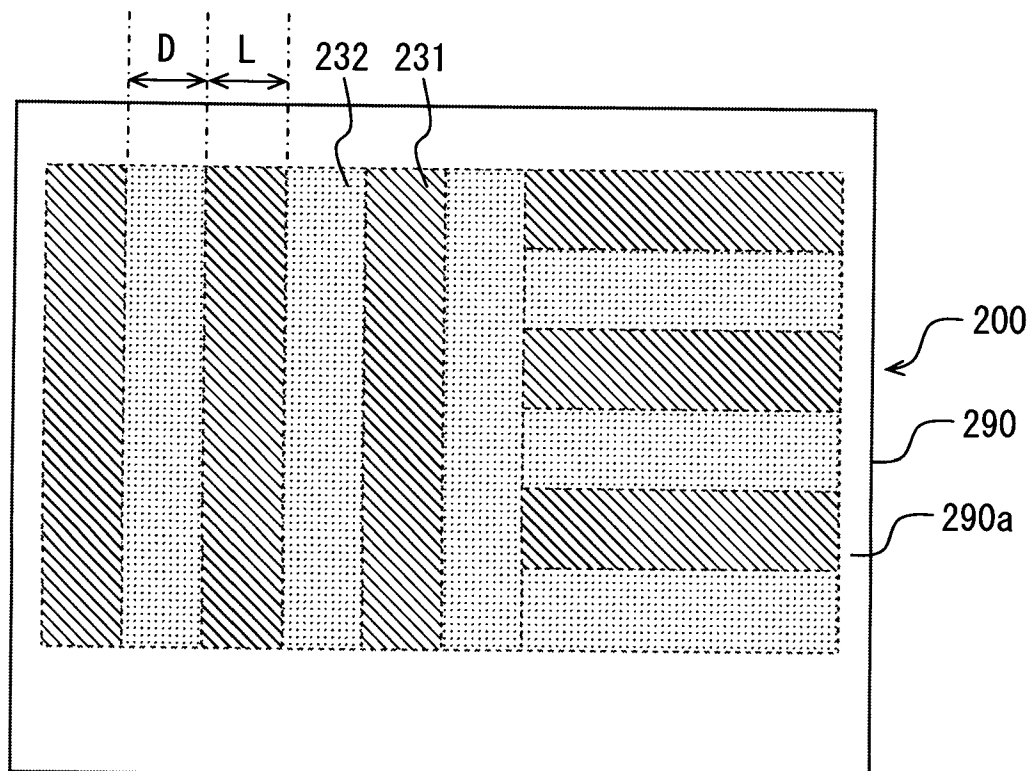
[図19]



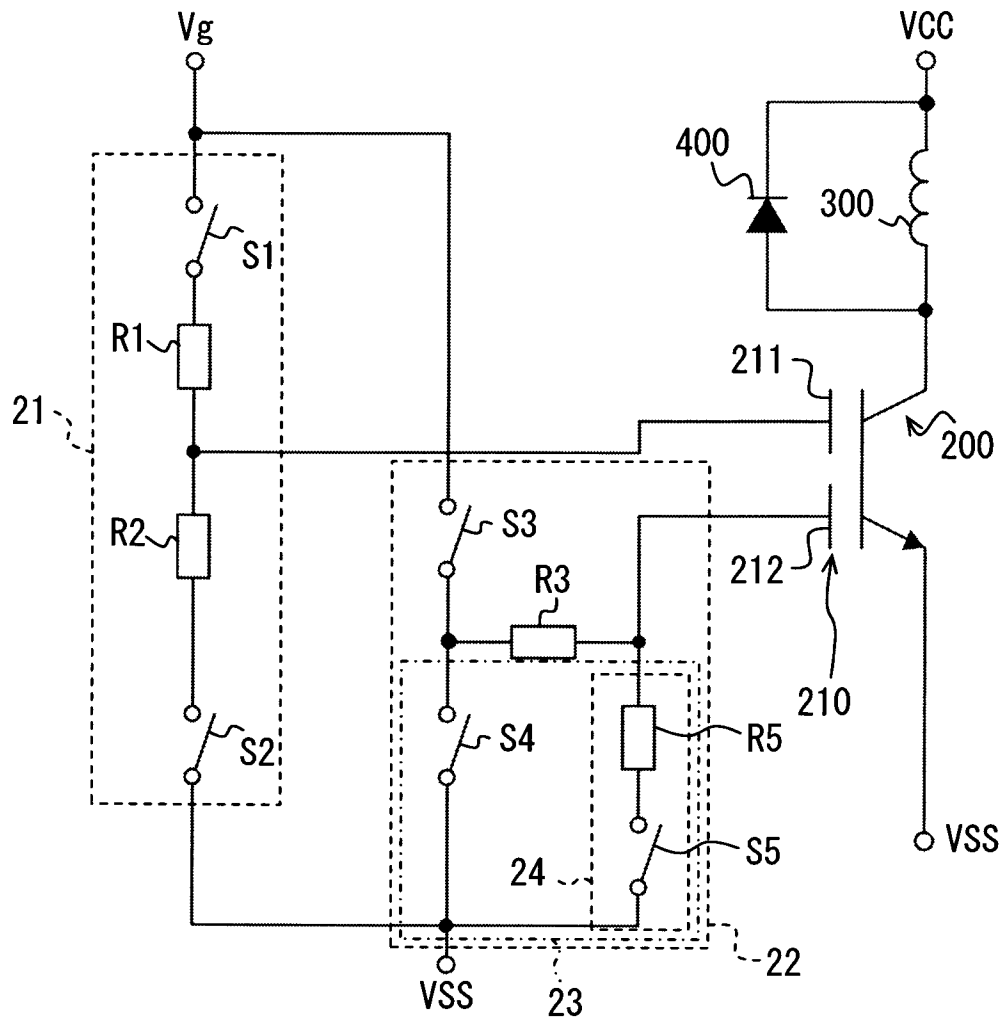
[図20]



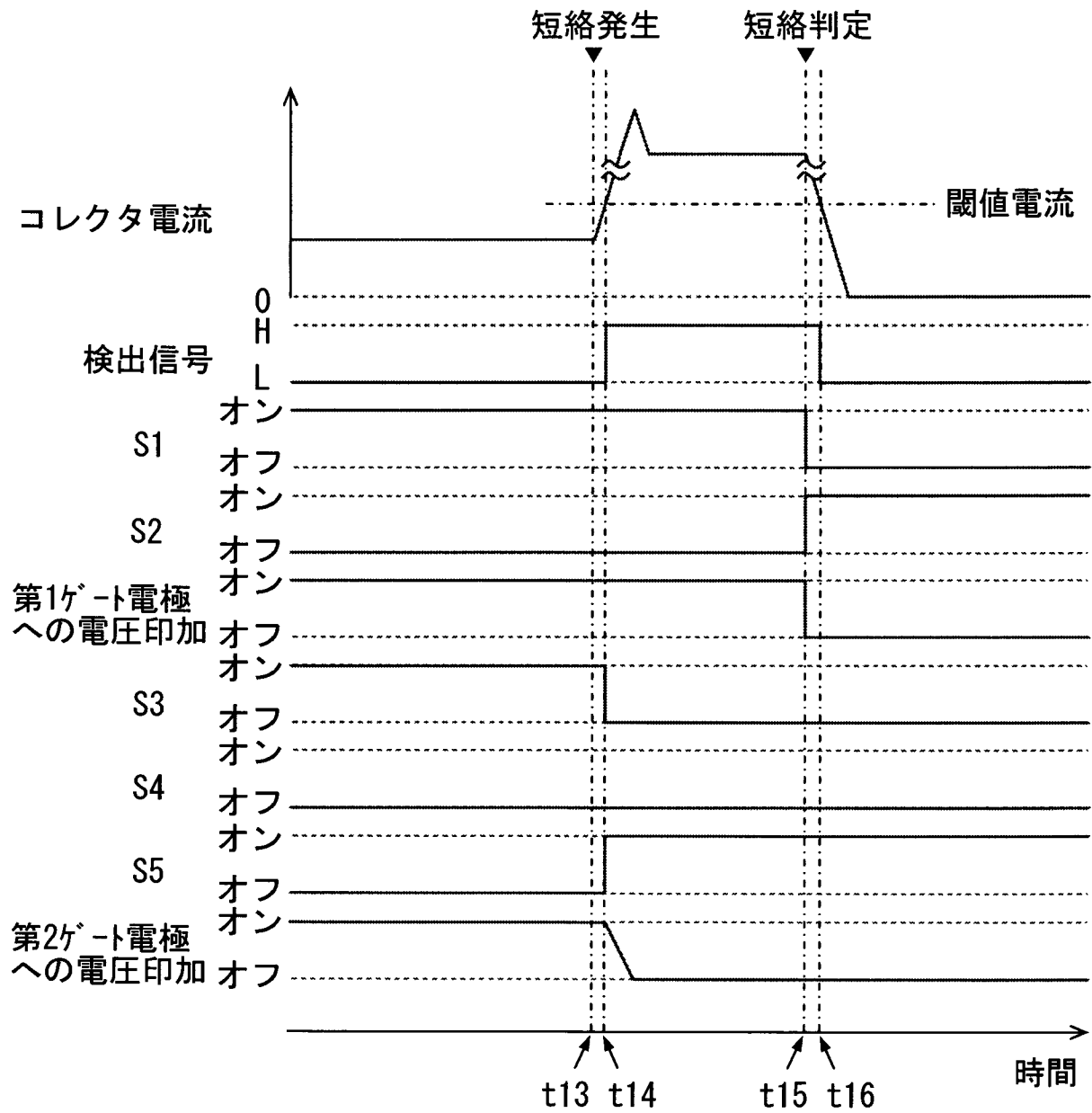
[図21]



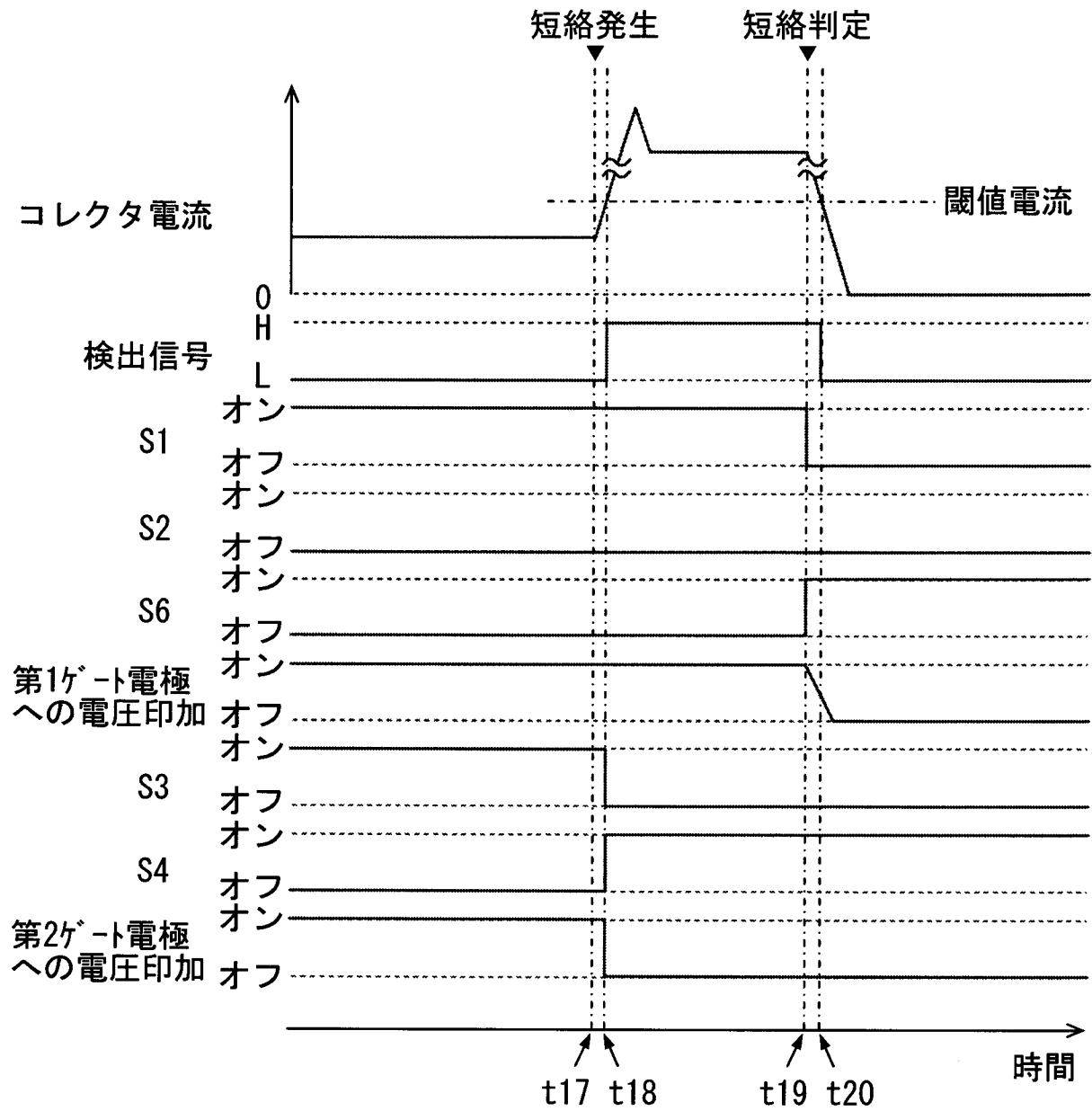
[図22]



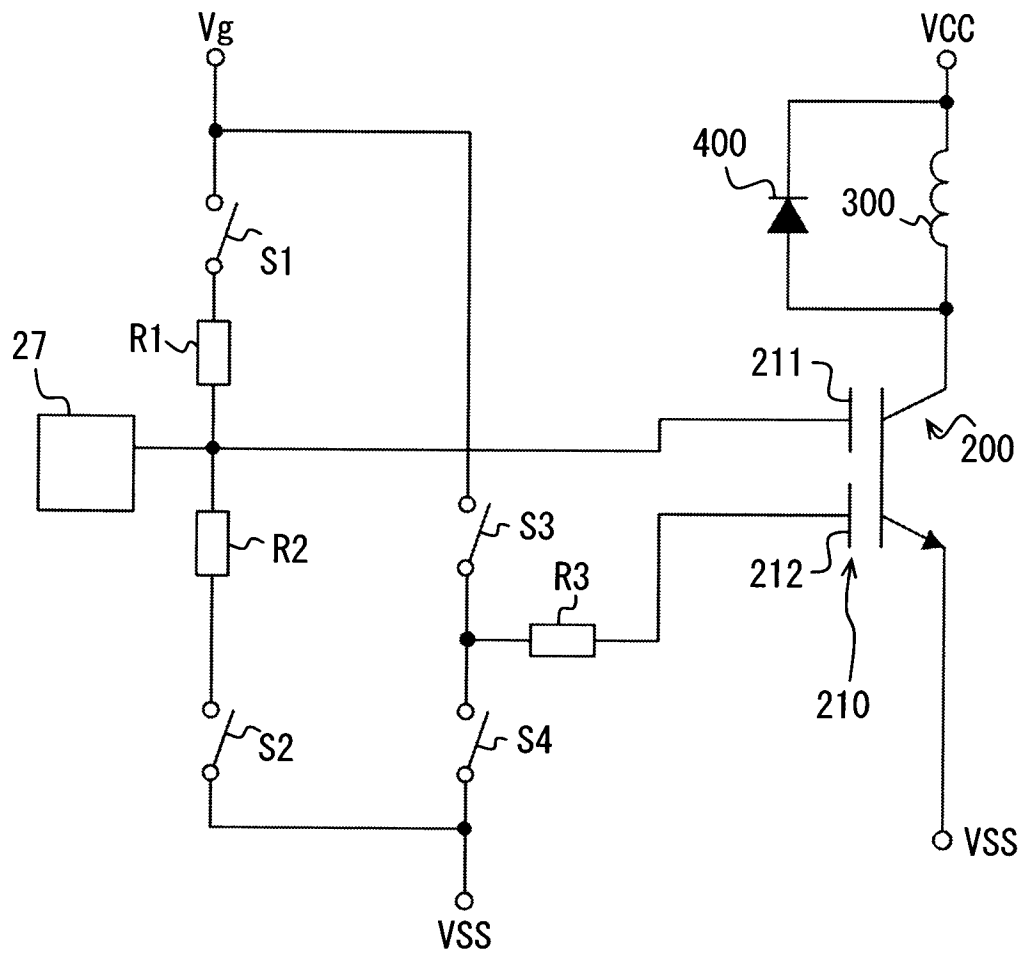
[図23]



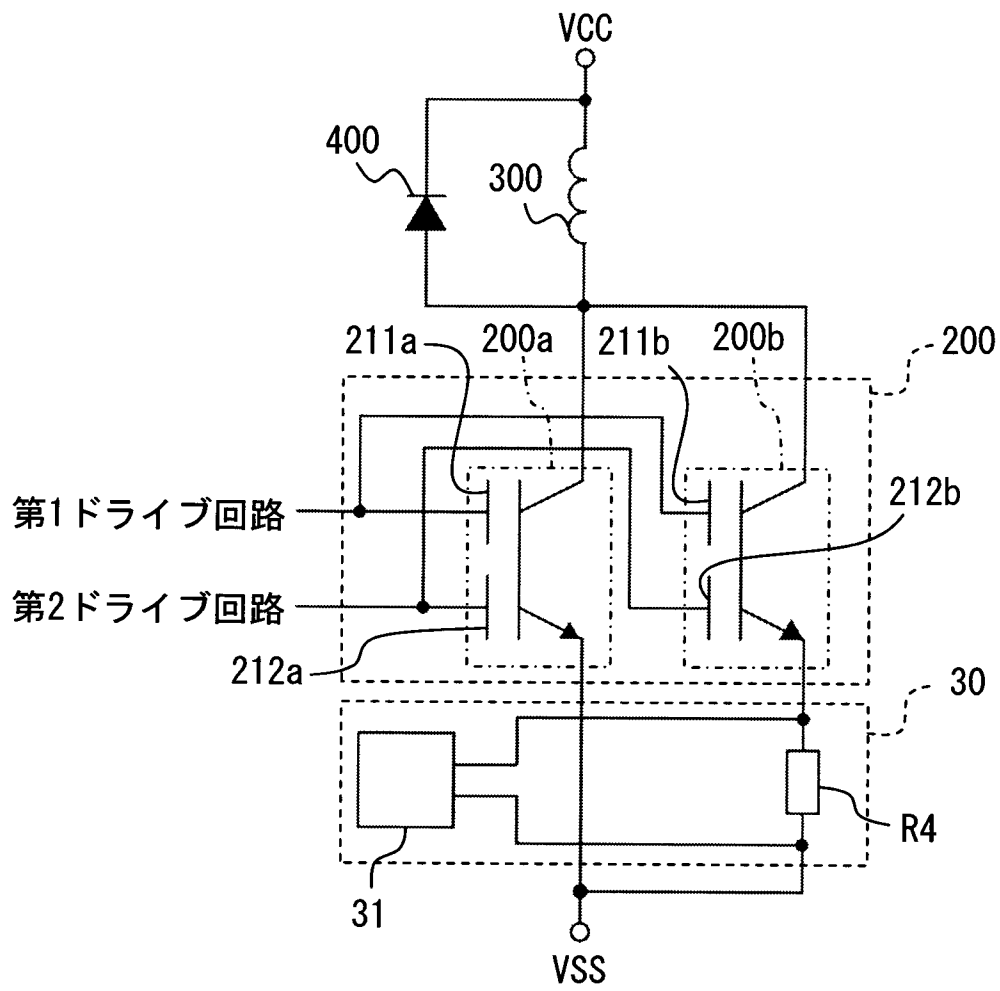
[図25]



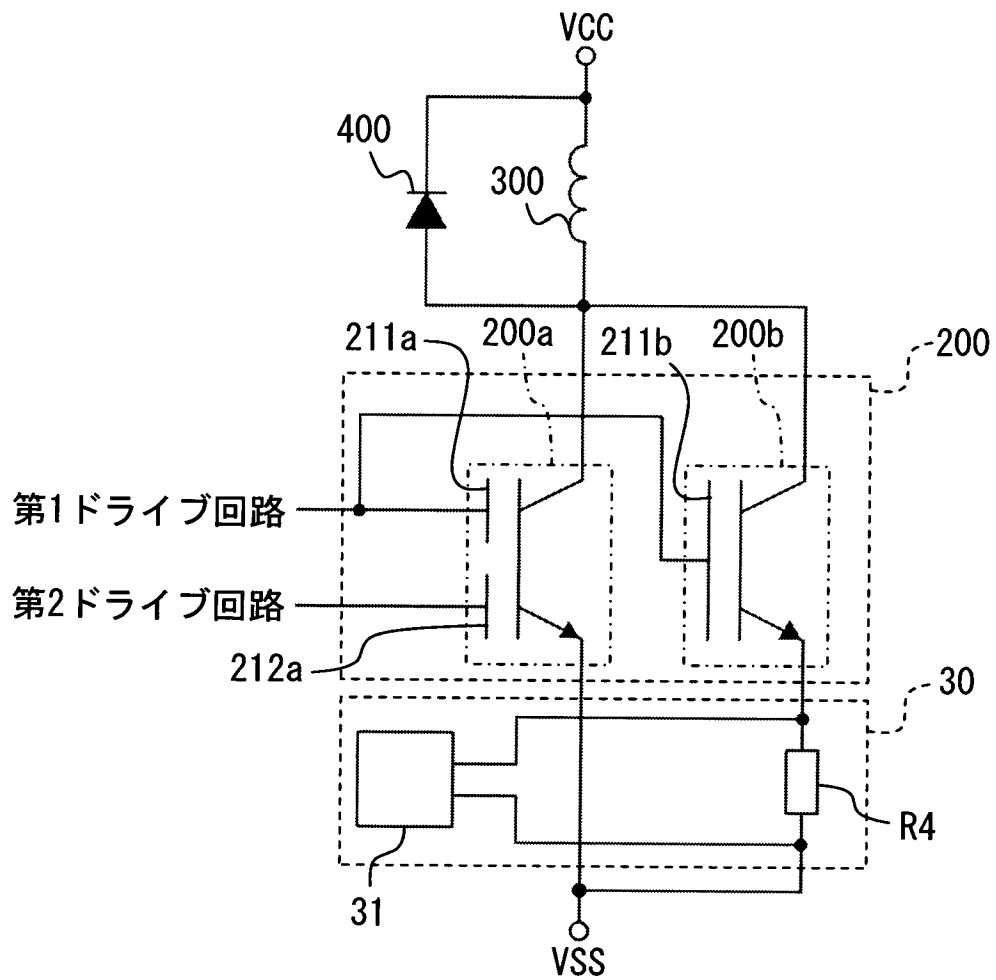
[図26]



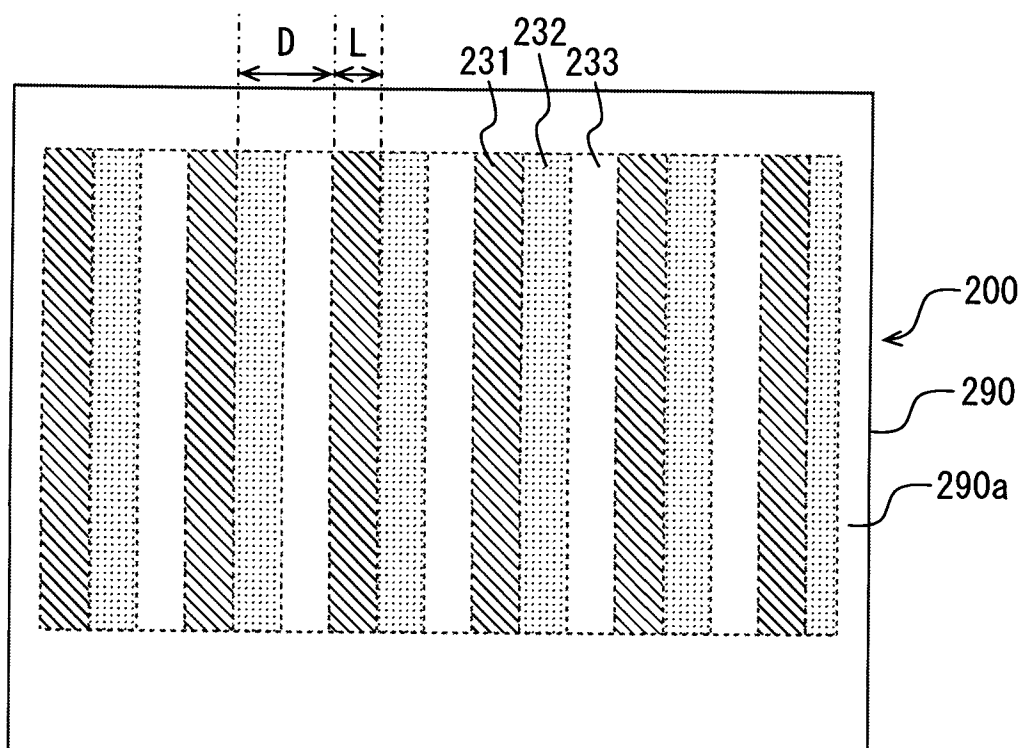
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000246

A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H02M1/00(2007.01)i, H03K17/00(2006.01)i, H03K17/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08, H01L27/04, H01L29/739, H01L29/78, H02M1/00, H03K17/00, H03K17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 6-125256 A (Fuji Electric Co., Ltd.), 06 May 1994 (06.05.1994), paragraphs [0035] to [0044], [0054] to [0055], [0063]; fig. 4 to 7, 13, 16 & US 5561393 A specification, page 14, line 45 to page 16, line 51; page 19, line 46 to page 20, line 6; page 21, lines 45 to 61; fig. 7 to 10, 16, 19 & US 5459339 A & EP 848497 A2 & EP 854575 A2 & EP 568353 A1	1-3 6-15 4-5
Y	JP 5-111145 A (Matsushita Electric Industrial Co., Ltd.), 30 April 1993 (30.04.1993), paragraphs [0004] to [0007] (Family: none)	6-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 April 2016 (18.04.16)

Date of mailing of the international search report

26 April 2016 (26.04.16)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000246

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/181450 A1 (Hitachi, Ltd.), 13 November 2014 (13.11.2014), paragraph [0022]; fig. 1, 3 (Family: none)	9-15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M1/08(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H02M1/00(2007.01)i, H03K17/00(2006.01)i, H03K17/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M1/08, H01L27/04, H01L29/739, H01L29/78, H02M1/00, H03K17/00, H03K17/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 6-125256 A（富士電機株式会社） 1994.05.06, 段落 [0035] - [0044], [0054] - [0055], [0063], 図4-7、13、16 & US 5561393 A、明細書第14ページ第45行-第16ページ第51行、第19ページ第46行-第20ページ第6行、第21ページ第45行-第61行、FIG. 7-10、16、19 & US 5459339 A & EP 848497 A2 & EP 854575 A2 & EP 568353 A1	1-3 6-15 4-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 4 . 2 0 1 6

国際調査報告の発送日

2 6 . 0 4 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

▲桑▼原 恭雄

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7

3 V

4 4 8 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-111145 A (松下電器産業株式会社) 1993.04.30, 段落 [0004] - [0007] (ファミリーなし)	6-15
Y	WO 2014/181450 A1 (株式会社日立製作所) 2014.11.13, 段落 [0022]、図1、3 (ファミリーなし)	9-15