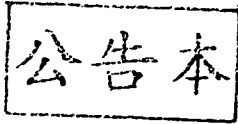


# 發明專利說明書



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97124246

※申請日期：97年06月27日

※IPC分類：H05K3/32 (2006.01)

## 一、發明名稱：

(中) 配線電路基板與電子零件之連接構造

(英) Connection structure between printed circuit board and electronic component

## 二、申請人：(共 1 人)

1. 姓名：(中) 日東電工股份有限公司

(英) NITTO DENKO CORPORATION

代表人：(中) 1. 柳樂幸雄

(英) 1. NAGIRA, YUKIO

地址：(中) 日本國大阪府茨木市下穗積一丁目一番二號

(英) 1-1-2, Shimohozumi, Ibaraki-shi, Osaka 567-8680, JAPAN

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 2 人)

1. 姓名：(中) 江部宏史

(英) EBE, HIROFUMI

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 石丸康人

(英) ISHIMARU, YASUTO

國籍：(中) 日本

(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/07/02 ; 2007-174420  有主張優先權

## 五、中文發明摘要

發明名稱：配線電路基板與電子零件之連接構造

各配線圖案係由導體層及錫鍍敷層所構成，包含前端部、連接部及訊號傳送部。前端部的寬度與訊號傳送部的寬度彼此相等，連接部的寬度係小於前端部及訊號傳送部的寬度。在安裝電子零件時，係藉由熱熔接而將各配線圖案的連接部與電子零件的各突起相連接。距離 A1、A2 係被設定為  $0.5 \mu\text{m}$  以上。距離 B1、B2 係被設定為  $20 \mu\text{m}$  以上。錫鍍敷層的厚度係被設定為  $0.07 \mu\text{m}$  以上、 $0.25 \mu\text{m}$  以下。

## 六、英文發明摘要

發明名稱： CONNECTION STRUCTURE BETWEEN PRINTED  
CIRCUIT BOARD AND ELECTRONIC COMPONENT

Each wiring pattern is composed of a conductor layer and a tin plating layer, and includes a tip portion, a connection portion and a signal transmission portion. The width of the tip portion is equal to the width of the signal transmission portion, and the width of the connection portion is smaller than the widths of the tip portion and the signal transmission portion. The connection portions of wiring patterns and bumps of an electronic component are connected to one another, respectively, by heat-sealing when the electronic component is mounted. Respective distances A1, A2 are set to not less than  $0.5 \mu\text{m}$ . Respective distances B1, B2 are set to not less than  $20 \mu\text{m}$ . The thickness of the tin plating layer is set to not less than  $0.07 \mu\text{m}$  and not more than  $0.25 \mu\text{m}$ .

七、指定代表圖：

(一)、本案指定代表圖為：第(4)圖

(二)、本代表圖之元件代表符號簡單說明：

2：配線圖案

2a：導體層

2b：錫鍍敷層

21：前端部

22：連接部

23：訊號傳送部

61：突起

A1、A2：距離

B1、B2：距離

L1：連接導體長度

L2：突起長度

L3：前端導體長度

W1：連接導體寬度

W2：突起寬度

W3：前端導體寬度

W4：傳送導體寬度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 九、發明說明

### 【發明所屬之技術領域】

本發明係關於一種配線電路基板與電子零件之連接構造。

### 【先前技術】

在配線電路基板係安裝有半導體晶片等各種電子零件。此時，配線電路基板的端子部與電子零件的端子係藉由例如熱熔接而相連接（例如日本特開 2006-13421 號公報）。具體而言，例如以覆蓋配線電路基板之端子部的表面的方式形成錫（Sn）鍍敷層，在安裝電子零件時，使端子部的錫鍍敷層熱熔解。藉此使配線電路基板的端子部與電子零件的端子確實連接。

但是，隨著配線電路基板的微細間距（fine pitch）化，鄰接之端子部間的距離會變短。藉此，在進行熱熔接時，經熔解之錫鍍敷層會在鄰接的端子部間彼此接觸，而會有發生短路的情形。

### 【發明內容】

本發明之目的在提供一種防止在熱熔接時發生短路的配線電路基板與電子零件之連接構造。

（1）按照本發明之一態樣的配線電路基板與電子零件之連接構造係配線電路基板與電子零件的端子之連接構造，其特徵為：配線電路基板係具備：絕緣層；及形成在

絕緣層上之線狀的導體圖案，導體圖案係具有端子部，端子部係具有：具有第 1 寬度的第 1 區域、及具有小於第 1 寬度之第 2 寬度的第 2 區域，至少第 2 區域由具有  $0.07 \mu\text{m}$  以上、 $0.25 \mu\text{m}$  以下之厚度之含錫的鍍敷層所被覆，使電子零件的端子與配線電路基板的第 2 區域熱熔接，第 2 區域之其中一方的側邊係位於比電子零件的端子之其中一方的側邊更爲  $0.5 \mu\text{m}$  以上內側，第 2 區域之另一方的側邊係位於比電子零件的端子之另一方的側邊更爲  $0.5 \mu\text{m}$  以上內側，在與端子部的寬度方向呈正交的方向中，在第 1 區域與電子零件的端子之間形成有  $20 \mu\text{m}$  以上的間隔。

在本發明之配線電路基板與電子零件之連接構造中，係在配線電路基板的第 2 區域與電子零件的端子相接觸的狀態下，將被覆配線電路基板的第 2 區域之含錫的鍍敷層熱熔解。由於該鍍敷層硬化，而將配線電路基板的第 2 區域與電子零件的端子熱熔接。

此時，配線電路基板的第 2 區域之其中一方的側邊位於比電子零件的端子之其中一方的側邊更爲  $0.5 \mu\text{m}$  以上內側，第 2 區域之另一方的側邊位於比電子零件的端子之另一方的側邊更爲  $0.5 \mu\text{m}$  以上內側，藉此防止經熱熔解的鍍敷層超出於電子零件的端子的外側。

此外，在與端子部的寬度方向呈正交的方向中，在第 1 區域與電子零件的端子之間形成  $20 \mu\text{m}$  以上的間隔，藉此防止經熱熔解的鍍敷層由第 1 區域流入電子零件的端子

。藉此，更加充分防止經熱熔解的鍍敷層超出於電子零件的端子的外側。

再者，由於鍍敷層的厚度為  $0.07 \mu\text{m}$  以上，確保端子部與電子零件的端子的連接可靠性，並且由於鍍敷層的厚度為  $0.25 \mu\text{m}$  以下，防止熱熔解之鍍敷層的量形成過剩。

藉此確實防止經熱熔解的錫鍍敷層超出於電子零件的端子的外側。因此，在電子零件彼此近接設置複數個端子，並且在配線電路基板彼此近接設置複數個端子部的情形下，亦防止經熱熔解的鍍敷層在鄰接之端子部間相接觸。結果，防止鄰接之端子部間之短路的發生。

此外，由於端子部之第 1 區域的寬度大於第 2 區域的寬度，因此確保端子部與基底絕緣層的密接性。因此，防止端子部由基底絕緣層剝離。

(2) 第 2 區域之兩方的側邊亦可分別位於比第 1 區域之兩方的側邊更為內側。

此時，充分防止在第 2 區域的兩側，經熱熔解的鍍敷層超出於比第 1 區域更為外側。藉此更加確實地防止鄰接之端子部間之短路的發生。

(3) 配線電路基板亦可另外具備有以除了端子部以外而覆蓋導體圖案的方式形成在基底絕緣層上的覆蓋絕緣層。

此時，防止導體圖案損傷，並且防止導體圖案由基底絕緣層剝離。

(4) 電子零件的端子亦可以  $10 \mu\text{m}$  以下的間隔設置

複數個，配線電路基板的端子部係以與電子零件之複數個端子相對應的方式設置複數個。

此時，可一面防止端子部間之短路的發生，一面實現配線電路基板的微細間距化。

### 【實施方式】

以下一面參照圖示，一面說明本發明之一實施形態之配線電路基板與電子零件之連接構造。

#### (1) 構成

第 1 圖 (a) 係本實施形態之配線電路基板之俯視圖，第 1 圖 (b) 係第 1 圖 (a) 之配線電路基板的 P-P 線剖視圖。

如第 1 圖 (a) 及第 1 圖 (b) 所示，配線電路基板 50 係具有例如由聚醯亞胺所構成的基底絕緣層 1。在基底絕緣層 1 上設有矩型區域 S。以區域 S 之彼此相對向的 2 邊由內側朝外側延伸的方式形成有複數個配線圖案 2。

各配線圖案 2 係包含前端部 21、連接部 22 及訊號傳送部 23 (第 1 圖 (a))。前端部 21 的寬度與訊號傳送部 23 的寬度係彼此相等，連接部 22 的寬度係小於前端部 21 及訊號傳送部 23 的寬度。在本實施形態中，由前端部 21 及連接部 22 構成端子部。在第 1 圖之例中，前端部 21、連接部 22、及訊號傳送部 23 的一部分係位於基底絕緣層 1 的區域 S 上。

此外，各配線圖案 2 係包含導體層 2a 及錫鍍敷層 2b (第 1 圖 (b))。導體層 2a 例如由銅所構成，且形成在基底絕緣層 1 上。以覆蓋導體層 2a 的表面的方式形成有錫鍍敷層 2b。

以覆蓋複數個配線圖案 2 的方式，在基底絕緣層 1 上形成有例如由聚醯亞胺所構成的覆蓋絕緣層 4。覆蓋絕緣層 4 係在區域 S 上具有開口 4a。配線圖案 2 的前端部 21、連接部 22、及訊號傳送部 23 的一部分係在覆蓋絕緣層 4 的開口 4a 內露出。

以配線電路基板 50 的製造方法而言，係可使用減成法 (subtractive) 及半加成法 (semi-additive) 之任一者。此外，亦可組合使用減成法及半加成法。

## (2) 配線電路基板與電子零件的連接

接著說明第 1 圖所示之配線電路基板 50 與電子零件之連接構造。第 2 圖係顯示配線電路基板 50 與電子零件之連接構造的斜視圖。第 3 圖 (a) 係顯示配線電路基板 50 與電子零件之連接構造的俯視圖，第 3 圖 (b) 係第 3 圖 (a) 的 Q-Q 線剖視圖。

其中，在第 2 圖及第 3 圖中係在覆蓋絕緣層 4 朝向下方的狀態下顯示配線電路基板 50。此外，為了明確顯示配線電路基板 50 與電子零件之連接構造，以透過狀態顯示基底絕緣層 1。

第 2 圖及第 3 圖所示之電子零件 60 例如為半導體晶

片。如第 2 圖所示，在電子零件 60 的其中一面係以沿著彼此平行的 2 邊的方式設置複數個凸狀突起 61。配線電路基板 50 之配線圖案 2 的數量及配置係與電子零件 60 之突起 61 的數量及配置相對應設定。

如第 3 圖 (a) 及第 3 圖 (b) 所示，在安裝電子零件 60 時，配線電路基板 50 之各配線圖案 2 的連接部 22 與電子零件 60 的各突起 61 係藉由熱熔接而相連接。亦即，在各配線圖案 2 的連接部 22 與各突起 61 相接觸的狀態下，使連接部 22 的錫鍍敷層 2b (第 3 圖 (b)) 熱熔解，之後，由於錫鍍敷層 2b 硬化，而使連接部 22 與突起 61 熱熔接。

在本實施形態中，藉由將各配線圖案 2 的前端部 21、連接部 22 及訊號傳送部 23 設定成預定的形狀，可一面確保配線圖案 2 與基底絕緣層 1 的密接性，一面防止熱熔接時發生短路。

(3) 配線電路基板的端子部及電子零件之突起的詳細內容

在此詳細說明配線電路基板 50 之配線圖案 2 及電子零件 60 之突起 61。第 4 圖係用以詳細說明配線電路基板 50 之配線圖案 2 及電子零件 60 之突起 61 的俯視圖。

如第 4 圖所示，配線圖案 2 之連接部 22 中的導體層 2a 的寬度 (以下稱為連接導體寬度)  $W1$  係被設定為小於配線圖案 2 之寬度方向中的電子零件 60 之突起 61 的長度

(以下稱為突起寬度)  $W2$ 。此外，連接部 22 中的導體層 2a 的長度 (以下稱為連接導體長度)  $L1$  係被設定為大於配線圖案 2 之長度方向中之突起 61 的長度 (以下稱為突起長度)  $L2$ 。

沿著長度方向之配線圖案 2 之連接部 22 之導體層 2a 的一邊與突起 61 之一邊之間的距離  $A1$ 、及連接部 22 之導體層 2a 之另一邊與突起 61 之另一邊之間的距離  $A2$  係分別被設定為  $0.5 \mu\text{m}$  以上。

當距離  $A1$ 、 $A2$  比  $0.5 \mu\text{m}$  短時，會產生以下所示的問題。第 5 圖係顯示距離  $A1$ 、 $A2$  較短時之問題點的模式側面圖。當距離  $A1$ 、 $A2$  較短時，如第 5 圖所示，在連接部 22 與突起 61 熱熔接時，經熱熔解的錫鍍敷層 2b 容易超出於各突起 61 的外側。因此，會有經熱熔解之錫鍍敷層 2b 在相鄰接的連接部 22 間接觸，而發生短路的情形。

相對於此，若距離  $A1$ 、 $A2$  為  $0.5 \mu\text{m}$  以上，如第 3 圖 (b) 所示，可防止經熱熔解的錫鍍敷層 2b 超出於突起 61 的外側。藉此防止鄰接之連接部 22 間的短路。

此外，距離  $A1$ 、 $A2$  係以  $5 \mu\text{m}$  以下為佳。此時，由於距離  $A1$ 、 $A2$  為  $5 \mu\text{m}$  以下，因此可將連接導體寬度  $W1$  維持在適當的大小。亦即，連接導體寬度  $W1$  不會變得過小。藉此確保連接部 22 與突起 61 的連接可靠性。

再者，為了一面更加確實地確保連接部 22 與突起 61 的連接可靠性，一面更加確實地防止鄰接的連接部 22 間的短路，以距離  $A1$ 、 $A2$  為  $2 \mu\text{m}$  以上、 $5 \mu\text{m}$  以下為更佳。

連接導體寬度  $W1$  係以  $10\ \mu\text{m}$  以上、 $18\ \mu\text{m}$  以下為佳。此外，突起寬度  $W2$  係以  $12\ \mu\text{m}$  以上、 $20\ \mu\text{m}$  以下為佳。

沿著寬度方向之配線圖案 2 之前端部 21 之導體層 2a 的一邊與突起 61 之一邊之間的距離  $B1$ 、及訊號傳送部 23 之導體層 2a 的一邊與突起 61 之另一邊之間的距離  $B2$  係分別被設定為  $20\ \mu\text{m}$  以上。

此時，防止連接部 22 附近之配線圖案 2 的前端部 21 或訊號傳送部 23 之部分的錫鍍敷層 2b 發生熱熔解而流入突起 61 上。藉此，防止經熱熔解的錫鍍敷層 2b 超出於突起 61 的外側，而防止連接部 22 間之短路的發生。

此外，距離  $B1$ 、 $B2$  係以  $30\ \mu\text{m}$  以下為佳。此時確實地確保導體層 2a 與基底絕緣層 1 的密接性。

再者，為了一面更加確實地確保導體層 2a 與基底絕緣層 1 的密接性，一面更加確實地防止連接部 22 間的短路的發生，以距離  $B1$ 、 $B2$  為  $20\ \mu\text{m}$  以上、 $25\ \mu\text{m}$  以下為更佳。

連接導體長度  $L1$  係以  $120\ \mu\text{m}$  以上、 $140\ \mu\text{m}$  以下為佳。此外，突起長度  $L2$  係以  $60\ \mu\text{m}$  以上、 $80\ \mu\text{m}$  以下為佳。

配線圖案 2 之前端部 21 中之導體層 2a 的寬度（以下稱為前端導體寬度） $W3$ 、及配線圖案 2 之訊號傳送部 23 中之導體層 2a 的寬度（以下稱為傳送導體寬度） $W4$  係分別以  $12\ \mu\text{m}$  以上、 $20\ \mu\text{m}$  以下為佳。此外，前端部 21 中

之導體層 2a 的長度（以下稱爲前端導體長度）L3 係以 16  $\mu\text{m}$  以上、20  $\mu\text{m}$  以下爲佳。此時充分確保導體層 2a 與基底絕緣層 1 的密接性。

錫鍍敷層 2b 的厚度係被設定爲 0.07  $\mu\text{m}$  以上、0.25  $\mu\text{m}$  以下。此時，由於錫鍍敷層 2b 的厚度爲 0.07  $\mu\text{m}$  以上，因此確保連接部 22 與電子零件 60 之突起 61 的連接可靠性。此外，由於錫鍍敷層 2b 的厚度爲 0.25  $\mu\text{m}$  以下，防止熱熔解的錫鍍敷層 2b 的量形成過剩。藉此，防止經熱熔解的錫鍍敷層 2b 超出於突起 61 的外側，而防止連接部 22 間之短路的發生。

再者，爲了一面更加確實地確保連接部 22 與突起 61 的連接可靠性，一面更加確實地防止連接部 22 間的短路的發生，錫鍍敷層 2b 的厚度以 0.10  $\mu\text{m}$  以上、0.20  $\mu\text{m}$  以下爲更佳。

電子零件 60 所鄰接之突起 61 間的距離係以 8  $\mu\text{m}$  以上、10  $\mu\text{m}$  以下爲佳。此時一面防止連接部 22 間之短路的發生，一面實現配線電路基板 50 的微細間距化。

#### （4）實施例及比較例

備妥由聚醯亞胺及銅箔所構成的 2 層基材，藉由以預定圖案蝕刻銅箔，在基底絕緣層 1 上形成導體層 2a。接著，藉由錫鍍敷層 2b 被覆導體層 2a 的表面，藉此形成配線圖案 2。接著，以覆蓋複數個配線圖案 2 的方式在基底絕緣層 1 上形成覆蓋絕緣層 4，而獲得配線電路基板 50。

此外，備妥具有複數個金（Au）突起的半導體晶片作為電子零件 60。

藉由調整配線電路基板 50 的前端導體寬度 W3、傳送導體寬度 W4、連接導體寬度 W1、及連接導體長度 L1，將上述距離 A1、A2 及距離 B1、B2 設定為各種值。此外，將錫鍍敷層 2b 的厚度設定為各種值。

其中，將前端導體長度 L3 設定為  $18 \mu\text{m}$ 。此外，電子零件 60 之突起 61 的突起寬度 W2 為  $18 \mu\text{m}$ ，突起長度 L2 為  $80 \mu\text{m}$ 。此外，鄰接之突起 61 之突起寬度方向中的間隔為  $9 \mu\text{m}$ 。

（4-1）實施例 1 至 6

（表 1）

		實施例 1	實施例 2	實施例 3	實施例 4	實施例 5	實施例 6
	A1(=A2)	0.5	0.6	1	1	1	1
	B1(=B2)	25	25	25	20	25	25
錫鍍敷厚度( $\mu\text{m}$ )		0.15	0.15	0.15	0.15	0.07	0.25
導體層的尺寸 ( $\mu\text{m}$ )	W3(=W4)	18	18	18	18	18	18
	W1	17	16.8	16	16	16	16
	L1	130	130	130	120	130	130
突起的尺寸 ( $\mu\text{m}$ )	W2	18	18	18	18	18	18
	L2	80	80	80	80	80	80
突起的間隔( $\mu\text{m}$ )		9	9	9	9	9	9

如表 1 所示，在實施例 1 至 6 中，係將距離 A1、A2 在  $0.5 \mu\text{m}$  以上、 $1 \mu\text{m}$  以下的範圍內設定為彼此相等，將

距離 B1、B2 在  $20\ \mu\text{m}$  以上、 $25\ \mu\text{m}$  以下的範圍內設定為彼此相等。此外，將錫鍍敷層 2b 的厚度設定在  $0.07\ \mu\text{m}$  以上、 $0.25\ \mu\text{m}$  以下的範圍。

(4-2) 比較例 1 至 4

(表 2)

		比較例 1	比較例 2	比較例 3	比較例 4
	A1(=A2)	0.1	1	1	1
	B1(=B2)	25	15	25	25
錫鍍敷厚度( $\mu\text{m}$ )		0.15	0.15	0.05	0.28
導體層的尺寸( $\mu\text{m}$ )	W3(=W4)	18	18	18	18
	W1	17.8	16	16	16
	L1	130	110	130	130
突起的尺寸( $\mu\text{m}$ )	W2	18	18	18	18
	L2	80	80	80	80
突起的間隔( $\mu\text{m}$ )		9	9	9	9

如表 2 所示，在比較例 1 至 4 中，將距離 A1、A2 在  $0.1\ \mu\text{m}$  以上、 $1\ \mu\text{m}$  以下的範圍內設定為彼此相等，將距離 B1、B2 在  $15\ \mu\text{m}$  以上、 $25\ \mu\text{m}$  以下的範圍內設定為彼此相等。此外，將錫鍍敷層 2b 的厚度設定在  $0.05\ \mu\text{m}$  以上、 $0.28\ \mu\text{m}$  以下的範圍。

(4-3) 評估

以實施例 1 至 6 及比較例 1 至 4 所示條件，藉由熱熔接來連接配線電路基板 50 的連接部 22 與電子零件 60 的

突起 61，以調查短路的發生率。將其結果顯示於表 3。在此，所謂短路係指如第 5 圖所示，經熱熔解的錫鍍敷層 2b 在鄰接的連接部 22 間接觸的情形。

(表 3)

	短路發生率 (%)
實施例 1	0
實施例 2	0
實施例 3	0
實施例 4	0
實施例 5	0
實施例 6	0
比較例 1	70
比較例 2	20
比較例 3	0
比較例 4	40

如表 1 至 3 所示，在將距離 A1、A2 設定在  $0.5 \mu\text{m}$  以上、 $1 \mu\text{m}$  以下的範圍的實施例 1 至 3 中，並未發生短路，而在將距離 A1、A2 設定為  $0.1 \mu\text{m}$  的比較例 1 中，則會發生短路。由此可知，藉由將距離 A1、A2 設定在  $0.5 \mu\text{m}$  以上，可防止短路發生。

此外，在將距離 B1、B2 設為  $20 \mu\text{m}$  的實施例 4 中，並未發生短路，而在將距離 B1、B2 設為  $15 \mu\text{m}$  的比較例 2 中則會發生短路。由此可知，藉由將距離 B1、B2 設定在  $20 \mu\text{m}$  以上，可防止短路發生。

此外，在將錫鍍敷層 2b 的厚度設定為  $0.07\ \mu\text{m}$  的實施例 5 及設定為  $0.25\ \mu\text{m}$  的實施例 6 中，並未發生短路，而在將錫鍍敷層 2b 的厚度設定在  $0.28\ \mu\text{m}$  的比較例 4 中，則會發生短路。此外，在將錫鍍敷層 2b 的厚度設定為  $0.05\ \mu\text{m}$  的比較例 3 中，雖然並未發生短路，但是連接部 22 與突起 61 的電性連接不良。由此可知，藉由將錫鍍敷層 2b 的厚度設定在  $0.07\ \mu\text{m}$  以上、 $0.25\ \mu\text{m}$  以下的範圍，可防止短路發生。

由該等結果可知，將距離 A1、A2 設定在  $0.5\ \mu\text{m}$  以上，將距離 B1、B2 設定在  $20\ \mu\text{m}$  以上，將錫鍍敷層 2b 的厚度設定在  $0.07\ \mu\text{m}$  以上、 $0.25\ \mu\text{m}$  以下的範圍，可充分防止短路發生。

#### (5) 其他實施形態

在上述實施形態中，係將配線圖案 2 之訊號傳送部 23 的寬度設定為大於連接部 22 的寬度，但並非限定於此。第 6 圖係顯示配線圖案 2 之變形例的俯視圖。在第 6 圖的例中，係將配線圖案 2 之訊號傳送部 23 的寬度設定為與連接部 22 的寬度相等。其中，藉由以覆蓋絕緣層 4 覆蓋訊號傳送部 23 來確保訊號傳送部 23 與基底絕緣層 1 的密接性。

在上述實施形態中，配線圖案 2 的前端部 21 為矩形，但是若充分確保前端部 21 與基底絕緣層 1 的密接性，可將前端部 21 形成為任意形狀。例如，如第 7 圖所示，

亦可將配線圖案 2 的前端部 21 形成為大致圓形狀。此外，亦可將配線圖案 2 的前端部 21 形成為三角形、U 字狀等其他形狀。

基底絕緣層 1 及覆蓋絕緣層 4 的材料並不限於聚醯亞胺，亦可使用聚醯亞胺薄膜、聚對苯二甲酸乙二酯薄膜、聚醚腈薄膜、聚醚砜薄膜等其他絕緣材料。

配線圖案 2 的材料並不限於銅，亦可使用銅合金、金、鋁等其他金屬材料。

本發明係可適用於可撓性配線電路基板、剛性配線電路基板等各種配線電路基板。此外，以電子零件 60 而言，亦可使用電容器等其他電子零件，而不限於半導體晶片。

(6) 申請專利範圍之各構成要素與實施形態之各要素的對應

以下就申請專利範圍之各構成要素與實施形態之各要素的對應之例加以說明，但本發明並非限定於下述之例。

在上述實施形態中，導體層 2a 為導體圖案之例，前端導體寬度  $W3$  為第 1 寬度之例，連接導體寬度  $W1$  為第 2 寬度之例，前端部 21 為第 1 區域之例，連接部 22 為第 2 區域之例。

以申請專利範圍之各構成要素而言，亦可使用具有申請專利範圍所記載的構成或機能之其他各種要素。

**【圖式簡單說明】**

第 1 圖係顯示本發明之一實施形態之配線電路基板的示意圖。

第 2 圖係顯示配線電路基板與電子零件之連接構造圖。

第 3 圖係顯示配線電路基板與電子零件之連接構造圖。

第 4 圖係用以詳細說明配線電路基板之配線圖案及電子零件之突起的俯視圖。

第 5 圖係顯示習知之配線電路基板之問題點的模式側面圖。

第 6 圖係顯示配線圖案之變形例的俯視圖。

第 7 圖係顯示配線圖案之變形例的俯視圖。

**【主要元件符號說明】**

1：基底絕緣層

2：配線圖案

2a：導體層

2b：錫鍍敷層

4：覆蓋絕緣層

4a：開口

21：前端部

22：連接部

23：訊號傳送部

50 : 配線電路基板

60 : 電子零件

61 : 突起

A1、A2 : 距離

B1、B2 : 距離

L1 : 連接導體長度

L2 : 突起長度

L3 : 前端導體長度

S : 區域

W1 : 連接導體寬度

W2 : 突起寬度

W3 : 前端導體寬度

W4 : 傳送導體寬度

## 十、申請專利範圍

1. 一種配線電路基板與電子零件之連接構造，係配線電路基板與電子零件的端子之連接構造，其特徵為：

前述配線電路基板係具備：

絕緣層；及

形成在前述絕緣層上之線狀的導體圖案，

前述導體圖案係具有端子部及訊號傳送部，

前述端子部係具有：具有第 1 寬度的第 1 區域、及具有小於前述第 1 寬度之第 2 寬度的第 2 區域，至少前述第 2 區域由具有  $0.07 \mu\text{m}$  以上、 $0.25 \mu\text{m}$  以下之厚度之含錫的鍍敷層所被覆，

前述訊號傳送部係具有大於前述第 2 寬度的第 3 寬度，

在前述端子部的前述第 1 區域與前述訊號傳送部之間設有前述第 2 區域，

使前述電子零件的端子與前述配線電路基板的前述第 2 區域熱熔接，

前述第 2 區域之其中一方的側邊係位於比前述電子零件的端子之其中一方的側邊更為  $0.5 \mu\text{m}$  以上內側，前述第 2 區域之另一方的側邊係位於比前述電子零件的端子之另一方的側邊更為  $0.5 \mu\text{m}$  以上內側，

在與前述端子部的寬度方向呈正交的方向中，在前述第 1 區域與前述電子零件的端子之間形成有  $20 \mu\text{m}$  以上的間隔，而且在前述訊號傳送部與前述電子零件的端子之間

形成有  $20\ \mu\text{m}$  以上的間隔。

2. 如申請專利範圍第 1 項之配線電路基板與電子零件之連接構造，其中，前述第 2 區域之兩方的側邊係分別位於比前述第 1 區域之兩方的側邊更為內側。

3. 如申請專利範圍第 1 項之配線電路基板與電子零件之連接構造，其中，前述配線電路基板係另外具備有以除了前述端子部以外而覆蓋前述導體圖案的方式形成在前述基底絕緣層上的覆蓋絕緣層。

4. 如申請專利範圍第 1 項之配線電路基板與電子零件之連接構造，其中，前述電子零件的前述端子係以  $10\ \mu\text{m}$  以下的間隔設置複數個，

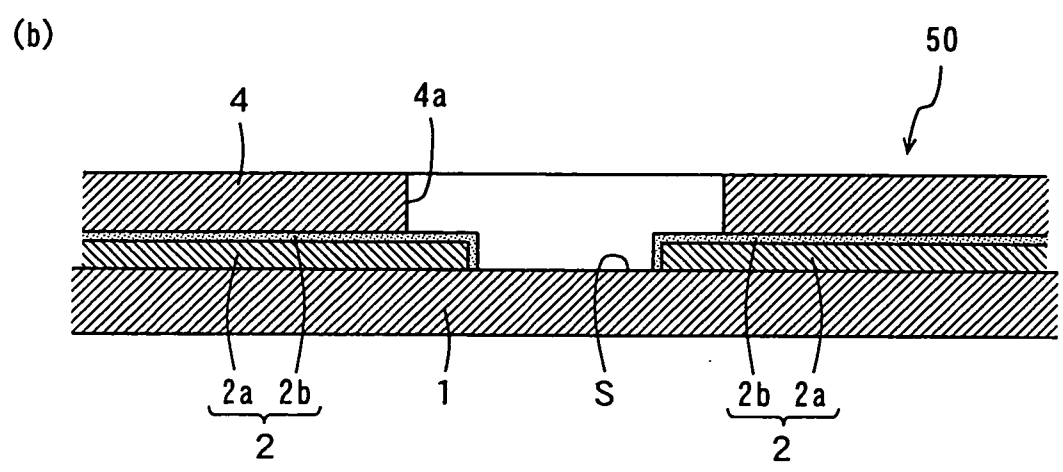
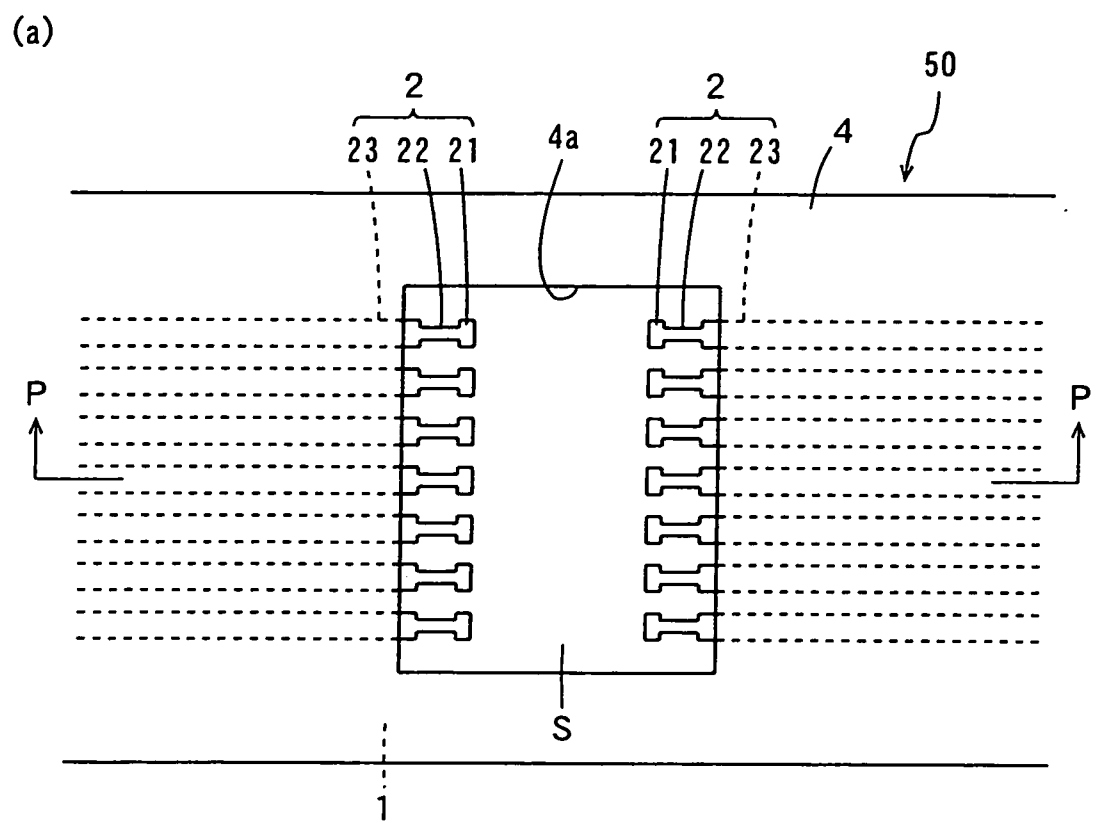
前述配線電路基板的前述端子部係以與前述電子零件之前述複數個端子相對應的方式設置複數個。

5. 一種配線電路基板與電子零件之連接方法，係將形成在配線電路基板之絕緣層上之線狀的導體圖案的端子部與電子零件的端子相連接的方法，其特徵為：

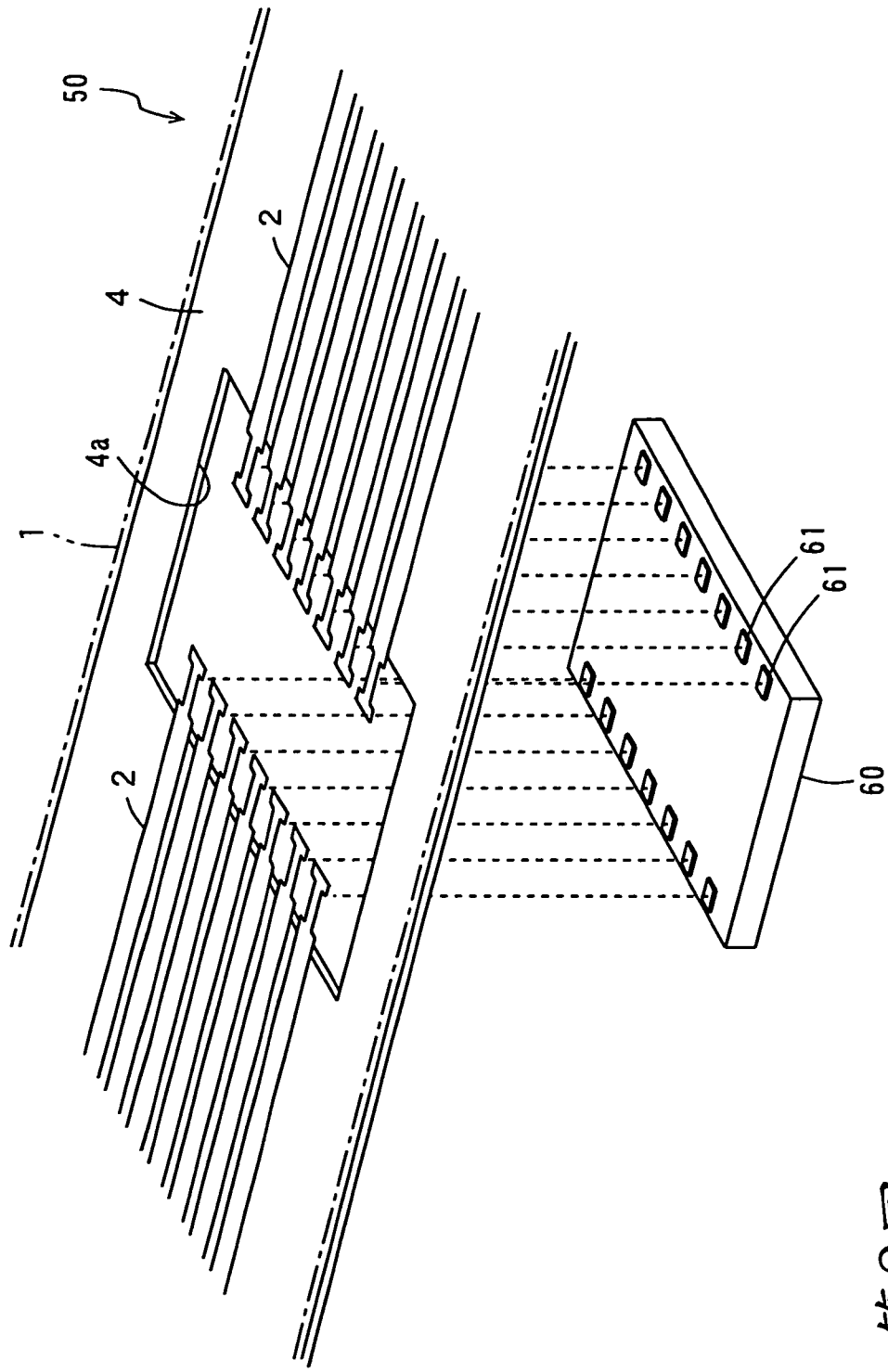
前述配線電路基板的端子部係具有：具有第 1 寬度的第 1 區域、及具有小於前述第 1 寬度之第 2 寬度的第 2 區域，至少前述第 2 區域由具有  $0.07\ \mu\text{m}$  以上、 $0.25\ \mu\text{m}$  以下之厚度之含錫的鍍敷層所被覆，

前述第 2 區域之其中一方的側邊係位於比前述電子零件的端子之其中一方的側邊更為  $0.5\ \mu\text{m}$  以上內側，前述第 2 區域之另一方的側邊係位於比前述電子零件的端子之另一方的側邊更為  $0.5\ \mu\text{m}$  以上內側，以在與前述端子部

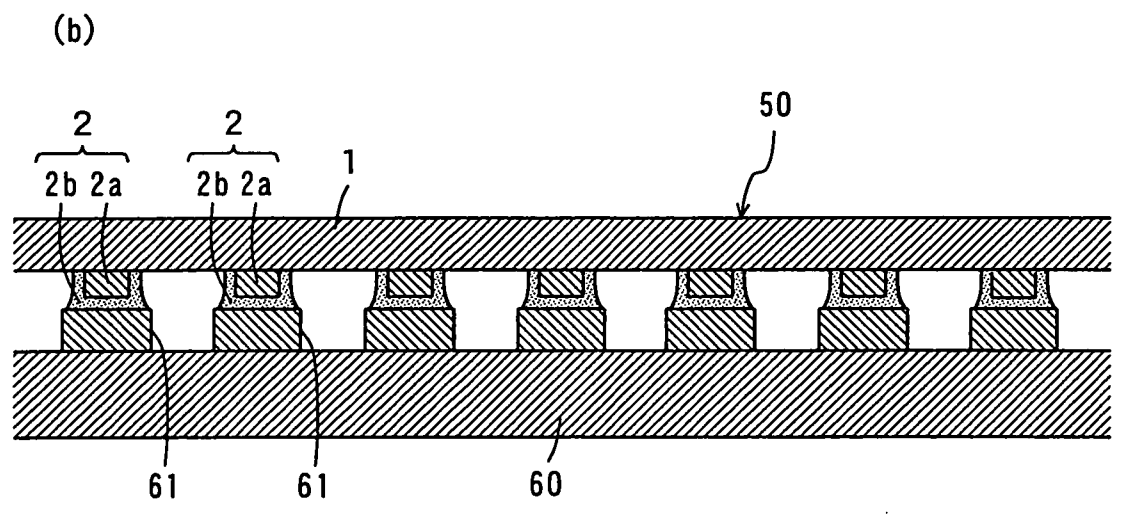
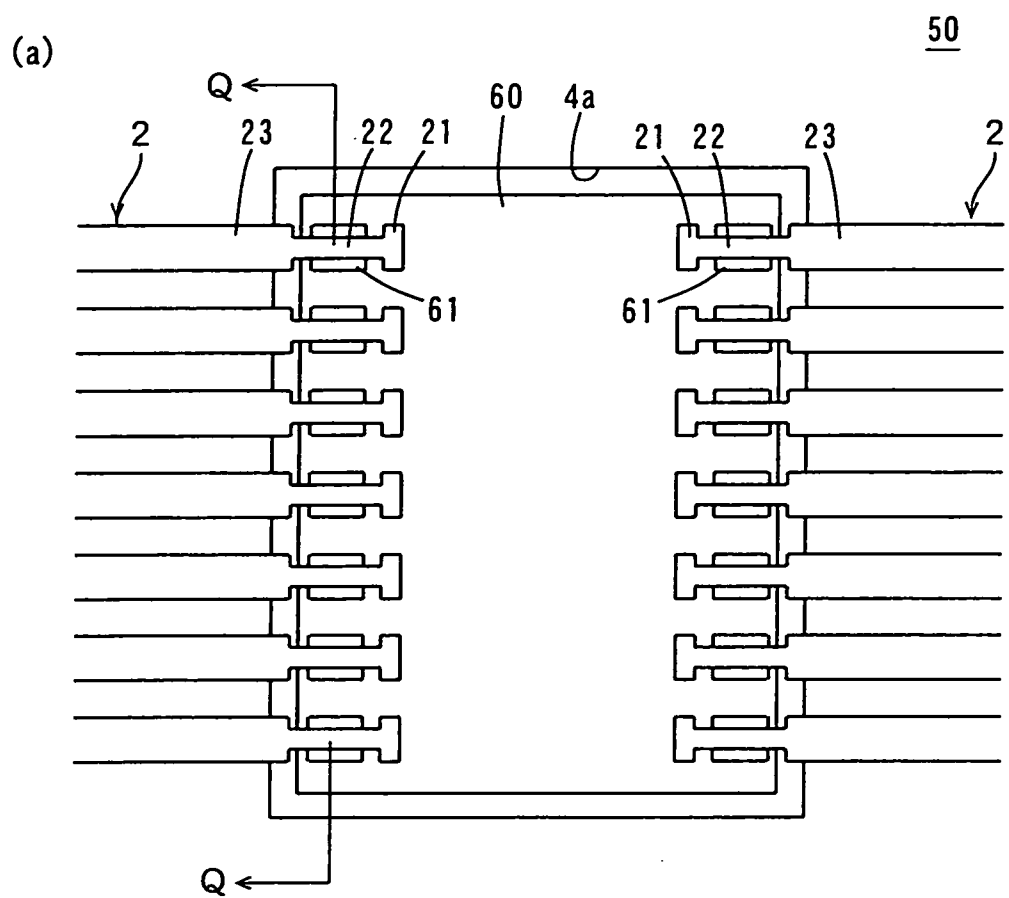
的寬度方向呈正交的方向中，在前述第 1 區域與前述電子零件的端子之間形成有  $20\ \mu\text{m}$  以上的間隔的方式，藉由熱熔接，將前述端子部的前述第 2 區域與前述電子零件的端子相連接。



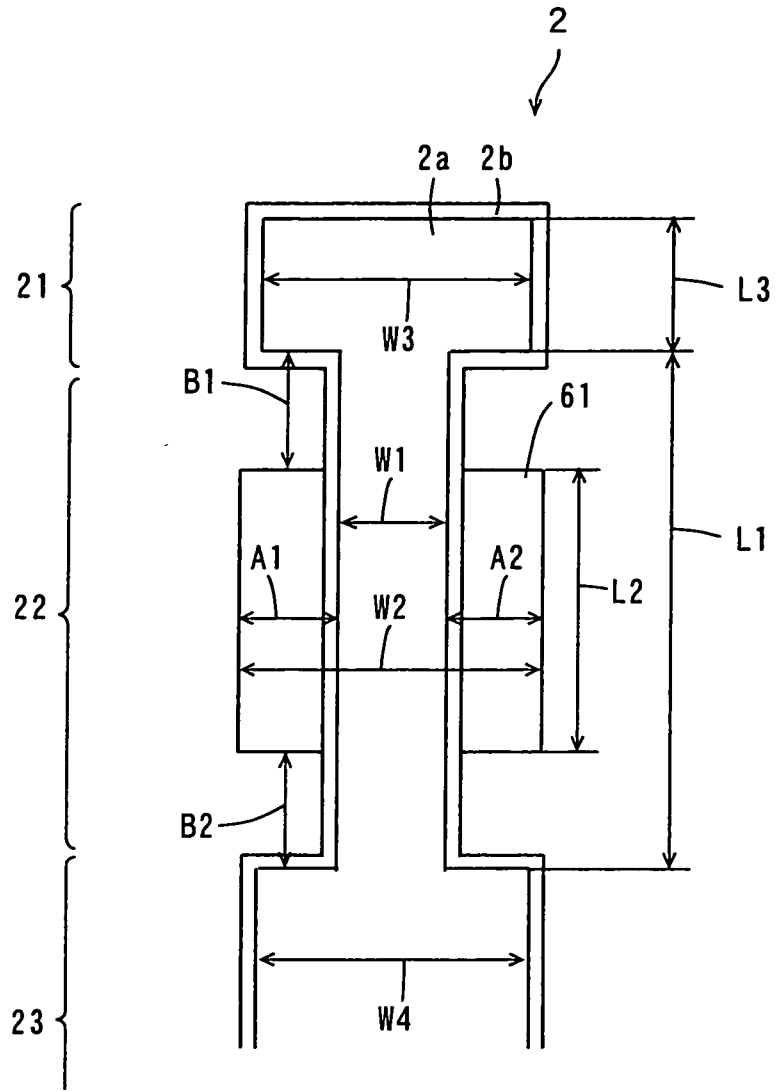
第1圖



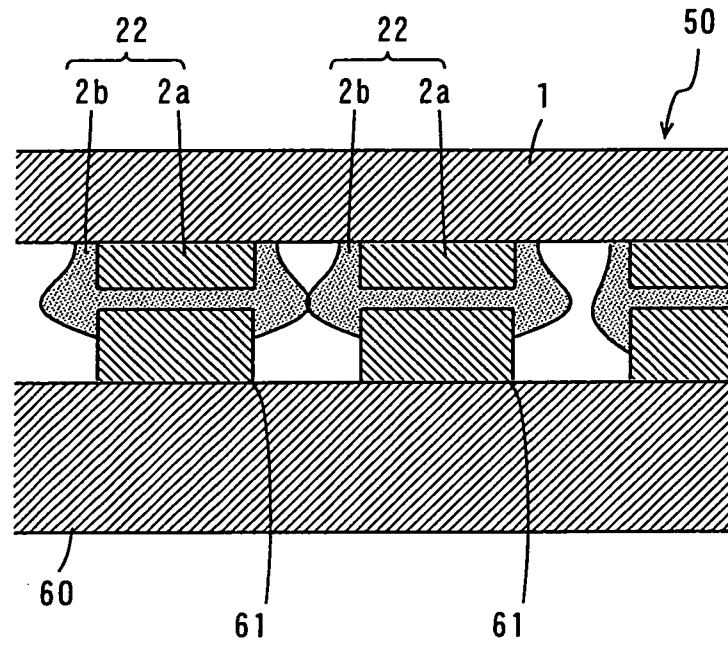
第2圖



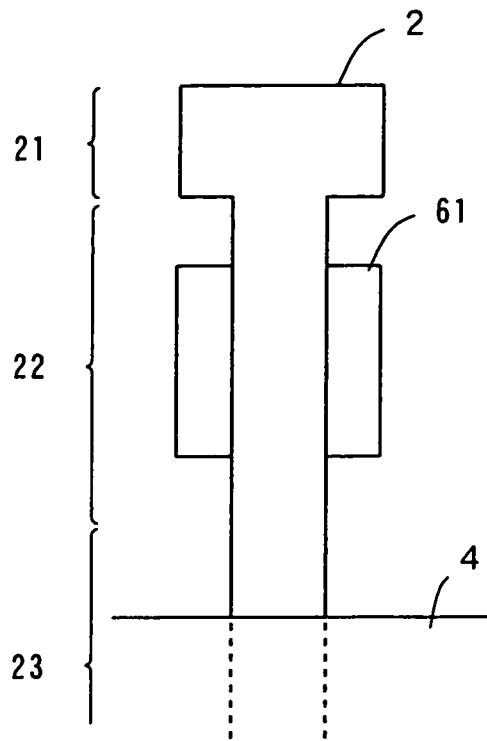
第3圖



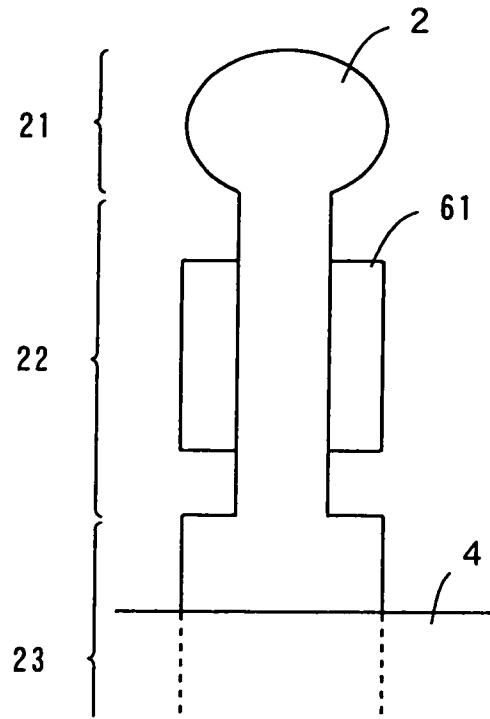
第4圖



第5圖



第6圖



第7圖