(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-72287
(P2006-72287A)
(43)公開日　平成18年3月16日(2006.3.16)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	5/00	(2006.01)	G09G	5/00	555D	2H093
G02F	1/133	(2006.01)	G02F	1/133	520	5C006
G09G	3/20	(2006.01)	G02F	1/133	535	5C080
G09G	3/34	(2006.01)	G02F	1/133	550	5C082
G09G	3/36	(2006.01)	G02F	1/133	580	

審査請求 未請求　請求項の数 25　ＯＬ　（全 21 頁）　最終頁に続く

(21)出願番号　特願2004-312206 (P2004-312206)
(22)出願日　平成16年10月27日 (2004.10.27)
(31)優先権主張番号　2004-068813
(32)優先日　平成16年8月31日 (2004.8.31)
(33)優先権主張国　韓国 (KR)

(71)出願人　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市靈通区梅灘洞４１６
４１６，Ｍａｅｔａｎ－ｄｏｎｇ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ　Ｇｙｅｏｎｇｇｉ－ｄｏ，Ｒｅｐｕｂｌｉｃ　ｏｆ　Ｋｏｒｅａ
(74)代理人　100094145
弁理士　小野　由己男
(74)代理人　100106367
弁理士　稲積　朋子

最終頁に続く

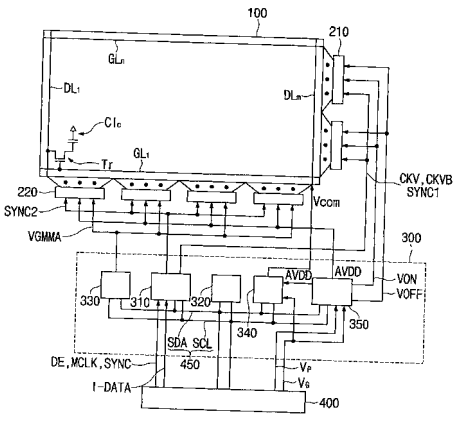
(54)【発明の名称】表示装置

(57)【要約】

【課題】　生産性を向上させることができる表示装置が開示される。

【解決手段】　表示装置において、表示部は駆動信号に応答して映像を表示し、駆動部は制御信号に応答して表示部に駆動信号を出力する。制御部は駆動部に制御信号を出力する多数の回路で構成され、制御部の回路は回路間のデータ通信のためのインターフェースに接続される。従って、回路はインターフェースに接続されたマスター回路により制御されることにより、流動的なデータを生成することができる。

【選択図】　図１



【特許請求の範囲】
【請求項１】
駆動信号に応答して映像を表示する表示部と、
制御信号に応答して前記表示部に前記駆動信号を出力する駆動部と、
前記制御信号を出力する多数の回路で構成された制御部と、
前記制御部の前記回路間に接続され、前記回路間のデータ通信のためのインターフェースと、を含むことを特徴とする表示装置。
【請求項２】
前記インターフェースは、直列デジタルインターフェースであることを特徴とする請求項１記載の表示装置。
【請求項３】
前記インターフェースは、両方向性を有するＩ^{2}Ｃ（Ｉｎｔｅｒ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）インターフェースであることを特徴とする請求項２記載の表示装置。
【請求項４】
前記Ｉ^{2}Ｃインターフェースは、
データが移動するシリアルデータラインと、
前記回路間のデータ通信を制御及び同期化するためのシリアルクロックラインと、を含むことを特徴とする請求項３記載の表示装置。
【請求項５】
前記インターフェースは、並列デジタルインターフェースであることを特徴とする請求項１記載の表示装置。
【請求項６】
前記制御部は、
前記インターフェースに接続され、第１デジタル制御信号に応答して共通電圧の電圧レベルを変更させて出力する共通電圧発生回路と、
外部信号に応答して映像データと制御信号を前記駆動部に提供し、前記インターフェースに接続されたタイミング制御回路と、を含むことを特徴とする請求項１記載の表示装置。
【請求項７】
前記タイミング制御回路は、前記インターフェースのマスターとして前記第１デジタル制御信号を前記インターフェースに出力し、前記共通電圧発生回路は、前記インターフェースのスレイブとして前記第１デジタル制御信号を受信することを特徴とする請求項６記載の表示装置。
【請求項８】
前記タイミング制御回路は、
前記映像データを処理するデータブロックと、
外部同期信号を用いて前記駆動部に提供される前記制御信号を生成する制御信号ブロックと、
前記インターフェースを通じて入力されたデータと同期信号を前記制御部の回路に適切な信号に変換して、前記インターフェースに出力するインターフェースブロックと、を含むことを特徴とする請求項７記載の表示装置。
【請求項９】
前記駆動部は、
前記映像データと前記制御信号のうちデータ制御信号に応答して、前記駆動信号のうちデータ信号を出力するデータ駆動部と、
前記制御信号のうちゲート制御信号に応答して、前記駆動信号のうちゲート信号を出力するゲート駆動部と、を含むことを特徴とする請求項８記載の表示装置。
【請求項１０】
前記データブロックは、

前記映像データのビット数を拡張させるＡＣＣブロックと、
前記映像データの階調値を変換するＤＣＣブロックと、を含むことを特徴とする請求項８記載の表示装置。
【請求項１１】
前記制御部は、前記表示部に関する情報を含む初期データが保存された非揮発性メモリを更に含み、
前記タイミング制御回路は、前記共通電圧発生回路が前記表示部に適切な前記共通電圧を出力するように、前記初期データに基づいた前記第１デジタル制御信号を生成することを特徴とする請求項６記載の表示装置。
【請求項１２】
前記共通電圧発生回路は、
前記電源電圧発生回路から提供された電圧を前記共通電圧に変換する変換部と、
前記第１デジタル制御信号に応答して、前記共通電圧の電圧レベルを調節するデジタル可変抵抗部と、を含むことを特徴とする請求項１１記載の表示装置。
【請求項１３】
前記変換部は、
前記電圧と接地電圧との間で直列連結された第１抵抗及び第２抵抗と、
前記第１抵抗及び第２抵抗により分圧された前記共通電圧を出力するバッファーと、で構成されたことを特徴とする請求項１２記載の表示装置。
【請求項１４】
前記制御部は、
前記インターフェースに接続され、ガンマデータをアナログ形態のガンマ電圧に変換するガンマ電圧発生回路と、
外部信号に応答して映像データと制御信号を前記駆動部に提供し、前記インターフェースに接続されたタイミング制御回路と、を含むことを特徴とする請求項１記載の表示装置。
【請求項１５】
前記制御部は、
前記インターフェースに接続され、前記表示部に関する情報を含む初期データ及び前記ガンマデータが保存された非揮発性メモリと、
前記映像データを１フレーム単位で保存するフレームメモリと、を更に含むことを特徴とする請求項１４記載の表示装置。
【請求項１６】
前記タイミング制御回路は、１フレーム単位の映像データを前記フレームメモリから入力受けて、前記表示部の１フレーム単位の平均輝度を計算し、前記平均輝度に対応する前記ガンマデータを前記非揮発性メモリで判読して、前記ガンマ電圧発生回路に出力することを特徴とする請求項１５記載の表示装置。
【請求項１７】
前記制御部は、
前記インターフェースに接続され、第１デジタル制御信号に応答して、共通電圧の電圧レベルを変更させて出力する共通電圧発生回路と、
前記インターフェースに接続され、第２デジタル制御信号に応答して電源電圧を駆動電圧及びロジック電圧に変換して出力する電源電圧発生回路と、を更に含むことを特徴とする請求項１４記載の表示装置。
【請求項１８】
前記電源電圧発生回路は、
前記インターフェースに接続され、前記タイミング制御回路からの前記第２デジタル制御信号を第１制御信号及び第２制御信号に変換するインターフェース部と、
前記第１制御信号に応答して、前記外部電源を前記駆動部を駆動させるための前記駆動電圧に変換する駆動電圧発生部と、

前記第２制御信号に応答して前記外部電源を前記回路のそれぞれを駆動させるための前記ロジック電圧に変換するロジック電圧発生部と、を含むことを特徴とする請求項１７記載の表示装置。

【請求項１９】

前記制御部は前記表示部の周辺温度を感知して、感知された前記周辺温度をデジタル温度データに変換して、前記インターフェースを通じてタイミング制御回路に提供する温度感知回路を更に含むことを特徴とする請求項１７記載の表示装置。

【請求項２０】

前記タイミング制御回路は、前記デジタル温度データに応答して前記共通電圧の電圧レベルを変更するように、前記第１デジタル制御信号を前記インターフェースを通じて前記共通電圧発生回路に提供することを特徴とする請求項１９記載の表示装置。

【請求項２１】

第１ランプ駆動電圧及び第２ランプ駆動電圧を出力するインバータと、

前記第１ランプ駆動電圧及び第２ランプ駆動電圧に応答して光を発生するランプで構成され、前記光を前記表示部に提供する光発生部と、を更に含むことを特徴とする請求項１４記載の表示装置。

【請求項２２】

前記制御部は、

前記光発生部から出力された前記光の輝度を感知し、感知された前記輝度をデジタル値に変換して、前記インターフェースを通じて前記タイミング制御回路に提供する輝度感知回路と、

前記輝度のデジタル値に基づいて生成された第３デジタル制御信号を前記タイミング制御回路から入力受けて、前記インバータから出力される前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧レベルを調節するインバータ制御回路と、を更に含むことを特徴とする請求項２１記載の表示装置。

【請求項２３】

感知された前記輝度が既に設定された基準輝度より低い場合、前記インバータ制御回路は、前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差が増加されるように前記インバータを制御し、

感知された前記輝度が既に設定された基準輝度より高い場合、前記インバータ制御回路は、前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差が減少されるように前記インバータを制御することを特徴とする請求項２２記載の表示装置。

【請求項２４】

データ信号の入力を受けるデータラインと、ゲート信号の入力を受けるゲートラインが具備され、前記データ信号とゲート信号に応答して映像を表示する表示パネルと、

前記データラインに前記データ信号を出力するデータ駆動回路と、

前記ゲートラインに前記ゲート信号を出力するゲート駆動回路と、

第１デジタル制御信号に応答して共通電圧の電圧レベルを変更させて、前記表示パネルに提供する共通電圧発生回路と、

ガンマデータをアナログ形態のガンマ電圧に変換して、前記データ駆動回路に提供するガンマ電圧発生回路と、

外部信号に応答して前記映像データと制御信号を前記駆動部に提供し、前記第１デジタル制御信号及び前記ガンマデータを出力するタイミング制御回路と、

前記共通電圧発生回路、ガンマ電源発生回路、及びタイミング制御回路に接続され、前記回路間のデータ通信を行うインターフェースと、を含むことを特徴とする表示装置。

【請求項２５】

前記表示パネルに関する情報を含む初期データ、ガンマデータが保存され、前記インターフェースに接続され前記タイミング制御回路とデータ通信を行う非揮発性メモリと、

前記インターフェースに接続され前記タイミング制御回路から第２デジタル制御信号を受信して、前記第２デジタル制御信号に応答して電源電圧を駆動電圧とロジック電圧に変

換して出力する電源電圧発生回路と、を更に含むことを特徴とする請求項２４記載の表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は表示装置に関し、より詳細には生産性を向上させることができる表示装置に関するものである。

【背景技術】

【０００２】

一般に、液晶表示装置は、データ信号とゲート信号に応答して、映像を表示する液晶表示パネル、データ信号とゲート信号をそれぞれ出力するデータ駆動部とゲート駆動部を含む。液晶表示装置は、データ駆動部とゲート駆動部を駆動させるタイミングコントローラ、非揮発性メモリ、及びＤＣ／ＤＣコンバータを更に具備する。

【０００３】

タイミングコントローラは、外部装置から映像データと各種外部制御信号の入力を受け、データ駆動部とゲート駆動部に内部制御信号を提供する。ＤＣ／ＤＣコンバータは、外部からの電源電圧をデータ駆動部とゲート駆動部を動作させるための駆動電圧に変換して出力する。

【０００４】

その以外にも、液晶表示装置は液晶表示パネルに共通電圧を提供する共通電圧発生部とデータ駆動部にガンマ電圧を提供するガンマ電圧発生を更に含む。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

前述したタイミングコントローラ、非揮発性メモリ、ＤＣ／ＤＣコンバータ、共通電圧発生部、及びガンマ電圧発生部のような部品は、予め液晶表示パネルの仕様に合わせて製造されたものである。従って、液晶表示パネルの仕様が変更されると、前記した部品を機械的な操作で仕様に合わせて変更させたり、仕様に合わせて部品自体を交替しなければならない。このような機械的な操作や交替は、液晶表示装置の生産性を低下させる。

【０００６】

従って、本発明の目的は、生産性を向上させるための表示装置を提供することにある。

【課題を解決するための手段】

【０００７】

上記課題を解決するために、本願第１発明は、駆動信号に応答して映像を表示する表示部と、制御信号に応答して前記表示部に前記駆動信号を出力する駆動部と、前記制御信号を出力する多数の回路で構成された制御部と、前記制御部の前記回路間に接続され、前記回路間のデータ通信のためのインターフェースと、を含むことを特徴とする表示装置を提供する。

【０００８】

このような表示装置によると、制御部の回路は回路間のデータ通信のためのデジタルインターフェースに接続されることにより、制御部の回路はデジタルインターフェースに接続されたマスター回路により制御される。そのため、制御回路において生成されるデータは、マスター回路の制御により随時変更可能であり、流動的なデータとなる。従って、前記回路を機械的に操作するか、交替する過程が不必要であり、それにより表示装置の生産性が向上されることができる。

【０００９】

本願第２発明は、第１発明において、前記インターフェースは、直列デジタルインターフェースであることを特徴とする表示装置を提供する。

【００１０】

インターフェースが、直列デジタルインターフェースであると、受信デバイスは、一つ

のデータライン１１で連結される。従って、例えば、伝送デバイスに保存された８ビットのデータは、データラインを通じて１ビットずつ順次に受信デバイスに伝送される。

【００１１】

本願第３発明は、第２発明において、前記インターフェースは、両方向性を有するＩ^{2}Ｃ（Ｉｎｔｅｒ Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）インターフェースであることを特徴とする表示装置を提供する。

【００１２】

Ｉ^{2}Ｃインターフェースに接続された回路は、固有のアドレスにより識別され、回路のそれぞれはデータを送信又は受信することができる。

【００１３】

本願第４発明は、第３発明において、前記Ｉ^{2}Ｃインターフェースは、データが移動するシリアルデータラインと、前記回路間のデータ通信を制御及び同期化するためのシリアルクロックラインと、を含むことを特徴とする表示装置を提供する。

【００１４】

本願第５発明は、第１発明において、前記インターフェースは、並列デジタルインターフェースであることを特徴とする表示装置を提供する。

【００１５】

インターフェースが、並列デジタルインターフェースであると、受信デバイスは、多数のデータラインで連結される。従って、例えば、伝送デバイスに保存された８ビットのデータは、８個のデータラインを通じて１ビットずつ同時に前記受信デバイスに伝送される。

【００１６】

本願第６発明は、第１発明において、前記制御部は、前記インターフェースに接続され、第１デジタル制御信号に応答して共通電圧の電圧レベルを変更させて出力する共通電圧発生回路と、外部信号に応答して映像データと制御信号を前記駆動部に提供し、前記インターフェースに接続されたタイミング制御回路と、を含むことを特徴とする表示装置を提供する。

【００１７】

本願第７発明は、第６発明において、前記タイミング制御回路は、前記インターフェースのマスターとして前記第１デジタル制御信号を前記インターフェースに出力し、前記共通電圧発生回路は、前記インターフェースのスレイブとして前記第１デジタル制御信号を受信することを特徴とする表示装置を提供する。

【００１８】

データ伝達は、前記マスターはデータ伝送を開始し、クロックを生成し、マスターを除いた残りの回路は、マスターとデータをやり取りするスレイブであるマスタースレイブプロトコル方式で行われる。そのため、制御回路において生成されるデータは、マスター回路の制御により随時変更可能であり、流動的なデータとなる。従って、前記回路を機械的に操作するか、交替する過程が不必要であり、それにより表示装置の生産性が向上されることができる。

【００１９】

本願第８発明は、第７発明において、前記タイミング制御回路は、前記映像データを処理するデータブロックと、外部同期信号を用いて前記駆動部に提供される前記制御信号を生成する制御信号ブロックと、前記インターフェースを通じて入力されたデータと同期信号を前記制御部の回路に適切な信号に変換して、前記インターフェースに出力するインターフェースブロックと、を含むことを特徴とする表示装置を提供する。

【００２０】

本願第９発明は、第８発明において、前記駆動部は、前記映像データと前記制御信号のうちデータ制御信号に応答して、前記駆動信号のうちデータ信号を出力するデータ駆動部と、前記制御信号のうちゲート制御信号に応答して、前記駆動信号のうちゲート信号を出力するゲート駆動部と、を含むことを特徴とする表示装置を提供する。

【００２１】
本願第１０発明は、第８発明において、前記データブロックは、前記映像データのビット数を拡張させるＡＣＣブロックと、前記映像データの階調値を変換するＤＣＣブロックと、を含むことを特徴とする表示装置を提供する。
【００２２】
ＡＣＣブロックは、液晶表示装置の色特性を向上させるために形成される。ＤＣＣブロックは、液晶の応答速度を補償するために形成されたものである。例えば、ＤＣＣブロックのルックアップテーブルには、常温の環境に適切な補償データが保存される。この際、タイミング制御回路は、温度感知回路から温度データに基づいて、ルックアップテーブルに保存された補償データを変化させることができる。従って、液晶表示装置の周辺温度が変化されても、液晶表示装置は最適の応答速度を有することができる。
【００２３】
本願第１１発明は、第６発明において、前記制御部は、前記表示部に関する情報を含む初期データが保存された非揮発性メモリを更に含み、前記タイミング制御回路は、前記共通電圧発生回路が前記表示部に適切な前記共通電圧を出力するように、前記初期データに基づいた前記第１デジタル制御信号を生成することを特徴とする表示装置を提供する。
【００２４】
本願第１２発明は、第１１発明において、前記共通電圧発生回路は、前記電源電圧発生回路から提供された電圧を前記共通電圧に変換する変換部と、前記第１デジタル制御信号に応答して、前記共通電圧の電圧レベルを調節するデジタル可変抵抗部と、を含むことを特徴とする表示装置を提供する。
【００２５】
本願第１３発明は、第１２発明において、前記変換部は、前記電圧と接地電圧との間で直列連結された第１抵抗及び第２抵抗と、前記第１抵抗及び第２抵抗により分圧された前記共通電圧を出力するバッファーと、で構成されたことを特徴とする表示装置を提供する。
【００２６】
本願第１４発明は、第１発明において、前記制御部は、前記インターフェースに接続され、ガンマデータをアナログ形態のガンマ電圧に変換するガンマ電圧発生回路と、外部信号に応答して映像データと制御信号を前記駆動部に提供し、前記インターフェースに接続されたタイミング制御回路と、を含むことを特徴とする表示装置を提供する。
【００２７】
本願第１５発明は、第１４発明において、前記制御部は、前記インターフェースに接続され、前記表示部に関する情報を含む初期データ及び前記ガンマデータが保存された非揮発性メモリと、前記映像データを１フレーム単位で保存するフレームメモリと、を更に含むことを特徴とする表示装置を提供する。
【００２８】
本願第１６発明は、第１５発明において、前記タイミング制御回路は、１フレーム単位の映像データを前記フレームメモリから入力受けて、前記表示部の１フレーム単位の平均輝度を計算し、前記平均輝度に対応する前記ガンマデータを前記非揮発性メモリで判読して、前記ガンマ電圧発生回路に出力することを特徴とする表示装置を提供する。
【００２９】
非揮発性メモリには、液晶表示パネルに表示された画面の平均輝度によって異なる階調値を有するガンマデータが保存される。画面の平均輝度が基準輝度より高いと、ガンマデータは基準ガンマより高い階調を有し、平均輝度が前記基準輝度より低いと、ガンマデータは前記基準ガンマより低い階調を有する。
【００３０】
本願第１７発明は、第１４発明において、前記制御部は、前記インターフェースに接続され、第１デジタル制御信号に応答して、共通電圧の電圧レベルを変更させて出力する共通電圧発生回路と、前記インターフェースに接続され、第２デジタル制御信号に応答して

電源電圧を駆動電圧及びロジック電圧に変換して出力する電源電圧発生回路と、を更に含むことを特徴とする表示装置を提供する。

【００３１】

本願第１８発明は、第１７発明において、前記電源電圧発生回路は、前記インターフェースに接続され、前記タイミング制御回路からの前記第２デジタル制御信号を第１制御信号及び第２制御信号に変換するインターフェース部と、前記第１制御信号に応答して、前記外部電源を前記駆動部を駆動させるための前記駆動電圧に変換する駆動電圧発生部と、前記第２制御信号に応答して前記外部電源を前記回路のそれぞれを駆動させるための前記ロジック電圧に変換するロジック電圧発生部と、を含むことを特徴とする表示装置を提供する。

【００３２】

本願第１９発明は、第１７発明において、前記制御部は前記表示部の周辺温度を感知して、感知された前記周辺温度をデジタル温度データに変換して、前記インターフェースを通じてタイミング制御回路に提供する温度感知回路を更に含むことを特徴とする表示装置を提供する。

【００３３】

一般に、液晶は温度によって特性が変わる。具体的に、温度によって応答速度、透過率、及び液晶容量などが変化する。温度感知回路は、液晶表示装置の周辺温度を感知して、感知された温度をデジタル温度データに変換して、内部インターフェースを通じてタイミング制御回路に提供する。タイミング制御回路は、前記温度データによって前記共通電圧ＶＣＯＭの電圧レベルを変更するように制御する。これにより、液晶表示装置の周辺温度が変化しても、液晶表示装置は最適の応答速度、透過率、及び液晶容量を有することができる。

【００３４】

本願第２０発明は、第１９発明において、前記タイミング制御回路は、前記デジタル温度データに応答して前記共通電圧の電圧レベルを変更するように、前記第１デジタル制御信号を前記インターフェースを通じて前記共通電圧発生回路に提供することを特徴とする表示装置を提供する。

【００３５】

本願第２１発明は、第１４発明において、第１ランプ駆動電圧及び第２ランプ駆動電圧を出力するインバータと、前記第１ランプ駆動電圧及び第２ランプ駆動電圧に応答して光を発生するランプで構成され、前記光を前記表示部に提供する光発生部と、を更に含むことを特徴とする表示装置を提供する。

【００３６】

本願第２２発明は、第２１発明において、前記制御部は、前記光発生部から出力された前記光の輝度を感知し、感知された前記輝度をデジタル値に変換して、前記インターフェースを通じて前記タイミング制御回路に提供する輝度感知回路と、前記輝度のデジタル値に基づいて生成された第３デジタル制御信号を前記タイミング制御回路から入力受けて、前記インバータから出力される前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧レベルを調節するインバータ制御回路と、を更に含むことを特徴とする表示装置を提供する。

【００３７】

本願第２３発明は、第２２発明において、感知された前記輝度が既に設定された基準輝度より低い場合、前記インバータ制御回路は、前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差が増加されるように前記インバータを制御し、感知された前記輝度が既に設定された基準輝度より高い場合、前記インバータ制御回路は、前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差が減少されるように前記インバータを制御することを特徴とする表示装置を提供する。

【００３８】

本願第２４発明は、データ信号の入力を受けるデータラインと、ゲート信号の入力を受

けるゲートラインが具備され、前記データ信号とゲート信号に応答して映像を表示する表示パネルと、前記データラインに前記データ信号を出力するデータ駆動回路と、前記ゲートラインに前記ゲート信号を出力するゲート駆動回路と、第１デジタル制御信号に応答して共通電圧の電圧レベルを変更させて、前記表示パネルに提供する共通電圧発生回路と、ガンマデータをアナログ形態のガンマ電圧に変換して、前記データ駆動回路に提供するガンマ電圧発生回路と、外部信号に応答して前記映像データと制御信号を前記駆動部に提供し、前記第１デジタル制御信号及び前記ガンマデータを出力するタイミング制御回路と、前記共通電圧発生回路、ガンマ電源発生回路、及びタイミング制御回路に接続され、前記回路間のデータ通信を行うインターフェースと、を含むことを特徴とする表示装置を提供する。液晶表示装置は、本願第１発明と同様の作用効果を有する。

【００３９】

本願第２５発明は、第２４発明において、前記表示パネルに関する情報を含む初期データ、ガンマデータが保存され、前記インターフェースに接続され前記タイミング制御回路とデータ通信を行う非揮発性メモリと、前記インターフェースに接続され前記タイミング制御回路から第２デジタル制御信号を受信して、前記第２デジタル制御信号に応答して電源電圧を駆動電圧とロジック電圧に変換して出力する電源電圧発生回路と、を更に含むことを特徴とする表示装置を提供する。

【発明の効果】

【００４０】

このような表示装置によると、制御部の回路は回路間のデータ通信のためのデジタルインターフェースに接続されることにより、制御部の回路はデジタルインターフェースに接続されたマスター回路により制御される。そのため、制御回路において生成されるデータは、マスター回路の制御により随時変更可能であり、流動的なデータを生成することができ、その結果、表示装置の生産性が向上される。

【発明を実施するための最良の形態】

【００４１】

以下、添付図面を参照して本発明の好ましい実施例をより詳細に説明する。

【００４２】

図１は、本発明の一実施例による液晶表示装置のブロック図である。

【００４３】

図１を参照すると、本発明の一実施例による液晶表示装置５００は、液晶表示パネル１００、ゲート駆動回路２１０、データ駆動回路２２０、制御部３００、外部インターフェース４００、及び内部インターフェース４５０で構成される。

【００４４】

前記液晶表示パネル１００に互いに交差する多数のゲートライン（ＧＬ１～ＧＬｎ）と多数のデータライン（ＤＬ１～ＤＬｍ）が具備され、前記ゲートライン（ＧＬ１～ＧＬｎ）とデータライン（ＤＬ１～ＤＬｍ）により定義された多数の画素領域には、映像を表示する最小単位である多数の画素がそれぞれ具備される。前記画素のそれぞれは、薄膜トランジスタＴｒと液晶キャパシタＣｌｃで構成される。例えば、第１画素領域で前記薄膜トランジスタＴｒのゲート電極は、第１ゲートラインＧＬ１に連結され、ソース電極は第１データラインＤＬ１に連結され、ドレイン電極は前記液晶キャパシタＣｌｃの一端に結合される。

【００４５】

前記ゲート駆動回路２１０は、チップ形態で構成され前記多数のゲートライン（ＧＬ１～ＧＬｎ）に電気的に連結される。前記ゲート駆動回路２１０は、第１同期信号ＳＹＮＣ１、第１クロック及び第２クロックＣＫＶ、ＣＫＶＢ、第１駆動電圧及び第２駆動電圧ＶＯＮ、ＶＯＦＦに応答して、ゲート信号を前記ゲートライン（ＧＬ１～ＧＬｎ）に順次に出力する。前記データ駆動回路２２０は、チップ形態で構成され前記多数のデータライン（ＤＬ１～ＤＬｍ）に電気的に連結される。前記データ駆動回路２２０は、第２同期信号ＳＹＮＣ２、アナログガンマ電圧ＶＧＭＭＡ、及び第３駆動電圧ＡＶＤＤに応答して、デ

ータ信号を前記多数のデータラインＤＬ１～ＤＬｍに出力する。

【００４６】

一方、前記制御部３００は、前記外部インターフェース４００を通じて外部装置（図示せず）と連結される。前記外部インターフェース４００は、前記外部装置から提供された各種信号を前記液晶表示装置５００に適切な信号に変換した後、前記制御部３００に提供する。前記制御部３００は、タイミング制御回路３１０、非揮発性メモリ３２０、ガンマ電圧発生回路３３０、共通電圧発生回路３４０、及び電源電圧発生回路３５０を含む。

【００４７】

前記内部インターフェース４５０はデジタル直列インターフェースであって、前記デバイス（タイミング制御回路３１０、非揮発性メモリ３２０、ガンマ電圧発生回路３３０、共通電圧発生回路３４０、及び電源電圧発生回路３５０）は、前記内部インターフェース４５０を通じてデータ通信をする。

【００４８】

前記タイミング制御回路３１０はチップ形態で構成され、外部インターフェース４００から映像データＩ－ＤＡＴＡと外部制御信号ＳＹＮＣ、ＭＣＬＫ、ＤＥの入力を受ける。前記タイミング制御回路３１０は、前記映像データＩ－ＤＡＴＡを１フレーム単位で前記フレームメモリ（図示せず）に保存した後、１ライン単位で読み込み、前記データ駆動回路２２０に提供する。又、タイミング制御回路３１０は、前記外部同期信号ＳＹＮＣ、ＭＣＬＫ、ＤＥを前記第１同期信号及び第２同期信号ＳＹＮＣ１、ＳＹＮＣ２、第１クロック及び第２クロックＣＫＶ、ＣＫＶＢに変換して出力する。

【００４９】

前記非揮発性メモリ３２０はＥＥＰＲＯＭである。前記非揮発性メモリ３２０には、前記内部インターフェース４５０を通じて入力された前記液晶表示パネル１００に関する情報、例えば、解像度とパネルサイズ等で構成された初期データが保存される。前記非揮発性メモリ３２０には、前記液晶表示パネル１００に表示された画面の平均輝度によって異なる階調値を有するガンマデータが保存される。前記画面の平均輝度が基準輝度より高いと、前記ガンマデータは基準ガンマより高い階調を有し、前記平均輝度が前記基準輝度より低いと、前記ガンマデータは前記基準ガンマより低い階調を有する。

【００５０】

前記タイミング制御回路３１０は、前記非揮発性メモリ３２０に保存されたデジタル形態の前記ガンマデータを、同期信号と共に前記内部インターフェース４５０を通じて前記ガンマ電圧発生回路３３０に伝送する。前記ガンマ電圧発生回路３３０は、前記同期信号に応答して、前記ガンマデータをアナログ形態のガンマ電圧ＶＧＭＭＡに変換する。前記ガンマ電圧発生回路３３０から出力された前記ガンマ電圧ＶＧＭＭＡは、前記データ駆動回路２２０に伝送される。

【００５１】

前記タイミング制御回路３１０は、前記非揮発性メモリ３２０に保存された前記初期データに基づいて第１デジタルデータを生成し、前記第１デジタルデータと同期信号を前記内部インターフェース４５０を通じて前記電源電圧発生回路３５０に伝送する。前記電源電圧発生回路３５０は、前記同期信号と前記第１デジタルデータに応答して、外部電圧Ｖｐを前記液晶表示パネル１００に適切な第１駆動電圧乃至第３駆動電圧ＶＯＮ、ＶＯＦＦ、ＡＶＤＤ、ロジック電圧（図示せず）に変換して出力する。ここで、前記ロジック電圧は、前記共通電圧発生回路３４０、タイミング制御回路３１０、及びガンマ電圧発生回路３３０を駆動させるための電圧である。

【００５２】

前記タイミング制御回路３１０は、前記非揮発性メモリ３２０に保存された前記初期データに基づいて第２デジタルデータを生成し、前記第２デジタルデータと同期信号を前記内部インターフェース４５０を通じて前記共通電圧発生回路３４０に伝送する。前記共通電圧発生回路３４０は、前記第２デジタルデータと同期信号に応答して、第３駆動電圧ＡＶＤＤを前記液晶表示パネル１００に適切な共通電圧ＶＣＯＭに変換して出力する。

【００５３】
図２は、図１に図示された制御部を具体的に示すブロック図であり、図３は、図２に図示されたシリアルデータラインとシリアルクロックラインの波形図を示す図である。
【００５４】
図２を参照すると、制御部３００はタイミング制御回路３１０、メモリ３２０、ガンマ電圧発生回路３３０、共通電圧発生回路３４０、及び電源電圧発生回路３５０を含み、前記回路は内部インターフェース４００を通じてデータ通信をする。これらの内部インターフェース４００は、デジタル直列インターフェースの一つである前記I^2Cインターフェースで構成される。
【００５５】
前記I^2Cインターフェースは、両方向性２－ワイヤーインターフェースであって、データ通信のためのシリアルデータラインＳＤＡと前記回路との間のデータ通信を制御及び同期化するためのシリアルクロックラインＳＣＬで構成される。前記I^2Cインターフェースに接続された回路は、固有のアドレスにより識別され、回路のそれぞれはデータを送信又は受信することができる。前記回路間でデータ伝達は、マスタースレイブプロトコル方式で行われる。前記マスターはデータ伝送を開始し、クロックを生成し、前記マスターを除いた残りの回路は、前記マスターとデータをやり取りするスレイブである。
【００５６】
本発明の一実施例による制御部３００でマスターは前記タイミング制御回路３１０であり、スレイブは前記非揮発性メモリ３２０、ガンマ電圧発生回路３３０、共通電圧発生回路３４０、及び電源電圧発生回路３５０である。前記I^2Cインターフェースは、マルチマスターを有することができる。
【００５７】
図３に示すように、開始Ｓ条件は、シリアルクロックラインＳＣＬ上の信号がハイ状態で存在する時、シリアルデータラインＳＤＡ上の信号がハイ状態からロー状態に転移されることである。開始Ｓ以後に、前記マスターは、７ビットであるアドレスＡＤＲを伝送し、前記アドレスＡＤＲの後にデータ伝達の方向を示す判読／記録表示字Ｒ／Ｗが従う。
【００５８】
前記アドレスＡＤＲと判読／記録表示字Ｒ／Ｗを伝達した後、前記マスターは前記シリアルデータラインＳＤＡをハイ状態で転移させる。スレイブが自分のアドレスＡＤＲを認識すると、前記スレイブは前記I^2Cインターフェース上の信号をフルダウンさせることにより、肯定応答信号（Ａｃｋｎｏｗｌｅｄｇｅ　ｓｉｇｎａｌ；ＡＣＫ）を前記マスターに伝送する。一方、前記アドレスＡＤＲを認識しないスレイブは、ロー状態で存在せず、不定応答信号ＮＡＫを前記マスターに伝送する。
【００５９】
前記マスターに肯定応答信号ＡＣＫが伝送されると、前記マスター又は該当スレイブは、データＤを伝送する。前記データ伝達の方向が判読Ｒ方向であると、該当スレイブがマスターにデータＤを伝送し、記録Ｗ方向であると、マスターが該当スレイブにデータＤを伝送する。データＤを伝送する伝送デバイス（マスター又はスレイブ）に肯定応答信号ＡＣＫが受信されると、前記伝送デバイスはデータＤを受信する受信デバイス（スレイブ又はマスター）に追加データを伝送する。
【００６０】
このような過程は前記伝送デバイスに不定応答信号ＮＡＫが受信される時まで続けられる。その後、前記マスターはデータ通信を更に開始Ｓするか終結Ｐさせる。ここで、前記終結Ｐ条件は、シリアルクロックラインＳＣＬ上の信号がハイ状態で存在する時、シリアルデータラインＳＤＡ上の信号がロー状態からハイ状態に転移されることである。
【００６１】
図２では、前記内部インターフェース４５０が２－ワイヤーバスである前記I^2Cインターフェースで構成されたことを示したが、前記内部インターフェース４５０は、３－ワイヤーバスであるシリアル周辺インターフェース（Ｓｅｒｉａｌ　Ｐｅｒｉｐｈｅｒａｌ

Ｉｎｔｅｒｆａｃｅ；以下、ＳＰＩ）で構成されることもできる。図示していないが、前記ＳＰＩはデータ伝送のための第１シリアルデータライン、データ受信のための第２シリアルデータライン、及び前記デバイス間のデータ通信を制御及び同期化するためのシリアルクロックラインで構成される。

【００６２】

図４は、デジタル直列インターフェースを示す図であり、図５は、デジタル並列インターフェースを示す図である。

【００６３】

図４及び図５を参照すると、伝送デバイス１０はデータを伝送するデバイスであり、受信デバイス２０はデータを受信するデバイスである。

【００６４】

デジタル直列インターフェース方式で前記伝送デバイス１０と前記受信デバイス１０は、一つのデータライン１１で連結される。従って、前記伝送デバイス１０に保存された８ビットのデータは、前記データライン１１を通じて１ビットずつ順次に前記受信デバイス２０に伝送される。一方、デジタル並列インターフェース方式で前記デバイス１０と前記受信デバイス２０は、多数のデータライン１２で連結される。従って、前記伝送デバイス１０に保存された８ビットのデータは、前記８個のデータライン１２を通じて１ビットずつ同時に前記受信デバイス２０に伝送される。

【００６５】

図１乃至図３では、前記内部インターフェース４５０がデジタル直列インターフェースに限定したが、前記内部インターフェース４５０は、デジタル並列インターフェースで構成されることもできる。

【００６６】

図６は、図１に図示されたタイミング制御回路を具体的に示すブロック図であり、図７は、図６に図示されたデータブロックを具体的に示す図である。

【００６７】

図６を参照すると、タイミング制御回路３１０は、外部インターフェース４００（図１に図示）から映像データＩ－ＤＡＴＡ、データイネイブル信号ＤＥ、外部同期信号ＳＹＮＣ、及びメインクロックＭＣＬＫの入力を受ける。前記タイミング制御回路３１０は、前記映像データＩ－ＤＡＴＡを処理するデータブロック３１１及び前記データイネイブル信号ＤＥ、同期信号ＳＹＮＣ、及びメインクロックＭＣＬＫを用いて、第１同期信号及び第２同期信号ＳＹＮＣ１、ＳＹＮＣ２を生成する制御信号ブロック３１２を含む。

【００６８】

図７に示すように、前記データブロック３１１は精密なカラー獲得（Ａｃｃｕｒａｔｅ Ｃｏｌｏｒ Ｃａｐｔｕｒｅ；以下、ＡＣＣ）ブロックＡＢ、及び動的容量補償（Ｄｙｎａｍｉｃ Ｃａｐａｃｉｔａｎｃｅ Ｃｏｍｐｅｎｓａｔｉｏｎ；以下、ＤＣＣ）ブロックＤＢで構成される。前記ＡＣＣブロックＡＢは、階調拡張器３１１ａと階調縮小器３１１ｂで構成され、前記ＤＣＣブロックＤＢはルックアップテーブル３１１ｃとＤＣＣ変換部３１１ｄで構成される。

【００６９】

前記ＡＣＣブロックＡＢは、液晶表示装置５００（図１に図示）の色特性を向上させるために形成されたものである。前記映像データＩ－ＤＡＴＡのビット数は、画素に印加される電圧を決定する。即ち、Ｎビットの前記映像データＩ－ＤＡＴＡは2^N個の階調として表現される。結果的に、階調数を増加させるためには、前記映像データＩ－ＤＡＴＡのビット数を増加させなければならないが、前記映像データＩ－ＤＡＴＡのビット数を増加させると、システムが複雑になる。しかし、前記ＡＣＣブロックＡＢは、Ｎビットの前記映像データＩ－ＤＡＴＡを用いて2^N個以上の階調を表現できる。

【００７０】

具体的に、前記ＡＣＣブロックＡＢに入力されたＮビットの前記映像データＩ－ＤＡＴＡは、前記階調拡張器３１１ａを通じてＮ＋ｄビットに拡張される。以後、前記データ駆

動回路２２０（図１に図示）が処理可能なビット数に変換するために、前記Ｎ＋ｄビットの前記映像データは、前記階調縮小器３１１ｂを通じて更にＮビットに縮小される。前記階調縮小器３１１ｂは、前記映像データＩ－ＤＡＴＡのビット数を縮小させると共に、連続する二階調Ａ、Ａ＋１を１フレーム単位で交互に発生させる。従って、二階調Ａ、Ａ＋１の平均階調（２Ａ＋１）／２が前記液晶表示装置５００に表示されることができる。拡張ビット数が増加するほど、二階調間をより精密に分割することができる。

【００７１】

これにより、前記映像データＩ－ＤＡＴＡをＮビットに固定させた状態で階調数を拡張させることにより、前記液晶表示装置５００の色特性を向上させることができる。

【００７２】

一方、液晶が応答するのには所定の時間が所要されることにより、前記液晶表示装置５００で所定の階調値を表現するのには時間遅延が発生する。前記ＤＣＣブロックＤＢは、このような時間遅延を減少させるために形成されたものである。以前フレームの階調値Ｂより現在フレームの階調値Ｂ１が大きい場合、前記ＤＣＣブロックＤＢは現在フレームの階調値Ｂ１をより大きい階調値Ｂ２に変換する。従って、前記ＤＣＣブロックＤＢ間遅延を減少させる。

【００７３】

具体的に、前記階調縮小器３１１ｂに出力された前記Ｎビットの映像データＩ－ＤＡＴＡは、前記ＤＣＣブロックＤＢに伝送され、前記フレームメモリ３９０には前記Ｎビットのデータのうち、上位ｎビット（ここで、ｎ≦Ｎ）のデータが入力される。前記フレームメモリ３９０には、１フレーム単位のデータが保存される。

【００７４】

前記ＤＣＣブロックＤＢの前記ルックアップテーブル３１１ｃには、前記フレームメモリ３９０から出力されたｎビットの以前フレームデータと前記階調縮小器３１１ｂから出力されたＮビットの現在フレームデータのうち、前記ｍビット（ここで、ｍ≦Ｎ）のデータが入力される。前記ルックアップテーブル３１１ｃでは、前記以前フレームデータと前記現在フレームデータをアドレスとして、既に保存されているｍビットの補正データを出力する。ｍビットの補正データは、前記ＤＣＣ変換部３１１ｄに提供される。前記ＤＣＣ変換部３１１ｄは前記ｍビットの補正データに基づいて、Ｎビットの現在フレームデータＣ－ＤＡＴＡを出力する。これにより、前記液晶表示装置５００の応答速度を向上させることができる。

【００７５】

図６を更に参照すると、前記制御信号ブロック３１２は、前記データイネイブル信号ＤＥ、外部同期信号ＳＹＮＣ、及びメインクロックＭＣＬＫを用いて、第１同期信号及び第２同期信号ＳＹＮＣ１、ＳＹＮＣ２、第１クロック及び第２クロックＣＫＶ、ＣＫＶＢを生成する。前記第１同期信号ＳＹＮＣ１、第１クロック及び第２クロックＣＫＶ、ＣＫＶＢは、前記ゲート駆動回路２１０に提供され、前記第２同期信号ＳＹＮＣ２は、前記データ駆動回路２２０に提供される。

【００７６】

前記タイミング制御回路３１０は、インターフェースブロック３１３を更に含む。前記インターフェースブロック３１３は、前記内部インターフェース４５０のシリアルデータラインとシリアルクロックラインに接続される。前記インターフェースブロック３１３は、前記シリアルデータラインＳＤＡから提供されたデータを適切な信号に変換して、前記タイミング制御回路３１０のデータブロック３１１又はスレイブ回路３２０、３３０、３４０、３５０にそれぞれ提供する。

【００７７】

図８は、図１に図示された共通電圧発生回路を示す図である。

【００７８】

図８を参照すると、共通電圧発生回路３４０は変換部３４１及びデジタル可変抵抗部３４２で構成される。前記変換部３４１は、電源電圧発生回路３３０（図１に図示）から提

供された第３駆動電圧ＡＶＤＤを前記共通電圧ＶＣＯＭに変換する。前記変換部３４１は、前記第３駆動電圧ＡＶＤＤと接地電圧ＶＧとの間で直列連結された第１抵抗及び第２抵抗Ｒ１、Ｒ２、第１ノードＮ１に接続され、前記第１抵抗及び第２抵抗Ｒ１、Ｒ２により分圧された前記共通電圧ＶＣＯＭを出力するバッファー３４１ａを含む。

【００７９】

前記デジタル可変抵抗部３４２の出力端子ＯＵＴは、前記第１ノードＮ１に結合され、セット端子ＳＥＴはリセット抵抗Ｒｒｅｓｅｔを通じて接地電圧端子に連結される。前記デジタル可変抵抗部３４２は、前記内部インターフェース４５０を通じて前記タイミング制御回路３１０と連結される。前記デジタル可変抵抗部３４２は、前記第１デジタル制御信号に応答して、前記第１ノードＮ１での電流を制御することにより、前記共通電圧ＶＣＯＭの電圧レベルを調節する。

【００８０】

前記タイミング制御回路３１０は、前記非揮発性メモリ３２０（図１に図示）に保存された前記液晶表示パネル１００（図１に図示）に関する情報で構成された初期データに基づいて、前記第１デジタル制御信号を出力する。ここで、前記第１デジタル制御信号は、前記第１ノードＮ１の電流を調節できる抵抗データと同期信号を含む。従って、前記共通電圧発生回路３４０は、前記液晶表示パネル１００に適切な電圧レベルを有する前記共通電圧ＶＣＯＭを生成することができる。

【００８１】

図示していないが、前記共通電圧発生回路３４０の内部には、非揮発性メモリ（図示せず）が具備されることができる。前記共通電圧発生回路３４０は、前記タイミング制御回路３１０とのデータ通信を行わなくても、非揮発性メモリに保存されたデータに基づいて前記液晶表示パネル１００に適切な電圧レベルを有する前記共通電圧ＶＣＯＭを自体的に生成することができる。

【００８２】

図９は、図１に図示された電源電圧発生回路を示す図である。

【００８３】

図９を参照すると、電源電圧発生回路３５０は、第１電圧発生部３５１、第２電圧発生部３５２、及びインターフェース部３５３を含む。

【００８４】

前記インターフェース部３５３は、前記内部インターフェース４５０を通じて前記タイミング制御回路３１０と連結される。前記タイミング制御回路３１０は、前記非揮発性メモリ３２０（図１に図示）に保存された前記液晶表示パネル１００（図１に図示）に関する情報で構成された初期データに基づいて第２デジタル制御信号を出力する。前記インターフェース部３５３は、前記第２デジタル制御信号を前記第１電圧発生部及び第２電圧発生部３５１、３５２に適切な第１電圧制御信号及び第２電圧制御信号ＶＣＳ１、ＶＣＳ２に変換する。

【００８５】

前記第１電圧発生部３５１は、前記第１電圧制御信号ＶＣＳ１に応答して、外部電源Ｖｐを前記液晶表示装置５００に適切なレベルを有する第１駆動電圧ＶＯＮ、第２駆動電圧ＶＯＦＦ、及び第３駆動電圧ＡＶＤＤに変換する。前記第１電圧発生部３５１から出力された前記第１駆動電圧及び第２駆動電圧ＶＯＮ、ＶＯＦＦは、ゲート駆動回路２１０に提供され、前記第３駆動電圧ＡＶＤＤは、前記データ駆動回路２２０に提供される。一方、前記第２電圧発生部３５２は、前記第２電圧制御信号ＶＣＳ２に応答して、前記外部電源Ｖｐをロジック電圧Ｖｌｏｇｉｃに変換する。前記ロジック電圧Ｖｌｏｇｉｃは、前記制御部３００に含まれた回路に提供され、前記回路を駆動させる。

【００８６】

このように前記デジタル信号を用いて液晶表示装置の仕様によって前記第１駆動電圧乃至第３駆動電圧ＶＯＮ、ＶＯＦＦ、ＡＶＤＤとロジック電圧Ｖｌｏｇｉｃの電圧レベルを調節することにより、前記ゲート駆動部、データ駆動部、及び前記回路は、常に最適の電

圧レベルを有する電圧に応答して動作することができる。

【００８７】

図１０は、本発明の他の実施例による液晶表示装置のブロック図である。但し、図１０では、図１に図示された構成要素と同じ構成要素に対しては、同じ参照符号を付与して、その重複説明は省略する。

【００８８】

図１０を参照すると、本発明の他の実施例による液晶表示装置５０１において、制御部３００は温度感知回路３６０、輝度感知回路３７０、及びインバータ制御回路３８０を更に含む。前記温度感知回路３６０、輝度感知回路３７０、及びインバータ制御回路３８０は、内部インターフェース４５０に接続される。ここで、前記インバータ制御回路３８０は、前記タイミング制御回路３１０の代わりに、前記内部インターフェース４５０のマスターとして動作することができる。

【００８９】

一般に、液晶は温度によって特性が変わる。具体的に、温度によって応答速度、透過率、及び液晶容量などが変化する。前記温度感知回路３６０は、液晶表示装置５０１の周辺温度を感知して、感知された温度をデジタル温度データに変換して、前記内部インターフェース４５０を通じてタイミング制御回路３１０に提供する。前記タイミング制御回路３１０は、前記温度データによって前記共通電圧ＶＣＯＭの電圧レベルを変更するように、第１デジタル制御信号を前記内部インターフェース４５０を通じて前記共通電圧発生回路３４０に提供する。

【００９０】

これにより、前記液晶表示装置５０１の周辺温度が変化しても、前記液晶表示装置５０１は最適の応答速度、透過率、及び液晶容量を有することができる。

【００９１】

一方、図７に示すように、前記タイミング制御回路３１０に具備されたＤＣＣブロックＤＢは、液晶の応答速度を補償するために形成されたものであり、前記ＤＣＣブロックＤＢのルックアップテーブル３１１ｃには、常温の環境に適切な補償データが保存される。この際、前記タイミング制御回路３１０は、前記温度感知回路３６０からの前記温度データによって、前記ルックアップテーブル３１１ｃに保存された補償データを変化させることができる。従って、前記液晶表示装置５０１の周辺温度が変化されても、前記液晶表示装置５０１は最適の応答速度を有することができる。

【００９２】

前記輝度感知回路３７０及びインバータ制御回路３８０は、図１１を参照して具体的に説明する。

【００９３】

図１１は、図１０に図示されたインバータ制御回路と輝度感知回路を具体的に示す図である。

【００９４】

図１１を参照すると、液晶表示装置５０１は、液晶表示パネル１００（図１０に図示）に光を提供するための第１ランプ２３１、第２ランプ２３２、第３ランプ２３３、及び第４ランプ２３４を含む。前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４のそれぞれは、第１ランプ駆動電圧及び第２ランプ駆動電圧に応答して、前記光を発生する。インバータ２３０は、前記第１ランプ駆動電圧及び第２ランプ駆動電圧を前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４に提供することにより、前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４を駆動させる。

【００９５】

前記輝度感知回路３７０は、前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４のそれぞれから発生された光の輝度を感知する第１センサー乃至第４センサー３７１、３７２、３７３、３７４と前記第１センサー乃至第４センサー３７１、３７２、３７３、３７４のそれぞれから感知された輝度をデジタル値に変換するプロセッサ３７５で構

成される。前記プロセッサ３７５で変換されたデジタル値は、前記内部インターフェース４５０を通じて前記タイミング制御回路３１０に提供される。

【００９６】

前記タイミング制御回路３１０は、前記デジタル値に応答して前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４の輝度を既に設定された基準輝度と比較する。前記タイミング制御回路３１０は、比較結果によって前記インバータ２３０から出力される前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧レベルを調節するように、前記インバータ制御回路３８０に第３デジタル制御信号を伝送する。

【００９７】

前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４の輝度が前記基準輝度より低い場合、前記第３デジタル制御信号に応答して、前記インバータ制御回路３８０は、前記インバータ２３０から出力される前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差を増加させる。これにより、前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４の輝度を前記基準輝度まで増加させることができる。一方、前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４の輝度が前記基準輝度より高い場合、前記第３デジタル制御信号に応答して、前記インバータ制御回路３８０は、前記インバータ２３０から出力される前記第１ランプ駆動電圧及び第２ランプ駆動電圧の電圧差を減少させる。これにより、前記第１ランプ乃至第４ランプ２３１、２３２、２３３、２３４の輝度を前記基準輝度まで減少させることができる。

【００９８】

このような過程により前記液晶表示装置５０１の輝度均一性を確保することができ、その結果、前記液晶表示装置５０１の表示特性を向上させることができる。

【産業上の利用可能性】

【００９９】

このような表示装置によると、制御部の回路は回路間のデータ通信のためのデジタルインターフェースに接続されることにより、制御部の回路はデジタルインターフェースに接続されたマスター回路により制御される。そのため、制御回路において生成されるデータは、マスター回路の制御により随時変更可能であり、流動的なデータとなる。従って、前記回路を機械的に操作するか、交替する過程が不必要であり、それにより表示装置の生産性が向上されることができる。

【０１００】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【０１０１】

【図１】本発明の一実施例による液晶表示装置のブロック図である。

【図２】図１に図示された制御部を具体的に示すブロック図である。

【図３】図２に図示されたシリアルデータラインとシリアルクロックラインの波形図を示す図である。

【図４】デジタル直列インターフェースを示す図である。

【図５】デジタル並列インターフェースを示す図である。

【図６】図１に図示されたタイミング制御回路を具体的に示すブロック図である。

【図７】図６に図示されたデータブロックを具体的に示すブロック図である。

【図８】図１に図示された共通電圧発生回路を示す図である。

【図９】図１に図示された電源電圧発生回路を示す図である。

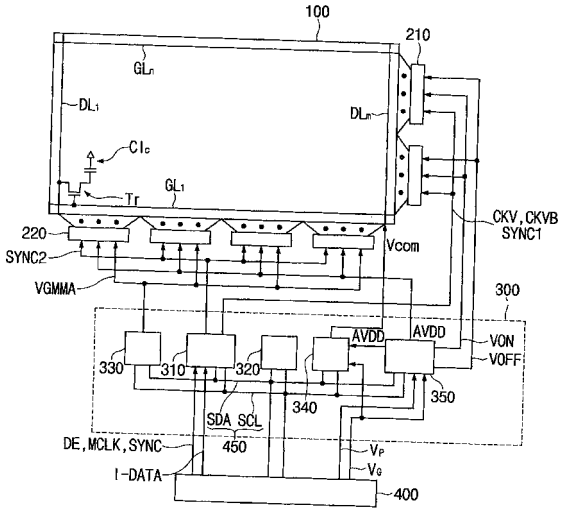
【図１０】本発明の他の実施例による液晶表示装置のブロック図である。

【図１１】図１０に図示されたインバータ制御回路と輝度感知回路を具体的に示す図である。

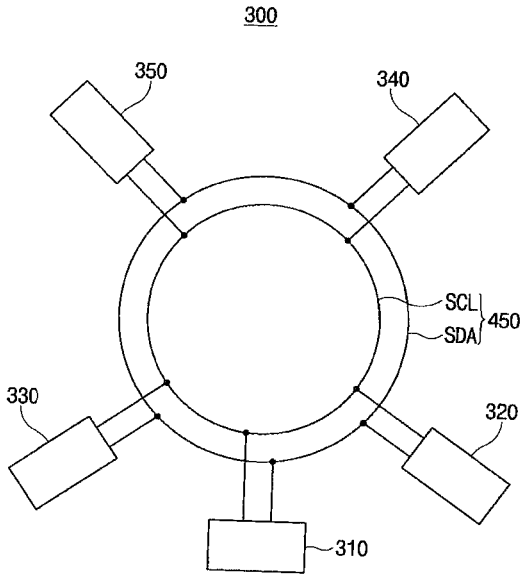
【符号の説明】

【０１０２】
１００　液晶表示パネル
２１０　ゲート駆動回路
２２０　データ駆動回路
２３０　インバータ
２３１　第１ランプ
２３２　第２ランプ
２３３　第３ランプ
２３４　第４ランプ
３００　制御部
３１０　タイミング制御回路
３１１　データブロック
３１２　制御信号ブロック
３１３　インターフェースブロック
３２０　非揮発性メモリ
３３０　ガンマ電圧発生回路
３４０　共通電圧発生回路
３４１　変換部
３４２　デジタル可変抵抗部
３５０　電源電圧発生回路
３５１　第１電圧発生部
３５２　第２電圧発生部
３５３　インターフェース部
３６０　温度感知回路
３７０　輝度感知回路
３８０　インバータ制御回路
３９０　フレームメモリ
４００　外部インターフェース
４５０　内部インターフェース
５００　液晶表示装置

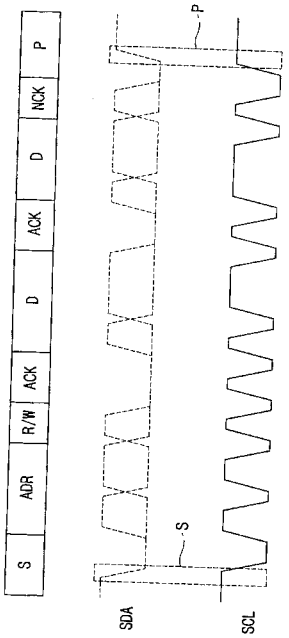
【図１】


100
210
GLn
DL1
DLm
CIc
Tr
GL1
CKV, CKVB
SYNC1
220
SYNC2
Vcom
VGMMA
300
AVDD
AVDD
VON
VOFF
330
310
320
340
350
SDA SCL
450
DE, MCLK, SYNC
I-DATA
VP
VG
400

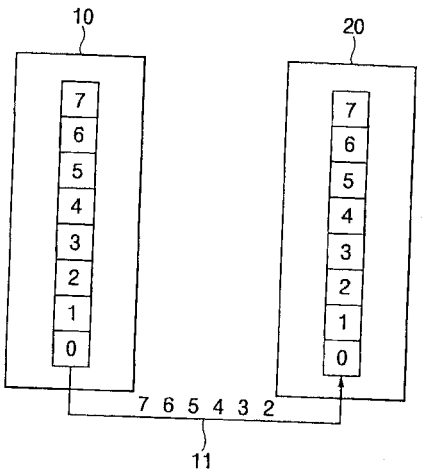
【図２】


300
350
340
SCL
SDA
450
330
320
310

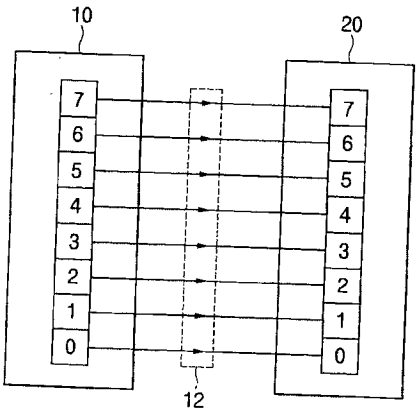
【図３】


P
NCK
D
ACK
D
ACK
R/W
ADR
S
P
S
SDA
SCL

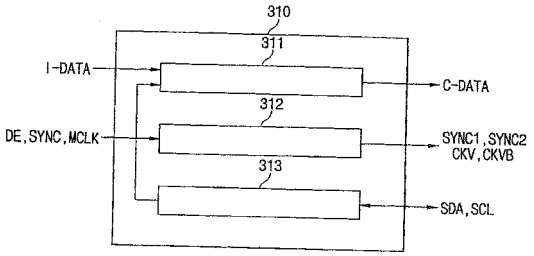
【図４】


10
20
7
6
5
4
3
2
1
0
7 6 5 4 3 2
11

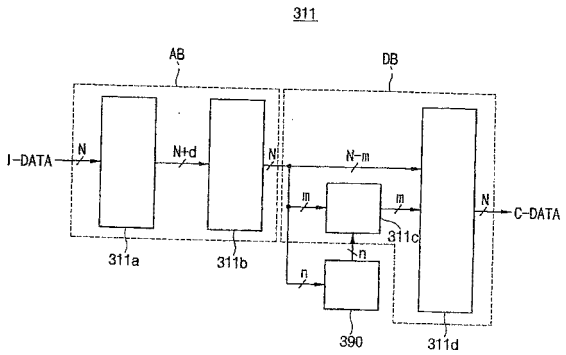
【図５】


10
20
7
6
5
4
3
2
1
0
12

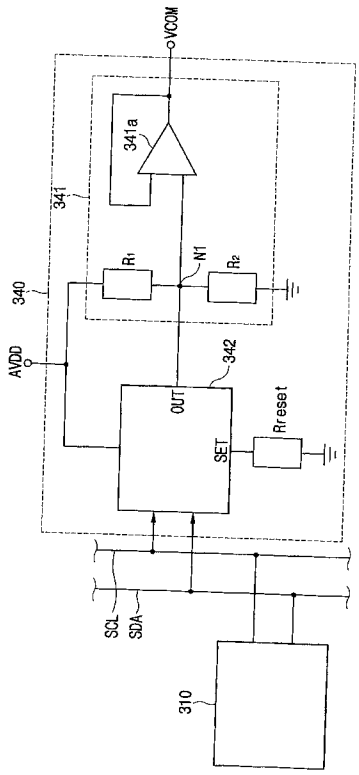
【図６】


310
311
I-DATA
C-DATA
312
DE,SYNC,MCLK
SYNC1,SYNC2
CKV,CKVB
313
SDA,SCL

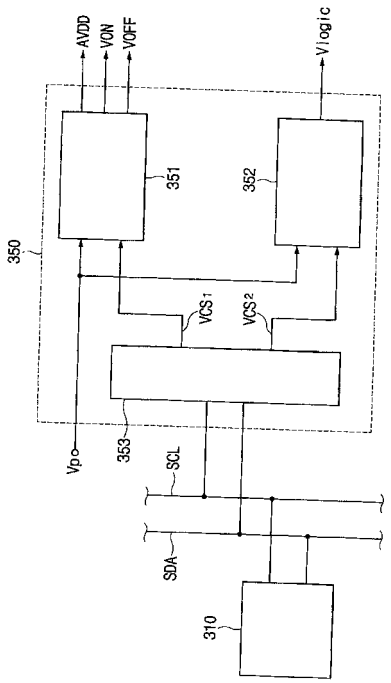
【図７】


311
AB
DB
I-DATA
N
N+d
N-m
m
n
C-DATA
311a
311b
311c
311d
390

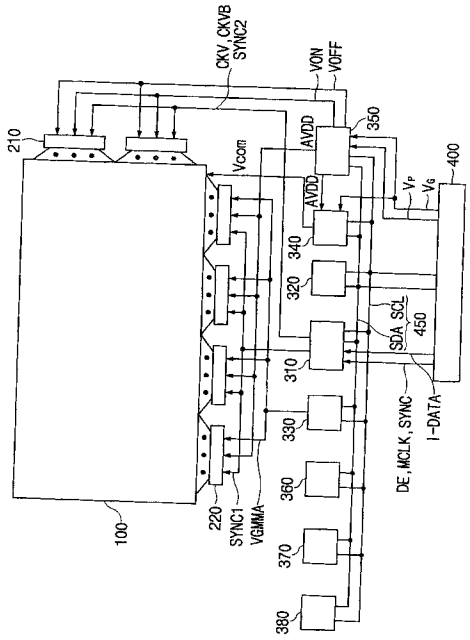
【図８】


VCOM
341a
341
R1
N1
R2
340
AVDD
342
OUT
SET
Rreset
SCL
SDA
310

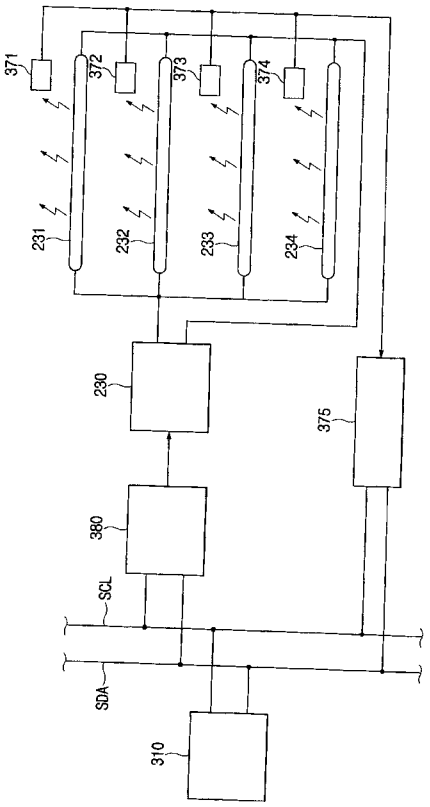
【図９】


AVDD
VON
VOFF
Vlogic
351
352
350
VCS1
VCS2
Vpo
353
SCL
SDA
310

【図１０】


CKV, CKVB
SYNC2
VON
VOFF
210
AVDD
350
Vcom
AVDD
400
340
320
SDA SCL
450
310
330
360
370
380
220
SYNC1
VGMMA
100
DE, MCLK, SYNC
I-DATA

【図１１】


371
372
373
374
231
232
233
234
230
375
380
SCL
SDA
310

フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６１２Ｆ	
	Ｇ０９Ｇ 3/20	６１２Ｐ	
	Ｇ０９Ｇ 3/20	６１２Ｕ	
	Ｇ０９Ｇ 3/20	６３１Ｖ	
	Ｇ０９Ｇ 3/20	６３３Ｂ	
	Ｇ０９Ｇ 3/20	６３３Ｃ	
	Ｇ０９Ｇ 3/20	６３３Ｇ	
	Ｇ０９Ｇ 3/20	６４１Ｑ	
	Ｇ０９Ｇ 3/20	６４２Ｐ	
	Ｇ０９Ｇ 3/34	Ｊ	
	Ｇ０９Ｇ 3/36		

(72)発明者 姜 文 拭
大韓民国京畿道城南市盆唐区書▲ヒョン▼２洞孝子村現代アパート１０５棟４０２号
(72)発明者 金 旻 弘
大韓民国ソウル特別市蘆原区上渓７洞住公６団地アパート６２３棟１００５号
(72)発明者 李 昇 祐
大韓民国ソウル特別市衿川区始興２洞２６６冠岳碧山タウン５１９棟１６０１号

Ｆターム(参考) 2H093 NA16 NA43 NA53 NC04 NC05 NC13 NC16 NC28 NC29 NC34
NC42 NC57 NC63 NC65 ND05 ND09 ND32 ND58 NE06
5C006 AF13 AF45 AF46 AF51 AF53 AF54 AF63 AF71 AF84 BB11
BC16 BF01 BF16 BF27 BF39 BF42 BF46 EA01 EB04 FA16
FA19 FA51
5C080 AA10 BB05 DD28 EE28 GG12 JJ02 JJ04
5C082 BB01 BD02 MM06 MM07