(19) DANMARK

Patentdirektoratet
TAASTRUP

(12) **PATENTSKRIFT** (11) **167784 B1**

(21) Patentansøgning nr.: **4510/85**

(51) Int.Cl.5 **G 06 F 3/06**
G 06 F 12/04

(22) Indleveringsdag: **03 okt 1985**

(41) Alm. tilgængelig: **05 apr 1986**

(45) Patentets meddelelse bkg. den: **13 dec 1993**

(86) International ansøgning nr.: -

(30) Prioritet: **04 okt 1984 US 657715**

(73) Patenthaver: ***HONEYWELL INFORMATION SYSTEMS INC.; Honeywell Plaza; Minneapolis; Minnesota 55408, US**

(72) Opfinder: **John W. *Bradley; US, Edward F. *Getson Jr.; US, Bruce R. *Cote; US**

(74) Fuldmægtig: **Lehmann & Ree A/S**

(54) **Pladestyreenhed til overføring af dataenhedsblokke mellem pladestation og hovedlager**

(56) Fremdragne publikationer

EP offentl. skr. nr. 88982

(57) Sammendrag:

4510-85

Et fælles adresseregister (10) anvendes til at adressere pladser med en fælles adresse i både et hovedlager (4) og en pladestyreenhed (3) data RAM (20) under en blokoverførsel af data i et pladesubsystem. Databit modtages af pladestyreenheden og lagres i RAM (20) som databytes. Det fælles adresseregister (10) lagrer adressen, som repræsenterer både RAM pladsen, hvorfra databytes overføres, og hovedlagerpladsen, hvori databytes lagres.

DK 167784 B1

fortsættes

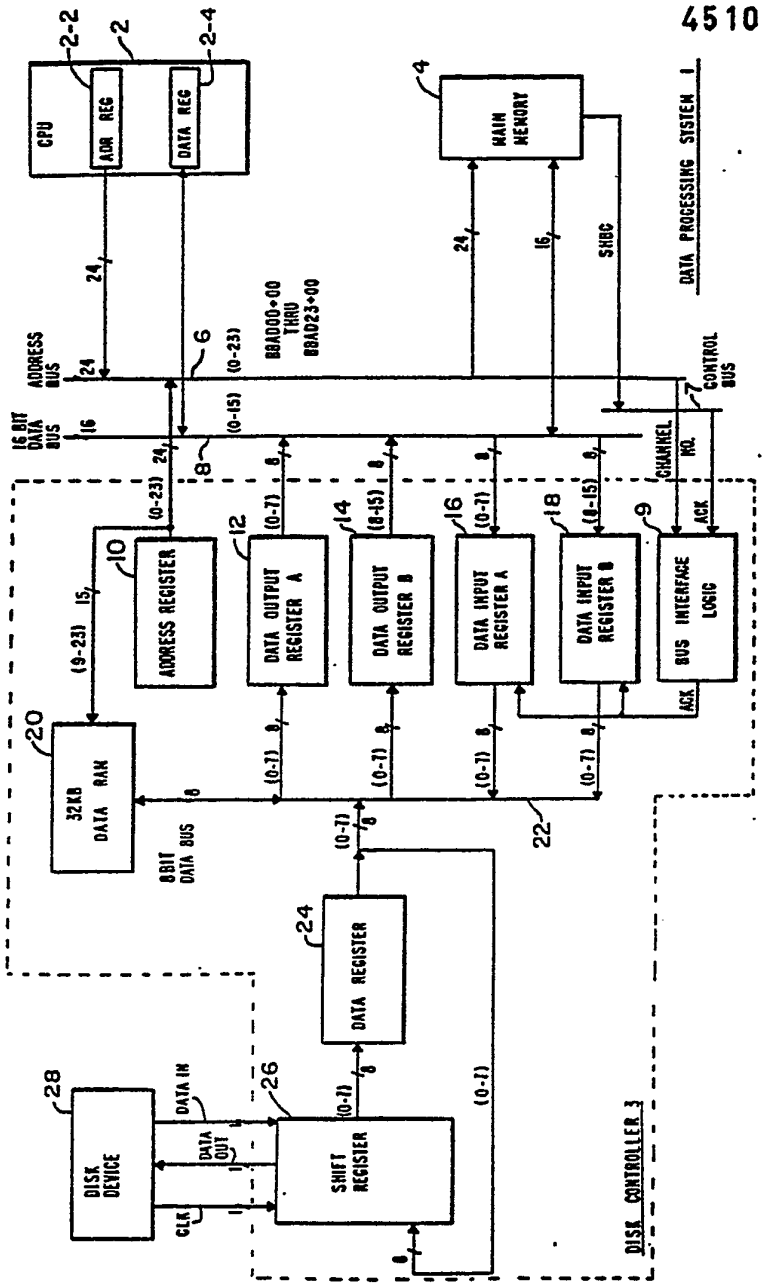

CPU
ADR REG
DATA REG
MAIN MEMORY
DATA PROCESSING SYSTEM 1
ADDRESS BUS
16 BIT DATA BUS
BBAD00•00 THRU BBAD23•00
CONTROL BUS
CHANNEL NO.
ACK
ADDRESS REGISTER
DATA OUTPUT REGISTER A
DATA OUTPUT REGISTER B
DATA INPUT REGISTER A
DATA INPUT REGISTER B
BUS INTERFACE LOGIC
32KB DATA RAM
8BIT DATA BUS
DATA REGISTER
SHIFT REGISTER
DISK DEVICE
DATA IN
DATA OUT
CLK
DISK CONTROLLER 3

FIG. 1

Den foreliggende opfindelse angår en pladestyreenhed til i et databehandlingssystem at overføre dataenhedsblokke mellem en pladestation og et hovedlager, hvor der til det nævnte system hører en busenhed, der sammenkobler pladestyreenheden og hovedlageret for at overføre dataenheder og hovedlageradresser mellem styreenheden og hovedlageret, og hvor styreenheden omfatter et adresserbart lager og en registerenhed, idet denne registerenhed bibeholder den mellem pladestyreenheden og hovedlageret overførbare dataenhed, og hvilken pladestyreenhed er bestemt til at lette såvel det adresserbare lager som hovedlagerets adressering under overføringen af blokkens dataenheder.

Et databehandlingssystem indbefatter typisk udover en centralenhed et hovedlagersubsystem og et masselagersubsystem. Masselagersubsystemet indbefatter et antal pladestationer eller -drev og en pladestyreenhed.

I de kendte systemer med langsommere hastighed, som typisk har en databithastighed på 5 MHz eller mindre, vil pladestyreenheden samle databittene, som modtages fra pladeanordningen, i databytes. Blokke af databytes overføres til hovedlageret styret af CPU.

Efterhånden som pladeteknologien blev forbedret, var databithastigheder af størrelsesordenen 10 MHz mulige. For at behandle databytes ved denne hastighed skulle typiske pladestyreenheder lagre bytes i et først ind- først ud lager. Databytes blev overført til hovedlageret, som databittene blev modtaget fra pladedrevet og organiseret i bytes.

Ved de højere databithastigheder af størrelsesordenen 15 MHz indbefattede pladestyreenheden et lager med direkte tilgang RAM til at lagre en blok af databytes. Disse databytes blev overført til hovedlageret, efter at hele blokken var lagret i RAM.

Til blokoverførslen mellem data RAM og hovedlager indbefatter kendte pladestyreenheder et første adresseregister for data RAM'en og et andet adresseregister for hovedlageret. Under firmware styring bliver hvert adresseregister ladet med deres respektive adresse. Information overføres mellem adressepladsen specificeret af indholdet af det første adresseregister og adressepladsen specificeret af indholdet af det andet adresseregister.

Denne teknik afvejede materielomkostningerne til de to registre i forhold til læselager-(ROM) omkostningerne ved firmwaren til at manipulere indholdet af de to registre. Da omkostningerne til ROM'er

var høje, forsøgte konstruktørerne at anvende mere materiel for at reducere firmwaren lagret i ROM'en til adressegenerering. Det var følgelig rentabelt at tilvejebringe to adresseregistre.

Imidlertid er prisen på ROM'er faldet stærkt. Konstruktørerne hælder i dag til større anvendelse af firmware sammenlignet med anvendelsen af materiel ved udførelsen.

Fra EP-A-88982 er det kendt at anvende en tæller, som indeholder en adresse til at adressere den plads i en buffer, hvorfra eller hvori den pågældende dataenhed udlæses henholdsvis indlæses, og en tilgangsstyring for et direkte lager, som indeholder en adresse til at give tilgang til den pågældende RAM-plads ved dataoverførslen. Denne kendte teknik med anvendelse af separate enheder til separat adressering af de to lagre, som er involveret i en gensidig dataoverførsel, er tydeligvis af en helt anden art end den indledningsvis angivne styreenhed.

Formålet med den foreliggende opfindelse er at tilvejebringe en pladestyreenhed af den indledningsvis angivne art, som både har en højere ydelse og en lavere produkt- og vedligeholdelsespris end de tidligere pladestyreenheder.

Dette opnås med pladestyreenheden ifølge opfindelsen, der er ejendommelig ved, at den har:

et adresseregister til at indeholde et nummer, der samtidigt udgør en præsentation af såvel det adresserbare lagers pladsadresse som hovedlagerets pladsadresse,

en første kredsløbsdel til samtidigt at styre overførslen af det nævnte adresseregisters indhold over den nævnte busenhed til hovedlageret og overførsel af dataenheden over busenheden mellem den nævnte registerenhed og den i hovedlageret værende plads, som repræsenterer det nævnte indhold,

en anden kredsløbsdel til samtidigt at styre overførslen af det nævnte adresseregisters indhold til det nævnte lager og overførslen af dataenheden mellem registerenheden og den i det nævnte lager værende plads, som repræsenterer det nævnte indhold,

en tredie kredsløbsdel til at tilvejebringe skiftevis funktion af den første og anden kredsløbsdel, og

en fjerde kredsløbsdel til at tilvejebringe det i det nævnte adresseregister indeholdte nummers opbygning mellem den første kredsløbsdels respektive funktioner.

Den således ved hjælp af opfindelsen tilvejebragte

pladestyreenhed har en RAM-buffer til at indeholde blokkene, som overføres, og et enkelt adresseregister indeholder den samme adresse, der anvendes til at adressere både RAM'en og hovedlageret. Når bitgrupperne overføres mellem hovedlageret og indlæse/ udlæseregisterenheden i styreenheden, anvendes denne adresse til at adressere hovedlageret, og når bitgrupper overføres mellem RAM'en og indlæse/ udlæseregistret, anvendes en del af denne adresse til at adressere RAM'en.

Opfindelsen skal herefter forklares nærmere under henvisning til tegningen, hvor

fig. 1 viser et blokdiagram over det samlede system,

fig. 2 et logisk diagram over et adresseregister 10 og

fig. 3 et logisk diagram over en pladestyreenhed 3.

På tegningen viser fig. 1 et databehandlingssystem 1, som indbefatter en centralenhed CPU 2, et hovedlager 4 og en pladestyreenhed 3, der alle er koblet sammen til en 16-bit databus 8 og en 24-bit adressebus 6. En pladeanordning 28, en af et antal pladedrev, er koblet til pladestyreenheden 3.

CPU 2 initierer en dataoverførsel mellem pladeanordningen 28 og hovedlageret 4 ved at adressere hovedlageret 4 med en adresseder er lagret i adresseregistret 2-2. Et konfigurationsord modtages i dataregistret 2-4 og lagres i en adresseplads i en data RAM 20 på en plads specificeret af en adresse, der er lagret i adresseregistret 10. Et antal konfigurationsord og en indlæse/udlæse- (I/O) instruktion overføres til data RAM 20. Pladestyrenheden 3 anvender konfigurations- og instruktionsordene til at konditionere pladedrevet til at overføre databit, som er lagret i en specificeret sektor på et spor på en plade i pladeanordningen 28 til pladestyreenheden 3.

Databytes udlæses fra sporet og føres til en "skift ind"-indlæseterminal på et skifteregister 26. Bittene i databyten taktstyres ind i skifteregistret 26 af et taktsignal fra pladeanordningen 28.

Databyten overføres til et dataregister 24 for overførsel over en 8-bit databus 22 til en 32 kB data RAM 20, hvor den lagres i en bitplads specificeret af bit 9 til 23 i indholdet i et adresseregister 10.

Databyteoverførslen fra pladeanordningen 28 til data RAM 20 fortsætter, indtil en hel blok af databyte er lagret i data RAM 20. Antallet af databytes i datablokken er bestemt af konfigurationsordet, som tidligere er modtaget fra en centralenhed CPU 2.

Konfigurationsordet indbefatter et rækkeviddetal, som er antallet af databytes, der skal overføres under dette indlæse/udlæseordresvar. Blokoverførslen er komplet, når rækkevidden er dekrementeret til nul.

På dette tidspunkt bliver databytene, som er lagret i data RAM 20, overført til hovedlageret 4 via et dataudlæseregister A 12, som overfører den første databyte af et 2 byte ord og et dataudlæseregister B 14, som overfører den anden databyte og 16-bit databussen 8.

Adresseregistret 10 lagrer pladsen for databyten, som indlæses i data RAM 20 og pladsen for 2 byte ordet, der er lagret i hovedlageret 4.

Til databyteoverførslen fra data RAM 20 til hovedlageret 4 antages det, at databyte A er lagret i plads hexadecimal 0000, databyte B er lagret i plads hexadecimal 0001, databyte C er lagret i plads hexadecimal 0002, og databyte D er lagret i plads hexadecimal 0003. Indledningsvis bliver indholdet af adresseregistret 20 sat til at pege på plads hexadecimal 0000.

Databyte A udlæses fra denne plads og lagres i dataudlæseregistret A 12. Indholdet af adresseregistret 10 bliver derpå inkrementeret til hexadecimal 0001. Databyte B udlæses fra denne plads og lagres i dataudlæseregistret B 14.

Indholdet af adresseregistret 10 bliver derefter inkrementeret til hexadecimal 0002. Dette resulterer i, at udlæsningerne fra dataudlæseregistret A 12 og dataudlæseregistret B 14, som lagrer databytes A og B, bliver lagret i hovedlageret 4 på plads hexadecimal 0002.

Det skal bemærkes, at data RAM 20 adresseres af bit 9 til 23 i adresseregistret 10. Hver byteplads er adresserbar. I dette eksempel er hovedlageret 4 imidlertid ordadresserbart. Bit 23 i adresseregistret 10 bliver derfor ignoreret af hovedlageret 4.

Databyte C udlæses fra plads hexadecimal 0002 og lagres i dataudlæseregistret A 12, og indholdet af adresseregistret 10 inkrementeres til hexadecimal 0003. Databyte D udlæses fra data RAM 20 og lagres i dataudlæseregistret B 14, og indholdet af adresseregistret 10 inkrementeres til hexadecimal 0004. Indholdet af dataudlæseregistret A 12 og dataudlæseregistret B 14, som lagrer databytes C og D, lagres i plads hexadecimal 0004 i hovedlageret 4, som er ordpladsen, der følger efter plads hexadecimal 0002.

Der antages et hovedlager 4 til data RAM 20 med databytes E og F, som er lagret i ordplads hexadecimal 1000, og databytes G og H lagret u ordplads hexadecimal 1002 i hovedlageret 4. Det skal bemærkes, at lavordensbitten 23 udelades.

Indholdet af adresseregistret 10 initialiseres til hexadecimal 1000. Hovedlageret 4 vil udlæse indholdet af plads hexadecimal 1000, databytes E og F. Databyte E lagres i dataindlæseregistret A 16 via databus 8 bit 0-7, og databyte F lagres i dataindlæseregistret B 18 via databus 8 bit 8-15.

Hovedlageret 4 signalerer til pladestyreenheden 3, at dataordet er til rådighed på databus 8 via et andet halvbuscyklussignal SHBC, en styrebus 7, busgrænsefladelogik 9 og et kvitteringssignal ACK, som taktstyrer dataordet ind i dataindlæseregistret A 16 og dataindlæseregistret B 18. Pladestyreenheden 3 reagerer på sit kanalnummer, som modtages fra adressebus 6.

Indholdet af adresseregistret 10 inkrementeres til hexadecimal 1001, og databyte E lagres i data RAM 20 på denne plads. For den næste læsecyklus bliver indholdet af adresseregistret 10 inkrementeret til hexadecimal 1002. Data RAM 20 vil lagre databyte F i plads hexadecimal 1002, og hovedlageret 4 vil udlæse databytes G og H til dataindlæseregistret A 16 henholdsvis dataindlæseregistret B 18.

Som beskrevet ovenfor vil databyte G blive lagret i plads hexadecimal 1003 i data RAM 20, og databyte H vil blive lagret i plads hexadecimal 1004 i efterfølgende skrivecykler.

Fig. 2 viser den detaljerede logik i adresseregistret 10, som består af seks tællere 10-2, 10-4, 10-6, 10-8, 10-10 og 10-12. De er typisk Texas Instruments 74LS169 kredsløb beskrevet i "The TTL Data Book for Design Engineers", anden udgave, udgivet 1976 af Texas Instruments Incorporated, Dallas, Texas.

Tællerne lades i tre ALU 11 cykler af lyssignaler ALUOT0+00 til ALUOT7+00. Tællerne 10-2 og 10-4 lades på den første cyklus med den første byte. Tællerne 10-6 og 10-8 lades af signaler BBAD00+00 til BBAD07+00 fra tællerne 10-2 og 10-4 med den første byte, medens ALU 11 lader den anden byte i tællerne 10-2 og 10-4. Tællerne 10-10 og 10-12 lades i den tredie cyklus med den første byte af signaler BBAD08+00 til BBAD15+00 fra tællerne 10-6 og 10-8. I denne cyklus bliver tællerne 10-6 og 10-8 ladet med den anden byte, og tællerne 10-2 og 10-4 lades fra ALU 11 med den tredie byte. De tre bytes danner 24 bit adressen. Alle 24 bit adresserer

hovedlageret 4, og 15 bit BBAD09+00 til BBAD23+00 adresserer data RAM 20.

Tællerne 10-2, 10-4, 10-6, 10-8, 10-10 og 10-12 lades af et LOADRG-00 signal lavt, som tilføres en G1 terminal ved stigningen af et CLKADD-00 signal, som føres til en taktterminal.

Mentesignaler ADDC01-00 til ADDC05-00 kobler de seks tællere til at tillade normal inkrementering og dekrementering af adresseregistret 10. UPDOWN+00 signalet, som tilføres +1 og -1 terminalerne, indikerer inkrementerings- henholdsvis dekrementeringsoperationen. Det skal bemærkes, at et jordsignal GND føres til P terminalerne på alle seks tællere, og mentesignalet føres til T terminalerne på de fem højordenstællere. En tæller vil inkrementere ved stigningen af CLKADD-00 signalet, når signalerne, som føres til P og T (G2) terminalerne, er lave.

Fig. 3 viser den detaljerede logik, som styrer adresseregistret 10 under data RAM 20-hovedlager 4 dataoverførslen.

Ladningen af adresseregistret 10 styres af en mikrosekvensstyreenhed (mikrosequencer) 18, som adresserer et mikroprogram lagret i en ROM 16. Rom 16 genererer signaler UPIR10+00, UPIR09+00 og UPIR08+00, som føres til 1, 2 og 4 vælgeterminalerne på en dekoder 10-36. Dekoderen 10-36 aktiveres af signaler UPIR07+01 og SRIAEN-00. Signaler UPIR00+00 og UPIR01+00, som føres til en dekoder 10-34, genererer signaler OPCOD1-00, som føres til en negativ OG-port 10-38. Et signal UPIR13-00 føres til den anden indgangsterminal på den negative OG-port 10-38. Et signal UPIR01+00 højt, et signal UPIR00+00 lavt, et signal UPIR13+00 lavt, et signal UPIR08+00 lavt, et signal UPIR09+00 højt og et signal UPIR10+00 lavt resulterer derfor i dekoderen 10-36's udgangssignal SRIA0A-00 lavt. Signalet SRIA0A-00 sætter derfor en flip-flop 10-16 til at generere laderegistersignalet LOADRG-00, som føres til de seks tællere i adresseregistret 10.

Signalet SRIA0A-00 lavt genererer også taktsignalet CLKADD-00 via en negativ ELLER-port 10-24, et signal ADDINC-10 lavt, en negativ ELLER-port 10-18, et signal ADDINC-20 lavt, en negativ ELLER-port 10-14 og et taktsignal CLKADD-00 lavt, som føres til adresseregistret 10. Databyten fra ALU 11 føres til 1, 2, 4 og 8 indgangsterminalerne på tællerne 10-2 og 10-4 og lagres i tællerne ved stigningen af taktsignalet CLKADD-00. Dette sker ved enden af cyklen, når signalet SRIA0A-00 bliver højt. Flip-floppen 10-16

bliver derpå tilbagestillet af tidsstyresignalet CLKSIG-00 for at konditionere adresseregistret 10 til at modtage den anden databyte som beskrevet ovenfor.

For hovedlager 4 til data RAM 20 operationen lagrer adresseregistret 10 adressepladsen for de to databytes i hovedlageret 4, som skal lagres i adressepladserne med samme betegnelse i data RAM 20. Det skal bemærkes, at hovedlageret 4 som beskrevet ovenfor ignorerer lavordensbitsignalet BBAD23+00, fig. 1, til at betegne ordadressen.

Et signal MYACKG+OM, som genereres af hovedlageret 4 via busgrænsefladelogikken 9, taktstyrer de to databytes, som udlæses fra hovedlageret 4 og databussen 16 til lagring i dataindlæseregistrene A 16 henholdsvis B 18. Under firmware styring bliver et skrivebuffersignal WRTBUF-00 derpå genereret af en dekoder 10-32 for at konditionere eller indskrive data i data RAM 20.

ROM 16 genererer et signal UPIR03+00 højt og signaler UPIR15+00, UPIR16+00 og UOIR17+00 lavt. Også signaler UPIR01+00 og UPIR00+00 højt føres til dekoderen 10-34 for at generere signalet OPCOD3-00 lavt. Når taktsignalet CLKSTA-00 bliver lavt, bliver signalet WRTBUF-00 lavt og føres til en negativ ELLER-port 10-30, som derved genererer et RAMWRT-00 signal til at initiere en data RAM 20 skrivecyklus.

Da flip-flop 10-26 ikke sættes før enden af cyklen, er udgangssignalet SELINR-00, som føres til en NAND-port 10-20, højt. Også et signal HDWREN+00 gøres højt af firmware for at tillade en udlæsning fra dataindlæseregistrene A 16 og B 18. Udlæsesignalet HBINEL-00 fra NAND-porten 10-22 tillader udgangen på dataindlæseregistret A 16 at skrive den første af to databytes i data RAM 20.

Flip-flop 10-26 sættes ved enden af den første data RAM 20's skrivecyklus ved stigningen af WRTBUF-00 signalet. Skrivebuffersignalet WRTBUF-00 genereres igen af dekoderen 10-32. Denne genererer en anden skrivedata RAM 20 læsecyklus ved at generere signalet RAMWRT-00. Denne gang bliver flop 10-26 imidlertid sat, og signalet SELINR+00, som føres til en NAND-port 10-32, gør signalet HBINER-00 lavt og tillader derved udlæsedata indlæseregistret B 18 at skrive den anden databyte i data RAM 20. Flip-floppen 10-26 bliver tilbagestillet ved enden af hukommelsescyklen ved stigningen af signalet BYTMOD-OS. Signalet BYTMOD-OS sætter flip-flop 10-26 ved en enkelt byteoverførsel fra hovedlageret 4 til dataindlæseregistrer B 18.

Flip-flop 10-26 kan tilbagestilles af et systemslettesignal CLRBUS-HI.

RAMWRT-00 signalet inkrementerer også adresseregistret 10 ved at generere CLKADD-00 signalet via en 40 nanosekund forsinkelseslinie 10-28, et CLKADD-0D signal, en negativ ELLER-port 10-24, et signal ADDINC-10, en negativ ELLER-port 10-18, et signal ADDINC-20 og en negativ ELLER-port 10-14. Adresseregistret 10 inkrementeres efter lagring af hver databyte og lagrer nu pladsen for det næste dataord (to bytes), der skal udlæses fra hovedlageret 4.

For data RAM 20 til hovedlager 4 operationen lagrer adresseregistret 10 pladsen i data RAM 20 for den første byte, der skal overføres til hovedlageret 4. En data RAM 20 læsecyklus initieres ved generering af et RAM tilladesignal RAMENA+00. En flip-flop 10-40 sættes under styring fra mikrosekvensstyreenheden 18 af ROM 16, der genererer signalet SRIA09-00 fra dekoderen 10-36. Signalet UPIR10+00 er højt, og signalerne UPIR08+00 og UPIR09+00 er lave. Flop 10-40 sættes ved stigningen af signalet SRIA09-00, når signalet ALUOT0+00 fra ALU 11 er højt..

Under data RAM 20 læsecyklen, hvor den første byte udlæses fra data RAM 20 bliver signalet CLKHWM-00 genereret af firmwaren fra udgangsterminalen 2 på dekoderen 10-32. I dette tilfælde bliver dekoderen 10-32 aktiveret som beskrevet ovenfor. Signalet UPIR15+00 er lavt, signalet UPIR16+00 er højt, og signalet UPIR17+00 er lavt. Signalet CLKHWM-00 taktstyrer den første databyte til dataudlæseregistret A 12. Adresseregistret 10 inkrementeres af signalet CLKHWM-00, som føres til den negative ELLER-port 10-18 til generering af signalet CLKADD-00.

Under den næste data RAM 20 læsecyklus genererer firmwaren signalet CLKHWL-00 på udgangsterminalen 3 fra dekoderen 10-32. Signalet UPIR15+00 er nu lavt, og signalerne UPIR16+00 og UPIR17+00 er høje.

Signalet CLKHWL-00 taktstyrer den anden databyte til dataudlæseregistret B 14 og genererer CLKADD-00 signalet via den negative ELLER-port 10-18 for at inkrementere adresseregistret 10.

Indholdet af dataudlæseregistrene A 12 og B 14 overføres til hovedlageret 4 under firmware styring via databussen 8 på adressen, som er lagret i adresseregistret 10.

En dekoder 10-37 genererer et taktsignal SRIA07-00 for at sætte

en flop 10-41, når signalet ALUOTO+00 er højt. Udlæsesignalet MYMREF+00, som føres til F terminalen på dataudlæseregistret A 12 og dataudlæseregistret B 14, tillader udlæsesignalerne, som placerer de to databyte på databussen 8. Signalerne UPIR07+00 til UPIR10+00 er høje, signalet SRIAEN-00 er lavt, og taktsignalet CLKSTB-00 er lavt.

Den samme adresse føres også til data RAM 20 for at udlæse den næste databyte til dataudlæseregistret A 12 af firmwaren og genererer igen signalet CLKHWL-00 og inkrementerer igen adresseregistret 10 som beskrevet ovenfor.

Dataindlæseregistrene A 12 og B 14 og dataudlæseregistrene A 16 og B 18 er 74S374 logikelementer beskrevet i den ovennævnte "TTL Data Book for Design Engineers".

Et antal signaler er vist i fig. 3, som ikke er en del af opfindelsen, men er medtaget for fuldstændighedens skyld.

Signalet SRIA00-00, som føres til den negative ELLER-port 10-30 fra dekoderen 10-37, indikerer en dataoverførsel fra ALU 11 til data RAM 20. Et signal FBPLXX-0C, som føres til den negative ELLER-port 10-30, indikerer en dataoverførsel fra pladeanordningen 28 til data RAM 20. Et signal ADDINC-00, som føres til den negative ELLER-port 10-24, giver firmwaren et middel til inkrementering eller dekrementering af adresseregistret 10 med binært et under en data RAM 20 skriveoperation.

Et signal WRTDEC-00, som føres til den negerede ELLER-port 10-14, inkrementerer adresseregistret 10 ved en dataoverførsel fra data RAM 20 til pladeanordningen 28. Et signal SHINC-00 inkrementerer adresseregistret 10 under en pladeanordning 28 søgning efter sektoradressen.

P a t e n t k r a v.

1. Pladestyreenhed (3) til i et databehandlingssystem (1) at overføre dataenhedsblokke mellem en pladestation (28) og et hovedlager (4), hvor der til det nævnte system hører en busenhed (6,8), der sammenkobler pladestyreenheden og hovedlageret for at overføre dataenheder og hovedlageradresser mellem styreenheden og hovedlageret, og hvor styreenheden omfatter et adresserbart lager (20) og en registerenhed (12,14,16,18), idet denne registerenhed bibeholder den mellem pladestyreenheden og hovedlageret overførbare dataenhed, og hvilken pladestyreenhed er bestemt til at lette såvel det adresserbare lager som hovedlagerets adressering under overføringen af blokkens dataenheder, k e n d e t e g n e t ved:

et adresseregister (10) til at indeholde et nummer, der samtidigt udgør en præsentation af såvel det adresserbare lagers pladsadresse som hovedlagerets pladsadresse,

en første kredsløbsdel (9) til samtidigt at styre overførslen af det nævnte adresseregisters indhold over den nævnte busenhed til hovedlageret og overførsel af dataenheden over busenheden mellem den nævnte registerenhed og den i hovedlageret værende plads, som repræsenterer det nævnte indhold,

en anden kredsløbsdel (10-30, 22,40) til samtidigt at styre overførslen af det nævnte adresseregisters indhold til det nævnte lager og overførslen af dataenheden mellem registerenheden og den i det nævnte lager værende plads, som repræsenterer det nævnte indhold,

en tredie kredsløbsdel (10-32, 10-38) til at tilvejebringe skiftevis funktion af den første og anden kredsløbsdel, og

en fjerde kredsløbsdel (10-28, 24,18,14) til at tilvejebringe det i det nævnte adresseregister indeholdte nummers opbygning mellem den første kredsløbsdels respektive funktioner.

2. Pladestyreenhed ifølge krav 1, k e n d e t e g n e t ved, at den nævnte registerenhed omfatter et indlæseregister (16,18) og et udlæseregister (12,14).

3. Pladestyreenhed ifølge krav 2, k e n d e t e g n e t ved, at udlæseregisterorganet omfatter:

et første udlæseregisterorgan (12) til lagring af dets venstre databitgruppe, som modtages fra det nævnte RAM-organ (20), når dette RAM-organ reagerer på en flerhed af lige adressesignaler, og

et andet udlæseregisterorgan (14) til lagring af dets højre

databitgruppe, som er modtaget fra RAM-organet, når dette reagerer på en flerhed af ulige adressesignaler.

4. Pladestyreenhed ifølge krav 3, k e n d e t e g n e t ved, at den desuden omfatter:

et mikroordorgan (10-32, 10-34, 10-36, 10-40) til at danne et taktsignal for det første udlæseregister og til at danne et RAM-tilladesignal, idet det nævnte RAM-organ er koblet til mikroordorganet og reagerer på det nævnte RAM-tilladesignal og hver af den nævnte følge af lige adressesignaler for udlæsning af den venstre databitgruppe,

hvor det første udlæseregisterorgan er koblet til mikroordorganet og RAM-organet og reagerer på det første udlæseregisters taktsignal for lagring af den venstre bitgruppe, som er modtaget fra RAM-organet.

5. Pladestyreenhed ifølge krav 4, k e n d e t e g n e t ved, at mikroordorganerne genererer et andet udlæseregistertaktsignal og RAM tilladesignalet,

at RAM organerne er koblet til mikroordorganerne og indrettet til i afhængighed af RAM tilladesignalet og den nævnte flerhed af ulige adressesignaler at udlæse den højre databyte,

og at de andre udlæseregisterorganer er koblet til mikroordorganerne og RAM organerne og indrettet til i afhængighed af det andet udlæseregistertaktsignal at lagre den højre databyte modtaget fra RAM organerne.

6. Pladestyreenhed ifølge krav 5, k e n d e t e g n e t ved, at mikroordorganerne (10-31, 10-41) yderligere genererer et lagerreferencesignal, idet de første og andre udlæseregisterorganer er indrettet til i afhængighed af lagerreferencesignalet at udlæse de ulige og lige databytes, hvor hovedlageret er indrettet til i afhængighed af hvert af den nævnte følge af flerheden af lige adressesignaler at lagre den venstre og højre databyte i et af de nævnte dataord.

7. Pladestyreenhed ifølge krav 1, k e n d e t e g n e t ved, at den første kredsløbsdel bringes til at fungere med i adresseregistret indeholdte skiftevise numre for at styre to dataenheders overførsel mellem registerenheden og hovedlageret, og at den anden kredsløbsdel bringes til at fungere med respektive i adresseregistret indeholdte numre for styring af en enkelt dataenhed mellem registerenheden og det nævnte lager.

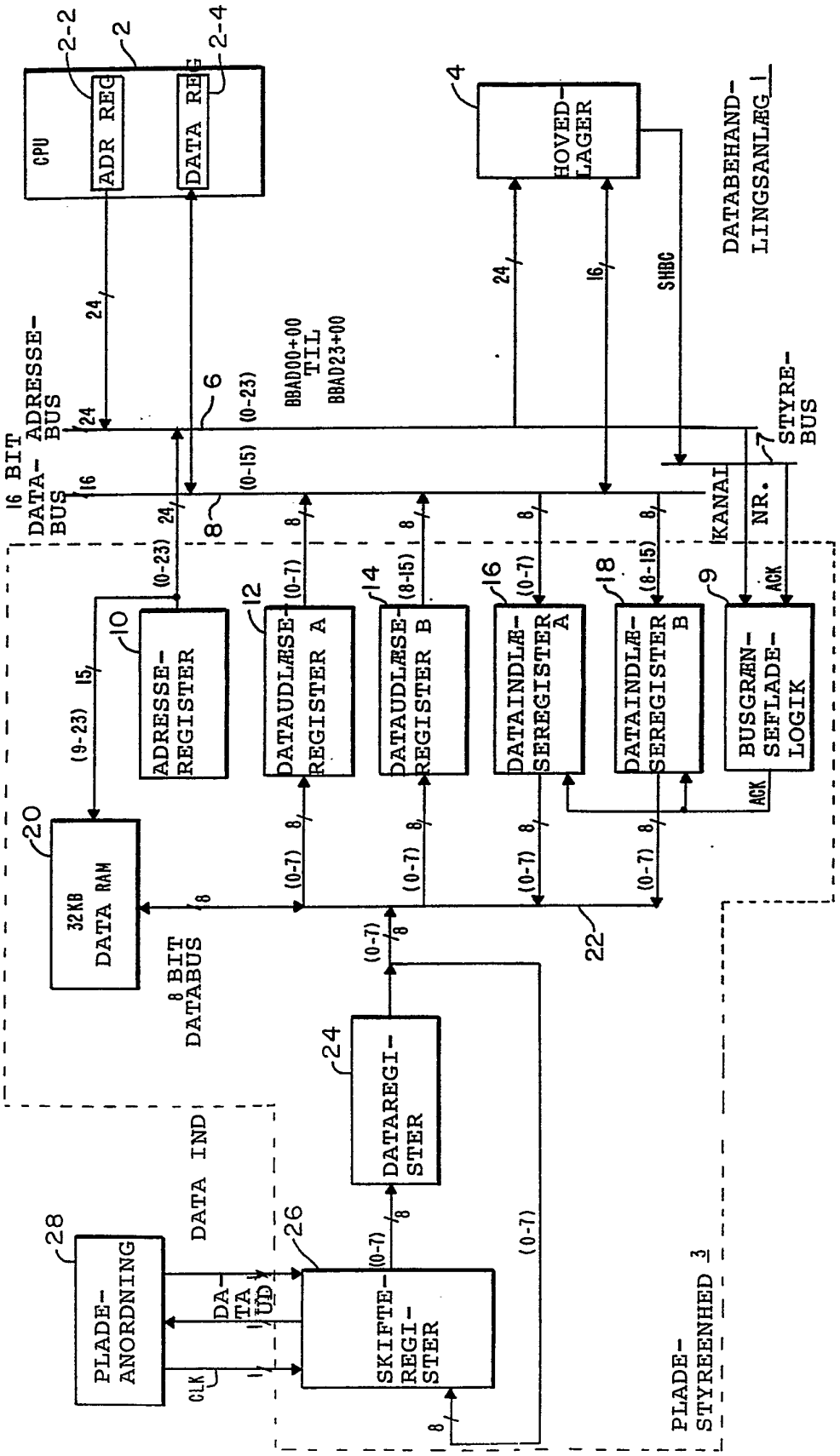

CPU
ADR REG
DATA REG
2-2
2
2-4
4
HOVED-LAGER
DATABEHAND-LINGSANLÆG 1
24
16
SHBC
16 BIT DATA-BUS
16
24
ADRESSE-BUS
6
(0-23)
(0-15)
BBAD00+00 TIL BBAD23+00
7
STYRE-BUS
KANAL NR.
ACK
8
(0-23)
(0-7)
(8-15)
(9-23)
15
10
ADRESSE-REGISTER
12
DATAUDLÆSE-REGISTER A
14
DATAUDLÆSE-REGISTER B
16
DATAINDLÆ-SEREGISTER A
18
DATAINDLÆ-SEREGISTER B
9
BUSGRÆN-SEFLADE-LOGIK
ACK
20
32KB DATA RAM
8 BIT DATABUS
22
24
DATAREGI-STER
DATA IND
28
PLADE-ANORDNING
DA-TA UD
CLK
26
SKIFTE-REGI-STER
PLADE-STYREENHED 3

FIG. 1

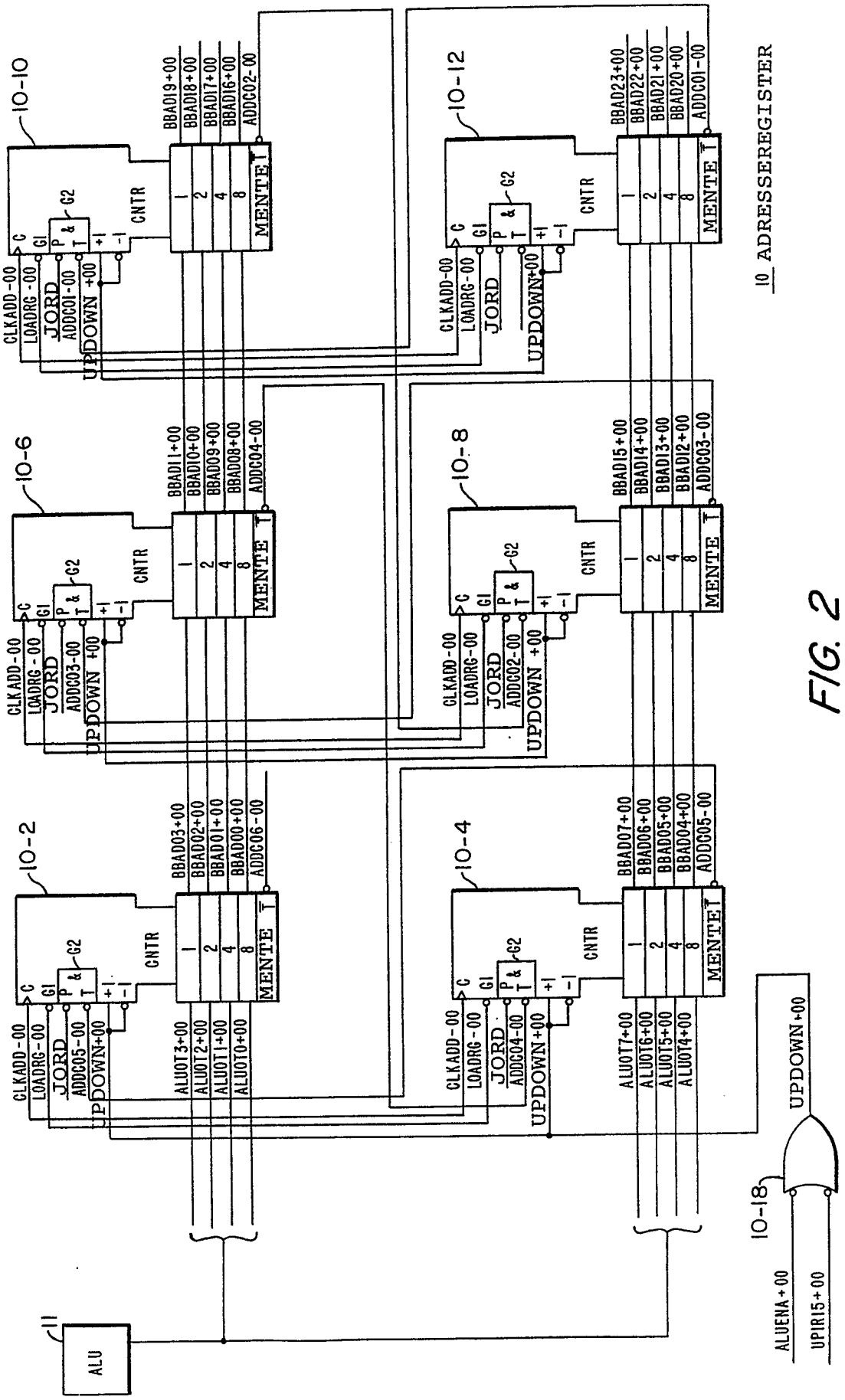
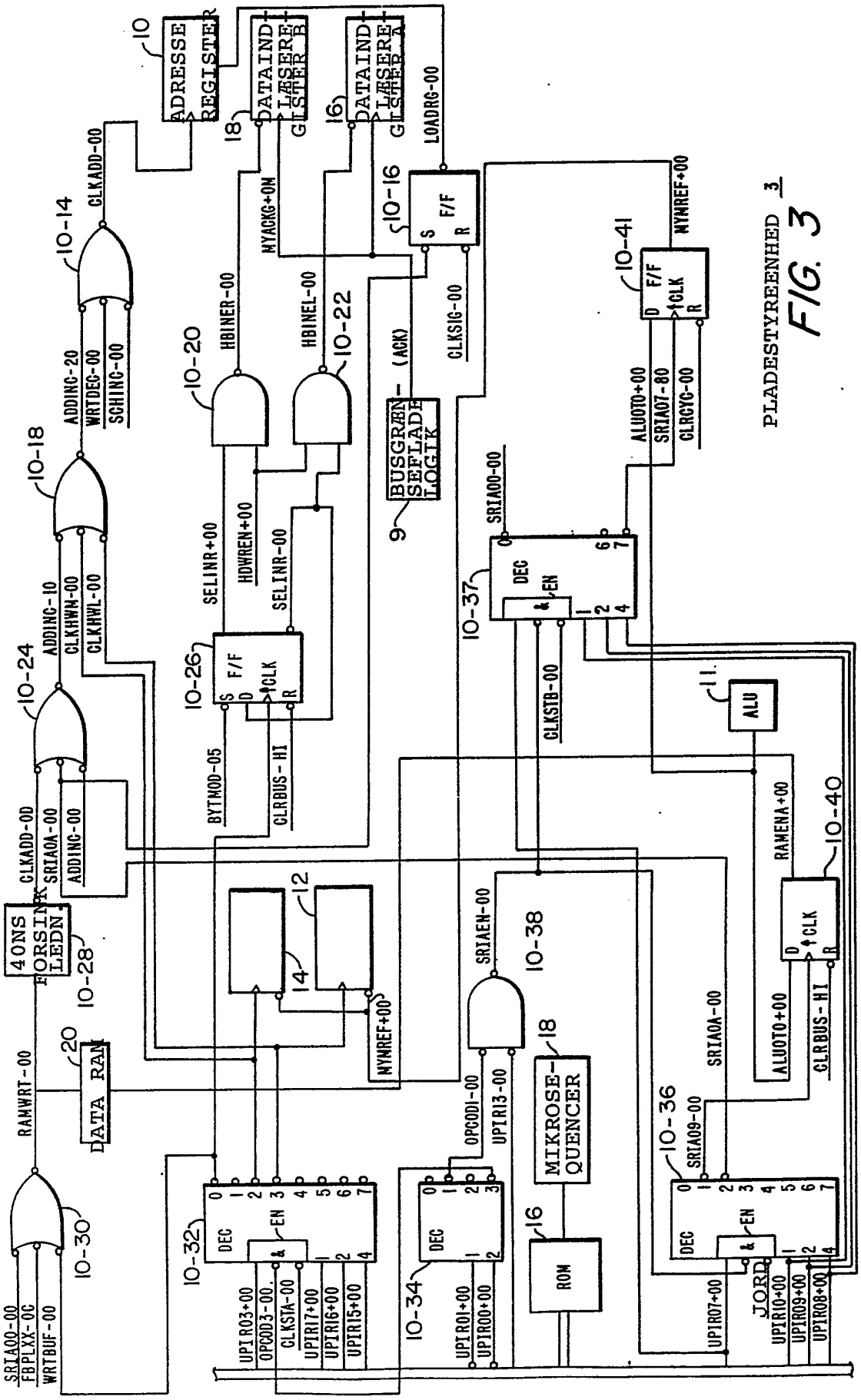

10 ADRESSEREGISTER
10-10
10-12
10-6
10-8
10-2
10-4
10-18
11
ALU
CNTR
MENTE T
JORD
UPDOWN +00
CLKADD-00
LOADRG-00
ALUEN+00
UPIR15+00
UPDOWN+00

FIG. 2



PLADESTYREENHED 3

FIG. 3