(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 197 12 834 B4** 2007.02.08

(12) **Patentschrift**

(21) Aktenzeichen: **197 12 834.3**
(22) Anmeldetag: **26.03.1997**
(43) Offenlegungstag: **30.10.1997**
(45) Veröffentlichungstag der Patenterteilung: **08.02.2007**

(51) Int Cl.[8]: ***H01L 23/60*** (2006.01)
H01L 27/12 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
08/625,858 01.04.1996 US

(73) Patentinhaber:
Freescale Semiconductor, Inc. (n.d.Ges.d. Staates Delaware), Austin, Tex., US

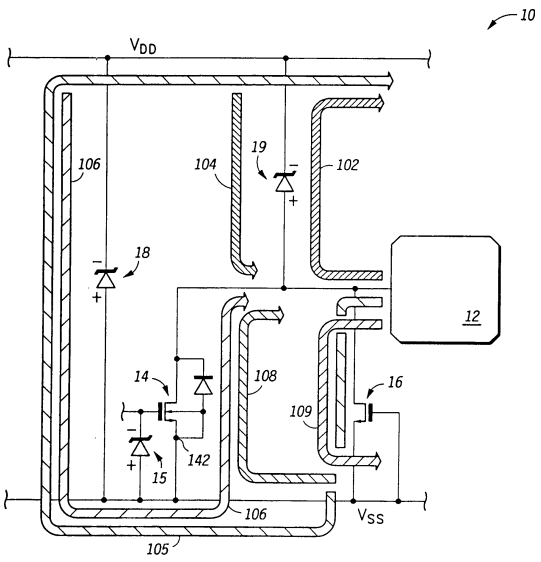
(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80538 München

(72) Erfinder:
Smith, Jeremy C., Austin, Tex., US

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 49 89 057

(54) Bezeichnung: **Schutzschaltung und Schaltung für eine Halbleiter-Auf-Isolator-Vorrichtung**

(57) Hauptanspruch: Schutzschaltung, umfassend:
einen Anschlussflächenknoten (12),
einen ersten Versorgungsknoten (142), der geschaltet ist, um ein erstes Potential (V_{SS}) anzunehmen,
einen zweiten Versorgungsknoten, der geschaltet ist, um ein zweites Potential (V_{DD}) anzunehmen, das höher als das erste Potential (V_{SS}) ist,
einen ersten Feldeffekttransistor (16), der eine Source-Elektrode und eine Drain-Elektrode aufweist, wobei
die Source-Elektrode des ersten Feldeffekttransistors (16) mit dem ersten Versorgungsknoten (142) elektrisch verbunden ist und
die Drain-Elektrode des ersten Feldeffekttransistors (16) mit dem Anschlussflächenknoten (12) elektrisch verbunden ist,
einen zweiten Feldeffekttransistor (14), der eine Source-Elektrode, eine Drain-Elektrode und einen Kanal aufweist, wobei
die Source-Elektrode des zweiten Feldeffekttransistors (14) mit dem ersten Versorgungsknoten (142) elektrisch verbunden ist,
die Drain-Elektrode des zweiten Feldeffekttransistors (14) mit dem Anschlussflächenknoten (12) elektrisch verbunden ist,
der Kanal des zweiten Feldeffekttransistors (14) mit dem ersten Versorgungsknoten (142) elektrisch verbunden ist, und
eine pn-Diode an dem...



Beschreibung

GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung bezieht sich auf Schutzschaltungen und insbesondere auf Halbleiter-auf-Isolator-(SOI)-Vorrichtungen, die Schutzschaltungen haben, und auf ein Verfahren zur Ausbildung der Vorrichtungen.

HINTERGRUND DER ERFINDUNG

[0002] Eingangsschutzschaltungen werden üblicherweise in integrierten Schaltungen verwendet, um empfindliche interne Schaltungen in der Vorrichtung vor elektrostatischer Entladung (ESD) zu schützen. Die drei üblichen Typen von Komponenten, die für einen ESD-Schutz in konventionellen Halbleitervorrichtungen (innerhalb eines Halbleitergrundmaterials) verwendet werden, umfassen pn-Übergangsschichten, Metalloxydhalbleiterfeldeffekttransistoren (MOSFETs) und Dickfeldoxyd (TFO) Durchgriffsvorrichtungen. Bei jeder dieser drei Bauteiltypen, wird die Durchbruchspannung des Bauteils typischerweise durch die Durchbruchspannung einer pn-Übergangsschicht innerhalb des Bauteils bestimmt. Das Gebiet der pn-Übergangsschicht ist üblicherweise ausreichend, da die unteren und seitlichen Kanten des Diffundiergebietes, das einen Teil der pn-Übergangsschicht darstellt, typischerweise neben dem Substrat selbst liegen. Somit verteilt sich eine übermässige Ladung während einer elektrostatischen Entladung über ein relativ großes Gebiet.

[0003] Die Bauteile, die für ESD Schutzschaltungen für Halbleitergrundmaterialien verwendet werden, können selbst nur schwer in SOI-Vorrichtungen verwendet werden. Ein großer Teil des Gebietes der pn-Übergangsschicht geht verloren, da die unteren Kanten der Diffusionsgebiete eine überdeckte Oxydschicht (einen Isolator) berühren und an den Seiten durch Feldoxyde begrenzt sind. Somit verhindert die überdeckte Oxydschicht, daß eine pn-Übergangszone unter einem p-Typ oder einem n-Typ Gebiet gebildet wird. Somit muß ein viel kleineres Gebiet die Überladung auflösen. Eine elektrostatische Entladung in einem SOI MOSFET erhöht die Erwärmung des MOSFET, da sich die Energie nicht so wirksam auflöst, da die überdeckte Oxydschicht ein schlechter thermischer Leiter ist. Die erhöhte Erwärmung verringert den Stromschwellwert, bei welchem die Vorrichtung Schaden erleiden kann. Der Punkt, an welchem der Stromschwellwert auftaucht, wird der zweite Durchbruchstromwert (I_{t2}) des Transistors genannt. Wenn I_{t2} überschritten wird, so wird die Vorrichtung ständig beschädigt, da Silicium im Transistorkanal schmilzt und nach dem Abkühlen eine Faser mit einem niedrigen Widerstand bildet. Dickfeldoxydvorrichtungen können nicht über einem überdeckten Oxydgebiet verwendet werden, da das Feldoxyd typischerweise die überdeckten Oxyde im SOI berührt. Das Ergebnis besteht darin, daß kein Durchgriffspfad existiert, in dem der Entladungsstrom fließen kann.

Stand der Technik

[0004] Im Patent – US-4,989,057 – ist eine Eingangsschutzschaltung für SOI-Vorrichtungen beschrieben. Eine Ein- bzw. Ausgabeelektrode einer SOI-Vorrichtung ist in herkömmlicher Weise durch Überspannungsschutzelemente mit den beiden Versorgungsleitungen der SOI-Vorrichtung verbunden. An Stelle der bisher üblichen Überspannungschutzelemente werden speziell aufgebaute ESD-Transistoren verwendet. Bei diesen ESD-Transistoren stellt sich nach Erreichen der Durchbruchspannung eine wesentlich niedrigere Spannung ein, unter der die elektrostatische Entladung erfolgt. Wegen der niedrigeren Spannung ist im Entladungsfall die Wärmeentwicklung gering.

Aufgabenstellung

[0005] Es existiert ein Bedürfnis nach dem Ausbilden einer Schutzschaltung für eine SOI Vorrichtung, die der Schaltung gestattet, daß sie in passender Weise gegen ESD-Potentiale geschützt ist, die eine Eingangs-/Ausgangsanschlußfläche der integrierten Schaltung erreichen können.

[0006] Dies wird mit den Merkmalen des Anspruches 1 erreicht.

Ausführungsbeispiel

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0007] Die vorliegende Erfindung wird beispielhaft und in nicht begrenzender Weise durch die begleitenden Zeichnungsfiguren dargestellt, in denen gleiche Bezugszeichen gleiche Elemente bezeichnen:

[0008] Fig. 1 umfaßt eine Schaltungsdiagramm eines Teils einer Eingangsschutzschaltung einer SOI-Vorrichtung gemäß einer Ausführungsform der vorliegenden Erfindung;

[0009] Fig. 2 umfaßt ein Schaltungsdiagramm eines Teils einer Eingangsschutzschaltung einer SOI-Vorrichtung, wobei ein Anschlußflächen-zu-Anschlußflächen-Schutz gezeigt ist

[0010] Fig. 3 umfaßt ein Schaltungsdiagramm eines Schutzschaltung einer SOI-Vorrichtung, die die in Fig. 1 gezeigte Schaltung umfaßt;

[0011] Fig. 4 umfaßt eine Aufsicht auf einem körperverbundenen MOSFET, wie er in den Eingangsschutzschaltungen der Fig. 1 und Fig. 3 gemäß einer Ausführungsform der vorliegenden Erfindung ver-

wendet wird;

[0012] Fig. 5 umfaßt eine Darstellung einer Vorwärtsvorspannungsspannung über dem Strom einer Transistor Drain-Diode, wenn die Verbindungsfrequenz des körperverbundenen MOSFET variiert wird; und

[0013] Fig. 6 umfaßt eine Darstellung einer Durchbruchspannungskennlinie mit geerdetem Gate, wenn die Verbindungshäufigkeit eines körperverbundenen MOSFET variiert wird.

[0014] Fachleute werden erkennen, daß Elemente in den Figuren aus Gründen der Einfachheit und Klarheit dargestellt sind, und nicht unbedingt als maßstabsgetreu anzusehen sind. Beispielsweise sind die Dimensionen einiger der Elemente in den Figuren übertrieben relativ zu anderen Elementen, um das Verständnis der Ausführungsformen der vorliegenden Erfindung zu verbessern.

[0015] Eine Schutzschaltung einer Halbleiter-auf-Isolator-Vorrichtung gestattet es, daß ein elektrostatisches Ereignis an einer Eingangs-/Ausgangsanschlußfläche auftritt, ohne empfindliche Schaltungskomponenten, wie beispielsweise MOSFETs, die in digitalen Schaltungen verwendet werden, zu beschädigen. Die Schutzschaltung gestattet es, daß die Eingangs-/Ausgangsanschlußfläche positiv und negativ bezüglich der Versorgungleitungen und allen anderen Anschlußflächen des Chips vorgespannt wird.

[0016] Fig. 1 ist ein Schaltungsdiagramm eines Teils einer Schutzschaltung **10** für eine Eingangs-/Ausgangs-(I/O)-Anschlußfläche **12**, die elektrisch mit einem I/O-Knoten verbunden ist. Innerhalb dieser Beschreibung sind die Stromelektroden der MOSFETs, die elektrisch mit einem Versorgungsknoten (V_{DD} oder V_{SS}) verbunden sind, die Source-Anschlüsse, und die anderen Elektroden für dieselben MOSFETs sind die Drain-Anschlüsse. Die Schaltung **10** enthält ferner einen körperverbundenen (body-tied) MOSFET **14** und einen n-Kanal MOSFET **16**. Die Drain-Anschlüsse der MOSFETs **14** und **16** sind elektrisch mit dem I/O-Knoten verbunden und die Source-Anschlüsse sind elektrisch mit einem V_{SS}-Knoten verbunden, der so geschaltet ist, daß er ein V_{SS} Potential von einer (nicht gezeigten) V_{SS}-Elektrode erhält. Im MOSFET **14** wird eine Körperverbindung verwendet, um das Kanalgebiet elektrisch mit dem Source-Gebiet des Transistors zu verbinden, wie das am nahen Knoten **142** gezeigt ist. Die Übergangszone zwischen dem Kanalgebiet und dem Drain-Gebiet bildet eine pn-Diode, wie das in Fig. 1 gezeigt ist. Der Gate-Anschluß des MOSFET **16** ist elektrisch mit dem V_{SS}-Knoten verbunden. Fachleute werden erkennen, daß der MOSFET **16** ein MOSFET mit "geerdetem Gate-Anschluß" ist, der sich auf eine parasitäre bipolare Aktion zwischen dem Source-Anschluß und dem Drain-Anschluß des MOSFET für einen ESD-Schutz bezieht. Die Potentialdifferenz (zwischen dem Source-Anschluß und dem Drain-Anschluß eines MOSFET) an dem die parasitäre bipolare Aktion beginnt, wird in der Industrie als BVDSS bezeichnet.

[0017] Die Schaltung **10** umfaßt ferner Zenerdioden **15**, **18** und **19**, von denen jede einen positiven und einen negativen Anschluß hat. Der positive Anschluß der Zenerdiode **15** ist elektrisch mit dem V_{SS} Knoten und der negative Anschluß ist elektrisch mit dem Gate-Anschluß des MOSFET **14** verbunden. Der positive Anschluß der Zenerdiode **18** ist elektrisch mit dem V_{SS} Knoten und der negative Anschluß ist elektrisch mit einem V_{DD} Knoten verbunden, der so geschaltet ist, daß er ein V_{DD} Potential von einer (nicht gezeigten) V_{DD} Elektrode empfängt. Bei der Zenerdiode **19** ist der positive Anschluß elektrisch mit dem I/O-Knoten und der negative Anschluß elektrisch mit dem V_{DD} Knoten verbunden.

[0018] Die Zenerdiode **18** ist ein spezieller Typ einer Schienenklemmschaltung. Die Funktion der Schienenklemmschaltung besteht darin, einen ESD-Entladeweg zwischen den Versorgungsschienen zu bieten. Es kann auch ein MOSFET, ein bipolarer Transistor, eine TFO-Vorrichtung oder ein Kondensator als Schienenklemmschaltung an Stelle der Zenerdiode **18** verwendet werden. Es kann auch eine beliebige Kombination dieser fünf Bauteiltypen als Schienenklemmschaltung verwendet werden.

[0019] In einer Ausführungsform beträgt das V_{DD} Potential ungefähr 2,0 Volt, und das V_{SS} Potential ungefähr 0,0 Volt. Jeder der MOSFETs **14** und **16** hat eine Schwellwertspannung von ungefähr 0,5 Volt. Der MOSFET **14** hat eine Durchbruchspannung von ungefähr 7,0 Volt, und der MOSFET **16** hat eine Durchbruchspannung von ungefähr 3,5 Volt. Die spezifische Zahlen werden genannt, um die Erfindung darzustellen, nicht um sie zu begrenzen.

[0020] Die Schutzschaltung **10** wird verwendet, um digitale Schaltungen unter einer Vielzahl nicht vorgespannter oder vorgespannter ESD-Szenarien zu schützen. Die primären Entladewege sind durch die Wege **102**, **104**, **106**, **108** und **109** bezeichnet. Strom fließt wie dargestellt durch den Weg **102**, wenn das Potential der I/O-Anschlußfläche **12** höher ist als das des V_{DD}-Knoten. Die Diode **19** hat ein Vorwärtseinschaltpotential von ungefähr 0,7 Volt. Somit fließt, wenn das Potential der I/O-Anschlußfläche **12** mehr als 0,7 Volt höher ist als das Potential des V_{DD} Knoten, wie dargestellt, Strom durch den Weg **102**. Wenn der V_{DD} Knoten bei ungefähr 2,0 Volt liegt, so fließt Strom, wie dargestellt, durch den Weg **102**, wenn die I/O-Anschlußfläche **12** eine Spannung von ungefähr 2,7 Volt oder mehr aufweist.

[0021] Die Wege **104** und **106** zeigen einen Stromfluß, wenn das Potential der I/O-Anschlußfläche **12** wesentlich kleiner als das des V_{DD} Knoten ist. Strom fließt, wie gezeigt, durch **104**, wenn das Potential des V_{DD} Knoten mindestens 5 Volt höher ist als das Potential der I/O-Anschlußfläche **12**. Wenn sich der V_{DD} Knoten bei ungefähr 2,0 Volt befindet, so fließt Strom, wie gezeigt, durch den Weg **104**, wenn die I/O-Anschlußfläche **12** bei ungefähr –3,0 Volt liegt. Strom fließt, wie gezeigt, durch den Weg **106**, wenn die Potentialdifferenz zwischen dem V_{DD} Knoten und der I/O-Anschlußfläche **12** die Summe der umgekehrten Durchbruchspannung der Diode **18** (VRBD18) und des Vorwärtseinschaltpotentials der Drain-Diode des MOSFETs **14** überschreitet. Wenn man die Zahlenwerte verwendet, beträgt die Potentialdifferenz ungefähr 5,7 Volt. Wenn der V_{DD} Knoten bei ungefähr 2,0 Volt liegt, so fließt Strom, wie gezeigt, durch den Weg **106**, wenn die I/O-Anschlußfläche bei ungefähr –3,7 Volt liegt.

[0022] Die Zenerdiode **18** wird als ein "Bus-Zener" bezeichnet, da sie elektrisch zwischen den V_{SS} und den V_{DD} Knoten geschaltet ist. Eine Halbleiter-auf-Isolator-Vorrichtung hat andere I/O-Anschlußflächen **12** und Zenerdioden **18**, ähnlich den gezeigten. Obwohl Strom, wie durch Weg **106** gezeigt, durch die "lokale" Diode **18** fließt, können andere Dioden **18** an anderen Anschlußflächen einen Teil des Stroms tragen. Der Entladeweg, der durch den Weg **106** bezeichnet ist, bildet einen Hilfsweg (Zweitweg) für negative Anschlußfläche-zu-VDD-Bedingungen. Man beachte, daß der Weg **106** ein Primärweg sein kann, wenn die Summe von VRBD18 und dem Vorwärtseinschaltpotential der Drain-Diode des MOSFETs **14** kleiner als VRBD19 ist. Somit kann die Diode **19** durch eine Standard pn-Diode (keine Zenerdiode), wie sie durch eine Störstellenatomkonzentration bestimmt ist, ohne an Allgemeingültigkeit zu verlieren, ersetzt werden. Eine Standard pn-Diode wird typischerweise nicht verwendet, um einem beträchtlichen Strom zu gestatten, während typischen Sperrrichtungsvorspannbedingungen zu fließen. Eine Zenerdiode wird typischerweise verwendet, wenn ein wesentlicher Strom fließen soll, wenn die Rückwärtsvorspannungspotentialdifferenz über der Zenerdiode nicht mehr als 10 Volt beträgt. In dieser Ausführungsform gestatten die Zenerdioden, daß ein wesentlicher Strom fließt, wenn die Rückwärtsvorspannungsdifferenz ungefähr 5,0 Volt beträgt. Die verschiedenen Zenerdioden können so gestaltet werden, daß sie unterschiedliche Rückwärtsvorspannungsdurchbruchspannungen haben.

[0023] In der Schutzschaltung **10** zeigen die Wege **108** und **109** einen Stromfluß, wenn sich die I/O-Anschlußfläche **12** auf einem Potential befindet, das höher und niedriger als das Potential des V_{SS} Knotens ist. Die Drain-Diode des MOSFET **14** hat ein Vorwärtseinschaltpotential von ungefähr 0,7 Volt. Strom fließt, wie durch Weg **108** gezeigt, wenn das Potential des V_{SS} Knotens mehr als 0,7 Volt höher ist als das Potential der I/O-Anschlußfläche **12**. Wenn sich der V_{SS} Knoten auf ungefähr 0 Volt befindet, so fließt Strom, wie durch Weg **108** gezeigt, wenn sich die I/O-Anschlußfläche **12** auf ungefähr –0,7 Volt oder weniger befindet. Strom fließt, wie durch Weg **109** gezeigt, wenn die Potentialdifferenz der I/O-Anschlußfläche **12** minus dem V_{SS} Knoten BVDSS des MOSFETs **16** überschreitet, die ungefähr 3,5 Volt beträgt. Wenn sich der V_{SS} Knoten auf ungefähr 0 Volt befindet, so fließt Strom, wie durch Weg **109** gezeigt, wenn die I/O-Anschlußfläche **12** ungefähr 3,5 Volt oder höher liegt.

[0024] Da der MOSFET **14** ein körperverbundener Transistor ist, würden die Wege **106** und **108** bei den oben angegebenen Potentialen nicht existieren. Wenn der MOSFET **14** keinerlei Körperverbindungen hat, würde das Kanalgebiet des MOSFET **14** elektrisch schweben, wobei in diesem Fall der Weg **108** nicht existieren würde. Die Körperverbindung des MOSFET **14** liefert einen weiteren Vorteil bei der Erhöhung der BVDSS des MOSFET **14**, wenn man das mit dem gleichen Transistor ohne Körperverbindung vergleicht. Dies hilft, den Weg **109** zu einem Primärweg durch MOSFET **16** zu machen, mehr als die parallelen Wege durch die MOSFETs **14** und **16** oder einen primären Weg von der I/O-Anschlußfläche **12** zum V_{SS} Knoten durch den MOSFET **14**. Der MOSFET **16** ist speziell optimiert, um die hohen Ströme, die bei ESD-Ereignissen auftreten, durchzulassen. Die Optimierungen, die für den MOSFET **16** benötigt werden, sind im allgemeinen gegensätzlich zu denen, die für eine gute elektrische Leistung des MOSFETs **14** benötigt werden. Es ist vorteilhaft, zu gewährleisten, daß BVDSS zu Anfang im MOSFET **16** auftritt, und daß MOSFET **14** innerhalb des Betriebsbereichs des MOSFET **16** nicht durchbricht. Der Effekt der Körperverbindungshäufigkeit auf BVDSS ist in **Fig. 5** gezeigt, die detaillierter später beschrieben wird. Je höher die Körperverbindungshäufigkeit im MOSFET **14** ist, desto höher steigt seine BVDSS.

[0025] In einer alternativen Ausführungsform kann die Zenerdiode **19** weggelassen werden. In dieser Ausführungsform fließt Strom, wenn die I/O-Anschlußfläche **12** sich auf einem Potential befindet, das wesentlich niedriger als der V_{DD} Knoten ist, zwischen dem V_{DD} Knoten und der I/O-Anschlußfläche **12**, wie das durch den Weg **106** gezeigt ist. Wenn sich die I/O-Anschlußfläche **12** auf einem Potential befindet, das wesentlich höher ist als der V_{DD} Knoten, so fließt Strom zwischen dem V_{DD} Knoten und der I/O-Anschlußfläche **12**, wie das durch Weg **105** gezeigt ist. Wenn man die vorher beschriebenen Werte verwendet, so fließt Strom, wenn das Potential der I/O-Anschlußfläche **12** bei ungefähr 6,2 Volt oder höher liegt. Die 6,2 Volt sind die Summe des BVDSS-Potentials des MOSFET **16**, des Vorwärt-

seinschaltpotentials der Zenerdiode **18** und des V_{DD} Potentials.

[0026] Die Schutzschaltung ohne Zenerdiode **19** kann interne Schaltungen schützen, die sicher relativ hohe Spannungen ertragen können. Wenn die Schutzschaltung **10** jedoch interne Schaltungen schützen soll, die nur relativ niedrigen Spannungen wiederstehen können, so wird die Zenerdiode **19** benötigt. Unter Bezug auf die vorher verwendeten Zahlenwerte, fließt Strom entlang des Weges **102**, wenn sich die I/O-Anschlußfläche auf einem Potential von mindestens ungefähr 6,2 Volt befindet.

[0027] Die Zenerdiode **19** kann wirklich notwendig werden, wenn die Technologie voranschreitet und die Gateoxyde dünner werden.

[0028] Ein Fachmann wird erkennen, daß andere Optionen verfügbar sind, aber die Schaltung sollte unter negativen und positiven Vorspannungsbedingungen analysiert werden, um zu gewährleisten, daß die internen zu schützenden Schaltungen passend gegen Ereignisse mit hohem und mit niedrigem Potential geschützt sind.

[0029] Fig. 2 umfaßt ein Schaltungsdiagramm, das Stromwege für eine Vorspannung von Anschlußfläche zu Anschlußfläche zeigt. Fig. 2 umfaßt Bauteile, die denen der Fig. 1 ähneln. Die ähnlichen Bauteile des zweiten I/O-Weges sind mit Apostrophen (') bezeichnet. Beispielsweise ist der I/O-Weg **12'** ähnlich dem I/O-Weg **12**. Die Wege **102'**, **104'**, **108'** und **109'** zeigen primäre Stromwege der gezeigten Schaltung an. Andere Wege, die den Wegen **105** und **106** ähneln, existieren, aber sie sind aus Gründen der Vereinfachung in Fig. 2 nicht gezeigt.

[0030] Fig. 3 zeigt eine detailliertere Darstellung der Schutzschaltung **10**. Der n-Kanal MOSFET **21** hat einen Source-Anschluß und einen Drain-Anschluß, die elektrisch mit anderen Teilen der Halbleitervorrichtung verbunden sind, was aber in Fig. 3 nicht dargestellt ist. Typischerweise sind die Gate-Anschlüsse der internen MOSFETs, wie beispielsweise der Gate-Anschluß des MOSFETs **21** elektrisch mit Drain-Anschlüssen des n-Kanal MOSFET **22** und des p-Kanal MOSFET **23** verbunden. Die Source-Anschlüsse der MOSFETs **22** und **23** sind elektrisch jeweils mit den V_{SS} und V_{DD} Knoten verbunden. Die Gate-Anschlüsse der MOSFETs **22** und **23** sind elektrisch mit einem dazwischenliegenden Knoten verbunden.

[0031] Die Schutzschaltung **10** umfaßt auch eine Ausgangspuffersteuerlogikschaltung **28**, die zwei Eingänge und zwei Ausgänge hat. Die nachfolgend im Text unterstrichen dargestellten Ausdrücke sind in der Zeichnung als Ausdrücke mit einem Strich darüber dargestellt. ENABLE und DATA sind Eingänge des NOR-Gatters **280**. Der Ausgang des NOR-Gatters **280** ist ein Eingang des Inverters **282**. Der Ausgang des Inverters **282** ist auch ein Ausgang der Steuerlogikschaltung **28** und ist elektrisch mit dem Gate-Anschluß des MOSFETs **27** verbunden. ENABLE ist auch ein Eingang des Inverters **284**. Der Ausgang des Inverters **284** und DATA sind Eingänge des NAND-Gatters **286**. Der Ausgang des NAND-Gatters **286** ist der Eingang des Inverters **288**. Der Ausgang des Inverters **288** ist auch der Ausgang der Steuerlogikschaltung **28** und er ist elektrisch mit dem Gate-Anschluß des MOSFET **14** verbunden. Die MOSFETs **14** und **27** sind Teile des Ausgangspuffers der SOI-Vorrichtung.

[0032] Die Ausgangspuffersteuerlogikschaltung **28** bestimmt, ob die I/O-Anschlußfläche **12** als Ausgangsanschlußfläche aktiv ist und es gestattet, Daten zur I/O-Anschlußfläche **12** zu leiten. Die Ausgangspuffer sind gesperrt, wenn ENABLE "1." ist. In diesem Moment ist die I/O-Anschlußfläche **12** eine Eingangsanschlußfläche. Die Transistoren **22** und **23** sind Teile eines Eingangspuffers, der elektrisch mit den internen MOSFETs verbunden ist. Wenn ENABLE gleich "0." ist, so ist die I/O-Anschlußfläche **12** eine Ausgabeanschlußfläche, und Daten von DATA können zur I/O-Anschlußfläche passieren. Natürlich kann die I/O-Anschlußfläche **12** als eine Eingangs- oder eine Ausgangsanschlußfläche wirken. Die I/O-Anschlußfläche **12** dient aber nicht gleichzeitig als Eingangs- und Ausgangsanschlußfläche für die Vorrichtung.

[0033] Die Schutzschaltung **10** umfaßt andere MOSFETs, Dioden und Knoten, die in Fig. 3 gezeigt sind. Der negative Anschluß der Zenerdiode **24** und der positive Anschluß der Zenerdiode **25** sind elektrisch mit der Mittelelektrode verbunden. Der positive Anschluß der Zenerdiode **24** ist elektrisch mit dem V_{SS} Knoten, und der negative Anschluß der Diode **25** ist elektrisch mit dem V_{DD} Knoten verbunden. Der Zwischenknoten ist über einen Widerstand **26** mit dem I/O-Knoten verbunden. Der P-Kanal MOSFET **27** hat einen Drain-Anschluß, der elektrisch mit dem I/O-Knoten verbunden ist und einen Source-Anschluß, der elektrisch mit dem V_{DD} Knoten verbunden ist. Der Gate-Anschluß des MOSFET **27** ist elektrisch mit dem positiven Anschluß der Zenerdiode **29** verbunden und der negative Anschluß der Zenerdiode **29** ist elektrisch mit dem V_{DD} Knoten verbunden.

[0034] Die Schutzschaltung **10** hilft die Wahrscheinlichkeit einer Beschädigung der internen MOSFETs zu verhindern. Beispielhaft werde angenommen, daß das Gate-Dielektrikum in solchen MOSFETs 70×10^{-1} nm dick ist und eine Durchbruchspannung von 7,0 Volt hat. Wenn die I/O-Anschlußfläche **12** direkt mit den Gate-Anschlüssen der internen MOSFETs verbunden ist und das Potential der I/O-Anschlußfläche **12** höher als 7,0 Volt ist, so würden die Gatedie-

lektrika der internen MOSFETs permanent durchbrochen, was die Vorrichtung nutzlos werden läßt.

[0035] Der Teil der Schutzschaltung **10**, die die Zenerdioden **24**, **25**, **15** und **29** und den Widerstand **26** umfaßt, liefert einen zweiten Schutz für den Transistor **21** und die Ausgangspuffersteuerlogik **28**. Der Widerstand **26** vermindert das Potential, das den Zwischenknoten erreicht. Die Zenerdioden **24** und **25** sind so ausgebildet, daß sie verhindern, daß das Potential des Zwischenknotens (und folglich das Potential über den Gate-Dielektrika der MOSFETs **22** und **23**) einen absoluten Wert hat, der höher als 7,0 Volt ist. In ähnlicher Weise sind die Zenerdioden **15** und **29** so gestaltet, daß sie verhindern, daß das Potential über den Gate-Dielektrika der MOSFETs **14** und **27** einen absoluten Wert von mehr als 7,0 Volt annimmt. Wenn die Zenerdioden **24**, **25** und **29** dasselbe Vorwärtsvorspannungseinschaltpotential und dieselbe Rückwärtsvorspannungsdurchbruchspannung wie die Zenerdioden **15** und **18** haben, so sollte das Potential des Zwischenknotens nicht kleiner als –0,7 Volt und nicht größer als 5,0 Volt sein.

[0036] Obwohl eine Zahl spezifischer Potentiale diskutiert wurde, können Fachleute die Potentiale gemäß den speziellen Versorgungspotentialen und den zu schützenden Bauteilen gestalten. Beispielsweise wurde ein Großteil der Diskussion auf eine 2,0 Volt Potentialdifferenz zwischen VDD und VSS und eine Gatedielektrikumsdurchbruchspannung von 7,0 Volt gerichtet. Wenn die Potentialdifferenz zwischen VDD und VSS 1,0 Volt ist und die Gatedielektrikumsdurchbruchspannung 5,0 Volt beträgt, so kann es erforderlich sein, daß die Bauteile innerhalb der Schutzschaltung bei Potentialen arbeiten, die Werte haben, die dichter an Null liegen.

[0037] In anderen Ausführungsformen arbeitet eine Anschlußfläche auf einem Potential, das sich nicht im Bereich der VDD und VSS Potentiale befindet. Beispielsweise arbeitet die Anschlußfläche im Bereich von VSS und –VPP Potentialen, wobei das letztere ungefähr –2,0 Volt betragen kann. Die in Fig. 3 gezeigte Schaltung kann verwendet werden, aber der in Fig. 3 gezeigte VDD Knoten befindet sich auf VSS Potential, und der in Fig. 3 gezeigte VSS Knoten befindet sich auf –VPP Potential. Es kann auch notwendig sein, die elektrischen Eigenschaften, der in Fig. 3 gezeigten Bauteile, wie die Durchbruchspannungen, BVDSS, etc. zu ändern, um eine interne Schaltung wirksam zu schützen. Allgemeiner gesagt befindet sich der Versorgungsknoten, der dichter am Boden der Fig. 2 ist, auf einem niedrigeren Potential als der Versorgungsknoten, der dichter an der Oberseite der Fig. 3 liegt.

[0038] Der Erfinder hat ein Layout des Transistors **14** ermittelt, das insbesondere mit der Vorrichtung **20** gut arbeitet. Fig. 4 umfaßt eine Darstellung einer Aufsicht des körperverbundenen MOSFETs **14**, der in den Fig. 1 und Fig. 3 dargestellt ist. Eine geschlossene Gate-Elektrode **34** liegt über einem Feldisolationsgebiet **30** und einer Halbleiterinsel **50**. Die Form der geschlossenen Gate-Elektrode **34** kann rund, oval, elliptisch, konvex oder irgend ein Polygon sein, einschließlich eines Quadrats, eines Rechtecks, eines Sechsecks, eines Achtecks etc. Die geschlossene Gate-Elektrode **34** wird verwendet, um den Sperrstrom zu vermindern, da die Gate-Elektrode **34** nicht über eine Kanalfeldisolationskante läuft, da der MOSFET **14** keine Kanalfeldisolationskante hat.

[0039] Wie man aus Fig. 4 sieht, hat die geschlossene Gateelektrode **34** eine innere Kante **341** und eine äußere Kante **342**. Die Source-Gebiete **36** und die körperverbundenen Gebiete **32** liegen neben der inneren Kante **341** und die Drain-Gebiete **38** liegen neben der äußeren Kante **342**. Die Kanten der Gebiete **32** und **36** nahe der geschlossenen Gate-Elektrode **34** sind selbstausrichtend zur geschlossenen Gate-Elektrode **34** oder zu (in Fig. 4 nicht gezeigten) Seitenwandabstandhaltern, die neben der geschlossenen Gate-Elektrode **34** liegen, ausgebildet.

[0040] Die gestrichelten Linien neben den körperverbundenen Gebieten **32** zeigen den Ort der Masken an, die für die Dotierschritte verwendet werden, um die Gebiete **32**, **36** und **38** zu formen. Wenn die Gebiete **32** geformt werden, bedeckt eine Maske alle Transistoren **14** mit Ausnahme der Gebiete **32** und den Teilen der geschlossenen Gateelektrode **34**, die innerhalb der gestrichelten Linien liegen. Die geschlossene Gateelektrode **34** verhindert, daß eine wesentliche Menge des Dotiermittels, das verwendet wird, um die Gebiete **32** zu formen, das Kanalgebiet erreicht, das unter einem Teil der geschlossenen Gateelektrode **34** liegt. Eine Maske des inversen Bildes wird verwendet, um die Gebiete **36** und **38** auszubilden. Der Transistor **14** ist nicht abgedeckt mit Ausnahme der Gebiete **32** und der Gebiete der geschlossenen Gateelektrode **34**, die außerhalb der gestrichelten Linien liegen.

[0041] Jeder der Kontakte im Drain-Gebiet, den Source-Gebieten **36**, den körperverbundenen Gebieten **32** und der geschlossenen Gate-Elektrode **34** sind durch |X| dargestellt. Vor dem Ausbilden von Kontakten wird ein leitender Streifen ausgebildet, um jedes der Gebiete **32** und **36** miteinander zu verbinden. Der leitende Streifen umfaßt typischerweise ein beliebiges Material, das für eine lokale Verbindung verwendet wird, wie beispielsweise Silicid, feuerfestes Metallnitrid und dergleichen.

[0042] Der Transistor **14** hat eine effektive (elektrisch gemessene) Kanallänge von ungefähr 0,9 Mikrometer und eine effektive Kanalbreite von ungefähr 200 Mikrometer. In dieser Beschreibung entspricht die effektive Kanallänge ungefähr der Entfernung

zwischen einem der Draingebiete **38** und seinem nächsten Source-Gebiet **36** unterhalb der Gate-Elektrode **34**. Die effektive Kanalbreite ist ungefähr die Summe der einzelnen Kanalgebiete nahe den einzelnen Source-Gebieten **36**. Die Source-Gebiete **36** und die Körperverbindungen **32** sind elektrisch miteinander verbunden.

[0043] Viele konventionelle MOSFETs, die geschlossene Gate-Elektroden aufweisen, plazieren das Drain-Gebiet gegenüber dem Source-Gebiet nahe der inneren Kante der Gate-Elektrode. Wenn das Drain-Gebiet nahe der inneren Kante der Gate-Elektrode ist, so ist die Verbindungskapazität des Drain-Gebietes niedriger, da das Übergangsgebiet zwichen dem Drain-Gebiet und dem Kanal-Gebiet kleiner ist (auch das Gebiet über dem Substrat ist kleiner). Eine niedrigere Übergangsgebietkapazität formt im allgemeinen einen schnelleren MOSFET.

[0044] Im Gegensatz zur herrschenden Auffassung befinden sich die Drain-Gebiete **38** neben der äußeren Kante **342** der geschlossenen Gate-Elektrode **34**. Die Anordnung des Drain-Gebietes neben der äußeren Kante **342** gestattet es, daß ein höheres Potential auf die Drain-Gebiete **38** gegeben werden kann, bevor ein wesentlicher Leckstrom zwischen den Drain- und den Kanalgebieten auftritt.

[0045] Obwohl ein spezifisches Layout des körperverbundenen Transistors **14** angegeben ist, können andere körperverbundene Transistoren anstelle des einen, der in Fig. 4 gezeigt ist, verwendet werden. Gestalter von Schutzschaltungen können bestimmen, was für ein Typ eines körperverbundenen Transistors verwendet werden soll.

[0046] Die Komponenten der Vorrichtung **20** werden innerhalb einer Halbleiterschicht ausgebildet, die eine Dicke im Bereich von 500-1000 × 10^{-1} nm aufweist. In dieser Beschreibung kann das Übergangsflächengebiet als eine Länge ausgedrückt werden, da das Gebiet aus dem Produkt der Länge und der Dicke der Halbleiterschicht besteht. Übergangsflächengebiete der Dioden werden als Längen ausgedrückt.

[0047] Der körperverbundene MOSFET **14** umfaßt eine Drain-Diode, die ausgebildet wird, wenn sich das Kanal-Gebiet und das Drain-Gebiet treffen. Der zerstörende Durchbruchstrom der vorwärts vorgespannten Drain-Diode kann variiert werden durch Ändern des Verhältnisses der einzelnen Source-Gebietsfläche zur körperverbundenen Gebietsfläche (Verbundhäufigkeit). In Fig. 5 ist ein Schaubild einer Vorwärtsvorspannungsspannung (V_f) über einem Vorwärtsvorspannungsstrom (I_f) für drei verschiedene Körperverbindungsverhältnisse dargestellt. Diese Daten gelten für einen MOSFET, der eine gesamte elektrische Breite von 25 Mikrometer hat (das ist die Summe der Breiten der einzelnen Source-Gebiete **36**). Die Drain-Diode ist ungefähr 50 Mikrometer lang. Wenn das S/B Verbindungsverhältnis 1:1 ist, so wird ein Strom von ungefähr 6 Milliampere/Mikrometer durchgelassen, bevor eine Zerstörung auftritt. Bei einem S/B Verbindungsverhältnis von 2,5:1 werden ungefähr 4,6 Milliampere/Mikrometer durchgelassen, bevor ein Ausfall auftritt (36 Mikrometer der Drain-Diode), und bei einem S/B Verbindungsverhältnis von 5:1 werden ungefähr 3,0 Milliampere/Mikrometer durchgelassen (31 Mikrometer der Drain-Diode). Wie man aus Fig. 5 sieht, kann die Stromtragefähigkeit erhöht werden durch Erhöhen der Verbindungshäufigkeit. Dies rührt teilweise daher, daß ein größeres Drain-Diodengebiet verfügbar ist, aber auch durch eine Verminderung des Serienwiderstandes der Diode, was die durch den Widerstand bedingte Erwärmung vermindert.

[0048] Fig. 6 zeigt wie das S/B Verbindungsverhältnis die Durchbruchspannung einer rückwärts vorgespannten Drain-Diode eines MOSFETs beeinflußt. Die Durchbruchspannung ist die Spannung des Drain-Anschlußes (V_r), wenn I_r größer als Null ist. Bei einem S/B Verbindungsverhältnis von 1:1 tritt der Durchbruch der Drain-Diode bei einem Potential von ungefähr 7,0 Volt auf. V_r beträgt ungefähr 5,8 Volt bei einem S/B Verbindungsverhältnis von 2,5:1, und V_r beträgt ungefähr 5,0 Volt bei einem S/B Verbindungsverhältnis von 5:1.

[0049] In der Zukunft werden die V_{DD} Potentiale näher an Null liegen. Wenn die V_{DD} Potentiale abnehmen, sollte das S/B Verbindungsverhältnis erhöht werden. Wenn jedoch das S/B Verbindungsverhältnis zu groß wird, so kann der Vorteil der Körperverbindungen zu gering werden, da eine Körperverbindung zu viel Kanalgebiet hat, das sie verbinden muß. Eine S/B Verbindungsverhältnis von mehr als 10:1 kann eine praktische obere Grenze darstellen, aber diese Zahl soll die vorliegende Erfindung nicht begrenzen.

[0050] Elektrisch gemessene Dimensionen einige der Komponenten der Fig. 3 werden dargestellt. Die Zenerdiode **18** hat eine pn-Übergangsflächenoberflächengebiet, das ungefähr 50 Mikrometer lang ist, die Zenerdiode **19** hat ein pn-Übergangsflächenoberflächengebiet, das ungefähr 400 Mikrometer lang ist, und jede der Zenerdioden **15**, **24**, **25** und **29** hat ein pn-Übergangsflächenoberflächengebiet, das ungefähr 25 Mikrometer lang ist. Der MOSFET **16** hat eine effektive Kanallänge von ungefähr 0,6 Mikrometer und eine effektive Kanalbreite von ungefähr 800 Mikrometer, und der MOSFET **27** hat eine effektive Kanallänge von ungefähr 0,6 Mikrometer und eine effektive Kanalbreite von ungefähr 400 Mikrometer. Während hier spezielle Werte angegeben wurden, können Fachleute die elektrisch gemessenen Dimensionen bestimmen, die bei ihren Schaltungen am besten arbeiten.

[0051] Die Ausführungsformen der vorliegenden Erfindung gestatten es, daß eine Eingangsschutzschaltung mit einer SOI-Vorrichtung verwendet werden kann, um die digitalen Schaltungen oder andere empfindliche Komponenten von elektrostatischen Ereignissen, die an einer I/O-Anschlußfläche auftreten, zu schützen. Die Gestaltung gestattet es, daß die I/O-Anschlußfläche sowohl hohe als auch niedere Spannungen erreicht, ohne daß die internen zu schützenden Schaltungen nachteilig beeinflußt werden. Während eines elektrostatischen Ereignisses kann Strom zwischen der I/O Anschlußfläche **12** und V_{DD} sowohl unter negativen als auch positiven Vorspannungsbedingungen fließen, zwischen der I/O-Anschlußfläche **12** und V_{SS} unter negativen und positiven Vorspannbedingungen und zwischen einer beliebigen Kombination der beiden I/O-Anschlußflächen. Die Gestaltung erfordert keine Verbindungen durch eine überdeckte Isolationsschicht zu einem darunterliegenden Substrat. Somit wird eine wirkliche SOI-Vorrichtung, die Eingangsschutzschaltungen umfaßt, ausgebildet. Ein anderer Vorteil der vorliegenden Erfindung besteht darin, daß sie in einen Verfahrensfluß integriert werden kann, ohne daß geringfügige oder schwierige Verfahrensschritte eingefügt werden müssen.

Patentansprüche

1. Schutzschaltung, umfassend:
einen Anschlussflächenknoten (**12**),
einen ersten Versorgungsknoten (**142**), der geschaltet ist, um ein erstes Potential (V_{SS}) anzunehmen,
einen zweiten Versorgungsknoten, der geschaltet ist, um ein zweites Potential (V_{DD}) anzunehmen, das höher als das erste Potential (V_{SS}) ist,
einen ersten Feldeffekttransistor (**16**), der eine Source-Elektrode und eine Drain-Elektrode aufweist, wobei
die Source-Elektrode des ersten Feldeffekttransistors (**16**) mit dem ersten Versorgungsknoten (**142**) elektrisch verbunden ist und
die Drain-Elektrode des ersten Feldeffekttransistors (**16**) mit dem Anschlussflächenknoten (**12**) elektrisch verbunden ist,
einen zweiten Feldeffekttransistor (**14**), der eine Source-Elektrode, eine Drain-Elektrode und einen Kanal aufweist, wobei
die Source-Elektrode des zweiten Feldeffekttransistors (**14**) mit dem ersten Versorgungsknoten (**142**) elektrisch verbunden ist,
die Drain-Elektrode des zweiten Feldeffekttransistors (**14**) mit dem Anschlussflächenknoten (**12**) elektrisch verbunden ist,
der Kanal des zweiten Feldeffekttransistors (**14**) mit dem ersten Versorgungsknoten (**142**) elektrisch verbunden ist, und
eine pn-Diode an dem Übergang zwischen dem Kanal und einem Draingebiet des zweiten Feldeffekttransistors (**14**) ausgebildet ist, wobei
der negative Anschluss der pn-Diode mit dem Anschlussflächenknoten (**12**) elektrisch verbunden ist und
der positive Anschluss der pn-Diode mit dem Kanal des zweiten Feldeffekttransistors (**14**) elektrisch verbunden ist, und
eine Schienenklemmschaltung (**18**), die einen ersten und einen zweiten Anschluss aufweist, wobei
der erste Anschluss der Schienenklemmschaltung (**18**) mit dem ersten Versorgungsknoten (**142**) elektrisch verbunden ist und
der zweite Anschluss der Schienenklemmschaltung (**18**) mit dem zweiten Versorgungsknoten elektrisch verbunden ist, und
wobei in der Schutzschaltung der elektrische Strom vom Anschlussflächenknoten (**12**) zu dem ersten Versorgungsknoten (**142**) hauptsächlich über den ersten Feldeffekttransistor (**16**) geleitet wird,
dadurch gekennzeichnet dass
der zweite Feldeffekttransistor (**14**) ein körperverbundener Feldeffekttransistor ist.

2. Schutzschaltung nach Anspruch 1, bei der die Schienenklemmschaltung (**18**) als eine erste Zenerdiode, die einen positiven und einen negativen Anschluss aufweist, ausgebildet ist, wobei
der positive Anschluss der Zenerdiode den ersten Anschluss der Schienenklemmschaltung (**18**) bildet und
der negative Anschluss der ersten Zenerdiode den zweiten Anschluss der Schienenklemmschaltung (**18**) bildet.

3. Schutzschaltung nach einem der Ansprüche 1 oder 2, die eine zweite Zenerdiode (**19**) mit einem positiven und einem negativen Anschluss aufweist, wobei
der positive Anschluss der zweiten Zenerdiode (**19**) mit dem Anschlussflächenknoten (**12**) verbunden ist und
der negative Anschluss der zweiten Zenerdiode (**19**) mit dem zweiten Versorgungsknoten verbunden ist.

4. Schutzschaltung nach einem der Ansprüche 1 bis 3, bei der der erste Feldeffekttransistor (**16**) eine Gate-Elektrode aufweist und die Gate-Elektrode des ersten Feldeffekttransistors (**16**) mit dem ersten Versorgungsknoten (**142**) elektrisch verbunden ist.

5. Schutzschaltung nach einem der Ansprüche 1 bis 4, bei der der erste Feldeffekttransistor (**16**) mit dem zweiten Feldeffekttransistor (**14**) parallel geschaltet ist.

6. Schutzschaltung nach einem der Ansprüche 1 bis 5, bei der die Drain-Source-Durchbruchspannung des ersten Feldeffekttransistors (**16**) niedriger ist als die Drain-Source-Durchbruchspannung des zweiten Feldeffekttransistors (**14**).

7. Halbleiter-auf-Isolator-Vorrichtung, die eine erste Anschlussfläche (**12**), eine zweite Anschlussfläche (**12'**) und eine Schutzschaltung gemäß einem der Ansprüche 1 bis 3 umfasst, wobei
die erste Anschlussfläche (**12**) elektrisch mit dem Anschlussflächenknoten (**12**) verbunden ist,
die zweite Anschlussfläche (**12'**) elektrisch mit einem dritten Knoten verbunden ist, und die Schutzschaltung
einen dritten Feldeffekttransistor (**14'**) mit einer Source-Elektrode, einem Kanal und einer Drain-Elektrode aufweist, wobei
die Source-Elektrode des dritten Feldeffekttransistors (**14'**) mit dem ersten Versorgungsknoten (**142**, **142'**) und dem Kanal elektrisch verbunden ist,
die Drain-Elektrode des dritten Feldeffekttransistors (**14'**) mit dem dritten Knoten elektrisch verbunden ist und
eine zweite pn-Diode an dem Übergang zwischen dem Kanal und dem Draingebiet des dritten Feldeffekttransistors (**14'**) ausgebildet ist, und
einen vierten Feldeffekttransistor (**16'**), der eine Source-Elektrode und eine Drain-Elektrode aufweist, wobei
die Source-Elektrode des vierten Feldeffekttransistors (**16'**) mit dem ersten Versorgungsknoten (**142**, **142'**) elektrisch verbunden ist und
die Drain-Elektrode des vierten Feldeffekttransistors (**16'**) mit dem dritten Knoten elektrisch verbunden ist.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

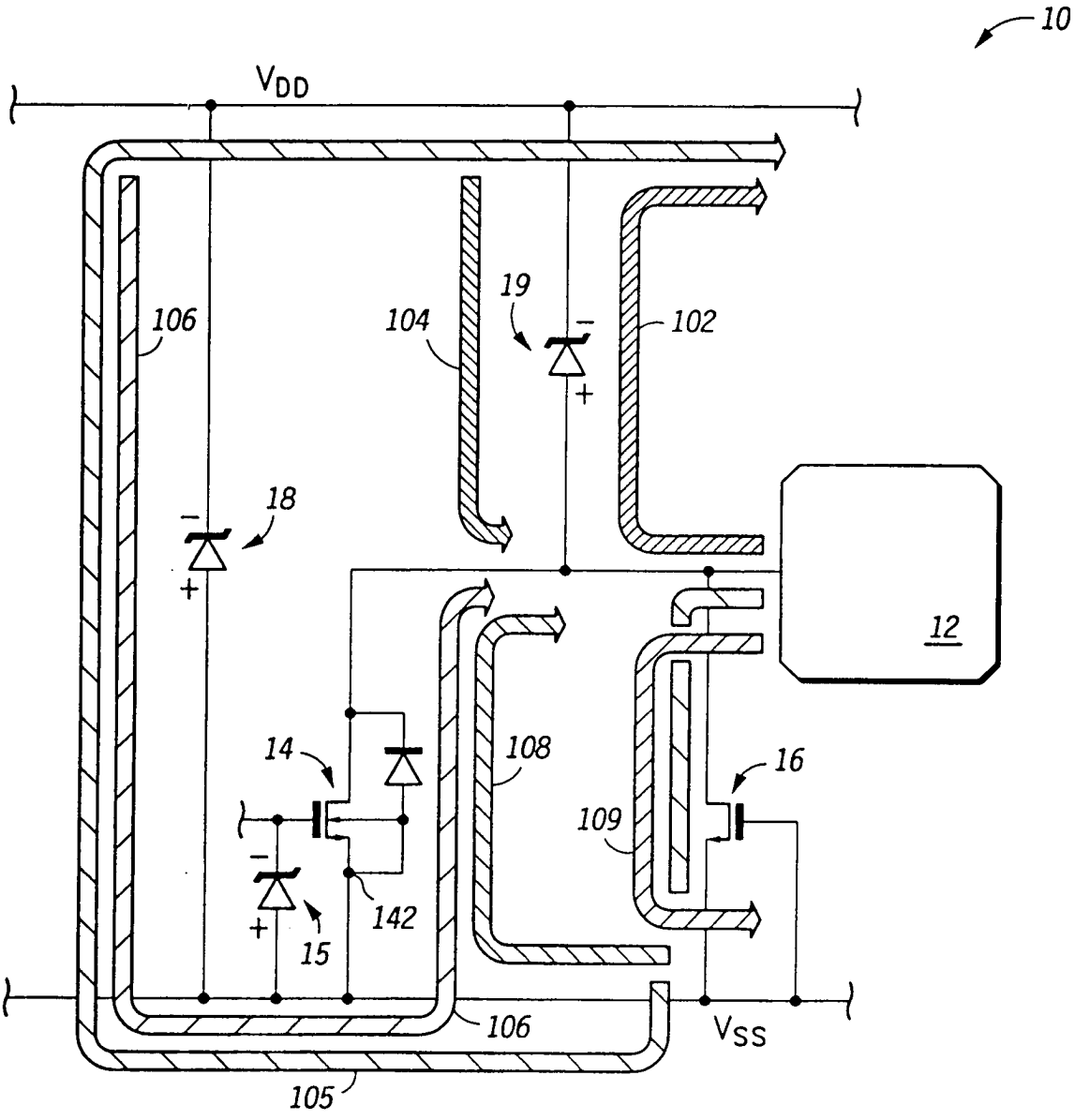


FIG.1

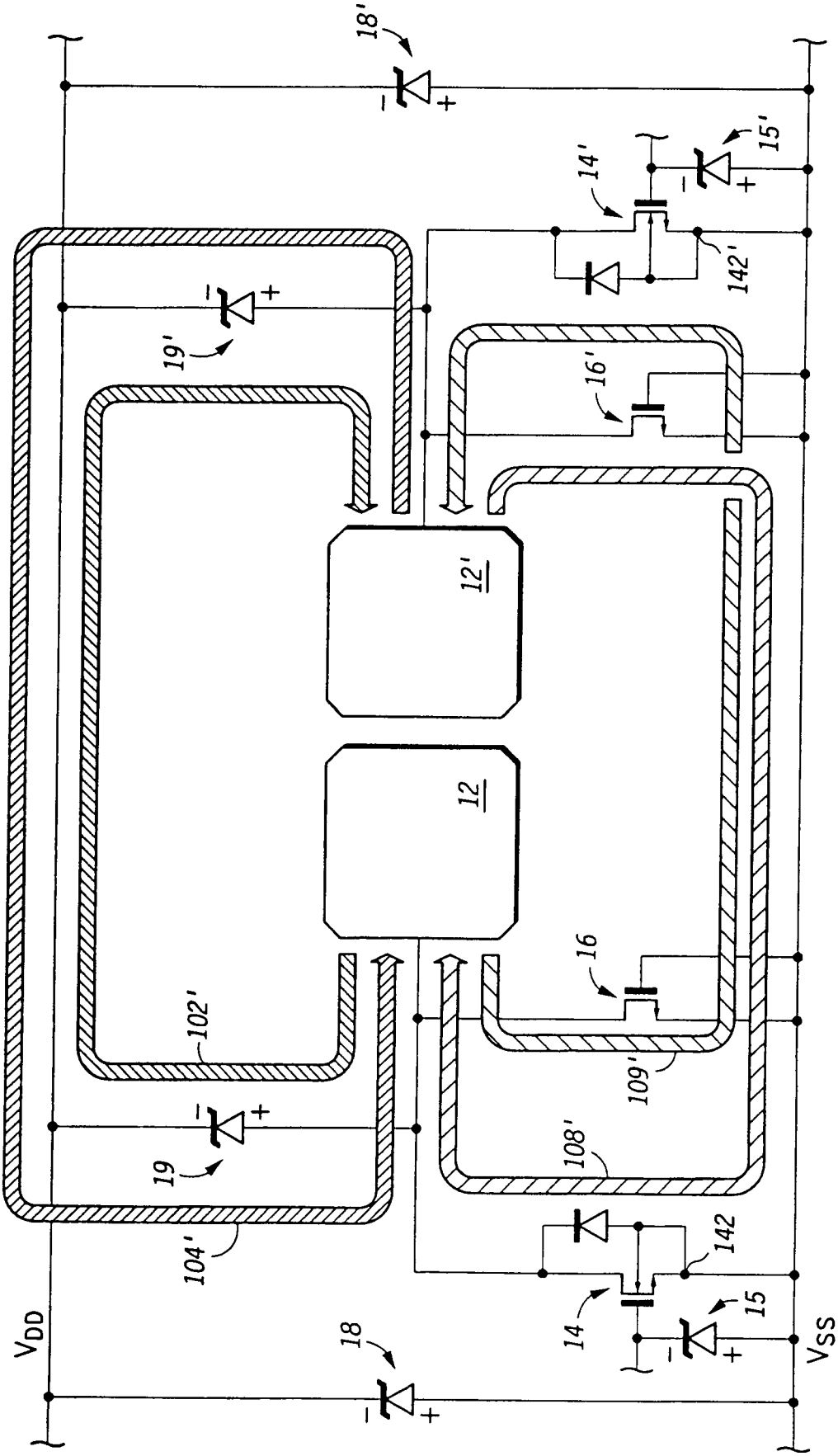


FIG.2

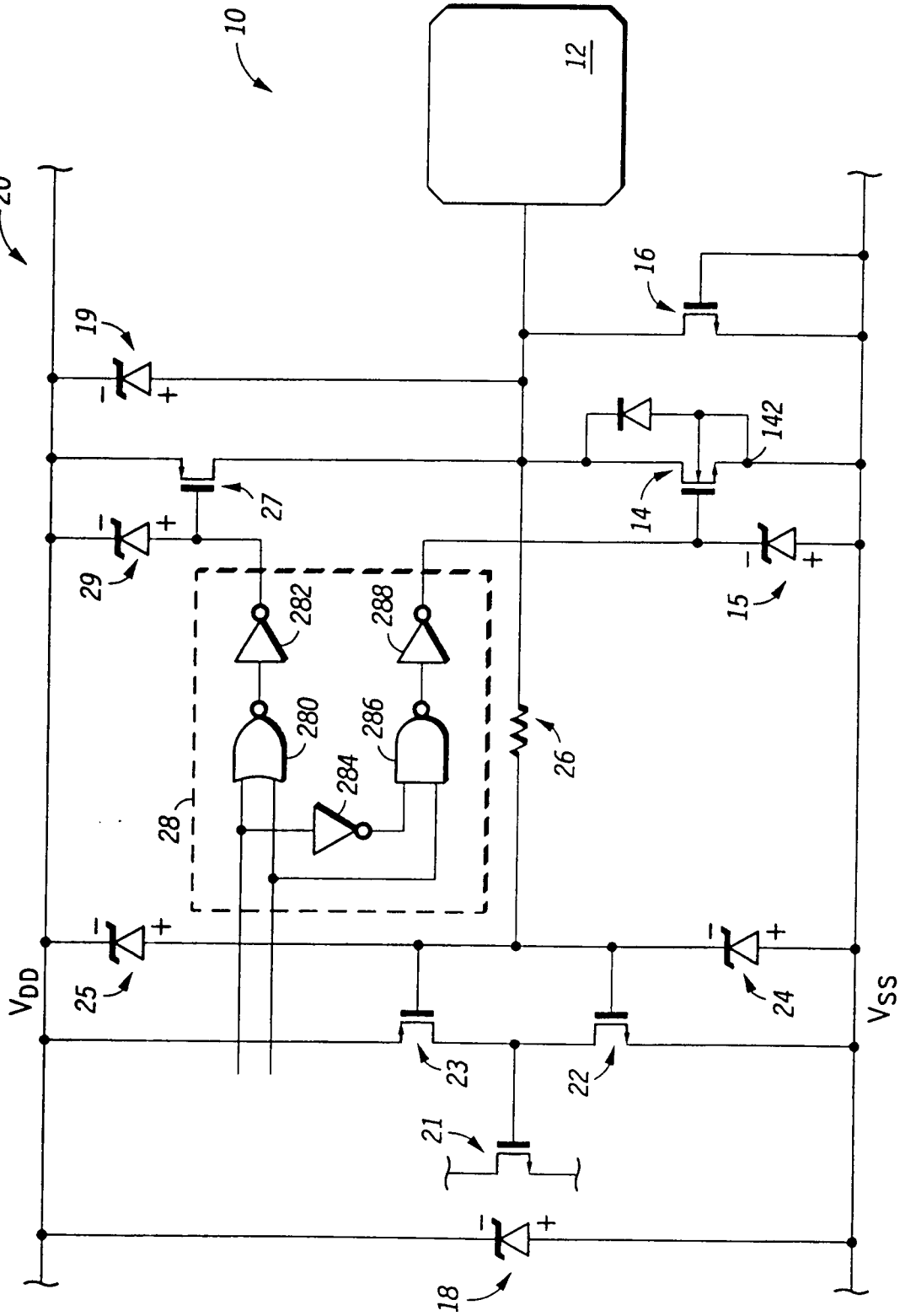

10
12
20
19
16
142
27
14
29
15
282
288
280
286
284
26
28
25
24
V_{DD}
V_{SS}
23
22
21
18

FIG.3

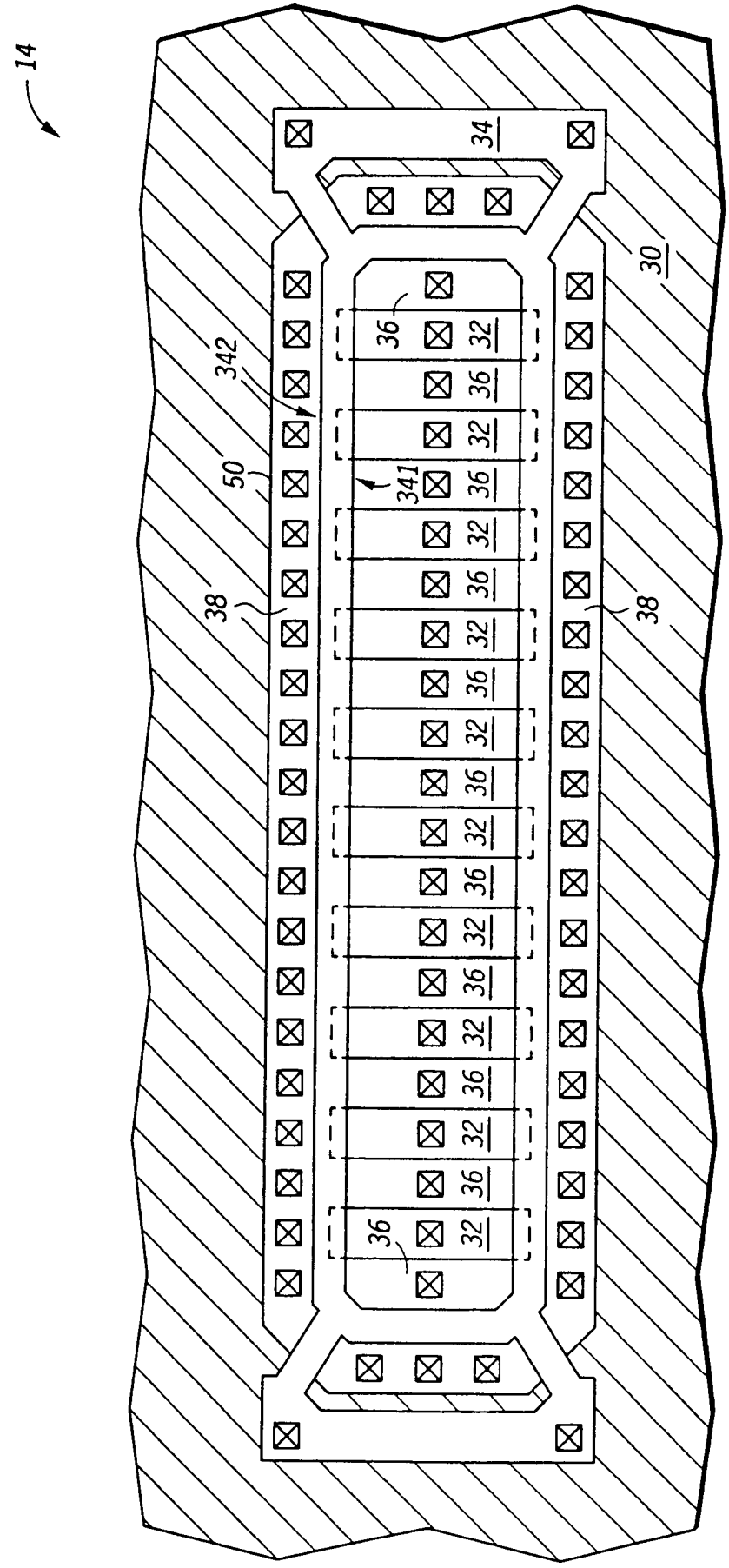


FIG.4

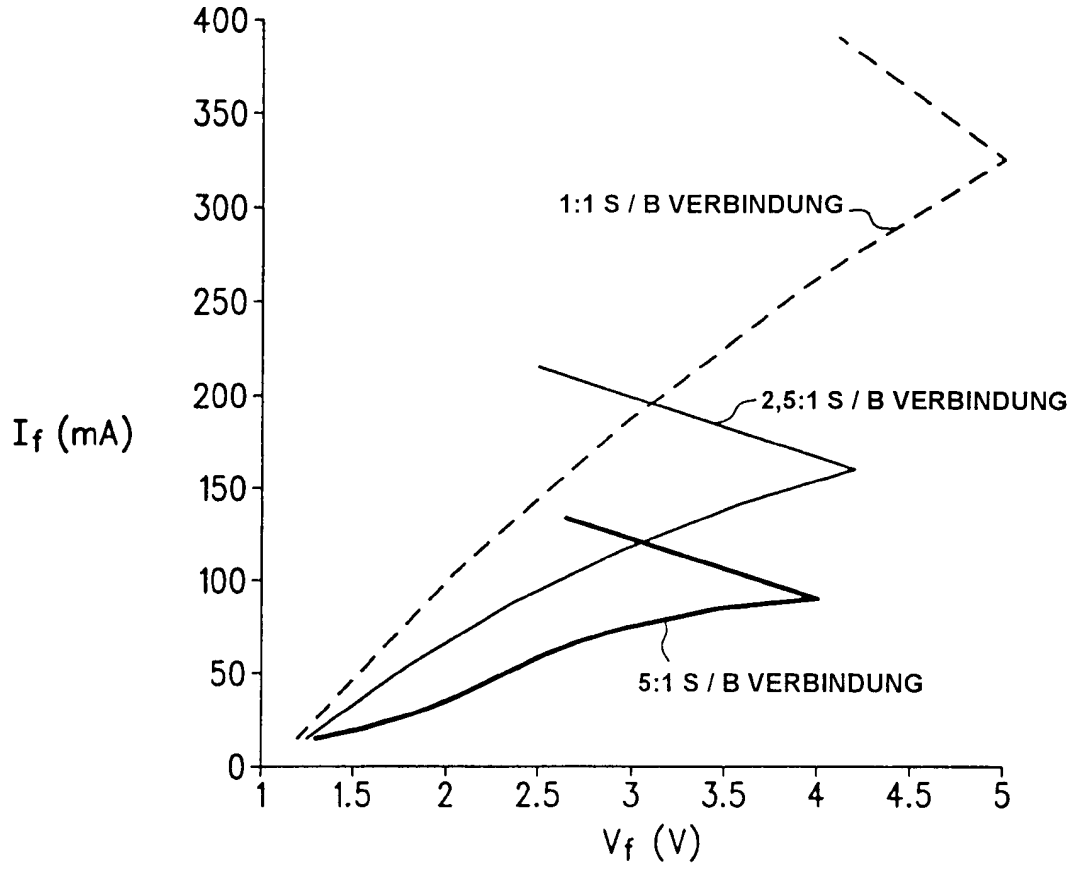

400
350
300
250
200
150
100
50
0
1
1.5
2
2.5
3
3.5
4
4.5
5
If (mA)
Vf (V)
1:1 S / B VERBINDUNG
2,5:1 S / B VERBINDUNG
5:1 S / B VERBINDUNG

FIG.5

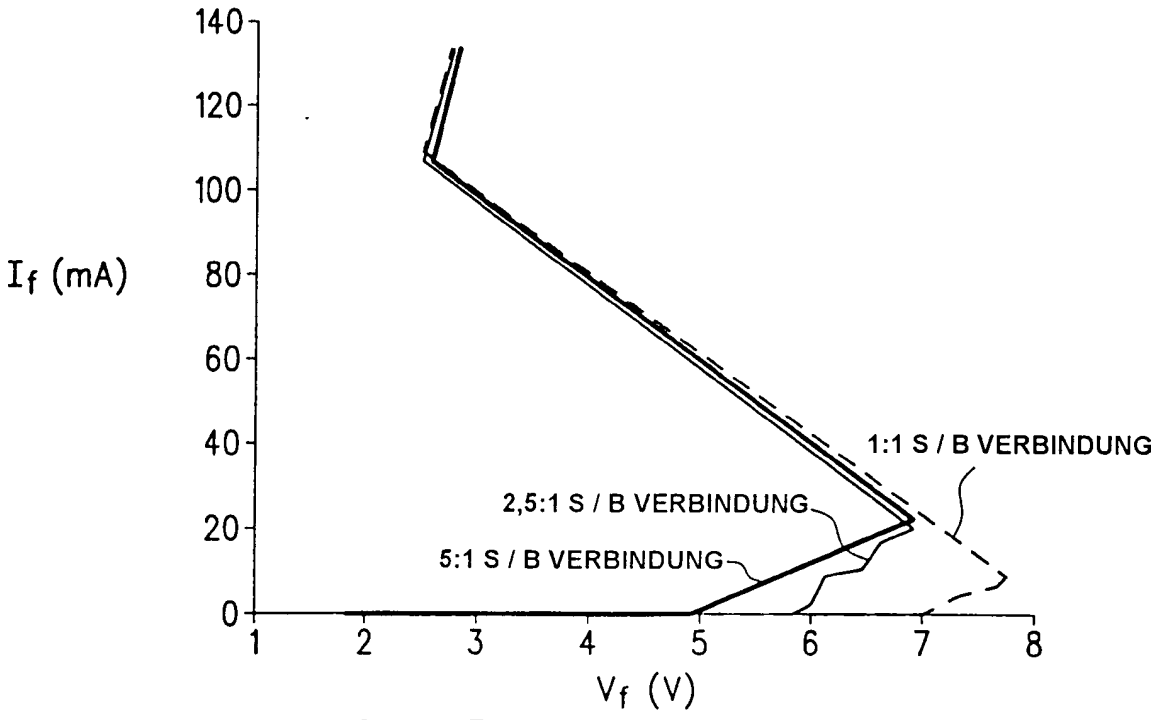

140
120
100
80
60
40
20
0
1
2
3
4
5
6
7
8
If (mA)
Vf (V)
1:1 S / B VERBINDUNG
2,5:1 S / B VERBINDUNG
5:1 S / B VERBINDUNG

FIG.6