

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-218445  
(P2010-218445A)

(43) 公開日 平成22年9月30日 (2010.9.30)

(51) Int.Cl.

G06F 9/50 (2006.01)

F I

G06F 9/46 462A

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2009-66916 (P2009-66916)  
(22) 出願日 平成21年3月18日 (2009.3.18)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100089118  
弁理士 酒井 宏明  
(72) 発明者 森 達矢  
東京都港区芝浦一丁目1番1号 株式会社  
東芝内

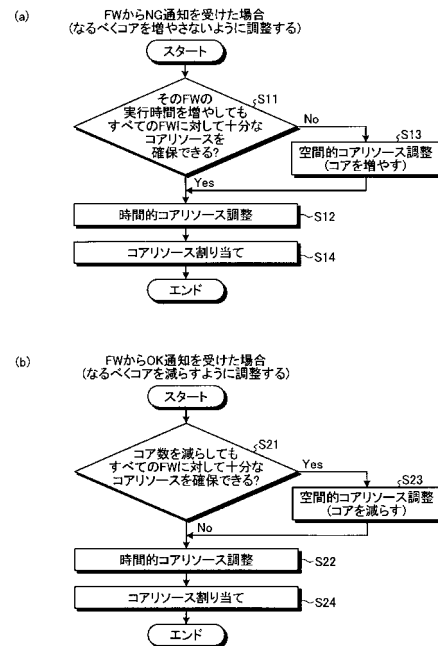
(54) 【発明の名称】 マルチコアプロセッサシステム、スケジューリング方法およびスケジューラプログラム

(57) 【要約】

【課題】 要求性能を満たしつつ可及的に割り当てコア数を低減する。

【解決手段】 マルチコアプロセッサ1と、マルチコアプロセッサ1が有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行する複数のソフトウェア手段21、22、211、221と、夫々のソフトウェア手段に対してマルチコアプロセッサ1が有するコアの割り当ておよびコア占有時間の調整を行って複数のソフトウェア手段を並列動作させるスケジューラ23と、を備え、夫々のソフトウェア手段は、夫々所定の処理の実行結果データを出力バッファ213、223に夫々出力し、出力バッファに自身が出力した実行結果データの蓄積量に基づく通知をスケジューラに発行し、スケジューラ23は、受信した通知に基づいて夫々のソフトウェア手段に対する割り当てコア数および/またはコア占有時間を増減する。

【選択図】 図5



**【特許請求の範囲】****【請求項 1】**

マルチコアプロセッサと、

前記マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行する複数のソフトウェア手段と、

前記夫々のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューラと、

を備え、

前記夫々のソフトウェア手段は、夫々前記所定の処理の実行結果データを出力バッファに夫々出力し、前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を前記スケジューラに発行し、前記スケジューラは、前記受信した通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および / またはコア占有時間を増減する、ことを特徴とするマルチコアプロセッサシステム。

10

**【請求項 2】**

前記夫々のソフトウェア手段が発行する通知は、前記出力バッファに自身が出力したデータの蓄積量が第 1 しきい値を下回ったときに発行する第 1 通知と、前記出力バッファに自身が出力したデータの蓄積量が第 2 しきい値を上回ったときに発行する第 2 通知とを含み、

前記スケジューラは、前記第 1 通知を受信したとき、前記第 1 通知発行元に対する割り当てコア数またはコア占有時間のうちの少なくとも一つを増加させ、前記第 2 通知を受信したとき、前記第 2 通知発行元に対する割り当てコア数またはコア占有時間のうちの少なくとも一つを減少させる、

20

ことを特徴とする請求項 1 に記載のマルチコアプロセッサシステム。

**【請求項 3】**

前記スケジューラは、前記第 1 通知発行元に対する割り当てコア数およびコア占有時間を増減するとき、前記割り当てコア数よりも前記コア占有時間を優先して増加させ、前記第 2 通知発行元に対する割り当てコア数およびコア占有時間を増減させるとき、前記コア占有時間よりも前記割り当てコア数を優先して減少させる、

ことを特徴とする請求項 2 に記載のマルチコアプロセッサシステム。

30

**【請求項 4】**

マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行し、夫々前記所定の処理の実行結果データを出力バッファに夫々出力する複数のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューリング方法において、

前記ソフトウェア手段が前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を発行したとき、前記発行された通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および / またはコア占有時間を増減するステップ、

を備えることを特徴とするスケジューリング方法。

40

**【請求項 5】**

マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行し、夫々前記所定の処理の実行結果データを出力バッファに夫々出力する複数のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューラプログラムにおいて、

前記ソフトウェア手段が前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を発行したとき、前記発行された通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および / またはコア占有時間を増減する工程、

を前記マルチコアプロセッサに実行させることを特徴とするスケジューラプログラム。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、マルチコアプロセッサを有するマルチコアプロセッサシステム、スケジューリング方法およびスケジューラプログラムに関する。

## 【背景技術】

## 【0002】

近年、オーディオビジュアル機器など、多様、多数かつ高度な機能を要求される機器には、その多数の機能を実現するために、マルチコアプロセッサを搭載した半導体集積回路装置（マルチコアプロセッサシステム）が搭載されるケースが多くなってきている。このような機器に搭載されるマルチコアプロセッサシステムにおいては、夫々個別の単位機能を実現するプログラムであるファームウェア（FW）を並列動作させる。要求性能が高いFWを動作させる場合、このFWには同時に複数のコア数を割り当てる必要がある。

## 【0003】

昨今の半導体微細加工プロセスにおいては、リーク電流による電力消費量が顕著となってきており、マルチコアプロセッサにおいて前記リーク電流による電力消費量を削減するためには、不要なコアの電源を物理的にOFFすることが効果的である。ところが、従来、マルチコアプロセッサシステムは、夫々のFWの要求性能を静的に見積もり、FW毎にワーストケースに合わせてコアリソースの配分をスケジューリングするのが一般的であった。この方式では、ほとんどの場合において各FWに冗長なコアリソースを配分することとなり、コアリソースの総量、特に、割り当てられる空間的コアリソース、すなわち割り当てられるコア数が大きくなりがちである。つまり、電源をOFFすることが可能な不要コア数が少なくなってしまうという問題があった。

## 【0004】

マルチコアプロセッサにおけるコアリソース割り当て方法に関する公知技術としては、例えば特許文献1や特許文献2に開示されている技術があるが、何れもFW一つあたり複数のコアを割り当てるケースを想定していないため、前述した問題を解決できるものではなかった。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2006-24180号公報

【特許文献2】特表2007-531137号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、要求性能を満たしつつ可及的に割り当てコア数を低減するマルチコアプロセッサシステム、スケジューリング方法およびスケジューラプログラムを提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

本願発明の一態様によれば、マルチコアプロセッサと、前記マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行する複数のソフトウェア手段と、前記夫々のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューラと、を備え、前記夫々のソフトウェア手段は、夫々前記所定の処理の実行結果データを出力バッファに夫々出力し、前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を前記スケジューラに発行し、前記スケジューラは、前記受信した通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および/またはコア占有時間を増減する、ことを特徴とするマルチコアプロセッサシステムが提供

10

20

30

40

50

される。

【0008】

また、本願発明の一態様によれば、マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行し、夫々前記所定の処理の実行結果データを出力バッファに夫々出力する複数のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューリング方法において、前記ソフトウェア手段が前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を発行したとき、前記発行された通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および/またはコア占有時間を増減するステップ、を備えることを特徴とするスケジューリング方法が提供される。

10

【0009】

また、本願発明の一態様によれば、マルチコアプロセッサが有する複数のコアのうち夫々一つ以上のコアを使用して所定の処理を実行し、夫々前記所定の処理の実行結果データを出力バッファに夫々出力する複数のソフトウェア手段に対して前記マルチコアプロセッサが有するコアの割り当ておよびコア占有時間の調整を行って前記複数のソフトウェア手段を並列動作させるスケジューラプログラムにおいて、前記ソフトウェア手段が前記出力バッファに自身が出力した実行結果データの蓄積量に基づく通知を発行したとき、前記発行された通知に基づいて前記夫々のソフトウェア手段に対する割り当てコア数および/またはコア占有時間を増減する工程、を前記マルチコアプロセッサに実行させることを特徴とするスケジューラプログラムが提供される。

20

【発明の効果】

【0010】

本発明によれば、要求性能を満たしつつ可及的に割り当てコア数を低減するマルチコアプロセッサシステムを提供することができるという効果を奏する。

【0011】

また、本発明によれば、要求性能を満たしつつ可及的に割り当てコア数を低減するスケジューリング方法を提供することができるという効果を奏する。

【0012】

また、本発明によれば、要求性能を満たしつつ可及的に割り当てコア数を低減するスケジューラプログラムを提供することができるという効果を奏する。

30

【図面の簡単な説明】

【0013】

【図1】図1は、本発明の実施の形態にかかるマルチコアプロセッサシステムの構成を示すブロック図である。

【図2】図2は、各プログラムとマルチコアプロセッサとの位置付けを概念的に説明する図である。

【図3】図3は、機能構成を説明する図である。

【図4】図4は、FWの動作を説明するフローチャートである。

【図5】図5は、スケジューラの動作を説明するフローチャートである。

40

【図6】図6は、スケジューリングの具体例を説明する図である。

【発明を実施するための形態】

【0014】

以下に添付図面を参照して、本発明の実施の形態にかかるマルチコアプロセッサシステム、スケジューリング方法およびスケジューラプログラムを詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。

【0015】

(実施の形態)

図1は、本発明の実施の形態にかかるマルチコアプロセッサシステムの構成を示すブロック図である。なお、ここでは、本発明の実施の形態を音声データ、画像データなどのマ

50

ルチメディア情報に対する各種処理を実行するマルチメディア処理用のマルチコアプロセッサシステムに適用する場合について説明するが、本発明の実施の形態の適用範囲はマルチメディア処理用のマルチコアプロセッサシステムだけに限定されない。

【0016】

図1に示すように、マルチコアプロセッサシステム1000は、複数(ここでは8つ)のコアを有するマルチコアプロセッサ1と、ROM(Read Only Memory)2と、RAM(Random Access Memory)3と、ネットワーク配信される映像や音声の入力を受け付けたり配信元に情報を送信するためのI/OであるネットワークI/O4と、音声データを出力するためのスピーカとのインターフェース(I/F)であるスピーカI/F5と、ディスプレイに映像データを出力するためのI/FであるディスプレイI/F6と、マイクからの音声データの入力を受け付けるマイクI/F7と、カメラからの映像データの入力を受け付けるカメラI/F8と、を備えている。

10

【0017】

ROM2は、マルチコアプロセッサシステム1000の各部を制御してマルチコアプロセッサシステム1000搭載機器に夫々個別の機能を実現させるためのプログラムである複数のファームウェア(FW)と、該複数のFWの夫々にマルチコアプロセッサ1が有する複数のコアのスケジューリング、すなわちコアリソースの割り当てを行うためのプログラムであるスケジューラプログラム23とが格納されている。ここでは簡単のために、ROM2に格納されているFWとして、ネットワークI/O4から入力されるAAC規格で圧縮された音声データ、MPEG4規格で圧縮された映像データを夫々復元化する、AACデコーダプログラム21およびMPEG4デコーダプログラム22が格納されているとする。ROM2に格納されているスケジューラプログラム23、AACデコーダプログラム21、MPEG4デコーダプログラム22は、マルチコアプロセッサ1により読み出されてRAM3上に展開される。

20

【0018】

図2は、RAM3上に展開されたソフトウェア手段としてのMPEG4デコーダプログラム22およびAACデコーダプログラム21と、スケジューラプログラム23と、マルチコアプロセッサ1との位置付けを概念的に説明する図である。図示するように、MPEG4デコーダプログラム22およびAACデコーダプログラム21とマルチコアプロセッサ1との間に介在するようにスケジューラプログラム23が存在している。より詳しく述べると、RAM3上に展開されたMPEG4デコーダプログラム22およびAACデコーダプログラム21は、RAM3上に展開されたスケジューラプログラム23とマルチコアプロセッサ1との協働により実現するスケジューリング制御により、プロセッサコア1が有する夫々時間的・空間的コアリソースが割り当てられ、夫々のデコーダプログラム21、22はスケジューラプログラム23により割り当てられたコアリソースを利用してデータの復元化処理を実行する。時間的コアリソースが割り当てられるとは、コアの占有時間が割り当てられることをいい、空間的コアリソースが割り当てられるとは、7つのうちの1つ以上の使用コアが割り当てられることをいう。なお、ここでは、8つのコアのうち残る1つはスケジューラプログラム23に割り当てられ、残りの7つのコアが夫々のデコーダプログラムに割り当てられるとしている。以降、RAM3上に展開されたスケジューラプログラム23とマルチコアプロセッサ1との協働により実現するスケジューリング制御機能要素を単にスケジューラ23ということとする。

30

40

【0019】

図3は、RAM3上に展開された夫々のデコーダプログラムが夫々に割り当てられたマルチコアプロセッサ1のコアリソースを使用して実現する機能構成を説明する図である。図示するように、AACデコーダプログラム21は、オーディオ入力バッファ212、AACデコーダ211およびオーディオ出力バッファ213を実現し、MPEG4デコーダプログラム22は、ビデオ入力バッファ222、MPEG4デコーダ221およびビデオ出力バッファ223を実現する。オーディオ入力バッファ212、オーディオ出力バッファ213、ビデオ入力バッファ222およびビデオ出力バッファ223は、具体的にはR

50

A M 3 上に確保される記憶領域である。オーディオ入力バッファ 2 1 2 は、ネットワーク I / O 4 から入力されてくる圧縮音声データを一時記憶する。A A C デコーダ 2 1 1 は、オーディオ入力バッファ 2 1 2 に記憶されている圧縮音声データを逐次取り出し、取り出した圧縮音声データに対して逐次復元処理を実行し、実行結果をオーディオ出力バッファ 2 1 3 に出力する。オーディオ出力バッファ 2 1 3 に出力された復元済み音声データは、スピーカ I / F 5 を介してスピーカに出力される。ビデオ入力バッファ 2 2 2 は、ネットワーク I / O 4 から入力されてくる圧縮映像データを一時記憶する。M P E G 4 デコーダ 2 2 1 は、ビデオ入力バッファ 2 2 2 に記憶されている圧縮映像データを逐次取り出し、取り出した圧縮映像データに対して逐次復元処理を実行し、実行結果をビデオ出力バッファ 2 2 3 に出力する。ビデオ出力バッファ 2 2 3 に出力された復元済み映像データは、ディスプレイ I / F 6 を介してディスプレイに出力される。なお、R A M 3 上に展開された A A C デコーダプログラム 2 1、M P E G 4 デコーダプログラム 2 2 を夫々ソフトウェア手段として捉えることも可能であり、A A C デコーダ 2 1 1、M P E G 4 デコーダ 2 2 1 を夫々ソフトウェア手段として捉えることも可能である。

10

20

30

40

50

#### 【 0 0 2 0 】

ここで、各出力バッファ 2 1 3、2 2 3 はフレーム単位で復元済みデータを保持する。また、各出力バッファ 2 1 3、2 2 3 は、記憶容量に制限がある。A A C デコーダ 2 1 1 と M P E G 4 デコーダ 2 2 1 は、それぞれの出力バッファ 2 1 3、2 2 3 に貯まっているフレームの枚数、すなわち自身が出力した処理結果データの蓄積量に応じて、自らが要求性能の範囲で動作しているか否かを判断し、判断結果をスケジューラ 2 3 に通知する機能を有している。例えば、各出力バッファ 2 1 3、2 2 3 の上限が 2 0 フレームであったとする。出力バッファ 2 1 3、2 2 3 に貯まっているフレームの枚数が 1 5 以上であれば要求性能を十分に満たしている旨である O K 通知を発行する。また、出力バッファ 2 1 3、2 2 3 に貯まっているフレームの枚数が 5 以下であれば要求性能を満たしていない旨である N G 通知を発行する。なお、要求性能の範囲の上限を上限しきい値（第 2 しきい値）、下限を下限しきい値（第 1 しきい値）ということとする。

#### 【 0 0 2 1 】

スケジューラ 2 3 は、F W（A A C デコーダ 2 1 1、M P E G 4 デコーダ 2 2 1）から要求性能を満たしていない旨の通知を受信すると、該通知送信元の F W に割り当てる時間的コアリソースおよび / または空間的コアリソースを増加させる。また、スケジューラ 2 3 は、F W から性能要求を十分に満たしている旨の通知を受信すると、該通知送信元の F W に割り当てる時間的コアリソースおよび / または空間的コアリソースを減少させる。

#### 【 0 0 2 2 】

次に、本発明の実施の形態のマルチコアプロセッサシステム 1 0 0 0 により実行されるスケジューリング方法を説明する。図 4 は、F W 2 1 1、2 2 1 の動作を説明するフローチャートである。A A C デコーダ 2 1 1、M P E G 4 デコーダ 2 2 1 は同様の動作を実行するので、ここでは代表として A A C デコーダ 2 1 1 の動作についてのみ説明する。

#### 【 0 0 2 3 】

図 4 に示すように、A A C デコーダ 2 1 1 は、オーディオ出力バッファ 2 1 3 に貯まっている復元済み音声データの量が予め定められた上限しきい値と下限しきい値との間に納まっているか否かを判定する（ステップ S 1）。復元済みデータの量がふたつのしきい値の範囲内に納まっている場合（ステップ S 1、Y e s）、A A C デコーダ 2 1 1 は、スケジューラ 2 3 から時間的・空間的コアリソースが割り当てられ、該割り当てられた時間的・空間的コアリソースを使用してオーディオ入力バッファ 2 1 2 に記憶されている圧縮されている音声データを取得して、取得した音声データに対して復元処理を実行する（ステップ S 2）。

#### 【 0 0 2 4 】

一方、オーディオ出力バッファ 2 1 3 に貯まっている復元済み音声データの量が前記ふたつのしきい値の範囲内に納まっていない場合（ステップ S 1、N o）、A A C デコーダ 2 1 1 は、スケジューラ 2 3 に対して通知を発行する（ステップ S 3）。具体的には、A

A Cデコーダ211は、前記したように、オーディオ出力バッファ213の蓄積量が上限しきい値を超える場合、OK通知を発行し、オーディオ出力バッファ213の蓄積量が下限しきい値未満の場合、NG通知を発行する。そして、ステップS2に移行する。

【0025】

図5は、スケジューラ23がFW211、221からの通知に基づいてコアリソースの割り当てを変更する動作を説明するフローチャートである。図5(a)に示すように、NG通知を受信したスケジューラ23は、NG通知元のFWの実行時間を増やしてもすべてのFW、すなわちFW211、221に対して十分な時間的・空間的コアリソースを確保できるか否かを判定する(ステップS11)。十分な時間的・空間的コアリソースを確保できる場合(ステップS11、Yes)、スケジューラ23は、FW211、221の時間的コアリソースを調整する(ステップS12)。つまり、ここではNG通知元のFWの実行時間を増やし、増やす実行時間分、他のFWの実行時間を減らす。NG通知元のFWの実行時間を増やすとFW211、221の時間的・空間的コアリソースが確保できない場合(ステップS11、No)、スケジューラ23は、FW211、221の空間的コアリソースを調整する(ステップS13)。すなわち、NG通知元のコア数の割り当てを増やし、該コア数の割り当ての増加に応じて他のFWのコア数の割り当てを調整する(ステップS13)。そして、スケジューラ23は、FW211、221の時間的コアリソースの調整を行う(ステップS12)。ステップS12の後、調整後の時間的・空間的コアリソースをFW211、221に割り当てる(ステップS14)。

10

【0026】

図5(b)に示すように、OK通知を受信したスケジューラ23は、OK通知元のFWに割り当てるコア数を減らしてもFW211、221に対して十分な時間的・空間的コアリソースを確保できるか否かを判定する(ステップS21)。FW211、221に対して十分な時間的・空間的コアリソースを確保できない場合(ステップS21、No)、スケジューラ23は、FW211、221の時間的コアリソースを調整する(ステップS22)。つまり、OK通知元のFWの実行時間を減らし、減らした分の実行時間を他のFWに割り当てる。OK通知元のコア数を減らしてもFW211、221に対して十分な時間的・空間的コアリソースを確保できる場合(ステップS21、Yes)、スケジューラ23は、FW211、221の空間的コアリソースを調整する(ステップS23)。すなわち、OK通知元のコア数の割り当てを減少させ、他のFWのコア数割り当てを調整する。そして、スケジューラ23は、FW211、221に割り当てる実行時間の調整を行う(ステップS22)。ステップS22の後、調整後の時間的・空間的コアリソースをFW211、221に割り当てる(ステップS24)。

20

30

【0027】

このように、スケジューラ23は、NG通知を受信したとき、割り当てコア数よりもコア占有時間を優先して増加させ、OK通知を受信したとき、コア占有時間よりも割り当てコア数を優先して減少させる。すなわち、スケジューラ23は、トータルの割り当てコア数をできるだけ小さくするようにスケジューリングを行う。

【0028】

以上に述べた動作によりMPEG4デコーダ221およびAACデコーダ211に行われるスケジューリングの具体例を図6を参照して説明する。

40

【0029】

図6は、横軸に7個あるプロセッサコアの割り当て状態、縦軸に紙面下方向に進行する時間軸を表現している。なお、デフォルト設定においては時間的コアリソースとして、単位時間のうちの3/8がAACデコーダ211に割り当てられ、残りの5/8の時間がMPEG4デコーダ221に割り当てられるとしており、さらに空間的コアリソースとして夫々に5個のコアが割り当てられるとしている。時間的コアリソースと空間的コアリソースとを乗じた値を積分コアリソースといい、ステップS11、ステップS21においては積分コアリソースに基づいてすべてのFW211、221に十分な時間的・空間的コアリソースが確保されているか否かを判定することとする。

50

## 【 0 0 3 0 】

図 6 において、上部 3 段のブロック、すなわち 1 回目の AAC デコーダ 2 1 1 の実行処理、1 回目の MPEG 4 デコーダ 2 2 1 の実行処理、2 回目の AAC デコーダ 2 1 1 の実行処理では、夫々ステップ S 1 での判定フローにおいて Yes に移行しており、デフォルト設定の時間的・空間的コアリソースが割り当てられ、夫々処理が実行されている。

## 【 0 0 3 1 】

2 回目の MPEG 4 デコーダ 2 2 1 の実行処理においては、ビデオ出力バッファ 2 2 3 に貯まった映像データの蓄積量が下限しきい値を下回っており、MPEG 4 デコーダ 2 2 1 は NG 通知を発行する（図中（1））。すると、スケジューラ 2 3 は、時間的コアリソースを調整して、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てる実行時間 10 を夫々単位時間の  $3/11$ 、 $8/11$  に変更する。すなわち、AAC デコーダ 2 1 1 の積分コアリソースは、 $5 \times 3/8 = 1.9$  から  $5 \times 3/11 = 1.4$  に変化し、MPEG 4 デコーダ 2 2 1 の積分コアリソースは、 $5 \times 5/8 = 3.1$  から  $5 \times 8/11 = 3.6$  に変化する。

## 【 0 0 3 2 】

3 回目の AAC デコーダ 2 1 1 の実行処理においては、オーディオ出力バッファ 2 1 3 に貯まった音声データの蓄積量が下限しきい値を下回っており、AAC デコーダ 2 1 1 は NG 通知を発行する（図中（2））。すると、スケジューラ 2 3 は、夫々の積分コアリソースを評価し、時間的コアリソースの調整、すなわち AAC デコーダ 2 1 1 に割り当てる 20 実行時間を増やし、MPEG 4 デコーダに割り当てる実行時間を減らすと、MPEG 4 デコーダ 2 2 1 の要求性能を満足させることができなくなることを認識する。したがって、空間的コアリソースおよび時間的コアリソースの調整を行う。ここでは、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てられているコア数が夫々 5 で、実行時間が夫々単位時間の  $3/11$ 、 $8/11$  が割り当てられていたのを、コア数を夫々 6 に増加させ、実行時間をデフォルト設定の  $3/8$ 、 $5/8$  に戻す。すると、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てられる積分コアリソースは、夫々 1.9、3.6 であったのが 2.3、3.8 に変化する。

## 【 0 0 3 3 】

5 回目の AAC デコーダ 2 1 1 の実行処理においては、オーディオ出力バッファ 2 1 3 に貯まった音声データの蓄積量が上限しきい値を上回っており、AAC デコーダ 2 1 1 は OK 通知を発行する（図中（3））。すると、スケジューラ 2 3 は、夫々の積分コアリソースを評価し、空間的リソースを減らすと MPEG 4 デコーダ 2 2 1 の要求性能を満足させる 30 ことができないことを認識する。そのため、時間的コアリソースの調整のみを実行する。すなわち、スケジューラは、AAC デコーダ 2 1 1 に割り当てる実行時間を減らし、MPEG 4 デコーダに割り当てる実行時間を増やす。ここでは、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てられている実行時間を夫々  $2/7$ 、 $5/7$  にする。すると、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てられる積分コアリソースは、夫々 2.3、3.8 であったのが 1.7、4.3 に変化する。

## 【 0 0 3 4 】

6 回目の MPEG 4 デコーダ 2 2 1 の実行処理においては、ビデオ出力バッファ 2 2 3 に貯まった映像データの蓄積量が上限しきい値を上回っており、MPEG 4 デコーダ 2 2 1 は OK 通知を発行する（図中（4））。すると、スケジューラは、夫々の積分コアリソースを評価し、空間的リソースを減らしても可能と判断し、空間的・時間的コアリソースの調整を実行する。すなわち、スケジューラは、コア数を 6 から 5 に減少させ、夫々の実行時間をデフォルト設定値に戻す。すると、AAC デコーダ 2 1 1、MPEG 4 デコーダ 2 2 1 に割り当てられる積分コアリソースは、夫々 1.7、4.3 であったのが 1.9、3.1 に変化する。 40

## 【 0 0 3 5 】

このように、本発明の実施の形態によれば、夫々の FW 2 1 1、2 2 1 は、復元済みデータを出力バッファ 2 1 3、2 2 3 に夫々出力し、出力バッファ 2 1 3、2 2 3 に自身が 50

出力した復元済みデータの蓄積量に基づく通知をスケジューラ 2 3 に発行し、スケジューラ 2 3 は、前記通知を受信したとき、受信した通知に基づいて夫々の F W 2 1 1、2 2 1 に対する割り当てコア数およびコア占有時間を増減するように構成したので、復元処理実行開始後において流動的に変化する F W 2 1 1、2 2 1 への要求性能に応じて柔軟なスケジューリングを実行することができるので、要求性能を満たしつつ可及的に割り当てコア数を低減することが可能になる。割り当てコア数が低減されると、不要コアに供給する電源を O F F することができるようになるので、ベストエフォート型の低消費電力化が実現される。

【 0 0 3 6 】

なお、図 6 の説明においては、M P E G 4 デコーダ 2 2 1 および A A C デコーダ 2 1 1 は時分割並列動作するとして説明したが、二つの F W の動作は時分割並列動作ではなく空間分割並列動作する場合であっても同様の効果が得られる。また、時分割かつ空間分割並列動作する場合であっても同様である。

10

【 0 0 3 7 】

また、一つのコアがスケジューラプログラムに割り当てられ、残る 7 つのコアが夫々のデコーダプログラムに割り当てられるとして説明したが、8 つのコア全てがスケジューラプログラムおよび二つのデコーダプログラムに割り当てられるようにしてもよい。すなわち、スケジューラプログラムは、二つのデコーダプログラムだけでなく自身に対するコアリソース割り当てを実行する。

【 0 0 3 8 】

また、以上の説明においては、スケジューラは、R A M 3 上に展開されたスケジューラプログラム 2 3 とマルチコアプロセッサ 1 との協働により実現するとして説明したが、マルチコアプロセッサシステム 1 0 0 0 にスケジューリング専用のハードウェアを具備させ、該ハードウェアが 2 つのデコーダプログラムに対するコアリソース割り当てを実行するようにしてもよい。

20

【 0 0 3 9 】

また、オーディオ入力バッファ 2 1 2、オーディオ出力バッファ 2 1 3、ビデオ入力バッファ 2 2 2 およびビデオ出力バッファ 2 2 3 は、具体的には R A M 3 上に確保されるメモリ領域であるとして説明したが、夫々のバッファ 2 1 2、2 1 3、2 2 2、2 2 3 の場所は R A M 3 上でなくてもよい。

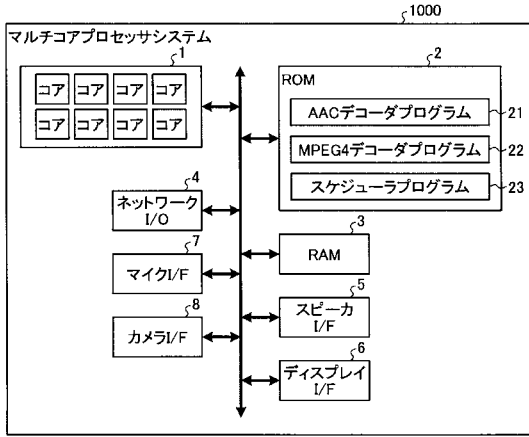
30

【 符号の説明 】

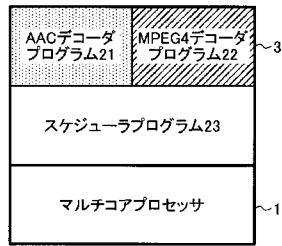
【 0 0 4 0 】

1 マルチコアプロセッサ、2 R O M、3 R A M、4 ネットワーク I / O、5 スピーカ I / F、6 ディスプレイ I / F、7 マイク I / F、8 カメラ I / F、2 1 A A C デコーダプログラム、2 2 M P E G 4 デコーダプログラム、2 3 スケジューラプログラム、2 1 1 A A C デコーダ、2 1 2 オーディオ入力バッファ、2 1 3 オーディオ出力バッファ、2 2 1 M P E G 4 デコーダ、2 2 2 ビデオ入力バッファ、2 2 3 ビデオ出力バッファ、1 0 0 0 マルチコアプロセッサシステム。

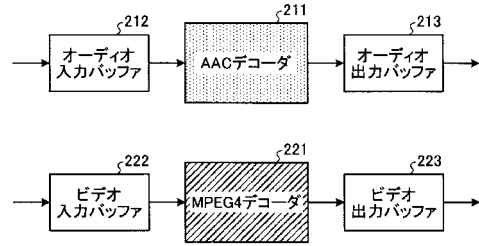
【 図 1 】



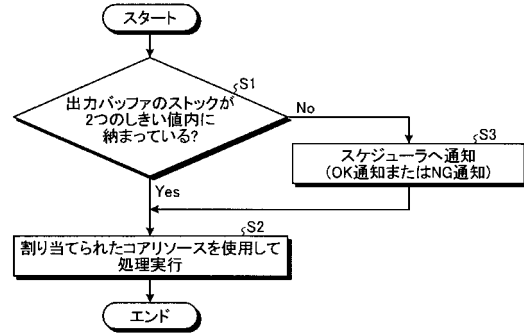
【 図 2 】



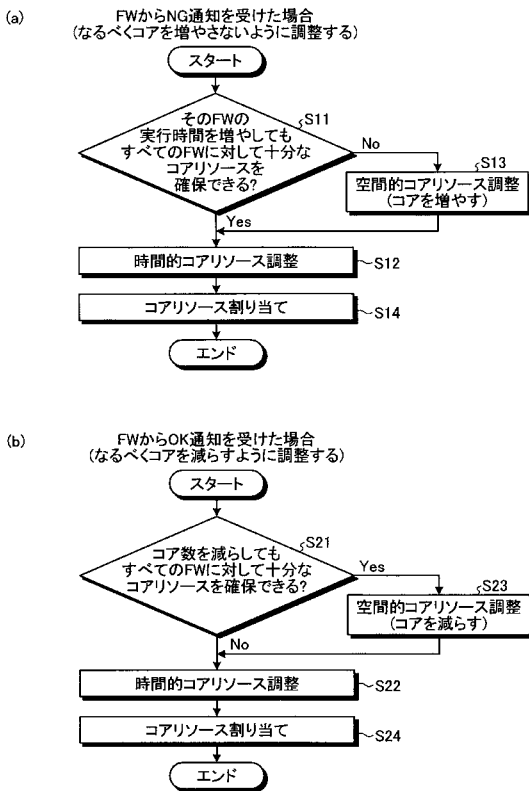
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

