



[12] 发明专利申请公开说明书

[21] 申请号 01815457.3

[43] 公开日 2005 年 8 月 31 日

[11] 公开号 CN 1663125A

[22] 申请日 2001.7.11 [21] 申请号 01815457.3

[30] 优先权

[32] 2000. 7. 11 [33] US [31] 09/614,494

[86] 国际申请 PCT/US2001/021966 2001. 7. 11

[87] 国际公布 WO2002/005426 英 2002. 1. 17

[85] 进入国家阶段日期 2003. 3. 11

[71] 申请人 皮考耐提克斯公司

地址 美国加利福尼亚

[72] 发明人 吴建斌

[74] 专利代理机构 永新专利商标代理有限公司

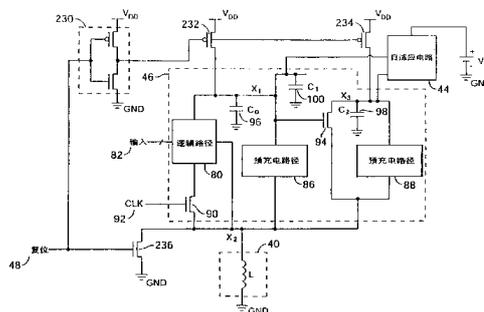
代理人 韩 宏

权利要求书 4 页 说明书 12 页 附图 9 页

[54] 发明名称 共振逻辑电路与低功率数字集成电路的实现

[57] 摘要

一种利用再循环能量操作逻辑电路的方法和装置。一种能量储存设备(40)，例如电感器在时钟周期(92)的第一相位收集用于操作逻辑电路的能量，并在时钟周期的第二相位将所收集的能量返回给电路。一种自适应电路(44)判断在时钟周期的第二相位返回给逻辑电路的所收集的能量以确定能量是否降到了预定极限之下。如果是，自适应电路(44)将在时钟周期的第二相位期间提供任何所需的能量。



1、一种利用再循环能量操作逻辑电路的方法，其包括：

当初始化信号有效时，响应有效的初始化信号将能量储存于逻辑电路的一节点上并且使能量储存设备放电；以及

当初始化信号无效时，在时钟信号的第一相位期间使用储存的能量操作逻辑电路，逻辑电路基于至少一个逻辑输入来确定逻辑输出；

在逻辑电路的工作期间在能量储存设备中捕获所储存的能量；以及

在时钟信号的第二相位期间将所捕获的能量从能量储存设备返回给逻辑电路节点。

2、如权利要求1所述的一种利用再循环能量操作逻辑电路的方法，其还包括以下步骤：

当初始化信号无效时，将在时钟信号的第二相位期间在能量储存节点处的电压与预定电压电平相比较；

如果在能量储存节点处的电压低于预定电压电平，那么在时钟信号的第二相位期间对能量储存节点进行充电，直到该电压在预定电压电平之上。

3、一种利用再循环能量操作的逻辑电路，其包括：

逻辑电路，其具有能量储存节点；一个输入时钟，该输入时钟的周期包括一个第一相位和一个第二相位；以及一个输出和至少一个逻辑输入，该逻辑电路在时钟的第一相位期间工作并使用来自能量储存节点的能量以基于该逻辑输入来确定逻辑输出；

一个能量储存设备，其与逻辑电路连接以在第一相位期间捕获捕获逻辑电路所使用的能量，并在第二相位期间将所捕获的能量供给能量储存节点；以及

初始化电路，其与能量储存节点，能量储存设备以及一复位线连

接，该初始化电被配置成在逻辑电路的能量储存节点上初始地储存能量以及响应于复位线上的有效复位信号而使能量储存设备放电。

4、如权利要求 3 所述的一种利用再循环能量操作的逻辑电路，其还包括：

自适应电路，其与能量储存节点相连以确定在第二相位期间提供给储存节点的所捕获的能量在何时会低于一预定极限，并且当所捕获的能量低于该预定极限时，在时钟的第二相位期间向能量储存节点提供新的能量。

5、如权利要求 3 所述的一种利用再循环能量操作的逻辑电路，其中能量储存设备为一个电感器。

6、如权利要求 5 所述的一种利用再循环能量操作的逻辑电路，其中逻辑电路与电感器形成了一个共振电路。

7、权利要求 6 所述的一种利用再循环能量操作的逻辑电路，其中共振电路工作的共振周期等于或近似等于时钟输入的循环时间。

8、权利要求 3 所述的一种利用再循环能量操作的逻辑电路，其中逻辑电路包括：

一个连接于能量储存节点和能量储存设备之间的门控逻辑路径，该门控逻辑路径被配置成使其在输入时钟的第一相位期间基于至少一个逻辑输入来确定逻辑输出；

一个连接于能量储存设备和能量储存节点之间的第一预充电路径，用于为所捕获的能量提供一路径，使其返回至能量储存节点；逻辑反相器，用于将门控逻辑路径的输出反相以形成一个辅助的能量储存节点；以及

一个连接于能量储存设备和辅助储存节点之间的第二预充电路径，用于为所捕获的能量提供一路径，使其返回至辅助能量储存节点。

9、如权利要求 8 所述的一种利用再循环能量操作的逻辑电路，其中第一和第二预充电路径包含半导体二极管。

10、如权利要求 8 所述的一种利用再循环能量操作的逻辑电路，

其中逻辑反相器为一个 nMOS 晶体管，该 nMOS 晶体管的门极与逻辑路径输出连接而其沟道连接于辅助能量储存节点和能量储存设备之间。

11、如权利要求 8 所述的一种利用再循环能量操作的逻辑电路，其中门控逻辑路径包括：

一个逻辑路径；以及

一个 MOS 时钟晶体管，其具有与时钟相连的门极，以及与逻辑路径串联的沟道，使得该逻辑路径能在时钟晶体管导通时在能量储存节点和能量储存设备之间传导电流。

12、如权利要求 11 所述的一种利用再循环能量操作的逻辑电路，其中逻辑路径包括一对串联的晶体管，以实现一 NAND 门。

13、如权利要求 11 所述的一种利用再循环能量操作的逻辑电路，其中逻辑路径包括一对并联的晶体管，以实现一 NOR 门。

14、如权利要求 3 所述的一种利用再循环能量操作的逻辑电路，其中初始化电路包括：

一个 MOS 放电晶体管，其具有与复位信号相连的门极，以及跨接在能量储存设备上的沟道；

一个与复位线相连的反相门，该反相门用于生成在输出线上的复位信号的补码；

一个第一预充电 MOS 晶体管，该晶体管具有一门极及一沟道，其门极与反相器输出线相连，其沟道连接于主电源节点与能量储存节点之间；以及

一个第二预充电 MOS 晶体管，该晶体管具有一门极及一沟道，其门极与反相器输出线相连，其沟道连接于主电源节点与辅助能量节点之间；

其中，当复位信号有效时，放电晶体管导通以使能量储存设备进行放电，第一预充电晶体管导通以对能量储存节点预充电使其电压大致等于主电源节点的电压，并且第二预充电晶体管导通以对辅助能量

储存节点预充电使其电压大致等于主电源节点的电压。

15、一种利用再循环能量操作的管线式逻辑电路，其包括：

多个逻辑电路块，每个逻辑电路块具有一个逻辑输入，一个逻辑输出，一个时钟输入以及一个能量储存节点，其中第一逻辑电路块的逻辑输入与逻辑输入线相连，而最后逻辑电路块的逻辑输出与逻辑输出线相连；并且其中在第一和最后逻辑电路块之间的每个逻辑电路块的逻辑输入和逻辑输出将分别与其在前相邻电路块的逻辑输出和在后相邻电路块的逻辑输入相连，且每个逻辑电路均连接有一根时钟线和一个能量储存节点；

多个初始化和自适应控制电路块，每一个均与逻辑电路块之一的输出连接；

第一组多个延迟电路，每一个均连接于相邻逻辑电路块的时钟线之间，以相继地延迟从第一逻辑电路块到最后逻辑电路块的时钟信号；以及

第二组多个延迟电路，每一个均连接于相邻逻辑电路块的能量储存节点之间，以相继地延迟从第一逻辑电路块到最后逻辑电路块的储存能量，第二组多个延迟电路与第一组多个延迟电路拥有大致相同的延迟；

其中，在每个电路块的时钟线上的时钟信号的第一相位期间，多个逻辑电路块中的每一个都基于电路块的逻辑输入在电路块的输出端上生成一逻辑函数的结果，并且将在第一相位期间使用的能量储存于电路块的能量储存节点上，在每个电路块的时钟信号的第二相位期间，将电路块的能量储存节点上的能量返回至逻辑电路块。

共振逻辑电路与低功率数字集成电路的实现

技术领域

本发明一般涉及一种数字电路的低功率操作，更特别涉及一种用于操作使用交变电相（power phase）的逻辑电路的方法及装置。

背景技术

近年来，随着亚微米几何工艺的出现，在制造 VLSI（超大规模集成电路）方面的进展大幅度地提高了数字集成电路的集成水平。然而，此类电路的速度和功能性也一直在提高。Pentium（奔腾）III处理器就是一个例子，其在 1cm^2 的面积上具有几百万个晶体管。尽管从为电子产品消费者提供性能更好的产品的角度看，这些趋势是好的，但一直存在着一个重要问题，即这些装置的功耗。Pentium（奔腾）III处理器，尽管拥有杰出的性能，也同时具有很大的功率耗散---对于一个 866MHz 的 Pentium（奔腾）III处理器功率耗散在大约 27watts 左右的范围内。随之而来的问题是，许多便携式计算机系统，例如膝上型电脑，个人备忘记事本和移动电话，其需要使用性能最强大的集成电路，但运行此类电路的电池电源无法支持较长的时间。电池系统完全没有跟上技术上的需要。更糟糕的是，许多便携式或移动系统具有物理尺寸的限制，该限制阻碍了使用大规模冷却设备来去除来自集成电路的功率。

用于当今高性能和高能耗设备的大多数数字集成电路是 CMOS（互补金属氧化物半导体）电路。CMOS（互补金属氧化物半导体）电路的功耗为静态功率耗散和动态功率耗散的总和。前者 P_S 是由漏泄电流造成的，后者 P_D 为瞬时功耗 P_T 及电容负载功耗 P_L 的总和。

反过来，瞬时功耗 P_T 产生于当 CMOS（互补金属氧化物半导体）设备进行转换时在电源与地线间传输的电流（被称为导通电流），及给该设备内的内部开关节点充电的电流（被称为开关电流），该内部节点的充电与放电成为此耗散的主要原因。电容负载功耗 P_L 是由对外部负载电容充电与放电引起的。

图 1 显示了一种典型的 CMOS（互补金属氧化物半导体）反相电路 10，其包括一个 p-沟道 14 和一个 n-沟道 16 MOS（金属氧化物半导体）晶体管，晶体管的门电路连接在一起并连接到反相电路输入 12，晶体管的漏极连接在一起并连接到反相电路输出 18。p-沟道晶体管的源极与电压电源 22 相连，n-沟道晶体管的源极与地线 24 相连。反相器的输出与负载特性实质上为电容性的其它 CMOS（互补金属氧化物半导体）电路相连。该外部电容负载由与反相器输出 18 相连的电容 20 模型化（model）。当所驱动的逻辑电路的输入 12 较低时，p-沟道晶体管 14 接通，使得电源 22 通过 p-沟道晶体管 14 对值为 C_L 的电容负载 18 进行充电，并在输出端 18 寄存一个逻辑“1”（ONE）。同样地，当所驱动的逻辑电路的输入 12 较高时，p-沟道晶体管 14 关闭而 n-沟道晶体管 16 接通，使得储存于电容负载 20 中的电荷通过 n-沟道晶体管 16 被传送到地线 24，从而在输出端 18 寄存一个逻辑“0”（ZERO）。输入信号的每次循环均导致电荷转入到电容负载 20 及从电容负载 20 的转出，这相当于对电容负载充电时能量转移 $(1/2C_L\Delta V_c^2)$ 而对电容负载放电时能量转移 $(1/2C_L\Delta V_d^2)$ ，其中 C_L 为电容负载的值， ΔV_c 为当给该负载充电时在该电容负载上的电压变化， ΔV_d 为给该负载放电时电容负载上的电压变化。此能量 $1/2C_L(\Delta V_c^2 + \Delta V_d^2)$ 以热的形式被损耗。最终，损失掉了数量级为 10^{-12} 焦耳，用于在单循环上操作图 1 中的电路的动态能量（假定 C_L 约为 1pf，其包括负载和布线电容， ΔV 约为 1 伏）。

此外，如果充电和放电的循环以频率 f 发生，则由图 1 的电路所消耗的功率约为 $fC(\Delta V)^2$ ，其中假定用于充电和放电时的电压变化相同。

目前，CMOS（互补金属氧化物半导体）电路的工作频率高到 10^9 Hz。这意味着，即使一个简单 CMOS（互补金属氧化物半导体）门电路在一个循环中所消耗的能量很低，以非常高的频率连续地操作门电路时所消耗的能量也会相当显著（数量级为 10^{-3} 瓦）。当半导体管芯上有上百万个这样的门电路时，问题就成倍增加，导致许多数十瓦的功率消耗并且该功率的很大一部分的以热的形式耗散掉。

缓解此问题的通常办法一直是降低电源电压，因为功耗的节约与电压降低的平方成比例。但是，电源电压的降低会导致其它的问题，其包括增加了电路对噪声的敏感性的以及增加了晶体管的漏泄电流，因为 MOS（金属氧化物半导体）晶体管的阈电压必须被降低以允许设备在较低的电源电压下工作。

因此，需要高速，功能强大的集成电路设备，这些设备有很低的功耗而不依靠低电源电压来获得功耗的降低。

发明内容

本发明就直接针对这种需要。本发明的装置包括具有能量储存节点的逻辑电路；一个输入时钟，其周期包括一个第一相位和一个第二相位，一个输出和至少一个逻辑输入，其中逻辑电路在时钟的第一相位期间工作并使用来自能量储存节点的能量以根据逻辑输入确定逻辑输出。一个能量储存设备与逻辑电路连接以捕获逻辑电路在第一相位期间所使用的能量，并在第二相位期间将所捕获的能量供给能量储存节点。初始化电路与能量储存节点，能量储存设备以及复位线连接，并且将其配置成在逻辑电路的能量储存节点中初始地储存能量，以及响应于复位线上的有效复位信号而对能量储存设备放电。

一种根据本发明的方法，其包括下列步骤：在逻辑电路的节点上储存能量并且当初始化信号有效时给能量储存设备放电，而当初始化信号无效时，在时钟信号的第一相位期间使用所储存的能量运行该逻辑电路，其中逻辑电路根据至少一个逻辑输入来确定逻辑输出。然后，

将在逻辑电路的运行期间所储存的能量捕获在能量储存设备（通常为电感器）中，然后，在时钟信号的第二相位期间，所捕获的能量被从能量储存节点返回至逻辑电路节点。

本发明的一个优点在于，可使便携式设备具有更高的性能和更强大的功能。

另一个优点在于，避免或减小了对专用冷却装置的需要，再一个优点在于，便携式装置的电池寿命更长。

附图说明

在参照以下描述，权利要求和附图后，将对本发明的这些和其它特点、方面以及优势有进一步的了解，其中：

图 1 显示了传统的 CMOS（互补金属氧化物半导体）反相电路；

图 2A 显示了根据本发明的装置的总体方框图；

图 2B 显示了图 2A 中的装置的更为详细的方框图；

图 3 显示了根据本发明的共振逻辑电路的 RC 模型；

图 4 显示了初始化电路如何启动共振循环；

图 5 以方框图的形式显示了共振逻辑电路；

图 6 显示了用于共振逻辑电路的时序图；

图 7A 和 7C 分别显示了根据本发明的共振“与非”（NAND）门电路和共振“或”（OR）门电路；

图 7B 和 7D 分别显示了对应于图 7A 和 7C 中共振“与非”（NAND）门电路和共振“或非”（NOR）门电路的工作情况的时序图；

图 8 表示了结合有初始化电路和能量储存电路的共振逻辑电路的实施例；以及

图 9 显示了根据本发明的一种管线式逻辑电路的方框图。

具体实施方式

图 2A 显示了根据本发明的装置的总体方框图。图 2A 中装置包括

一个能量储存和控制设备 30 以及数字逻辑电路 32。能量储存设备 30 为一个双端口设备，一个端口 Y1-Y2 与主电源 34 连接，另一个端口 X1-X2 与数字逻辑电路 32 的供给线路 36 和返回线路 38 连接。能量储存和控制设备 30 具有两种重要的功能。第一，能量储存和控制设备 30 向数字逻辑电路 32 提供工作能量及从数字逻辑电路 32 取回工作能量。第二，其作为导管将来自主电源 Y1-Y2 端口的能量输送至数字逻辑电路的端口 X1-X2 以补偿由于数字逻辑电路 32 中的热耗散而导致的实际能量损失。因此，系统中所耗散的总量等于由主电源 34 所提供的能量。在本发明的一些实施例中，与数字逻辑电路相连的供给线路 36 和返回线路 38 为单线。

图 2B 显示了图 2A 中装置的更为详细的方框图，其中能量储存和控制电路 30 包括能量储存设备 40，初始化电路 42 和自适应电路 44。该数字逻辑电路由共振逻辑电路 46 实现。初始化电路 42 的一部分将来自主电源节点 Y1 的功率耦合到共振逻辑电路 46 的供给线路 X1 上，能量储存电路 40 将主电源的接地线 Y2 耦合到共振逻辑电路的返回线路 X2 上。初始化电路 42 的另一部分连接于节点 X2 和 Y2 之间，即跨越能量储存电路 40。初始化电路 42 的两个部分均与复位输入线路 48 连接。自适应电路 44 与共振逻辑电路 46 的输出以及主电源的供给节点 Y1 相连。

在工作过程中，初始化电路 42 响应于复位线 48 上的有效信号，将节点 X1 预充电至 Y1 处的电源电压并将节点 X2 预放电至地。一旦复位线 48 上的信号去激活，共振电路 46 被设定开始工作并且在第一相位期间其使用储存于节点 X1 和 X2 之间的能量。当共振逻辑电路 46 使用能量时，它将此能量的一部分输送给能量储存电路 40，并且在第二相位期间能量储存电路 40 恢复节点 X1 和 X2 间的能量（以电压的形式）。共振逻辑电路 46 损耗了未被能量储存电路 40 捕获的能量，但此能量通过自适应电路 44 从主电源重新供应。

图 3 显示了根据本发明的共振逻辑电路 46 的等效电路模型。更详

细地，共振逻辑电路 46 被模拟成阻容（RC）电路，其中该模型的电阻 52 代表逻辑电路中的耗散元件，模型的电容 54 代表储存有工作能量的该电路的电容节点。电容 54 中所储存的能量即为由逻辑电路所用的并返回到能量储存电路的能量。在该图中，显示共振逻辑电路模型与能量储存电路 40 连接。当能量储存电路为电感器时，此结合形成了一个并联的 RLC 共振电路。对于共振电路的能量损失的一个重要度量是系数 Q ，其中 $Q = \omega_0 L / R$ ， ω_0 为振荡角频率， $\omega_0 = 1 / \sqrt{LC} \times \sqrt{1 - CR^2 / 4L}$ 。高耗散的共振电路降低了电路的品质因数，这意味着这些电路将电路中更多的能量转换成了热，而且只有较少的能量用于电路中电感和电容之间的变换。电路模型的典型值为 $R = 1\text{ohm}$ ， $C = 50\text{pf}$ ，和 $L = 10\text{nH}$ ，以获得大约 225MHz 的共振频率。对应于上述值的系数 Q 大约为 14。

图 4 显示了初始化电路如何起动共振循环。当复位线 48（图 2B）上的复位信号 60 是有效的 62 时，将迫使节点 X1 处的电压约等于节点 Y1 处的电源电压，节点 X2 处的电压约等于节点 Y2 处的地电压。当在 tRST 处复位信号为无效的 64 时，X1 和 X2 间的电压将以已知的频率 ω_0 振荡。因为 RLC 共振电路是有损耗的，所以振荡随时间衰减 66，其中衰减率与电路的系数 Q 有关。还应注意到，图 4 显示在 X1 处所测量的振荡 68 或在 X2 处所测量的振荡 70，它们最好关于地电位对称以避免在电感器中有直流电流动。在其它实施例中，在 X1 和 X2 处的振荡关于直流（dc）电压对称。

图 5 以方框图的形式显示了共振逻辑电路 46。共振逻辑电路 46 包括逻辑路径电路 80，其具有一根逻辑输入线 82 以及与节点 X1 连接的输出 84，一个第一预充电路径 86 和一个第二预充电路径 88。逻辑路径电路 80 以串联的方式与 MOS（金属氧化物半导体）晶体管 90 连接，该组合连接于节点 X1 和 X2 之间。MOS（金属氧化物半导体）晶体管的门电路连接有时钟线 92。第一预充电路径 86 连接于节点 X1 和 X2 之间，并因此与串联的逻辑路径 80 和晶体管 90 并联。第二预

充电路径 88 还连接于节点 X3 和 X2 之间，其中节点 X3 充当用于共振逻辑电路的虚假负载。晶体管 94 还连接于节点 X3 和 X2 之间，且被配置成以用于将节点 X1 的输出反相，使得当第一预充电路径 86 和第二预充电路径 88 未被激活时，节点 X1 和节点 X3 具有互补逻辑电平。寄生电容 C1 96 和 C2 98 被显示分别与节点 X1 和 X3 相连，外部负载电容 100 位于节点 X1 即输出节点处。

参看图 6，并假设节点 X1 和 X3 在初始时被预充电，使其具有大约相当于主电源电压的正电压（典型地为 $V_{dd}-V_t$ ，其中 V_{dd} 为主电源电压， V_t 为 MOS 晶体管的阈电压），并且节点 X2 在初始时被接地以预放电，则一个周期的两个相位可看作是相同的。在该周期的第一相位 120、122、124、126，即，评估阶段期间，在该时钟线上的时钟信号是高的（有效的，VDD），节点 X1 的正值比 X2 多，使得逻辑路径电路可以工作。如果逻辑路径电路未导通 128，由于在逻辑输入上的信号的状态，那么节点 X1 保持预充电，并且晶体管将节点 X1 的高输出反相以生成节点 X3 上的信号。这使得节点 X3 通过晶体管被放电至节点 X2。如果逻辑路径电路在评估阶段导通 130，则节点 X1 通过时钟晶体管被放电至节点 X2，节点 X3 保持预充电。现在节点 X1 的 132 处为“0”而节点 X3 的 134 处为“1”。节点 X1 和节点 X3 上的电容负载大致相等，这使得无论逻辑路径电路是否导通，在该周期的第一相位期间都有大致相等的能量被储存于能量储存电路中。

在该周期的第二相位 136、138、140 期间，即预充电阶段中，时钟为低电平，节点 X2 上的正值比节点 X1 或节点 X3 都大，并且储存于能量储存电路中的能量通过第一预充电路径或第二预充电路径返回到在评估阶段期间被放电的任何节点 X1 或节点 X3。按此方式，在预充电阶段期间将在评估阶段未被损耗掉的工作能量返回，以重复使用。值得注意的是，时钟信号在工作时的频率和相位与 RLC 电路的共振频率和相位同步。时钟信号的频率和相位与该电路的共振频率之间的精确匹配是重要的，这使得共振逻辑电路至少在半共振频率周

期中工作。在本发明的一个例子（version）中，利用一个 PLL（锁相回路）或等效电路来保持时钟与共振电路间相位和频率的精确匹配。

图 7A 显示了根据本发明的共振“与非”（NAND）门电路。更详细地，图 5 中的逻辑路径电路 80 被配置以通过将两个 MOS（金属氧化物半导体）晶体管 152、154 串联来形成一个具有两输入端的“与非”（NAND）逻辑电路。第一 MOS（金属氧化物半导体）晶体管 152 的门电路 156 与“与非”（NAND）门电路的输入端之一“a”相连，第二 MOS（金属氧化物半导体）晶体管 154 的门电路 158 与另一个“与非”（NAND）门电路的输入端“b”相连。第一预充电路径 160 和第二预充电路径 162 均由半导体二极管（或与晶体管相连的二极管或其它等效件）来实现，两个路径二极管的阳极均与节点 X2 相连。第一预充电路径二极管 160 的阴极与节点 X1 相连，第二预充电路径二极管 162 的阴极与节点 X3 相连。

图 7B 显示了说明“与非”（NAND）电路的工作状况的时序图。节点 X2 振荡时的共振频率与时钟信号 92 同步。当时钟信号 92 处于高电平 170、172、174 时，评估阶段被建立并且逻辑路径电路评估两个逻辑输入端“a”和“b”的状态。如果两个输入端都为高电平（在 170 期间），则用放电电流流入节点 X2 使节点 X1 放电。如果输入“a”或“b”中有一个为低电平（在 172 阶段），则节点 X1 保持预充电（并因此具有逻辑“1”）而反相晶体管 164 使节点 X3 放电给节点 X2，致使节点 X3 变在逻辑“0”。在该周期的预充电阶段 176、178、180 期间，通过第一预充电路径 160 或第二预充电路径 162 将节点 X1 或 X3 中的一个预充电。

图 7C 显示了根据本发明的共振“或”（OR）门电路。在此电路中，逻辑路径电路具有两个部分。将第一部分配置成通过将两个 MOS（金属氧化物半导体）晶体管 190、192 并联在节点 X1 与使逻辑路径工作的时钟晶体管 90 之间以形成一个具有两输入端的“或”（OR）电路。第二部分被配置成以在节点 X4 和时钟线 92 之间形成逻辑反相器 194。

第一预充电路径通过连接于节点 X1 和 X2 之间的二极管 160 来实现，第二预充电路径通过连接于节点 X3 和 X2 之间的二极管 162 来实现。节点 X3 和 X2 之间连接有反相晶体管 164，其门电路与节点 X1 相连以使 X1 和 X3 在评估阶段期间具有互补逻辑电平。

逻辑路径电路的第二部分，反相器 194，及一个附加预充电路径 196 并联连接在节点 X4 与时钟线之间。反相器电路 194 包括串联连接的 PMOS（P 沟道金属氧化物半导体）晶体管 200 与 NMOS（N 沟道金属氧化物半导体）晶体管 202，其中每一个晶体管的门电路相互连接并连接到节点 X1，每一个晶体管的漏极相互连接以形成反相器 194 的输出节点 X5。PMOS（P 沟道金属氧化物半导体）晶体管 200 的源极与节点 X4 相连，NMOS（N 沟道金属氧化物半导体）晶体管 202 的源极与预放电晶体管 204 的漏极相连，晶体管 204 的源极与时钟线 92 相连而其门电路与节点 X2 相连。反相器 194 的门电路与节点 X1 相连以接收“非或”（OR）电路的输出。预放电晶体管 204 的配置使其在时钟 92 为低电平而节点 X2 为高电平时（在图 7D 中的 216 或 218 期间）导通。预放电晶体管 204 的作用是在预充电阶段对节点 X5 放电。当时钟线 92 上的信号为高电平时，位于节点 X4 与时钟线之间的附加预充电路径 196 工作以使节点 X4 预充电。

图 7D 说明了图 7C 中电路的工作情况。在预充电阶段 216、218，对节点 X1、X3 和 X4 预充电，并且因为节点 X1 被预充电以及用于反相器的预放电晶体管导通，使得预放电后的反相器的输出 X5 的电压接近于地电压。在下一个相位期间，即评估阶段 210、212、214 期间，时钟晶体管能使“或非”（NOR）电路根据输入端给“或非”（NOR）电路的 156、158 的逻辑状态来改变节点 X1 的状态。如果任何一个逻辑输入端为高电平，例如在 210 或 214 期间，则将节点 X1 放电到节点 X2。如果没有一个输入端为高电平，例如在 212 期间，则将节点 X3 放电到节点 X2（因为晶体管 164 导通），从而无论逻辑输入端为何状态，均向与节点 X2 相连的能量储存电路提供大致相同的能量。因

此在评估阶段期间在节点 X1 上实现“或非”(NOR)功能。

此外,在评估阶段期间,如果“或非”(NOR)电路的输出为高电平,由于节点 X1 保持预充电,则反相器 194 的输出 X5 保持低电平。但是,如果“或非”(NOR)电路的输出为低电平,由于节点 X1 被预放电,则反相器 194 的输出 X5 被充电至高电平,这是因为反相器 194 的 PMOS (P 沟道金属氧化物半导体)晶体管 200 将节点 X5 与在预充电阶段被充电至高电平的节点 X4 相连。通过与时钟线连接的时钟驱动电路(未显示出)恢复反相器电路的工作能量。

图 8 表示了根据本发明结合有初始化电路 42, 能量储存电路 40 以及自适应电路 44 的共振逻辑电路 46 的实施例。在该图中,逻辑路径 80 和预充电路径 86、88 被显示为方框以简化图示。可将逻辑电路,例如图 7A 和图 7C 中所示的“与非”(NAND)或“或”(OR)电路,代入所示的逻辑路径 80 中,可将图 7A 和 7C 中所示的预充电电路代入所示的预充电路径 86、88 中。

如图 2A 所示的初始化电路 42, 包括与复位线 48 相连的反相器 230; 一对预充电晶体管 232、234, 该预充电晶体管 232、234 的门电路与反相器 230 的输出相连; 以及放电晶体管 236, 该放电晶体管 236 的门电路与复位线 48 相连。预充电晶体管 232 连接于主电源的供给节点 VDD 与节点 X1 之间, 以对节点 X1 预充电, 放电晶体管 236 连接于节点 X2 与地线之间, 以对节点 X2 进行接地放电。

当复位线 48 为高电平时, 放电晶体管 236 导通以对节点 X2 进行放电。与此同时, 反相器电路 230 将复位信号 48 反相并将预充电晶体管 232、234 的门电路驱动至低电平, 以使它们导通。这使得节点 X1 与节点 X3 被预充电至一接近于供给节点 ($V_{dd}-V_t$) 的电压。当复位线 48 返回低电平时, 节点 X2 以由负载电容 C0 96、C1 100 和 C2 98 以及逻辑路径电路和电感器 L 40 中的损失所确定的共振频率开始振荡。因为节点 X1 的负载电容与节点 X3 的负载电容大致相等, 所以无论逻辑电路 46 的逻辑输入端 82 为何状态, 振荡频率都几乎恒定。

自适应电路 44 用于检测何时预充电节点未被充电至足够接近于主电源电压。这表示需要向逻辑电路供应更多的能量，因为一些能量以热的形式损耗掉了。一旦确定预充电电压已经降至低于预定阈值，自适应电路 44 就在工作周期的预充电阶段通过给节点 X1 和节点 X3 增加能量来作出响应。通过此方式，电源补偿电路中的耗散损失。

图 9 显示了根据本发明的一种管线式逻辑电路的方框图。管线式逻辑电路通常被多次需要，因为没有足够的时间在逻辑电路的单个状态中评估复杂的逻辑功能。举例来说，如果图 9 所示的共振电路和时钟以 300MHz 的频率工作，那么逻辑路径仅有约 1.6ns 的时间来确定其输出。对于一个象“与非”(NAND)或“或非”(NOR)功能这样的单一功能来说，这么长的时间可能是足够的，但对于象具有许多输入的二进制加法器电路的复杂功能来说，并没有足够的时间来评估所涉及的逻辑功能。因此，必须将用于此功能的电路分成多个管线级。尽管增加了用于计算逻辑功能结果的时间，但管线可以一次拥有许多不同的逻辑功能，每个功能处于不同的管线级。此技术不仅给予足够的时间来计算复杂的逻辑功能，而且提高了逻辑电路的处理量。

图 9 显示了此管线式逻辑电路的一个实施例。在该图中，共振逻辑电路级 A 46a、B 46b、C 46c、D 46d 连接在一起，前一级的输出即为下一邻接级的输入。每一个共振级均与一个初始化和自适应电路块 252、254、256 连接，并且每一级，A、B、C 或 D，分别接收时钟信号 CLK、CLK1、CLK2、CLK3 以及振荡功率信号 X2A、X2B、X2C、X2D。但是，除第一级外的其它共振级的时钟信号和振荡功率信号都相对于前一级具有一个延迟。在时钟路径中的每个延迟 258、260、262 必须与振荡功率信号路径中的每个延迟 264、266、268 分别精确匹配，使得二者都处于每一级中的锁相和锁频。同时，管线式电路中还包括一个鉴相器 270 以确定时钟信号 92 与节点 X2A 上的共振信号之间的相位差。鉴相器的输出将提供给调谐电路 272，此调谐电路 272 调整节点 X2 上共振信号的相位以保持在时钟和共振功率信号之间的相位

同步。

插入共振级间的延迟 258、260、262 的大小稍微大于共振级在其功率周期 (power cycle) 的评估阶段期间计算其逻辑输出所用的时间。按此方式, 当后继共振级开始其评估阶段时, 稳定的输出 $\alpha 1$ 、 $\alpha 2$ 、 $\alpha 3$ 可提供给该后继共振级。经过 n 个延迟后, 其中 n 表示共振级的数量, 可获得从管线的输出 274。在一个实施例中, 一旦从管线的最后共振级 D 获得输出 274, 第一共振级 A 便可开始其预充电阶段。在另一实施例中, 在第一共振级 A 开始预充电阶段的同时, 管线的最后共振级开始计算其结果。这使得共振级的预充电阶段与评估阶段重叠, 从而每 n 个延迟产生一个新的计算结果, 其中 n 表示共振级的数量。

虽然参照某些最佳实施例相当详细地描述了本发明, 但其它实施方式也是可能的。因此, 所附权利要求的本质和范围不应局限于这里所包含的最佳实施方式的描述。

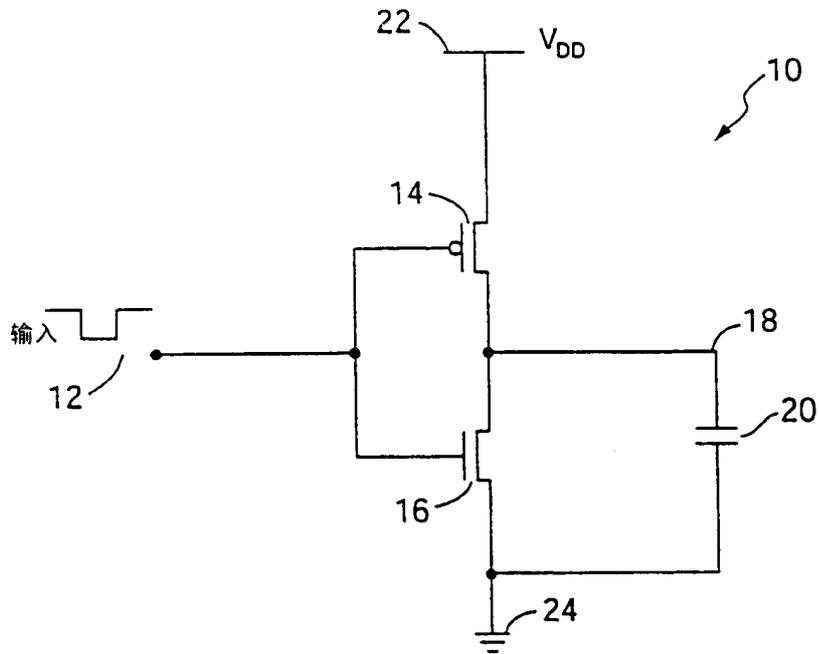


图1

(现有技术)

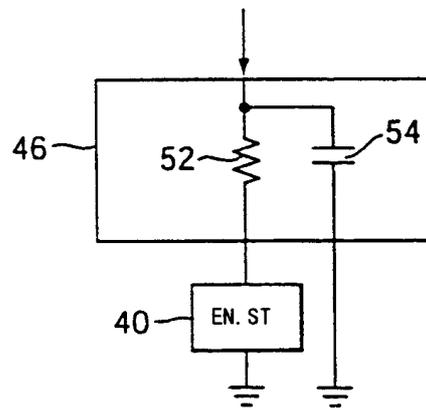


图3

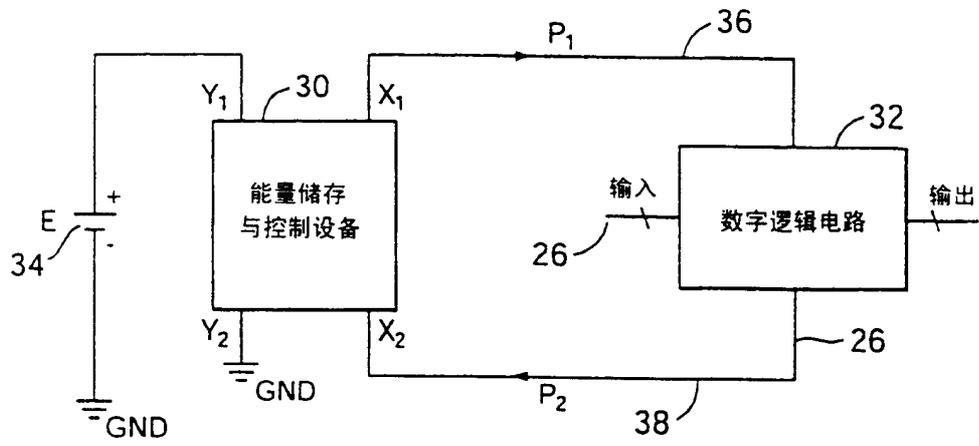


图2A

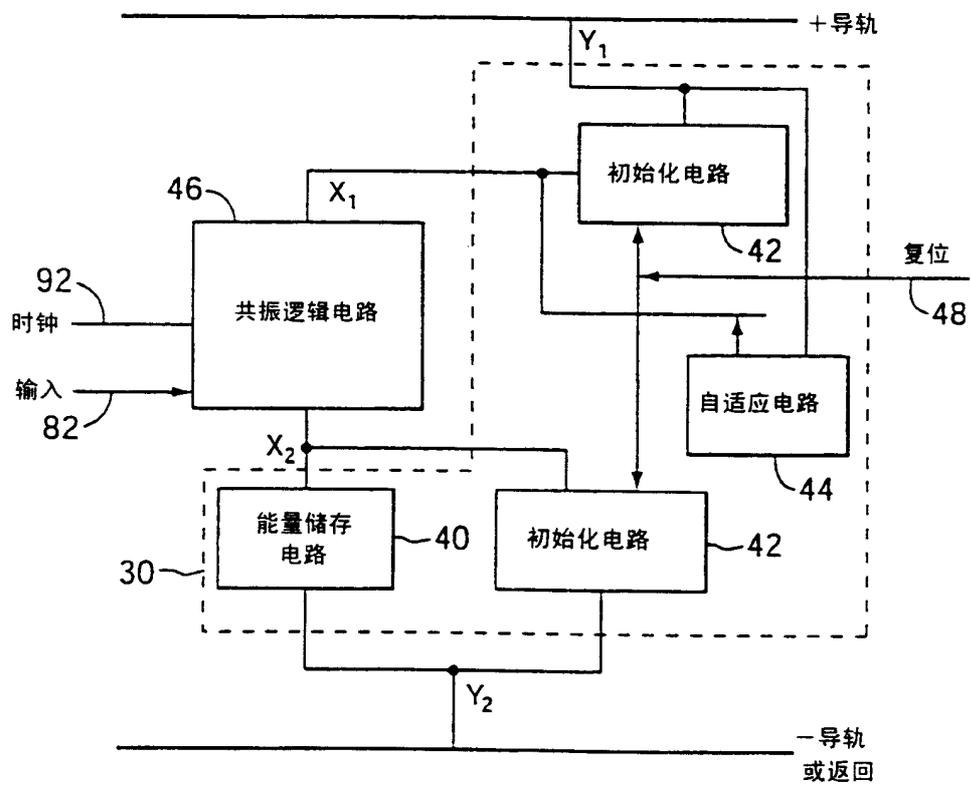


图2B

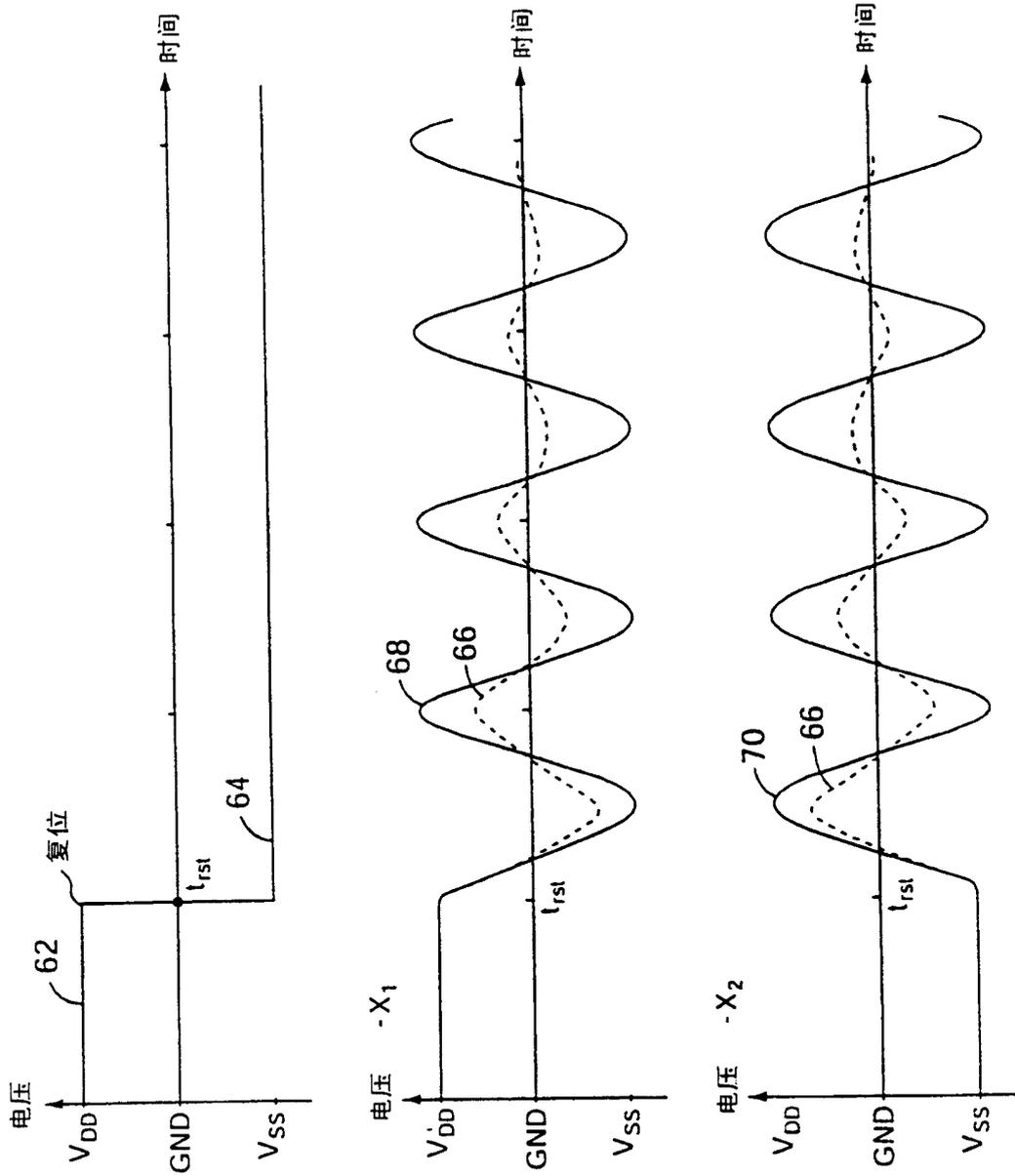


图4

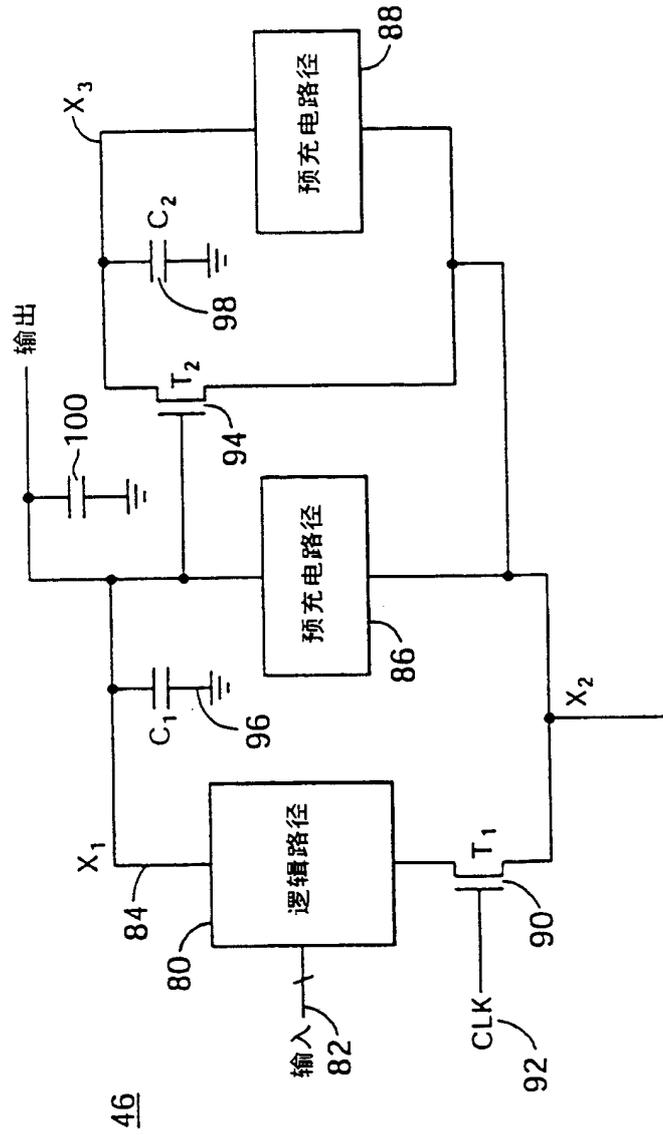


图5

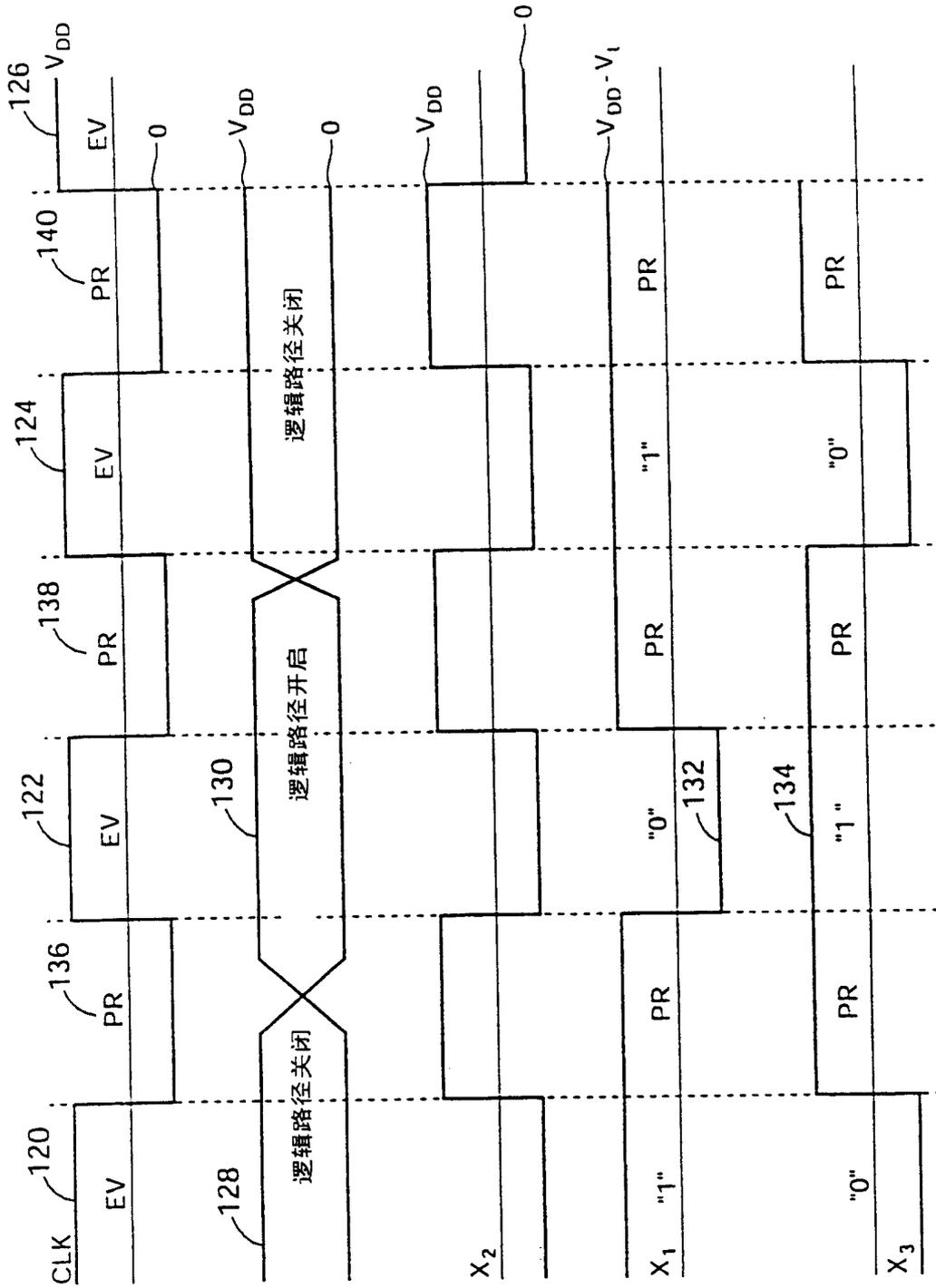


图6

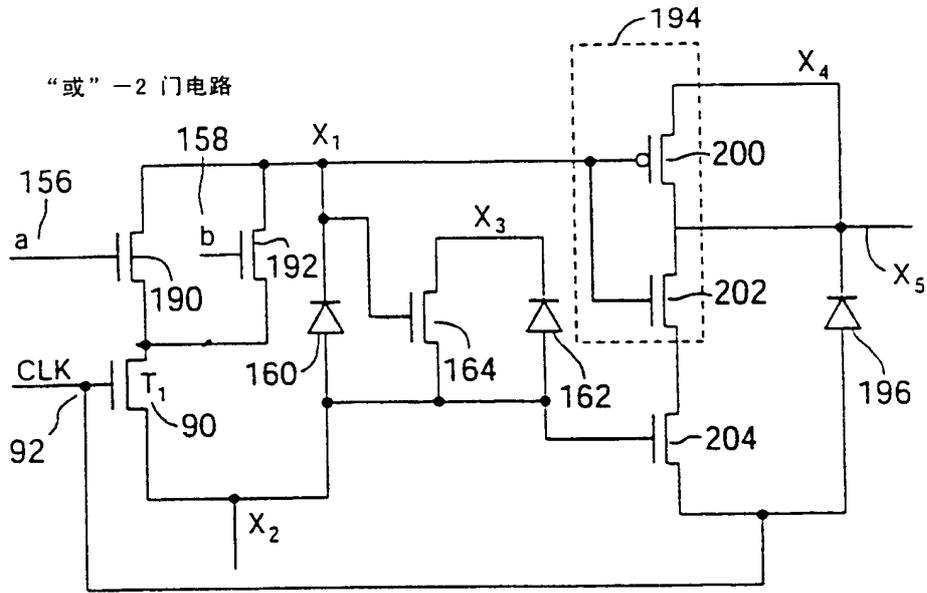


图7C

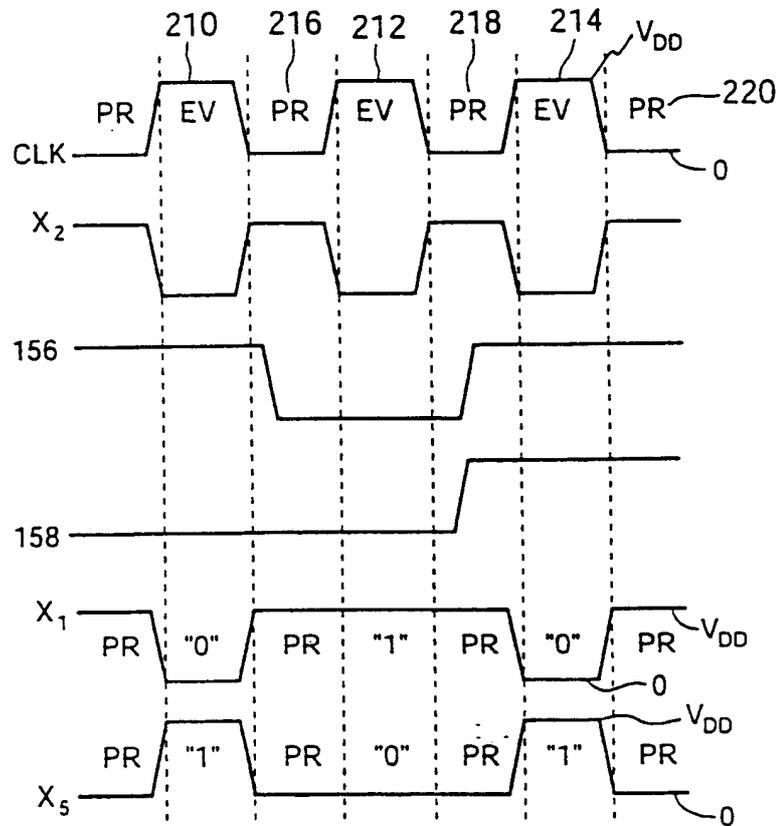


图7D

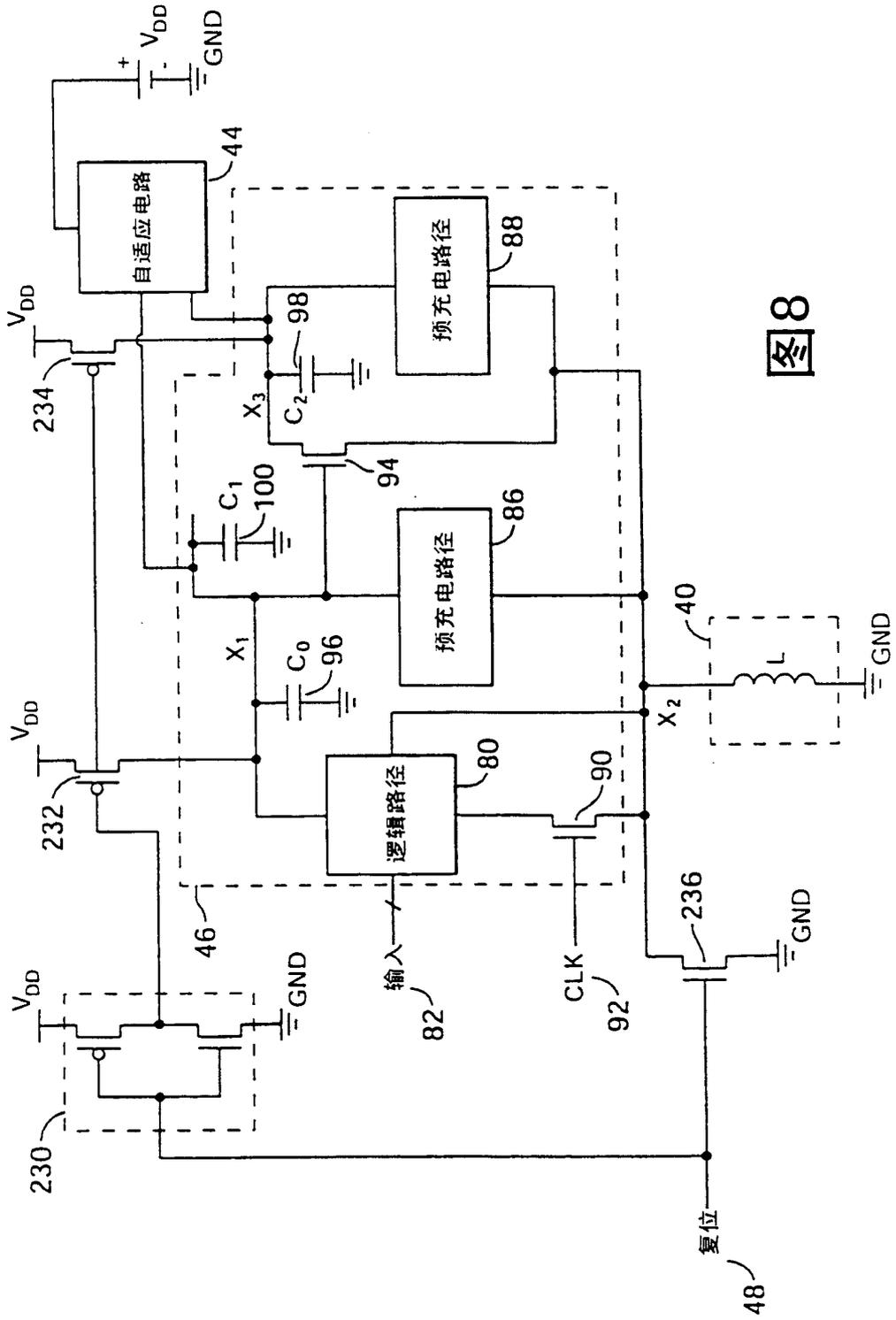


图8

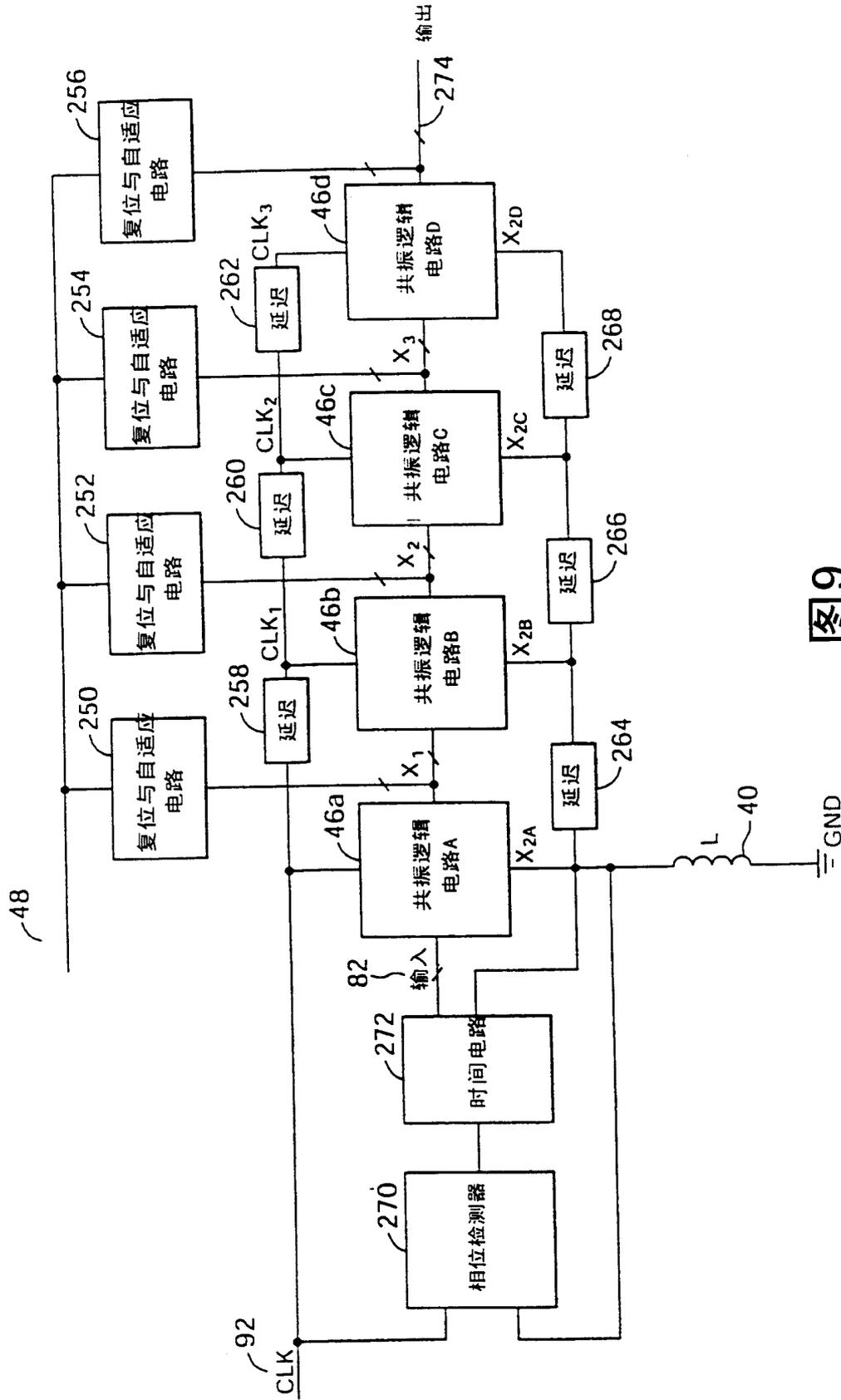


图9