



# (12) 发明专利

(10) 授权公告号 CN 110521002 B

(45) 授权公告日 2022. 11. 11

(21) 申请号 201880023964.4  
 (22) 申请日 2018.05.29  
 (65) 同一申请的已公布的文献号  
 申请公布号 CN 110521002 A  
 (43) 申请公布日 2019.11.29  
 (30) 优先权数据  
 2017-138766 2017.07.18 JP  
 (85) PCT国际申请进入国家阶段日  
 2019.10.09  
 (86) PCT国际申请的申请数据  
 PCT/JP2018/020457 2018.05.29  
 (87) PCT国际申请的公布数据  
 W02019/017076 JA 2019.01.24  
 (73) 专利权人 株式会社日立功率半导体  
 地址 日本茨城县  
 (72) 发明人 森川贵博

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322  
 专利代理师 龙淳

(51) Int.Cl.  
 H01L 29/78 (2006.01)  
 H01L 21/28 (2006.01)  
 H01L 21/336 (2006.01)  
 H01L 29/12 (2006.01)  
 H01L 29/417 (2006.01)

(56) 对比文件  
 WO 2014207856 A1, 2014.12.31  
 JP 2013042075 A, 2013.02.28  
 US 2013299849 A1, 2013.11.14  
 JP 2004039744 A, 2004.02.05  
 US 2004046202 A1, 2004.03.11  
 US 5883412 A, 1999.03.16  
 CN 106104806 A, 2016.11.09

审查员 周天微

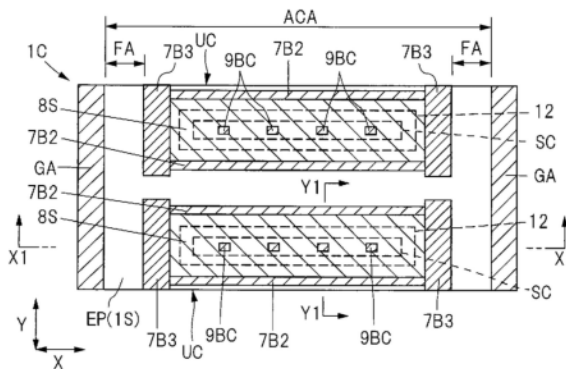
权利要求书4页 说明书16页 附图24页

## (54) 发明名称

半导体器件及其制造方法

## (57) 摘要

本发明能够提高半导体器件的可靠性。在功率半导体器件的单位单元(UC)的与源极区域(8S)的长度方向的两端部相邻的部分中,以覆盖源极区域(8S)的长度方向的两端部的侧部的方式形成p型的短边侧主体区域(7B3)。而且,使p型的短边侧主体区域(7B3)的杂质浓度比p型的长边侧主体区域(7B2)的杂质浓度高。由此,使功率半导体器件的单位单元(UC)的与源极区域(8S)的长度方向的两端部相邻的部分(p型的短边侧主体区域(7B3))的阈值电压比与源极区域(8S)的宽度方向的两端部相邻的部分(p型的长边侧主体区域(7B2))的阈值电压高。



1. 一种半导体器件,其特征在于,包括:

第一导电类型的半导体衬底,其具有第一面和位于所述第一面的相反侧的第二面;

第一导电类型的第一半导体区域,其形成于所述半导体衬底的所述第一面,在平面视图中第一方向的长度比与所述第一方向交叉的第二方向的长度长,并且在截面视图中从所述第一面起在所述半导体衬底的深度方向上延伸;

与所述第一导电类型相反的第二导电类型的第二半导体区域,其设置于所述半导体衬底,在平面视图中覆盖第一半导体区域,并且在截面视图中从所述第一半导体区域的底部起在所述半导体衬底的深度方向上延伸;

第二导电类型的第三半导体区域,其形成于所述半导体衬底的所述第一面,在平面视图中与所述第一半导体区域的所述第二方向的两端部相邻,并且在截面视图中从所述第一面延伸到所述第二半导体区域;和

在所述半导体衬底的所述第一面上隔着绝缘膜设置的栅极电极,

与所述第一半导体区域的所述第一方向的两端部相邻的第一部分的阈值电压,高于与所述第一半导体区域的所述第二方向的两端部相邻的第二部分的阈值电压。

2. 如权利要求1所述的半导体器件,其特征在于:

在所述第一部分中,以覆盖所述第一半导体区域的所述第一方向的两端部的侧部的方式,形成从所述第一面延伸到所述第二半导体区域的第二导电类型的第四半导体区域,

所述第四半导体区域的第二导电类型的杂质的浓度高于所述第三半导体区域的第二导电类型的杂质的浓度。

3. 如权利要求2所述的半导体器件,其特征在于:

所述绝缘膜包括形成在所述第一部分上的第一绝缘膜和形成在所述第二部分上的第二绝缘膜,

所述第一绝缘膜的厚度比所述第二绝缘膜厚。

4. 如权利要求3所述的半导体器件,其特征在于:

位于所述第一半导体区域的所述第一方向的两端部侧的所述栅极电极与所述第一半导体区域的所述第一方向的两端部隔开间隔,

在平面视图中,位于所述第一半导体区域的所述第二方向的两端部侧的所述栅极电极与所述第三半导体区域重叠。

5. 如权利要求1所述的半导体器件,其特征在于:

令所述第一部分的第二导电类型的杂质的浓度为 $NA_1$ ,所述绝缘膜中的、形成在所述第一部分上的第一绝缘膜的厚度为 $t_{ox1}$ ,所述第二部分的第二导电类型的杂质的浓度为 $NA_2$ ,所述绝缘膜中的、形成在所述第二部分上的第二绝缘膜的厚度为 $t_{ox2}$ 时,

满足 $t_{ox1} \times \sqrt{NA_1} > t_{ox2} \times \sqrt{NA_2}$ 的关系。

6. 如权利要求1所述的半导体器件,其特征在于:

所述绝缘膜具有形成在所述第一部分上的第一绝缘膜和形成在所述第二部分上的第二绝缘膜;

所述第一绝缘膜的厚度比所述第二绝缘膜厚。

7. 如权利要求6所述的半导体器件,其特征在于:

位于所述第一半导体区域的所述第一方向的两端部侧的所述栅极电极,以与所述第一

半导体区域的所述第一方向的两端部隔开间隔的状态形成在所述第一绝缘膜上，

位于所述第一半导体区域的所述第二方向的两端部侧的所述栅极电极，以在平面视图中与所述第三半导体区域重叠的状态形成在所述第二绝缘膜上。

8. 如权利要求1所述的半导体器件，其特征在于：

在所述栅极电极中，形成有在平面视图中与所述第一半导体区域重叠的开口部，

所述开口部的所述第一方向的两端部位于所述第一半导体区域的所述第一方向的两端部的外侧，

所述开口部的所述第二方向的两端部位于所述第一半导体区域的所述第二方向的两端部的内侧。

9. 如权利要求1所述的半导体器件，其特征在于：

所述半导体衬底由碳化硅构成。

10. 一种半导体器件的制造方法，其特征在于，包括：

(a) 从包括第一面和位于所述第一面的相反侧的第二面的第一导电类型的半导体衬底的所述第一面一侧掺入第一杂质，在所述第一面形成第一导电类型的第一半导体区域的步骤，其中所述第一半导体区域在平面视图中的第一方向的长度比与所述第一方向交叉的第二方向的长度长，且在截面视图中从所述第一面起在所述半导体衬底的深度方向上延伸；

(b) 从所述第一面侧掺入第二杂质，在所述第一半导体区域的底部侧形成与所述第一导电类型相反的第二导电类型的第二半导体区域的步骤，其中所述第二半导体区域在平面视图中覆盖所述第一半导体区域，并且在截面视图中从所述第一半导体区域的底部起在所述半导体衬底的深度方向上延伸；

(c) 从所述第一面侧掺入第三杂质，形成第二导电类型的第三半导体区域的步骤，其中所述第三半导体区域位于在平面视图中与所述第一半导体区域的所述第二方向的两端部相邻的部分，并且在截面视图中从所述第一面延伸到所述第二半导体区域；

(d) 从所述第一面侧掺入第四杂质，形成第二导电类型的第四半导体区域的步骤，其中所述第四半导体区域位于在平面视图中与所述第一半导体区域的所述第一方向的两端部相邻的部分，并且在截面视图中从所述第一面延伸到所述第二半导体区域；

(e) 在所述半导体衬底的所述第一面上形成绝缘膜的步骤；和

(f) 在所述绝缘膜上形成栅极电极的步骤，

所述(c)步骤包括：

(c1) 使用所述(a)步骤中使用的掩模，从在截面视图中相对于所述第一面的法线倾斜的方向对在平面视图中与所述第一半导体区域的所述第二方向的一端部相邻的部分掺入所述第三杂质的步骤；和

(c2) 使用所述(a)步骤中使用的掩模，从在截面视图中相对于所述第一面的法线倾斜的方向对在平面视图中与所述第一半导体区域的所述第二方向的另一端部相邻的部分掺入所述第三杂质的步骤。

11. 如权利要求10所述的半导体器件的制造方法，其特征在于：

所述(e)的步骤包括：

(e1) 在与所述第一半导体区域的所述第一方向的两端部相邻的第一部分上形成第一绝缘膜的步骤；和

(e2) 在与所述第一半导体区域的所述第二方向的两端部相邻的第二部分上形成第二绝缘膜的步骤，

所述第一绝缘膜的厚度比所述第二绝缘膜的厚度厚。

12. 如权利要求11所述的半导体器件的制造方法，其特征在于：

所述(f)步骤包括：

(f1) 在所述绝缘膜上沉积多晶硅膜的步骤；和

(f2) 对所述多晶硅膜进行加工，形成所述栅极电极的步骤，

位于所述第一半导体区域的所述第一方向的两端部侧的所述栅极电极与所述第一半导体区域的所述第一方向的两端部隔开间隔，

在平面视图中，位于所述第一半导体区域的所述第二方向的两端部侧的所述栅极电极与所述第三半导体区域重叠。

13. 如权利要求11所述的半导体器件的制造方法，其特征在于：

令所述第一部分的第二导电类型的杂质的浓度为 $NA_1$ ，所述绝缘膜中的、形成在与所述第一半导体区域的所述第一方向的两端部相邻的第一部分上的第一绝缘膜的厚度为 $t_{ox1}$ ，所述第二部分的第二导电类型的杂质的浓度为 $NA_2$ ，所述绝缘膜中的、形成在与所述第一半导体区域的所述第二方向的两端部相邻的第二部分上的第二绝缘膜的厚度为 $t_{ox2}$ 时，

满足 $t_{ox1} \times \sqrt{NA_1} > t_{ox2} \times \sqrt{NA_2}$ 的关系。

14. 一种半导体器件的制造方法，其特征在于，包括：

(a) 从包括第一面和位于所述第一面的相反侧的第二面的第一导电类型的半导体衬底的所述第一面一侧掺入第一杂质，在所述第一面形成第一导电类型的第一半导体区域的步骤，其中所述第一半导体区域在平面视图中的第一方向的长度比与所述第一方向交叉的第二方向的长度长，且在截面视图中从所述第一面起在所述半导体衬底的深度方向上延伸；

(b) 从所述第一面侧掺入第二杂质，在所述第一半导体区域的底部侧形成与所述第一导电类型相反的第二导电类型的第二半导体区域的步骤，其中所述第二半导体区域在平面视图中覆盖所述第一半导体区域，并且在截面视图中从所述第一半导体区域的底部起在所述半导体衬底的深度方向上延伸；

(c) 从所述第一面侧掺入第三杂质，形成第二导电类型的第三半导体区域的步骤，其中所述第三半导体区域位于在平面视图中与所述第一半导体区域的所述第二方向的两端部相邻的部分，并且在截面视图中从所述第一面延伸到所述第二半导体区域；

(d) 在所述半导体衬底的所述第一面上形成绝缘膜的步骤；和

(e) 在所述绝缘膜上形成栅极电极的步骤，

所述(d)步骤包括：

(d1) 在与所述第一半导体区域的所述第一方向的两端部相邻的第一部分上形成第一绝缘膜的步骤；和

(d2) 在与所述第一半导体区域的所述第二方向的两端部相邻的第二部分上形成第二绝缘膜的步骤，

所述第一绝缘膜的厚度比所述第二绝缘膜的厚度厚。

15. 如权利要求14所述的半导体器件的制造方法，其特征在于：

所述(e)步骤包括：

(e1) 在所述绝缘膜上沉积多晶硅膜的步骤;和

(e2) 对所述多晶硅膜进行加工,形成所述栅极电极的步骤,

位于所述第一半导体区域的所述第一方向的两端部侧的所述栅极电极,以与所述第一半导体区域的所述第一方向的两端部隔开间隔的状态形成在所述第一绝缘膜上,

位于所述第一半导体区域的所述第二方向的两端部侧的所述栅极电极,以在平面视图中与所述第三半导体区域重叠的状态形成在所述第二绝缘膜上。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体器件及其制造技术,例如涉及应用于功率半导体器件及其制造方法有效的技术。

### 背景技术

[0002] 作为本技术领域的背景技术,有日本特开2004-39744号公报(专利文献1)。该公报中,记载了隔着通过锥形蚀刻在图案侧壁上形成了倾斜的掩模材料,以SiC衬底的法线为轴使SiC衬底旋转,同时相对于SiC衬底的法线方向倾斜地将杂质离子注入,形成低浓度基极区域和高浓度基极区域的技术。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2004-39744号公报

### 发明内容

[0006] 发明要解决的课题

[0007] 上述专利文献1中,记载了用同一掩模自匹配地形成垂直MOSFET的源极区域和沟道区域的技术。另外,专利文献1中,举例示出了垂直MOSFET的条型的单元。条型的单元(源极区域)的平面视图中的形状形成为一个方向的长度比与该一个方向正交的另一方向的长度长的带状。

[0008] 但是,专利文献1中,在与条型的单元(源极区域)的长度方向的两端部相邻的部分中,不一定充分地注入了相对于源极区域相反的导电类型的杂质。因此,与条型的单元(源极区域)的长度方向的两端部相邻的部分的阈值电压,和与条型的单元(源极区域)的宽度方向(短边方向)的两端部相邻的部分的阈值电压大致相同或者更低。结果,存在在条型的单元的长度方向的两端部产生漏电流、半导体器件的可靠性降低的课题。

[0009] 本发明的目的在于提供一种能够提高半导体器件的可靠性的技术。

[0010] 用于解决课题的技术方案

[0011] 为了解决上述课题,本发明在半导体衬底的第一面上形成了第一导电类型的第一半导体区域,该第一半导体区域在平面视图中的第一方向的长度比与第一方向交叉的第二方向的长度长,并且在截面视图中从第一面起在半导体衬底的深度方向上延伸。另外,至少在与第一半导体区域的第二方向的两端部相邻的部分上隔着绝缘膜设置了栅极电极。而且,使平面视图中与第一半导体区域的第一方向的两端部相邻的部分的阈值电压比与第一半导体区域的第二方向的两端部相邻的部分的阈值电压高。

[0012] 发明效果

[0013] 根据本发明,能够提高半导体器件的可靠性。

[0014] 上述以外的课题、结构和效果将通过以下实施方式的说明而说明。

**附图说明**

- [0015] 图1是本发明人研究的功率半导体器件的单位单元的平面图。
- [0016] 图2是图1的X10-X10线的截面图。
- [0017] 图3是构成实施方式1的半导体器件的半导体芯片的一例的平面图。
- [0018] 图4是图3的用虚线包围的区域A1的一例的放大平面图。
- [0019] 图5是图3的用虚线包围的区域A2的由多晶硅构成的栅极电极的一例的放大平面图。
- [0020] 图6是图3的用虚线包围的区域A2的活性区域的一例的放大平面图。
- [0021] 图7是图6的X1-X1线和Y1-Y1线的截面图。
- [0022] 图8是表示短边侧主体区域的变形例的半导体衬底的主要部分平面图。
- [0023] 图9是图6的Y1-Y1线的截面图。
- [0024] 图10是构成实施方式1的半导体器件的埋置主体区域的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0025] 图11是构成实施方式1的半导体器件的源极区域的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0026] 图12左右是构成实施方式1的半导体器件的长边侧主体区域的形成步骤时的相当于图6的Y1-Y1线的部位的截面图。
- [0027] 图13是长边侧主体区域的形成步骤后的半导体衬底的活性区域的主要部分平面图。
- [0028] 图14左侧是图13的Y1-Y1线的截面图,右侧是图13的X1-X1线的截面图。
- [0029] 图15左右是构成实施方式1的半导体器件的主体接触区域的形成步骤时相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0030] 图16左右是构成实施方式1的半导体器件的短边侧主体区域的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0031] 图17是表示构成实施方式1的半导体器件的主体接触区域和短边侧主体区域的形成步骤的变形例的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0032] 图18是主体接触区域和短边侧主体区域的形成步骤后的半导体衬底的活性区域的主要部分平面图。
- [0033] 图19是构成实施方式1的半导体器件的栅极电极的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0034] 图20是图19的步骤后的半导体器件的制造步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0035] 图21是实施方式2的半导体器件的活性区域的主要部分放大平面图。
- [0036] 图22是图21的X1-X1线的截面图。
- [0037] 图23是表示场绝缘膜的变形例的半导体衬底的主要部分平面图。
- [0038] 图24是构成实施方式2的半导体器件的场绝缘膜的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。
- [0039] 图25是图24的步骤后的构成实施方式2的半导体器件的多晶硅膜的成膜步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0040] 图26是图25的步骤后的构成实施方式2的半导体器件的源极接触形成步骤后的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0041] 图27是实施方式3的半导体器件的活性区域的主要部分放大平面图。

[0042] 图28是图27的X1-X1线的截面图。

### 具体实施方式

[0043] 以下,对于实施方式使用附图进行说明。但是,本发明并不由以下所示的实施方式的记载内容限定地解释。本领域技术人员容易理解在不脱离本发明的思想或主旨的范围内,可以变更其具体的结构。

[0044] 在以下说明的发明的结构中,在不同的附图之间,对于同一部分或具有同样的功能的部分共通地使用同一附图标记,有时省略重复的说明。另外,本说明书等中的“第一”、“第二”、“第三”等表述是为了识别构成要素而附加的,并不限定数量或顺序。

[0045] 另外,关于附图等中示出的各结构的位置、大小、形状、范围等,有时为了使发明的理解变得容易,而不表示实际的位置、大小、形状、范围等。因此,本发明并不限定于附图等中示出的位置、大小、形状、范围等。

[0046] 本说明书中用单数形式表述的构成要素,只要上下文中没有特别示出,就包括复数形式。

[0047] <发明人的研究>

[0048] 近年来,促进能量的有效利用的功率电子技术正在受到关注。功率电子设备负责电力的变换和控制,要求作为其关键的功率半导体器件的性能提高。

[0049] 作为功率半导体器件的衬底,以往使用硅(Si)衬底,实现了Si类功率半导体器件的低损耗化和性能提高,结果,其器件性能逐渐接近由Si的材料物性决定的理论极限,逐渐成为今后难以进一步性能提高的状况。

[0050] 在这样的状况中,使用碳化硅(SiC)和氮化镓(GaN)等宽带隙半导体的低损耗功率半导体器件受到了积极研究。SiC和GaN与Si相比,绝缘破坏电场强度大约1个数量级,能够使漂移层变薄。因此,使用了宽带隙半导体的功率半导体器件与Si类功率半导体器件相比,能够实现导通电阻的低电阻化、即低损耗化。

[0051] 使用SiC衬底的功率MOSFET(Metal Oxide Semiconductor Field Effect Transistor)的制造中,通过选择性离子注入形成了n型的源极区域和p型的主体区域等。在该杂质离子注入时,通常对于n型的源极区域和p型的主体区域分别进行光刻,使用分别的掩模注入杂质。该情况下,难以进行2次光刻步骤的各自的掩模的重叠,在使用步进型光刻机的情况下,典型而言产生0.1~0.3 $\mu\text{m}$ 程度的对齐误差。另外,因为曝光量和温度的微小变化,显影后形成的抗蚀掩模的尺寸也可能变动。因为沟道长度通常不足1 $\mu\text{m}$ ,所以因重叠误差和尺寸变动而产生的器件性能的变化和误差不能忽略。

[0052] 另外,为了获得低导通电阻而优选使沟道长度缩短,但过短时会发生穿通,不能保持规定的耐压。从而,需要为了即使沟道长度因对齐误差而变短、也不发生穿通而具有充分的裕度地设计沟道长度的中心值,但这会导致导通电阻和开关损耗的增大。

[0053] 于是,对于上述重叠误差的问题,提出了用1次光刻步骤形成源极区域和主体区域的、所谓自匹配工艺。通过自匹配工艺,能够不受因上述2次曝光而产生的对齐误差和尺寸

变动的影晌地规定沟道长度,能够无误差地制造短沟道、低导通电阻的功率MOSFET。

[0054] 作为自匹配工艺的一例,专利文献1中,公开了在垂直MOSFET的制造方法中,使用同一掩模对源极区域和沟道区域进行离子注入的方法。根据该专利文献1的方法,对于形成了掩模的衬底,从衬底表面的法线方向进行源极区域的N型杂质的注入,进而,以相对于衬底法线方向倾斜的角度进行P型杂质的注入,由此在掩模下方形成了沟道。另外,专利文献1中,公开了以横穿条状的单元的方式从斜方向进行2次离子注入的方法。

[0055] 但是,本发明人对于专利文献1进行了研究,得知了制造的MOSFET中存在问题。即,专利文献1的方法中,在与构成条状的单元单元的N型的源极区域的长度方向的两端部相邻的部分中,不一定充分地注入了P型杂质。因此,相比于与该源极区域的宽度方向(短边方向)的两端部(长边)相邻的部分的阈值电压,与该源极区域的长度方向的两端部(短边)相邻的部分的阈值电压更低。通常,在与N型的源极区域的宽度方向的两端部(长边)相邻的部分形成的沟道中流过的电流是导通的主成分。另一方面,在与N型的源极区域的长度方向的两端部(短边)相邻的部分形成的沟道中流过的电流是漏电流。而且,该漏电流多的元件被视为不良品。

[0056] 另外,专利文献1中,公开了从使衬底旋转90度的方向进一步追加2次离子注入的方法、和使衬底旋转同时进行离子注入的方法。此处,图1是本发明人研究的功率半导体器件的单元单元的平面图,图2是图1的X10-X10线的截面图。图1中举例示出了平面视图中形成为带状的2个单元单元100。进行专利文献1中记载的上述离子注入的情况下,以包围单元单元100的N型的源极区域101的外周的方式形成P型的主体区域102。因此,能够使与N型的源极区域101的长度方向的两端部(短边)相邻的部分的阈值电压、和与N型的源极区域101的宽度方向的两端部(长边)相邻的部分的阈值电压大致相同。

[0057] 但是,专利文献1中,关于从单元单元100(N型的源极区域101)的长度方向的两端部流过漏电流 $I_L$ 的课题并未提及和公开。并且,专利文献1中,在达成功率半导体器件的高速开关的观点等上,将与N型的源极区域的宽度方向的两端部(短边)相邻的部分的阈值电压设定为较低,所以与N型的源极区域的长度方向的两端部(短边)相邻的部分的阈值电压也降低。从而,即使进行如上所述的离子注入,也如图1所示,在功率MOSFET工作时通过在与单元单元100的宽度方向的两端部(长边)相邻的部分形成的沟道流过正规的电流时,从单元单元100的长度方向的两端部(短边)流过不需要的漏电流 $I_L$ 。结果,存在功率半导体器件的可靠性降低的课题。而且,专利文献1的情况下,进行2次追加注入,所以沟道的离子注入耗费2倍的时间,生产效率降低。另外,使衬底旋转同时注入的方法也同样需要制造时间,并且也存在离子注入装置的结构变得复杂的问题。即,这些方法在使大致正方形形状的单位单元阵列状地配置的情况下是有效的,但对于条型的单元单元存在问题。

[0058] (实施方式1)

[0059] <半导体器件的结构例>

[0060] 对于本实施方式1的半导体器件的结构例参考图3~图8进行说明。另外,本申请说明书中平面视图指的是从与半导体衬底的主面垂直的方向观察的情况。另外,图中的箭头X、Y表示在平面视图中相互交叉(优选正交)的2个方向。

[0061] 本实施方式1的半导体器件例是具有n沟道型的垂直双扩散MOSFET(Double diffused MOSFET:以下简称为DMOSFET)的开关器件(功率半导体器件)。图3是构成本实施

方式1的半导体器件的半导体芯片的一例的平面图。另外,图1的区域A1、A2并不是实际形成的,而是为了说明而图示的。

[0062] 半导体芯片(以下简称为芯片)1C例如形成为平面视图中大致四边形形状。在该芯片1C的主面内,在外周边缘部设置有终端区域(所谓保护环区域)GA。终端区域GA例如由p型(第二导电类型)的半导体区域形成,具有电场缓和功能等。在该终端区域GA中,例如掺入了铝(A1)或硼(B)等p型杂质。

[0063] 在芯片1C的主面内,在终端区域GA的内侧,以相互绝缘的状态设置了DMOSFET(开关晶体管)的源极电极2S和栅极电极2G。源极电极2S和栅极电极2G例如通过使钛(Ti)膜、氮化钛(TiN)膜、铝膜(A1)从下层起顺次叠层而形成。该源极电极2S和栅极电极2G被芯片1C的主面上的表面保护膜(未图示)覆盖,但源极电极2S和栅极电极2G的一部分通过在表面保护膜的一部分形成的开口部露出。从该表面保护膜上形成的开口部露出的源极电极2S和栅极电极2G的一部分成为源极焊盘和栅极焊盘。另外,在源极电极2S和栅极电极2G的下层形成了后述的由多晶硅构成的栅极电极。

[0064] 图4是图3的用虚线包围的区域A1的一例的放大平面图。另外,图4中,示出了除去源极电极2S、栅极电极2G和其下层的栅极电极后的状态。

[0065] 在芯片1C的主面内在终端区域GA的内侧,配置了有源区域ACA。在该有源区域ACA中,例如配置了构成DMOSFET的条型的单位单元UC。即,在有源区域ACA中,平面视图中X方向(第一方向)的尺寸比Y方向(第二方向)的尺寸长的带状的多个单位单元UC沿着Y方向每隔规定的间隔配置。

[0066] 该多个单位单元UC电并联地连接。通过增加并联连接该单位单元UC的数量(即,在有源区域ACA内铺设的单位单元UC的数量)、延长在有源区域ACA中配置的沟道的宽度,能够减小芯片1C整体的DMOSFET的电阻。

[0067] 另外,在有源区域ACA内,在各单位单元UC的长度方向(X方向)的两端部与终端区域GA的内周之间配置了场区域FA。即,各单位单元UC的长度方向的两端部与终端区域GA的内周分离。

[0068] 图5是图3的用虚线包围的区域A2的由多晶硅构成的栅极电极的一例的放大平面图,图6是图3的用虚线包围的区域A2的活性区域的一例的放大平面图,图7是图6的X1-X1线和Y1-Y1线的截面图。另外,图5示出了除去芯片1C的源极电极2S后的状态,图6示出了除去图5的由多晶硅构成的栅极电极层后的状态。另外,图7的箭头Z表示与芯片1C的主面交叉(优选正交)的方向。

[0069] 构成芯片1C的半导体衬底1S,例如由碳化硅(SiC)等宽带隙半导体形成。该半导体衬底1S具有衬底层SB、和在其上方形成的外延层EP。衬底层SB例如由n<sup>+</sup>型的SiC构成,外延层例如由n<sup>-</sup>型的SiC构成。在衬底层SB和外延层EP中,例如掺入了氮(N)或磷(P)等n型杂质。半导体衬底1S具有外延层EP的主面(第一面)、和其相反侧的衬底层SB的主面(第二面)。外延层EP的主面相当于芯片1C的主面。另外,在衬底层SB的主面上形成有漏极电极3D。漏极电极3D例如通过使Ti膜、TiN膜、Al膜从下层起顺次叠层而形成。

[0070] 在这样的半导体衬底1S的外延层EP的主面侧,设置了p型的埋置主体区域7B1、n型的源极区域8S、p<sup>+</sup>型的主体接触区域9BC、p型的长边侧主体区域7B2和p型的短边侧主体区域7B3,作为上述单位单元UC的构成要素。以下,对于这些结构进行说明。

[0071] p型的埋置主体区域(第二半导体区域)7B1以覆盖各单位单元UC的源极区域8S的底部的方式,以与各源极区域8S在平面视图中重叠的状态,沿着各源极区域8S的长度方向(X方向)带状地形成。即,如图7右所示,埋置主体区域7B1的长度方向(X方向)的两端到达了终端区域GA。另外,如图7左所示,埋置主体区域7B1的宽度方向(Y方向)的尺寸比源极区域8S的宽度方向(Y方向)的尺寸宽。该埋置主体区域7B1在与外延层EP的主面分离的位置(源极区域8S的底部下方)形成。即,埋置主体区域7B1从源极区域8S的底部向衬底层SB延伸,不到达衬底层SB,而是在外延层EP的深度方向(Z方向)的途中的位置终结。在该埋置主体区域7B1中,例如掺入了Al或硼(B)等p型杂质。

[0072] 在该p型的埋置主体区域7B1上形成有n型(第一导电类型)的源极区域(第一半导体区域)8S。该源极区域8S如图6所示,在平面视图中沿着各单位单元UC的长度方向(X方向)带状地形成。源极区域8S以在平面视图中被各埋置主体区域7B1内包的方式以与埋置主体区域7B1重叠的状态配置。但是,源极区域8S的长度方向的两端部不到达终端区域GA,而是在与终端区域GA分离的位置终结。另外,源极区域8S如图7所示,从外延层EP的主面向衬底层SB延伸,在到达埋置主体区域7B1的位置终结。在该源极区域8S中,例如掺入了氮(N)或磷(P)等n型杂质。对于该源极区域8S,通过源极接触SC电连接了源极电极2S。

[0073] 另外,在源极区域8S中,配置了多个p<sup>+</sup>型的主体接触区域9BC。该主体接触区域9BC是用于使DMOSFET的源极电极2S与埋置主体区域7B1电连接的导通区域。即,如图7所示,主体接触区域9BC从外延层EP的主面起在深度方向上延伸,到达埋置主体区域7B1并终结。由此,源极电极2S通过主体接触区域9BC与埋置主体区域7B1电连接。在该主体接触区域9BC中,例如掺入了Al或硼等p型杂质。

[0074] 此处,主体接触区域9BC例如形成为平面视图中大致四边形形状,在源极区域8S的宽度方向(Y方向)的中央位置,沿着源极区域8S的长度方向(X方向)每隔规定间隔地配置。通过这样使主体接触区域9BC成为小面积,能够增加在有源区域ACA内能够配置的单位单元UC的数量,所以能够减小DMOSFET的导通电阻。但是,主体接触区域9BC的数量、大小或间隔能够进行各种变更。另外,主体接触区域9BC的平面视图的形状也能够进行各种变更,例如也可以改为沿着源极区域8S的长度方向连续地延伸的带状。该情况下,能够减小源极电极2S与埋置主体区域7B1之间的电阻,所以能够提高主体区域的电稳定性。

[0075] 另外,如图6所示,在与各单位单元UC的源极区域8S的宽度方向(Y方向)的两端部(两条长边)相邻的部分(第二部分)中,形成了平面视图中带状的p型的长边侧主体区域(第三半导体区域)7B2。该长边侧主体区域7B2以覆盖源极区域8S的两条长边侧的侧部的方式,从外延层EP的主面向衬底层SB延伸,到达埋置主体区域7B1并终结。在该长边侧主体区域7B2的表层侧,在DMOSFET工作时形成DMOSFET的正规的沟道。即,在DMOSFET工作时,p型的长边侧主体区域7B2的表层倒转为n型而使电子通过。在该长边侧主体区域7B2中,例如掺入了Al或硼等p型杂质。

[0076] 另外,在与各单位单元UC的源极区域8S的长度方向的两端部(两条短边)相邻的部分(第一部分)中,形成了平面视图中带状的p型的短边侧主体区域(第四半导体区域)7B3。该短边侧主体区域7B3以覆盖源极区域8S的两条短边侧的侧部的方式,从外延层EP的主面向衬底层SB延伸,到达埋置主体区域7B1并终结。因此,源极区域8S的整周被p型的主体区域(p型的埋置主体区域7B1、p型的长边侧主体区域7B2和p型的短边侧主体区域7B3)包围。

[0077] 该短边侧主体区域7B3具有在DMOSFET工作时抑制或防止从源极区域8S的长度方向的两端部流过漏电流的功能。在该短边侧主体区域7B3中,例如掺入了Al或硼等p型杂质。此处,短边侧主体区域7B3中含有的p型杂质的浓度,比长边侧主体区域7B2中含有的p型杂质的浓度高。因此,在DMOSFET工作时,p型的短边侧主体区域7B3的表层部倒转为n型而形成沟道时的阈值电压,比p型的长边侧主体区域7B2的表层部倒转为N型而形成沟道时的阈值电压高。结果,在通常的DMOSFET的动作中,能够使通过p型的短边侧主体区域7B3流过的电流(漏电流)与通过p型的长边侧主体区域7B2流过的电流相比非常小。从而,能够减小从源极区域8S的长度方向的两端部流过的漏电流,能够提高具有DMOSFET的功率半导体器件的可靠性。

[0078] 此处,如图6所示,短边侧主体区域7B3按每个单位单元UC分离。但是,短边侧主体区域7B3为了抑制或防止上述漏电流只要以覆盖各单位单元UC的源极区域8S的长度方向的两端部的方式形成即可。图8是表示短边侧主体区域的变形例的半导体衬底的主要部分平面图。图8中,短边侧主体区域7B3以将多个单位单元UC之间连接的方式,以沿着Y方向连续地延伸的状态形成。由此,可以使形成短边侧主体区域7B3时的掩模的开口部的尺寸较大,所以能够更容易地形成短边侧主体区域7B3。

[0079] 在这样的半导体衬底1S的外延层EP的主面上,如图7所示,形成了栅极绝缘膜(第二绝缘膜)10a。栅极绝缘膜10a例如由氧化硅膜( $\text{SiO}_2$ )构成。在栅极绝缘膜10a上形成有栅极电极11G。栅极电极11G例如由低电阻的n型的多晶硅膜构成。该栅极电极11G如图5所示,以在平面视图中覆盖有源区域ACA的方式形成,但与终端区域GA不重叠。

[0080] 在该栅极电极11G的一部分中,形成了各单位单元UC的一部分露出的开口部12。开口部12以在平面视图中与源极区域8S重叠的方式带状地形成。单位单元UC的源极区域8S的一部分和主体接触区域9BC从该开口部12露出。该开口部12的宽度方向和长度方向的两端部位于源极区域8S内。从而,栅极电极11G与源极区域8S的外周的内侧的一部分、长边侧主体区域7B2的整个区域和短边侧主体区域7B3的整个区域在平面视图中重叠。

[0081] 进而,在外延层EP的主面上,以覆盖栅极电极11G的方式沉积了层间绝缘膜13。层间绝缘膜13例如由氧化硅膜( $\text{SiO}_2$ )构成。在该层间绝缘膜13上形成有上述源极电极2S和栅极电极2G。源极电极2S与其下层的栅极电极11G因在其间设置的层间绝缘膜13而电绝缘。另一方面,栅极电极2G与其下层的栅极电极11G通过在层间绝缘膜13中形成的开口部(栅极接触;未图示)电连接。

[0082] 在层间绝缘膜13和栅极绝缘膜10a中,在平面视图中与栅极电极11G的开口部12重叠的位置,比开口部12更小面积的源极接触SC开口。源极区域8S的一部分和主体接触区域9BC从该源极接触SC露出。即,源极电极2S通过源极接触SC与单位单元UC的源极区域8S和主体接触区域9BC电连接。从而,源极区域8S和主体接触区域9BC通过源极电极2S电短路。

[0083] <DMOSFET的动作说明>

[0084] 接着,对于构成本实施方式1的半导体器件的DMOSFET的动作参照图9进行说明。图9是图6的Y1-Y1线的截面图。

[0085] 对开关器件(半导体器件)的栅极电极11G施加正电压时,在p型的长边侧主体区域7B2的表层中栅极绝缘膜10a相接的部分形成沟道。由此,从n型的源极区域8S通过p型的长边侧主体区域7B2的表层的沟道对漏极电极3D流过电子。即,从漏极电极3D通过p型的长边

侧主体区域7B2的表层的沟道对源极电极2S流过电流 $I_{sd}$ 。这样,通过对栅极电极11G施加电压而进行开关动作。

[0086] <半导体器件的制造方法例>

[0087] 接着,对于本实施方式1的半导体器件的制造方法的一例参照图10~图20进行说明。在以下说明时,图示与图6的X1-X1线的截面或Y1-Y1线的截面对应的部分。另外,根据需要也示出平面图。

[0088] <形成埋置主体区域>

[0089] 图10是构成本实施方式1的半导体器件的埋置主体区域的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0090] 首先,例如在由 $n^+$ 型的4H-SiC构成的衬底层SB的主面上,形成由 $n^-$ 型的SiC构成的外延层EP。在衬底层SB中掺入的 $n$ 型杂质例如是氮(N),其杂质浓度例如是 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的范围。

[0091] 外延层EP能够在衬底层SB的主面上例如用外延法形成。外延层EP具有由元件的规格决定的规定厚度和掺杂浓度。外延层EP的厚度例如是 $3 \sim 30 \mu\text{m}$ 的范围。另外,外延层EP中添加的 $n$ 型掺杂例如是氮,其掺杂浓度例如是 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 的范围。

[0092] 接着,在 $n^-$ 型的外延层EP的主面上沉积掩模材料,对其进行图案形成,由此形成掩模MA。掩模MA的平面视图中的形状,形成为使埋置主体区域露出且覆盖除此以外的形状。使用光致抗蚀剂作为掩模MA的材料的情况下,在涂布光致抗蚀剂之后,对其用公知的光刻法进行图案形成,由此形成掩模MA。另外,使用氧化硅( $\text{SiO}_2$ )作为掩模MA的材料的情况下,在沉积氧化硅膜之后,在其上涂布光致抗蚀剂,用公知的光刻法形成抗蚀图案。接着,以该抗蚀图案为蚀刻掩模,例如用反应离子蚀刻法对氧化硅膜进行蚀刻之后,除去光致抗蚀剂,由此形成掩模MA。掩模MA的厚度是对于屏蔽离子注入充分的厚度,例如能够设为 $1.0 \sim 5.0 \mu\text{m}$ 。

[0093] 接着,以掩模MA为离子注入掩模,从外延层EP的主面侧对外延层EP注入 $p$ 型杂质(第二杂质),在外延层EP的元件形成区域中与外延层EP的主面分离的位置形成 $p$ 型的埋置主体区域7B1。作为离子注入的 $p$ 型杂质,例如能够使用铝(Al)或硼(B)。该埋置主体区域7B1的底面侧的深度(从外延层EP的主面起的深度)例如能够设为 $0.5 \sim 2.0 \mu\text{m}$ 程度。另外,该埋置主体区域7B1的主面侧的深度(从外延层EP的主面起的深度)例如能够设为 $0.2 \sim 0.5 \mu\text{m}$ 程度。另外,埋置主体区域7B1上的外延层EP的最表面(从表面起 $0.05 \mu\text{m}$ 以内的深度)区域的 $p$ 型杂质的浓度,例如是 $1 \times 10^{17} \text{ cm}^{-3}$ 以下。另外,埋置主体区域7B1的掺杂浓度例如是 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 的范围。在这样的用于形成埋置主体区域7B1的离子注入步骤之后,除去掩模MA。

[0094] <形成源极区域>

[0095] 图11是构成本实施方式1的半导体器件的源极区域的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0096] 此处,在外延层EP的主面上,形成另外的掩模MB。掩模MB的平面视图中的形状,形成为使源极区域露出且覆盖除此以外的形状。掩模MB的材料和形成方法与掩模MA相同。接着,以掩模MB为离子注入掩模,从外延层EP的主面侧对外延层EP离子注入 $n$ 型杂质(第一杂质),由此形成 $n$ 型的源极区域8S。作为该 $n$ 型杂质,例如能够使用氮(N)或磷(P)。另外,该源极区域8S的杂质浓度,例如能够设为 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的范围。另外,源极区域8S的深度

(从外延层EP的主面起的深度)比埋置主体区域7B1浅,例如能够设为0.01~0.2 $\mu\text{m}$ 程度。

[0097] <形成长边侧主体区域>

[0098] 图12左右是构成本实施方式1的半导体器件的长边侧主体区域的形成步骤时的相当于图6的Y1-Y1线的部位的截面图。

[0099] 此处,如图12左所示,使用与图11相同的掩模MB,从外延层EP的主面侧对外延层EP的主面倾斜地注入p型杂质(第三杂质)。即,以使杂质的离子注入角度相对于外延层EP的主面的法线倾斜了倾斜角度 $\theta$ 的状态,从沿着Y方向的一个方向对外延层EP离子注入p型杂质。由此,能够对被掩模MB遮蔽的部分的一部分(掩模MB端部下方)注入p型杂质,在与源极区域8S的宽度方向的一端部(一方的长边)相邻的部分中,形成长边侧主体区域7B2。

[0100] 此时,作为离子注入的p型杂质,例如能够使用铝或硼。离子注入时的倾斜角度 $\theta$ 例如能够设为15~45度。另外,离子注入时的加速能量,例如优选设为最大300keV~1500keV。由此,p型杂质能够透过掩模MB到达外延层EP。另外,长边侧主体区域7B2的杂质浓度例如是 $1 \times 10^{16} \sim 5 \times 10^{18} \text{cm}^{-3}$ 的范围。

[0101] 接着,如图12右所示,使用与图11相同的掩模MB,对外延层EP的主面倾斜地注入p型杂质(第三杂质)。即,以使杂质的离子注入角度相对于外延层EP的主面的法线倾斜了倾斜角度 $\theta$ 的状态,从与图12左正相反的方向对外延层EP离子注入p型杂质。由此,能够对被掩模MB遮蔽的部分的一部分(掩模MB的端部下方)注入p型杂质,在与源极区域8S的宽度方向的另一端部(另一方的长边)相邻的部分中,形成长边侧主体区域7B2。

[0102] 这2次杂质注入步骤中,仅杂质的注入方向不同,倾斜角度 $\theta$ 和注入离子种类、加速能量和注入量等条件是相同的。但是,存在注入的深度与外延层EP的主面的晶体取向相应地不同的情况。该情况下,通过按杂质的每个注入方向变更倾斜角度 $\theta$ 等注入条件,能够调整为在源极区域8S的宽度方向的两端部侧的2个长边侧主体区域7B2中形成的各沟道的长度和杂质浓度相同。

[0103] 图13是长边侧主体区域的形成步骤后的半导体衬底的活性区域的主要部分平面图,图14左右分别是图13的Y1-Y1线和X1-X1线的截面图。

[0104] 以上步骤后,通过除去掩模MB(参考图11和图12)而在外延层EP的主面上形成源极区域8S和长边侧主体区域7B2。长边侧主体区域7B2如图13所示,以与各源极区域8S的两条长边相邻的状态形成。另外,长边侧主体区域7B2如图14左所示,以覆盖源极区域8S的长边侧的侧部的方式,从外延层EP的主面延伸至埋置主体区域7B1并终结。另外,如图14右所示,在与源极区域8S的长度方向的两端部(短边)相邻的部分侧中,在与外延层EP的主面在深度方向上分离的位置形成了p型的埋置主体区域7B1。但是,在该阶段,在与源极区域8S的长度方向的两端部(短边)相邻的部分中,在从外延层EP的主面到埋置主体区域7B1之间几乎没有添加p型杂质。

[0105] <形成主体接触区域>

[0106] 图15的左右是构成本实施方式1的半导体器件的主体接触区域的形成步骤时相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0107] 此处,在外延层EP的主面上形成掩模MC。掩模MC的平面视图中的形状,形成为使主体接触区域露出且覆盖除此以外的形状。掩模MC的材料和形成方法与掩模MA相同。

[0108] 接着,以该掩模MC为杂质注入用的掩模,对外延层EP离子注入p型杂质,由此在外

延层EP中形成 $p^+$ 型的主体接触区域9BC之后除去掩模MC。作为离子注入的p型杂质,例如能够使用铝或硼。

[0109]  $p^+$ 型的主体接触区域9BC从外延层EP的主面延伸至p型的埋置主体区域7B1并终结。 $p^+$ 型的主体接触区域9BC的杂质浓度例如是 $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的范围。另外, $p^+$ 型的主体接触区域9BC的深度(从外延层EP的主面起的深度)例如是 $0.1 \sim 0.4 \mu\text{m}$ 程度。

[0110] <形成短边侧主体区域>

[0111] 图16左右是构成本实施方式1的半导体器件的短边侧主体区域的形成步骤时的相当于图6的Y1-Y1线和X-X线的部位的截面图。

[0112] 此处,在外延层EP的主面上形成掩模MD。掩模MD的平面视图中的形状,形成为使短边侧主体区域露出且覆盖除此以外的形状。掩模MD的材料和形成方法与掩模MA相同。

[0113] 接着,以掩模MD为杂质注入用的掩模,从外延层EP的主面侧对外延层EP离子注入p型杂质(第四杂质),在外延层EP中形成p型的短边侧主体区域7B3之后除去掩模MD。作为离子注入的p型杂质,例如能够使用铝或硼。

[0114] p型的短边侧主体区域7B3从外延层EP的主面延伸至埋置主体区域7B1并终结。短边侧主体区域7B3的杂质浓度比长边侧主体区域7B2的p型杂质浓度高,例如是 $5 \times 10^{16} \sim 1 \times 10^{21} \text{cm}^{-3}$ 的范围。

[0115] <形成主体接触区域和短边侧主体区域的变形例>

[0116] 图17是表示构成本实施方式1的半导体器件的主体接触区域和短边侧主体区域的形成步骤的变形例的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0117] 上述p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC是为了相互不同的功能和目的而形成的,所以上述例子中,示出了使用分别不同的掩模形成p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC的情况。由此,能够提高p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC各自的杂质浓度的设定精度。

[0118] 但是,因为p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC的杂质浓度相近,所以只要在达成各自的功能的范围内就可以同时形成。即,如图17所示,在外延层EP的主面上,形成p型的短边侧主体区域和 $p^+$ 型的主体接触区域双方露出且除此以外被覆盖的掩模ME。接着,以掩模ME为杂质注入用的掩模对外延层EP离子注入p型杂质,由此在外延层EP中一齐形成p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC之后除去掩模ME。该情况下,p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC的p型杂质的浓度大致相同。这样,通过同时形成p型的短边侧主体区域7B3和 $p^+$ 型的主体接触区域9BC,能够实现功率半导体器件的制造工艺的简化和制造步骤数的削减。从而能够提高功率半导体器件的生产效率。

[0119] 如上所述形成短边侧主体区域7B3和主体接触区域9BC之后,对半导体衬底1S实施热处理,由此使杂质活性化。在该活性化热处理之前,在外延层EP的主面和衬底层SB的主面上,例如也可以沉积厚度 $0.05 \mu\text{m}$ 程度的由碳(C)构成的表面包覆膜(未图示)。该表面包覆膜具有防止在活性化热处理时外延层EP和衬底层SB的主面变得粗糙的效果。表面包覆膜在活性化热处理后例如通过氧等离子体处理除去。

[0120] 图18是主体接触区域和短边侧主体区域的形成步骤后的半导体衬底的活性区域的主要部分平面图。在各源极区域8S的宽度方向的中央,多个主体接触区域9BC沿着源极区域8S的长度方向排列地配置。另外,在与各源极区域8S的长度方向的两端部相邻的部分形

成有短边侧主体区域7B3。在形成上述图8所示的Y方向上较长的短边侧主体区域7B3的情况下,在图16和图17所示的掩模MD、ME中使短边侧主体区域露出的开口部的平面视图中的形状成为沿着多个源极区域8S的配置方向连续地延伸的形状即可。

[0121] <电极的形成,其他>

[0122] 图19是构成本实施方式1的半导体器件的栅极电极的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0123] 此处,在半导体衬底1S的外延层EP中对各芯片区域的外周边缘部选择性地注入杂质而形成终端区域GA之后,在外延层EP的主面上,例如用热CVD法等形成由氧化硅膜构成的栅极绝缘膜10a。栅极绝缘膜10a的厚度例如能够设为0.02~0.2 $\mu\text{m}$ 。

[0124] 接着,在栅极绝缘膜10a上例如用热CVD法等形成栅极电极形成用的n型的多晶硅膜11。该多晶硅膜11的厚度例如是0.2~0.5 $\mu\text{m}$ 程度。多晶硅膜11可以以多晶状态沉积,也可以以非晶状态沉积之后通过热处理而多晶化。

[0125] 之后,在多晶硅膜11上形成掩模MF。掩模MF的平面视图中的形状,形成为覆盖栅极电极形成区域且使除此以外露出的形状。掩模MF的材料和形成方法与掩模MA相同。

[0126] 接着,以掩模MF为蚀刻掩模,对多晶硅膜11实施干式蚀刻之后除去掩模MF。图20是图19的步骤后的半导体器件的制造步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。通过对多晶硅膜11实施干式蚀刻处理而形成栅极电极11G。在栅极电极11G的一部分中形成有开口部12。

[0127] 接着,以覆盖栅极电极11G和栅极绝缘膜10a的方式,在外延层EP上用等离子体CVD法等沉积层间绝缘膜13之后,在层间绝缘膜13上形成掩模MG。掩模MG的平面视图中的形状,形成为使源极接触区域露出且覆盖除此以外的形状。掩模MG的材料和形成方法与掩模MA相同。

[0128] 接着,以掩模MG为蚀刻掩模,将从掩模MG露出的层间绝缘膜13和栅极绝缘膜10a的一部分用干式蚀刻除去,由此形成源极接触SC之后除去掩模MG。n型的源极区域8S的一部分和多个p<sup>+</sup>型的主体接触区域9BC从源极接触SC露出。

[0129] 接着,在层间绝缘膜13上形成另外的掩模,对层间绝缘膜13用干式蚀刻法等进行加工,在层间绝缘膜13中形成栅极电极11G的上表面一部分露出的接触孔(栅极接触),省略图示。

[0130] 接着,在半导体衬底1S的外延层EP上,例如使钛(Ti)膜、氮化钛(TiN)膜和铝膜从下层起顺次沉积而形成叠层膜之后,对该叠层膜用蚀刻法进行加工,形成源极电极2S和栅极电极2G(参考图1)。源极电极2S通过源极接触SC与n型的源极区域8S和多个p<sup>+</sup>型的主体接触区域9BC电连接。另外,栅极电极2G通过上述栅极接触与栅极电极11G电连接。

[0131] 之后,在半导体衬底1S的衬底层SB的主面上,形成由金属构成的漏极电极3D。另外,为了实现漏极电极3D与衬底层SB的主面的电接触,也能够漏极电极3D的形成步骤之前对衬底层SB的主面高浓度地注入n型的杂质之后,在该高浓度杂质注入区域中形成硅化物层。

[0132] 经过以上步骤之后,将半导体衬底1S分割为各个芯片,由此能够制造图1所示的具有DMOSFET的芯片1C。

[0133] 如上所述,本实施方式1中,用于形成短边侧主体区域7B3的离子注入仅追加1次。

另外,离子注入时不使半导体衬底1S旋转。因此,与专利文献1的情况相比能够缩短功率半导体器件的制造时间,能够提高功率半导体器件的生产效率。另外,因为离子注入时不使半导体衬底1S旋转,所以能够使离子注入装置的结构简化。

[0134] (实施方式2)

[0135] <实施方式2的半导体器件的结构例>

[0136] 图21是本实施方式2的半导体器件的活性区域的主要部分放大平面图,图22是图21的X1-X1线的截面图。

[0137] 本实施方式2中,在与源极区域8S的长度方向的两端部(短边)相邻的区域的外延层EP上,部分地设置了较厚的场绝缘膜(第一绝缘膜)10b,进而在其上隔着栅极绝缘膜10a设置了栅极电极11G。场绝缘膜10b与栅极绝缘膜10a由相同的氧化硅膜构成,但场绝缘膜10b的厚度例如是200nm~5 $\mu$ m的范围,比栅极绝缘膜10a的厚度(例如0.02 $\mu$ m~0.2 $\mu$ m)厚。由此,在对栅极电极11G施加电压时,在与源极区域8S的长度方向的两端部(短边)相邻的区域中,到达外延层EP的表面的电场强度被减弱。

[0138] 与此相对,在与源极区域8S的宽度方向的两端部(长边)相邻的区域中,在外延层EP(p型的长边侧主体区域7B2)上,与上述实施方式1同样地,隔着栅极绝缘膜10a配置有栅极电极11G。即,在与源极区域8S的宽度方向的两端部(长边)相邻的区域中,隔着较薄的栅极绝缘膜10a受到栅极电极11G的电压的影响。

[0139] 因此,在单位单元UC的与源极区域8S的长度方向的两端部(短边)相邻的部分形成的沟道的阈值电压,比单位单元UC的与源极区域8S的宽度方向的两端部(长边)相邻的部分形成的沟道的阈值电压高。另外,此处,场绝缘膜10b的一部分在平面视图中与源极区域8S的长度方向的两端部的一部分重叠。另外,本实施方式2中,没有形成短边侧主体区域7B3。

[0140] 另外,本实施方式2中,栅极电极11G的开口部12的长度方向(X方向)的两端部位于单位单元UC的源极区域8S的长度方向的两端部的外侧。即,栅极电极11G形成在与源极区域8S的长度方向的两端部分离的位置。而且,栅极电极11G的开口部12的长度方向的两端部形成在场绝缘膜10b和栅极绝缘膜10a的叠层膜上。即,单位单元UC的与源极区域8S的长度方向的两端部相邻的部分(短边侧)隔着较厚的场绝缘膜10b与较薄的栅极绝缘膜10a的叠层膜受到栅极电极11G的电压的影响。由此,在单位单元UC的与源极区域8S的长度方向的两端部相邻的部分(短边侧),能够使栅极电压的影响进一步减小。

[0141] 另一方面,栅极电极11G的开口部12的宽度方向的两端部,位于单位单元UC的源极区域8S的宽度方向的两端部的内侧。因此,在与源极区域8S的宽度方向相邻的部分中,仅隔着较薄的栅极绝缘膜10a设置有栅极电极11G。即,单位单元UC的与源极区域8S的宽度方向的两端部相邻的部分(长边侧)仅隔着较薄的栅极绝缘膜10a受到栅极电极11G的电压的影响。由此,在单位单元UC的与源极区域8S的宽度方向的两端部相邻的部分(长边侧),能够使栅极电压的影响更大。

[0142] 从而,在与源极区域8S的长度方向的两端部(短边)相邻的部分中形成的沟道的阈值电压,比在与源极区域8S的宽度方向的两端部(长边)相邻的部分中形成的沟道的阈值电压进一步提高。

[0143] 但是,场绝缘膜10b的厚度充分厚的情况下,也可以与上述实施方式1同样地,以栅极电极11G的开口部12的长度方向的两端部位于没有设置场绝缘膜10b的、源极区域8S的内

侧的方式,形成开口部12。此处,场绝缘膜10b的厚度充分厚的情况,满足以下式(1)。

$$[0144] \quad t_{ox1} \times \sqrt{NA1} > t_{ox2} \times \sqrt{NA2} \quad (1)$$

[0145] NA1是在源极区域8S的长度方向上与两端部(短边)相邻的部分的p型杂质的浓度,  $t_{ox1}$ 是在源极区域8S的长度方向上与两端部(短边)相邻的部分上形成的绝缘膜的厚度(例如:场绝缘膜10b的厚度与栅极绝缘膜10a的厚度的和)。另外,NA2是在源极区域8S的宽度方向上与两端部(长边)相邻的部分的p型杂质的浓度,  $t_{ox2}$ 是在源极区域8S的宽度方向上与两端部(长边)相邻的部分上形成的绝缘膜的厚度(例如:栅极绝缘膜10a的厚度)。

[0146] 此处,如图21所示,场绝缘膜10b以连接多个单位单元UC的方式以沿着Y方向连续地延伸的状态形成。由此,可以使形成场绝缘膜10b时的掩模的尺寸较大,所以能够更容易地形成场绝缘膜10b。但是,场绝缘膜10b为了抑制或防止上述漏电流只要以覆盖各单位单元UC的源极区域8S的长度方向的两端部的方式形成即可。图23是表示场绝缘膜的变形例的半导体衬底的主要部分平面图。图23中,场绝缘膜10b按每个单位单元UC分离。

[0147] 另外,此处,对设置场绝缘膜10b的情况进行了说明,但也可以不设置场绝缘膜10b,而是仅使栅极电极11G的开口部12的形状和配置成为以上所述。即,可以使栅极电极11G的开口部12的长度方向(X方向)的两端部位于源极区域8S的长度方向的两端部的外侧,使栅极电极11G的开口部12的宽度方向(Y方向)的两端部位于源极区域8S的宽度方向的两端部的内侧。由此,能够使与源极区域8S的长度方向的两端部(短边)相邻的部分的阈值电压,比与源极区域8S的宽度方向的两端部(长边)相邻的部分形成的沟道的阈值电压高。

[0148] <实施方式2的半导体器件的制造方法例>

[0149] 在本实施方式2的半导体器件例的制造中,直到上述接触区域的形成步骤(图18的步骤),都能够使用与实施方式1同样的方法(但是,本实施方式2中没有形成短边侧主体区域7B3)。从而,此处,对于此后的步骤参考图24~图26进行说明。

[0150] 图24是构成本实施方式2的半导体器件的场绝缘膜的形成步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0151] 首先,在外延层EP上,用CVD法等使场绝缘膜10b成膜。接着,在场绝缘膜10b上形成掩模MH。掩模MH以覆盖场绝缘膜10b的形成区域且除此以外露出的方式形成。掩模MH的材料和形成方法与掩模MA相同。之后,以掩模MH为蚀刻掩模,将从掩模MH露出的场绝缘膜10b蚀刻除去而使外延层EP的表面的一部分露出。之后除去掩模MH。

[0152] 图25是图24的步骤后的构成本实施方式2的半导体器件的多晶硅膜的成膜步骤时的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0153] 此处,以覆盖场绝缘膜10b的方式,在外延层EP上用CVD法等使栅极绝缘膜10a和多晶硅膜11从下层起顺次沉积。接着,在多晶硅膜11上形成掩模MJ。掩模MJ以覆盖栅极电极的形成区域且除此以外露出的方式形成。掩模MJ的材料和形成方法与掩模MA相同。

[0154] 图26是图25的步骤后的构成本实施方式2的半导体器件的源极接触形成步骤后的相当于图6的Y1-Y1线和X1-X1线的部位的截面图。

[0155] 此处,以上述掩模MJ(参考图25)为蚀刻掩模,对多晶硅膜11用干式蚀刻法进行加工,形成栅极电极11G,并且形成开口部12之后除去掩模MJ。

[0156] 接着,与上述实施方式1同样地,以覆盖栅极电极11G和栅极绝缘膜10a的方式,例如用等离子体CVD法形成层间绝缘膜13之后,在层间绝缘膜13上形成掩模(未图示)。接着,

以该掩模为蚀刻掩模,对层间绝缘膜13和栅极绝缘膜10a用干式蚀刻进行加工,形成n型的源极区域8S的表面的一部分和p<sup>+</sup>型的主体接触区域9BC的表面露出的源极接触SC。另外,与上述实施方式1同样地,在层间绝缘膜13上形成另外的掩模,以它为蚀刻掩模,在层间绝缘膜13中形成栅极电极11G的一部分露出的栅极接触。

[0157] 此后,与上述实施方式1同样地,形成源极电极2S、栅极电极2G和漏极电极3D,制造图21和图22所示的本实施方式2的半导体器件。

[0158] (实施方式3)

[0159] <半导体器件的结构例>

[0160] 图27是本实施方式3的半导体器件的活性区域的主要部分放大平面图,图28是图27的X1-X1线的截面图。

[0161] 本实施方式3中,在上述实施方式2中说明的结构中,与上述实施方式1同样地,在单位单元UC的与源极区域8S的长度方向的两端部相邻的部分中形成有短边侧主体区域7B3。

[0162] 上述实施方式1中,因为制造步骤上的理由等而存在不能使短边侧主体区域7B3中含有的p型杂质的浓度充分高的情况。另外,上述实施方式2中,存在不能使场绝缘膜10b的厚度充分厚的情况。这些情况下,存在不能使单位单元UC的与源极区域8S的两端部(短边)相邻的部分的阈值电压比与源极区域8S的宽度方向的两端部(长边)相邻的部分的阈值电压高的情况。

[0163] 于是,该情况下,通过设置短边侧主体区域7B3和较厚的场绝缘膜10b双方,能够使单位单元UC的与源极区域8S的两端部相邻的部分(短边侧)的阈值电压比与源极区域8S的宽度方向的两端部相邻的部分(长边侧)的阈值电压高。

[0164] 另外,本实施方式3中,也与上述实施方式2同样地,栅极电极11G的开口部12的长度方向的两端部位于源极区域8S的长度方向的两端部的外侧。而且,位于源极区域8S的长度方向的两端部侧的栅极电极11G形成在较厚的场绝缘膜10b和栅极绝缘膜10a的叠层膜上。由此,在单位单元UC的与源极区域8S的长度方向的两端部相邻的部分(短边侧)中能够使栅极电压的影响更小。

[0165] 另一方面,与上述实施方式2同样地,栅极电极11G的开口部12的宽度方向的两端部,位于源极区域8S的宽度方向的两端部的内侧。而且,位于源极区域8S的宽度方向的两端部侧的栅极电极11G形成在较薄的栅极绝缘膜10a上。由此,在单位单元UC的与源极区域8S的宽度方向的两端部相邻的部分(长边侧)中能够使栅极电压的影响大。

[0166] 从而,能够使单位单元UC的与源极区域8S的长度方向的两端部相邻的部分(短边侧)的沟道的阈值电压比单位单元UC的与源极区域8S的宽度方向的两端部相邻的部分(长边侧)的沟道的阈值电压高。

[0167] 本实施方式3中,也是只要满足  $tox1 \times \sqrt{NA1} > tox2 \times \sqrt{NA2}$  (上述式(1))即可。

[0168] 但是,在场绝缘膜10b的厚度和短边侧主体区域7B3的效果充分的情况下,也可以以栅极电极11G的开口部12的长度方向的两端部位于没有设置场绝缘膜10b的、源极区域8S的区域内的方式,形成开口部12。

[0169] 短边主体区域7B3的形成步骤与上述实施方式1相同。另外,场绝缘膜10b的形成步

骤与上述实施方式2相同,所以省略本实施方式3的半导体器件的制造方法例。

[0170] 另外,本发明并不限于上述实施方式,包括各种变形例。例如,上述实施方式是为了易于理解地说明发明而详细说明书的,并不限于必须具备说明的全部结构。另外,能够将某个实施方式的结构的一部分置换为其他实施方式的结构。另外,也能够某个实施方式的结构上添加其他实施方式的结构。另外,对于各实施方式的结构的一部分,能够追加、删除、置换其他结构。

[0171] 另外,晶体管的“源极”和“漏极”的功能,在采用不同极性的晶体管的情况和电路动作中电流的方向变化等情况下可能互换。因此,本说明书中,“源极”和“漏极”的用语能够互换地使用。

[0172] 另外,本说明书中“电极”和“配线”的用语并不在功能上限定这些构成要素。例如,“电极”可能被用作“配线”的一部分,反之也是同样的。进而,“电极”和“配线”的用语,也包括多个“电极”和“配线”一体地形成的情况等。

[0173] 另外,上述实施方式中,作为开关晶体管,举例示出了DMOSFET,但并不限于此,例如也可以使用IGBT(Insulated Gate Bipolar Transistor)。另外,例如能够应用于具有DMOSFET和IGBT等开关晶体管的逆变器。另外,例如能够应用于具有DMOSFET和IGBT等开关晶体管的功率模块。

[0174] 附图标记说明

[0175] 1C 半导体芯片

[0176] 1S 半导体衬底

[0177] 2S 源极电极

[0178] 2G 栅极电极

[0179] 3D 漏极电极

[0180] 7B1 埋置主体区域

[0181] 7B2 长边侧主体区域

[0182] 7B3 短边侧主体区域

[0183] 8S 源极区域

[0184] 9BC 主体接触区域

[0185] 10a 栅极绝缘膜

[0186] 10b 场绝缘膜

[0187] 11 多晶硅膜

[0188] 11G 栅极电极

[0189] 12 开口部

[0190] 13 层间绝缘膜

[0191] EP 外延层

[0192] SB 衬底层

[0193] ACA 活性区域

[0194] UC 单位单元

[0195] FA 场区域

[0196] GA 终端区域

[0197] SC 源极接触。

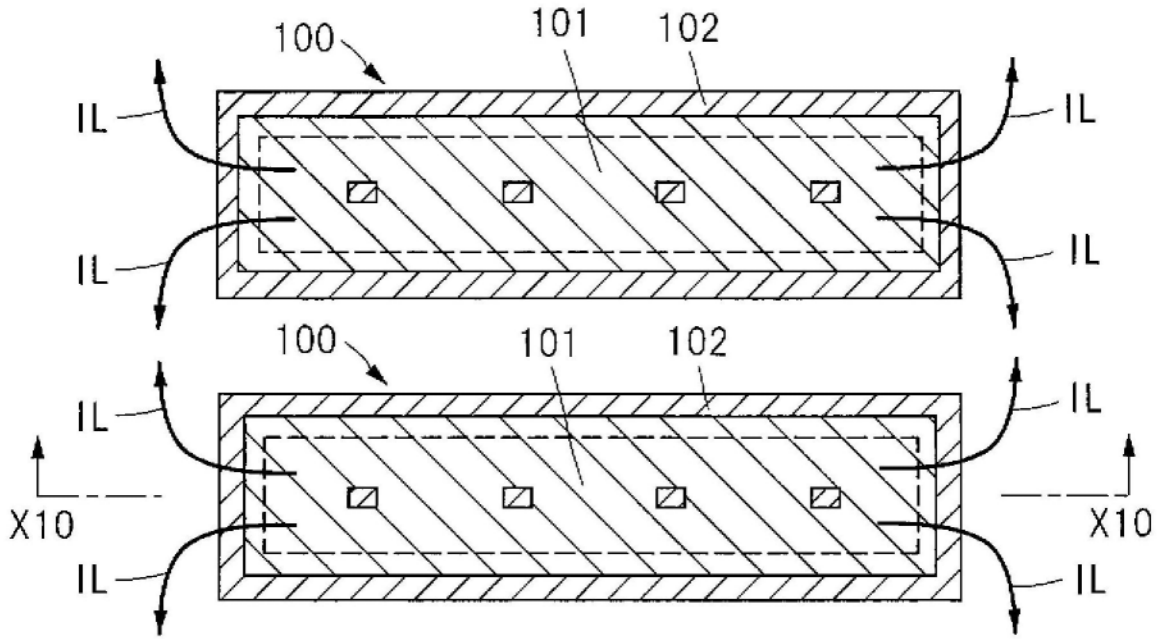


图1

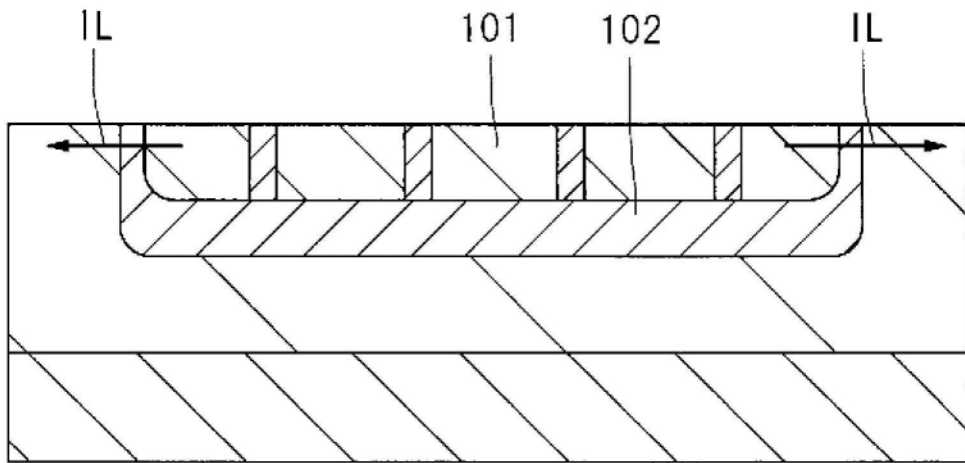


图2

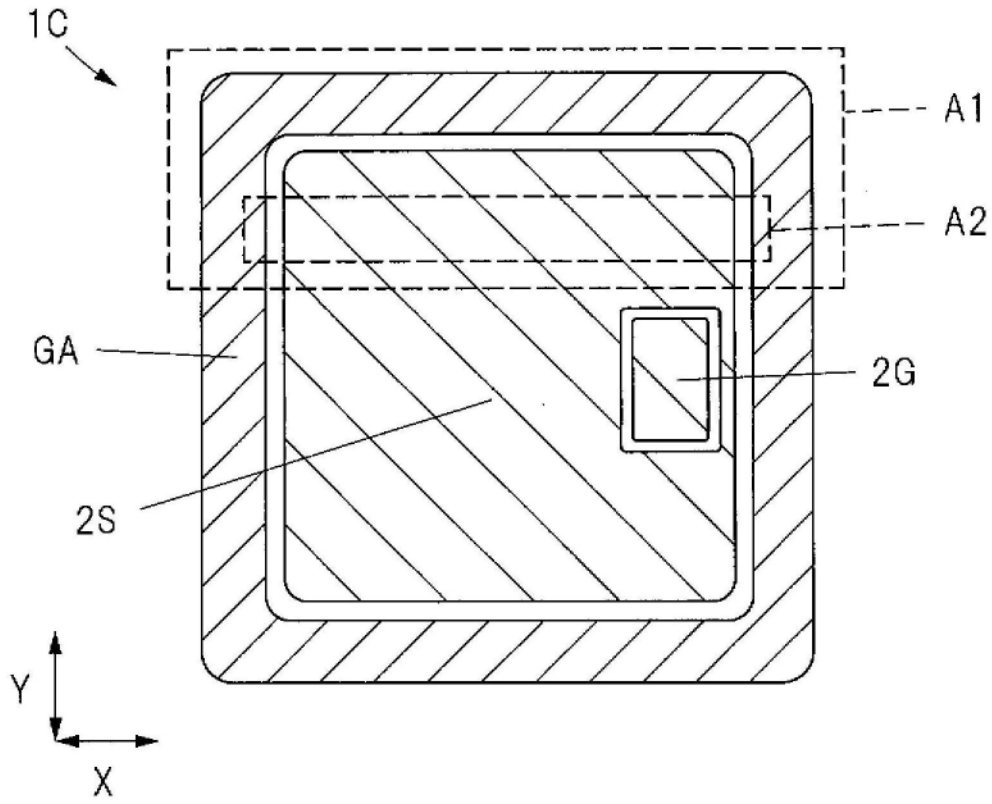


图3

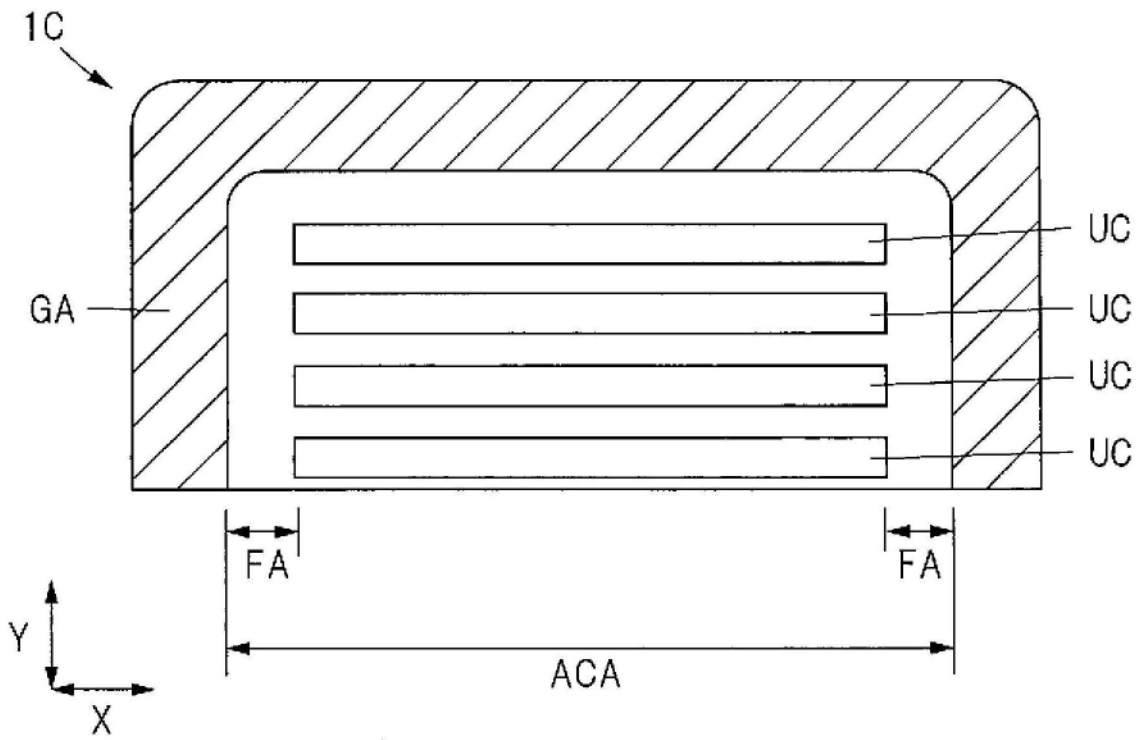


图4

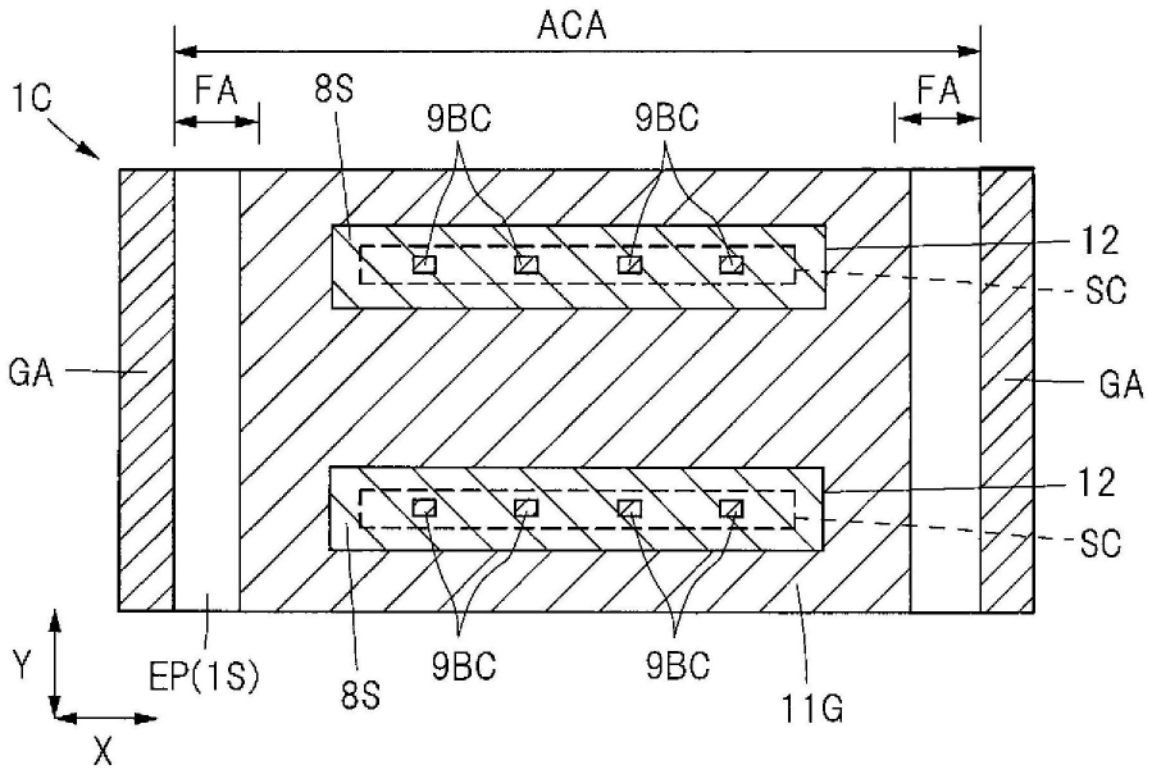


图5

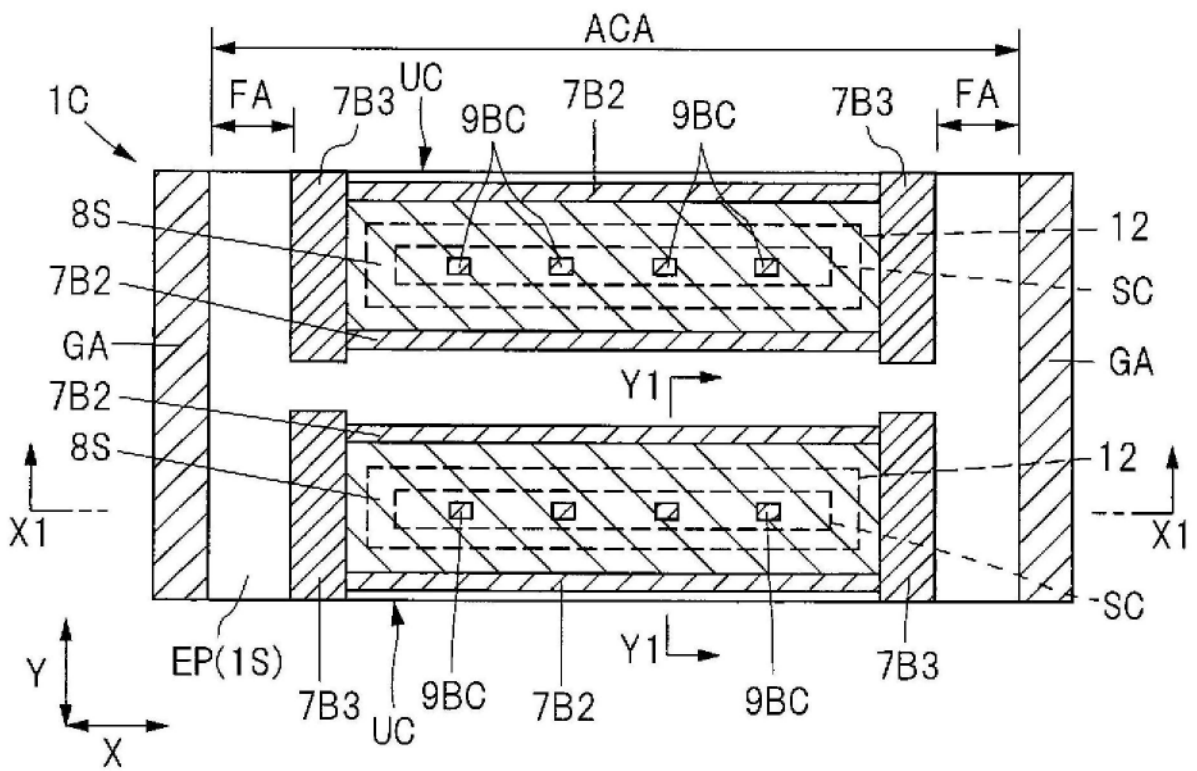


图6

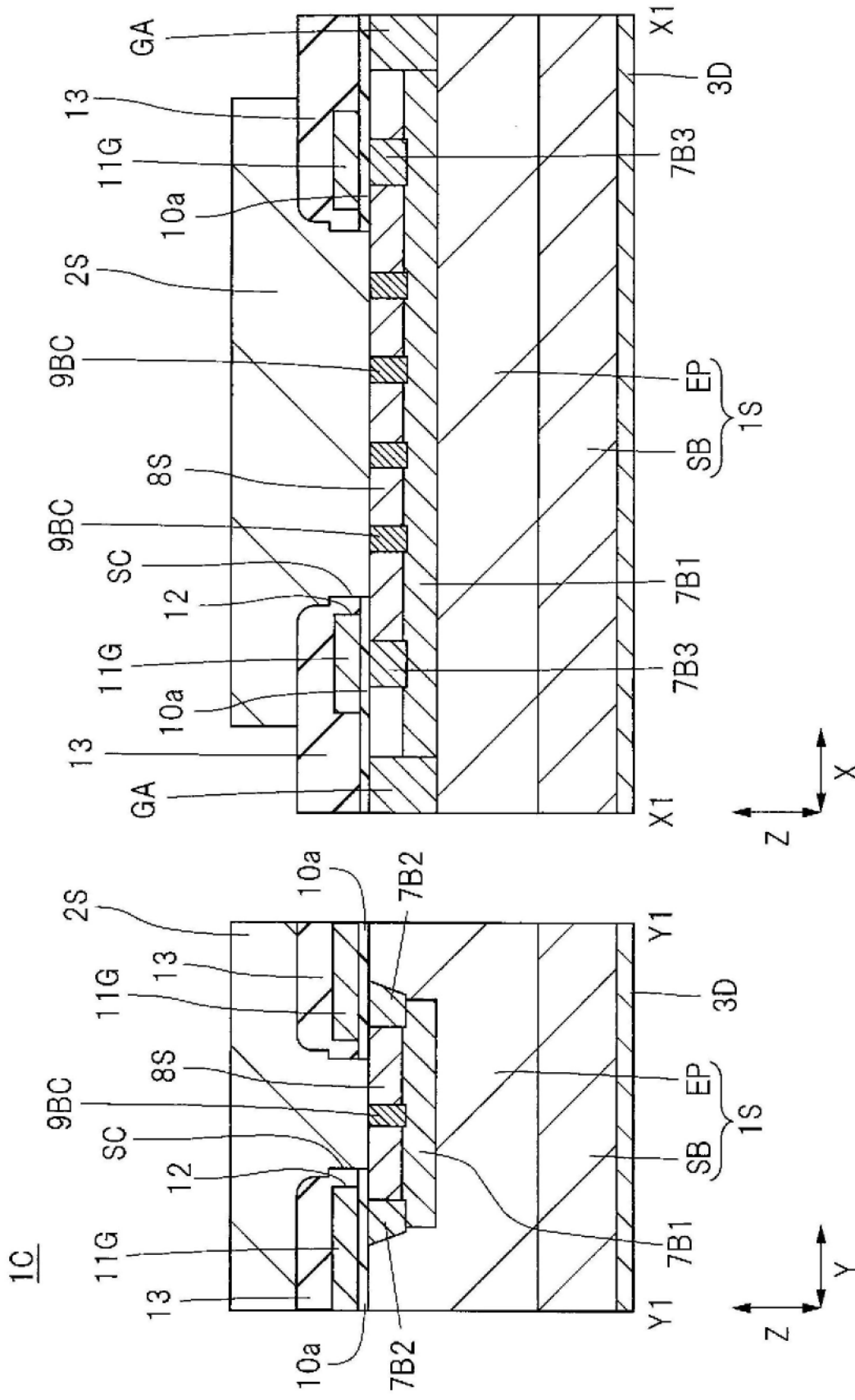


图7

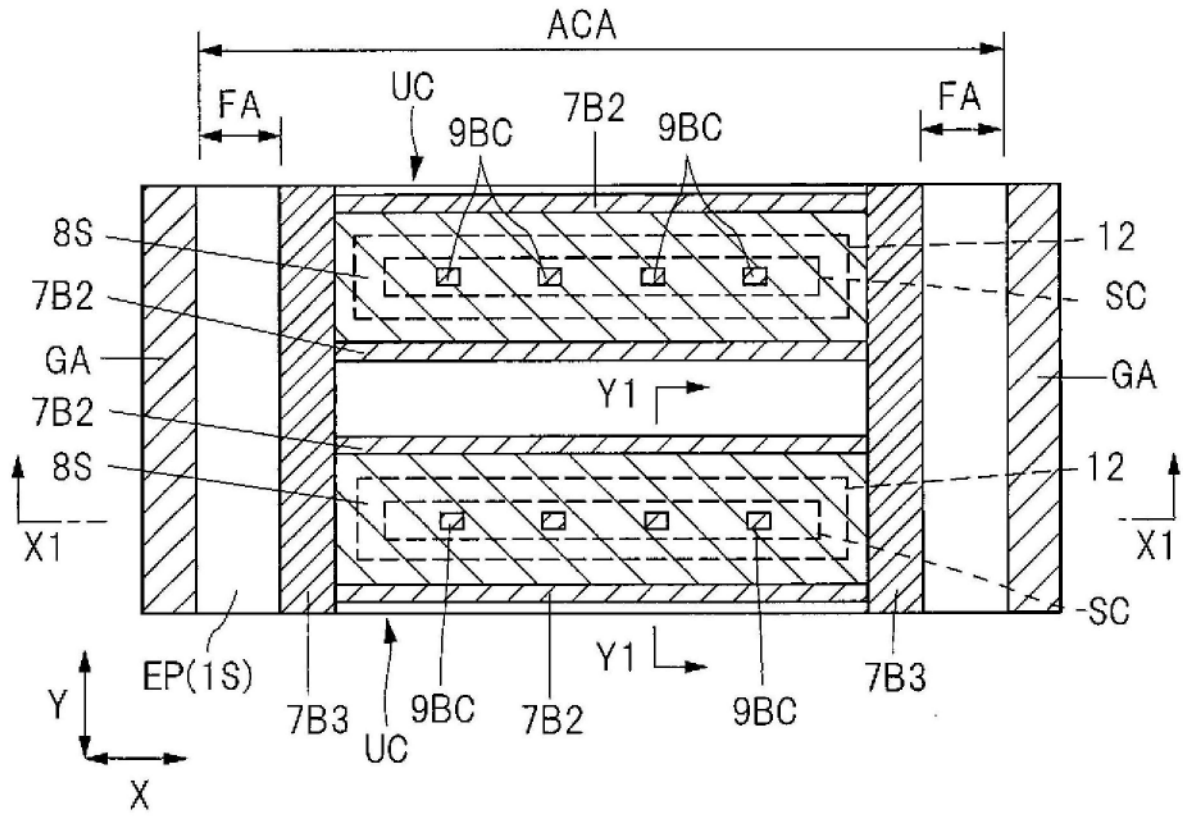


图8

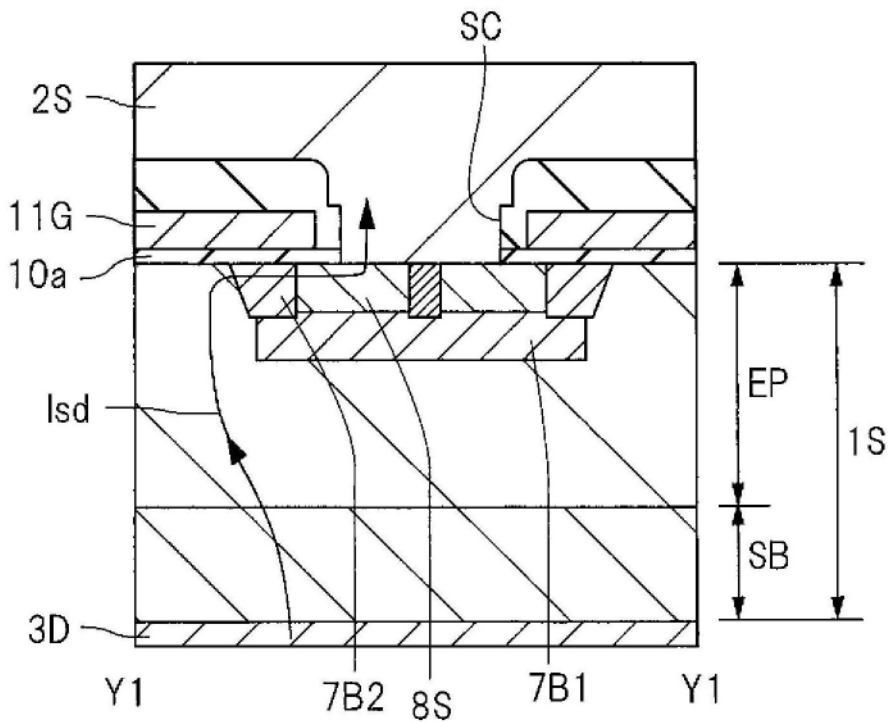


图9

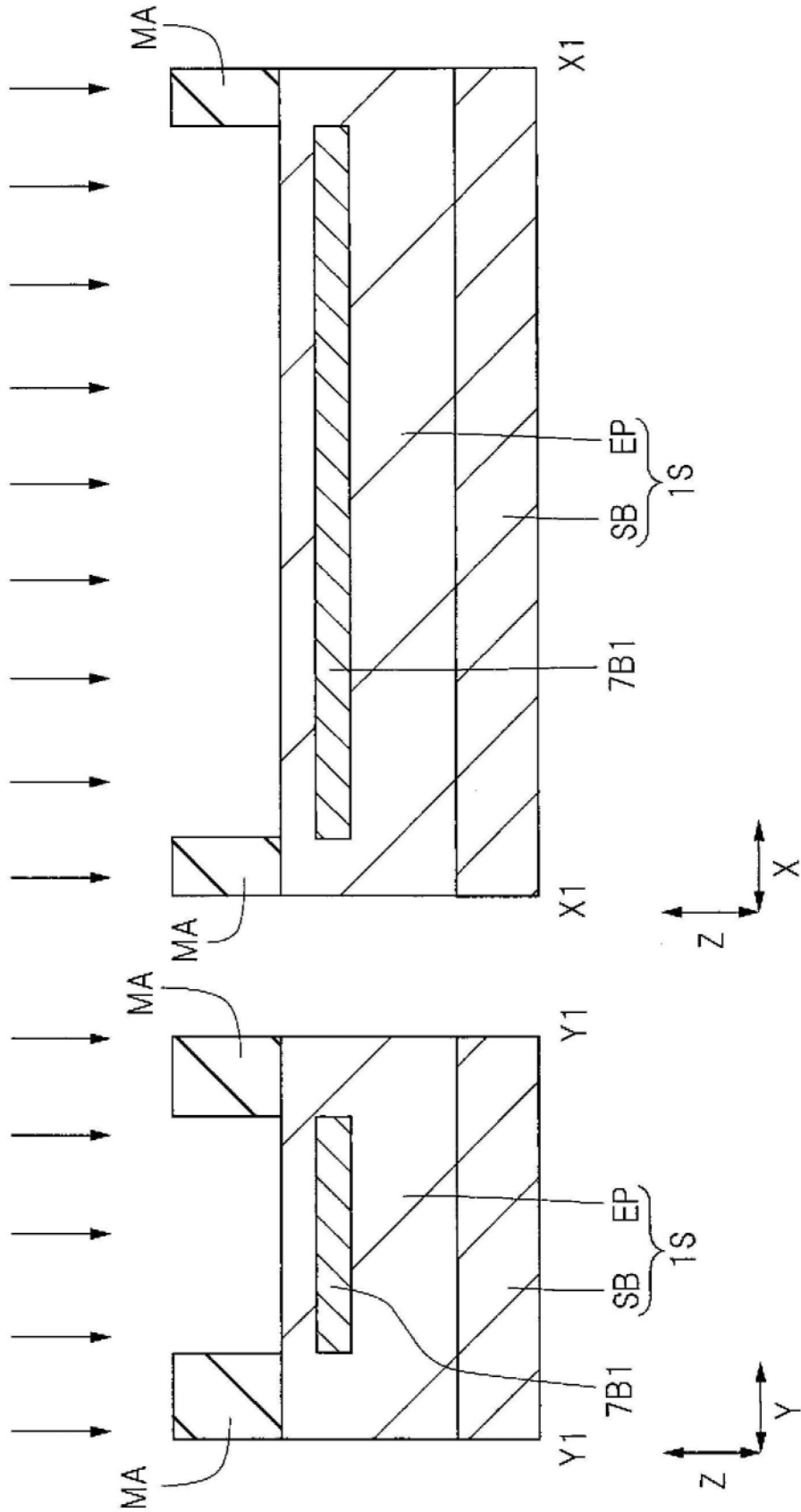


图10

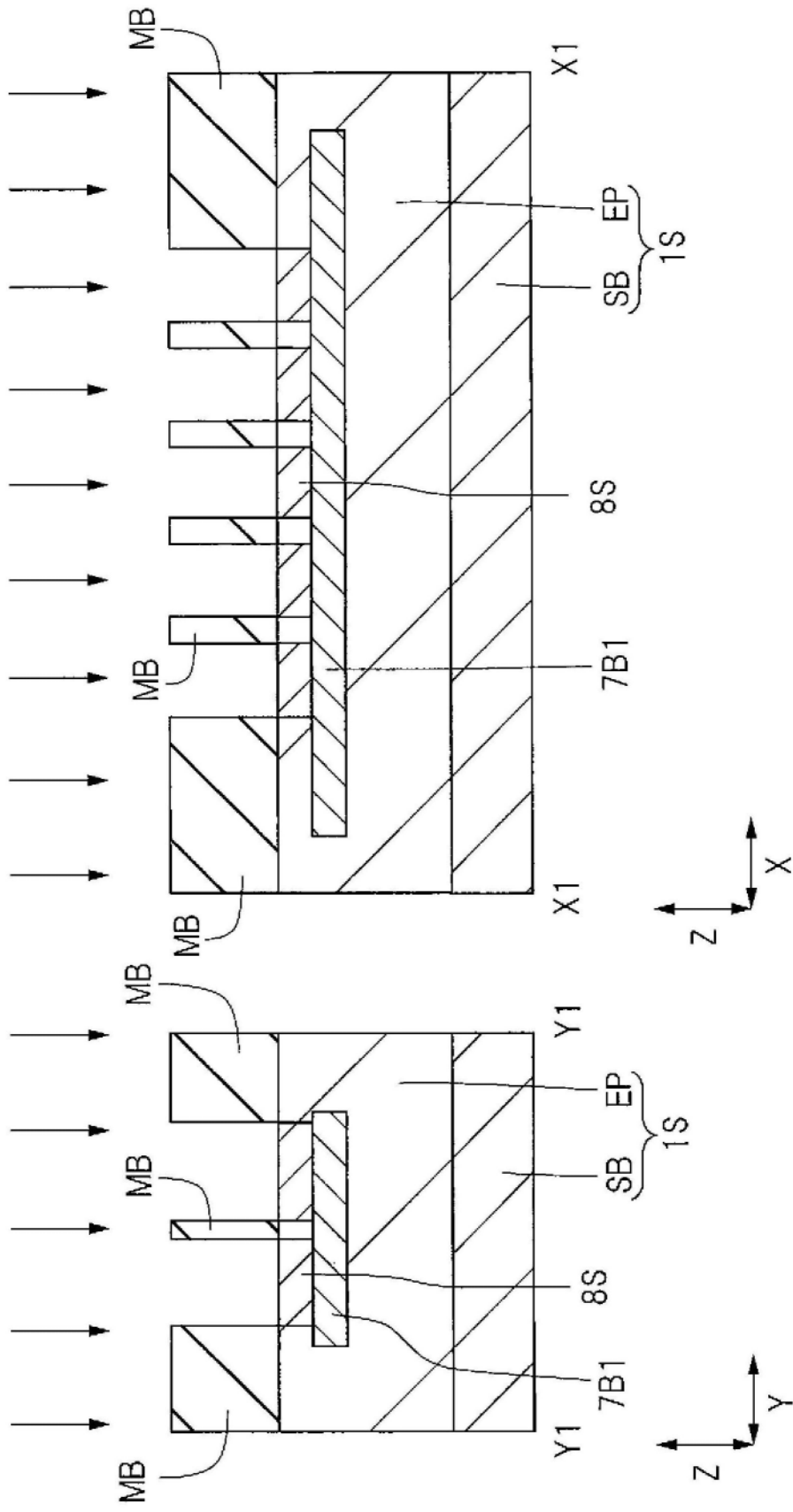


图11

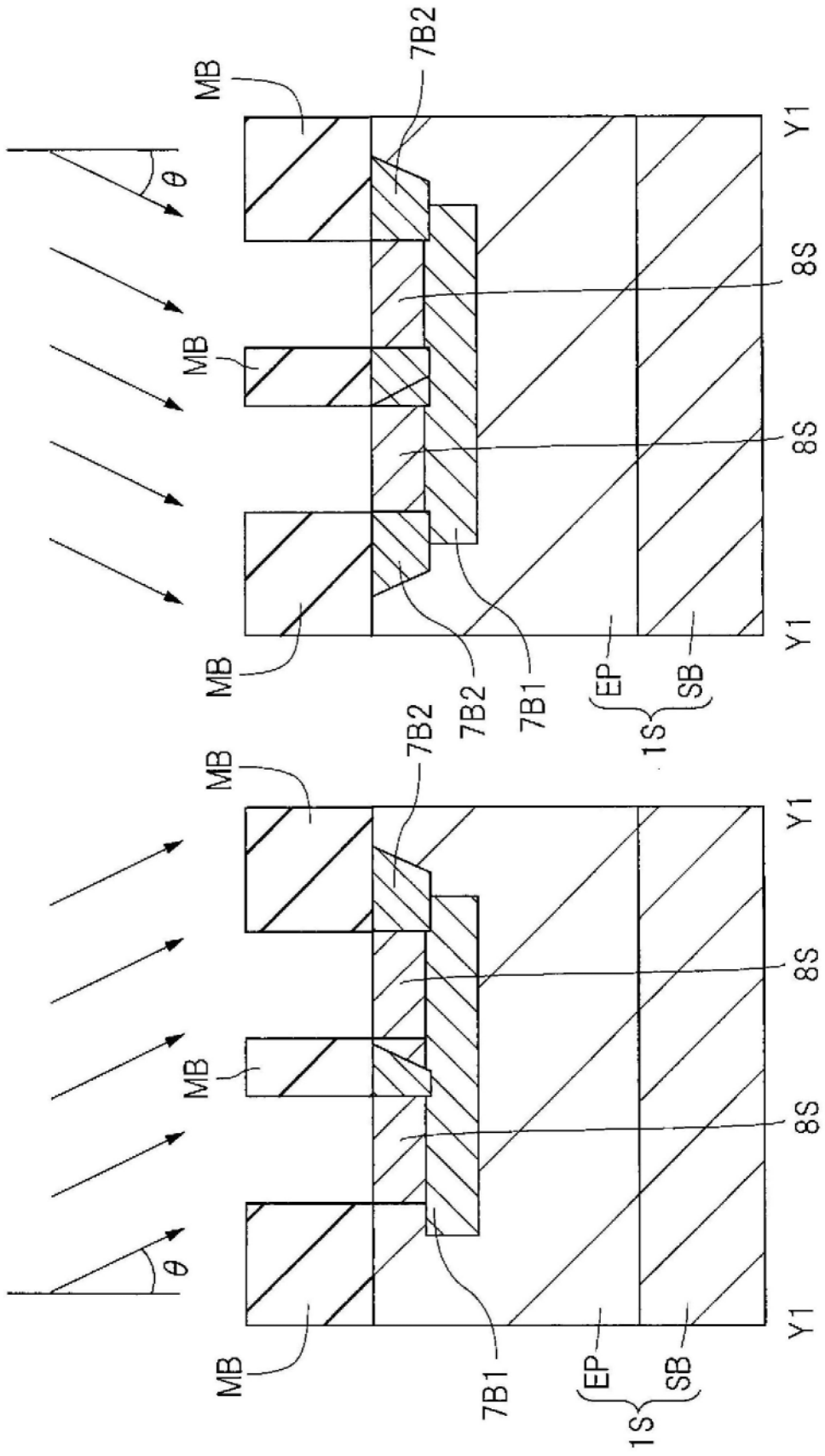


图12

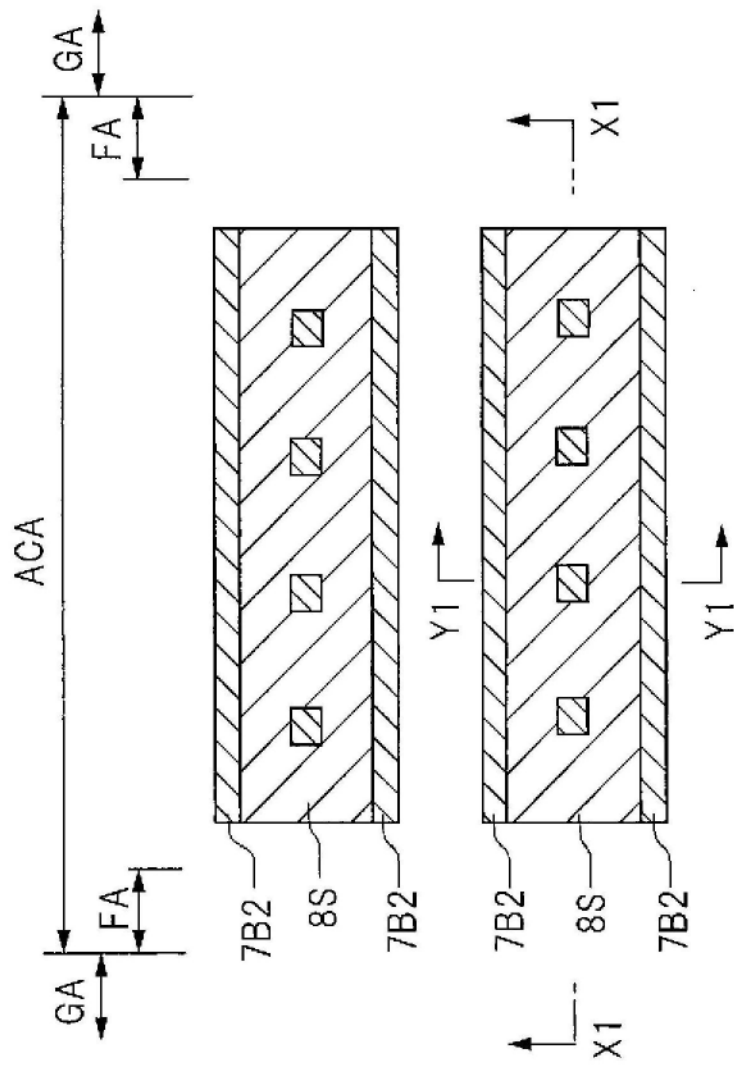


图13

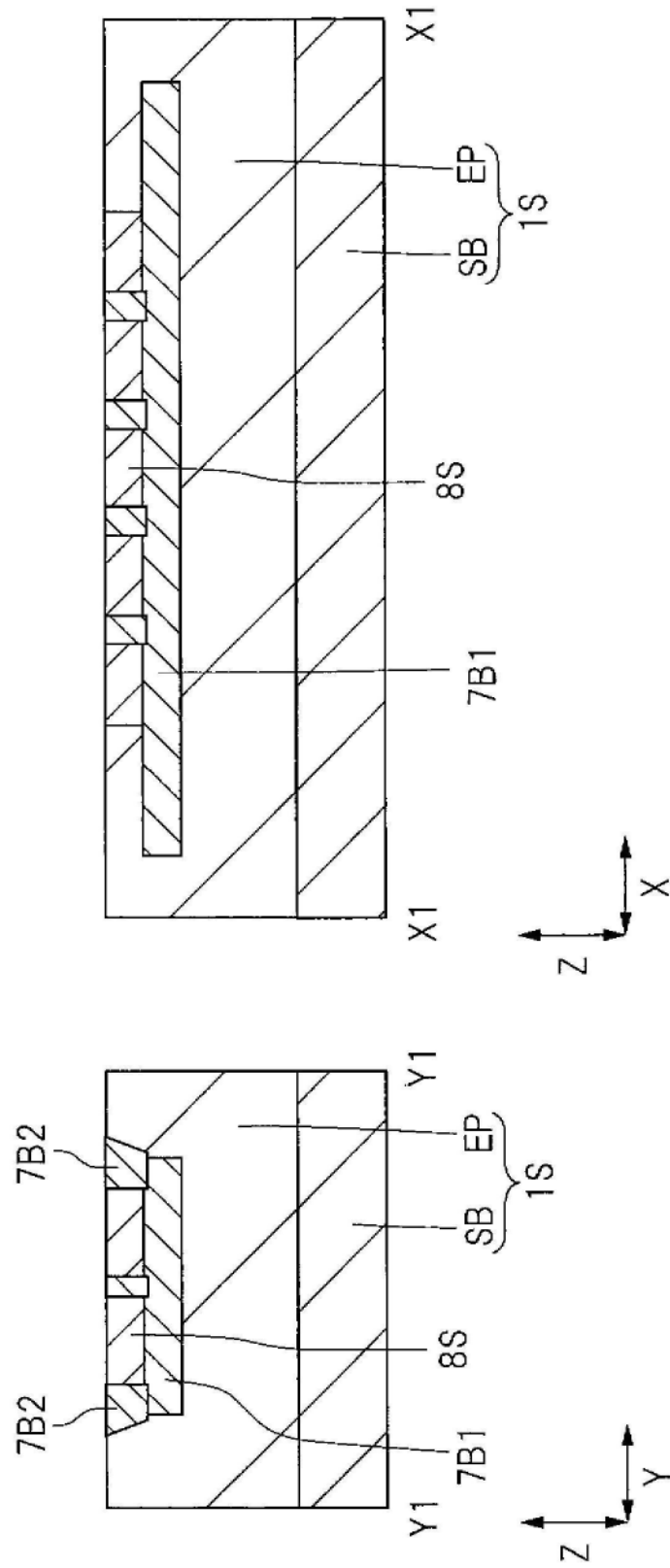


图14

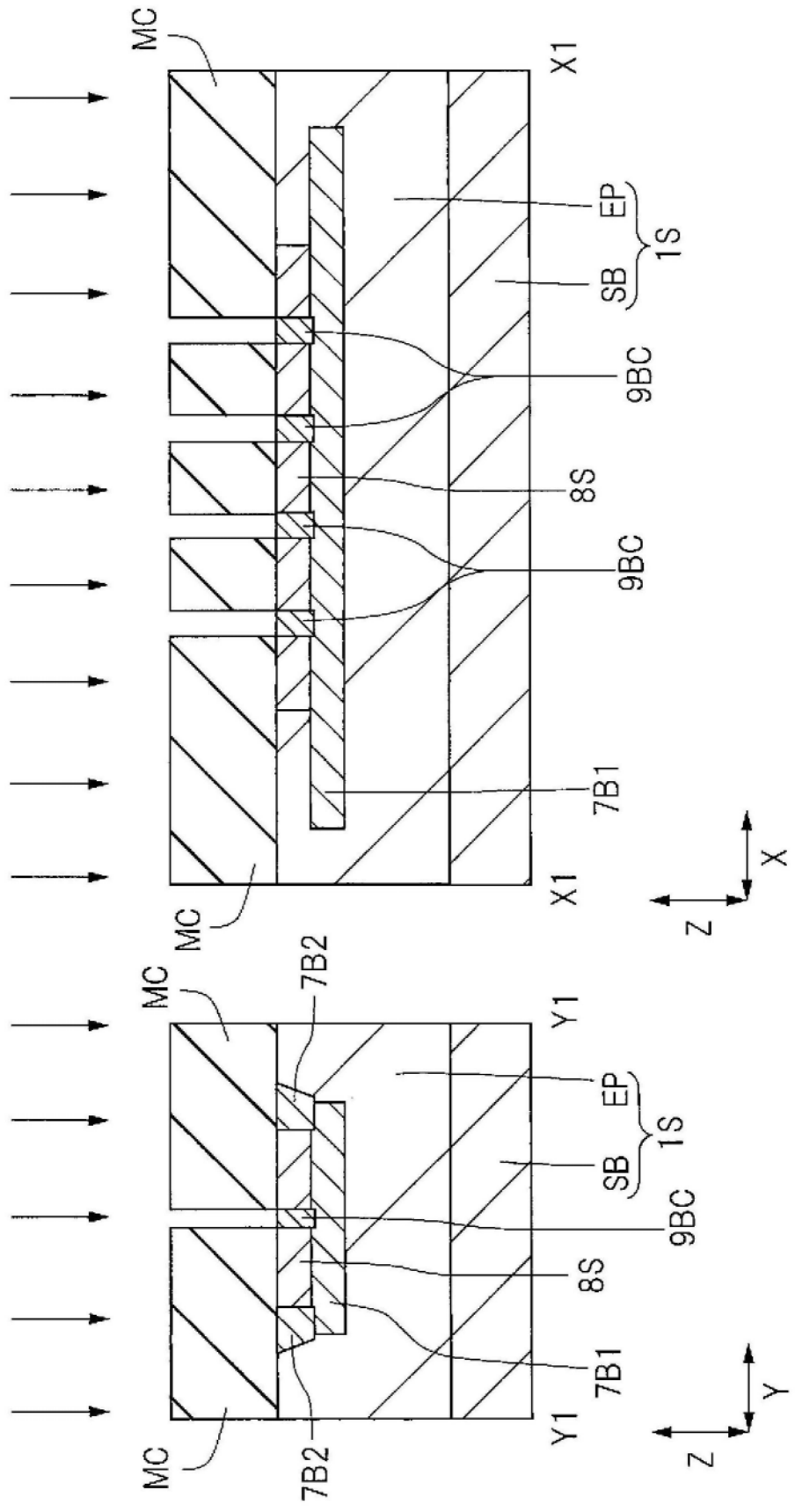


图15

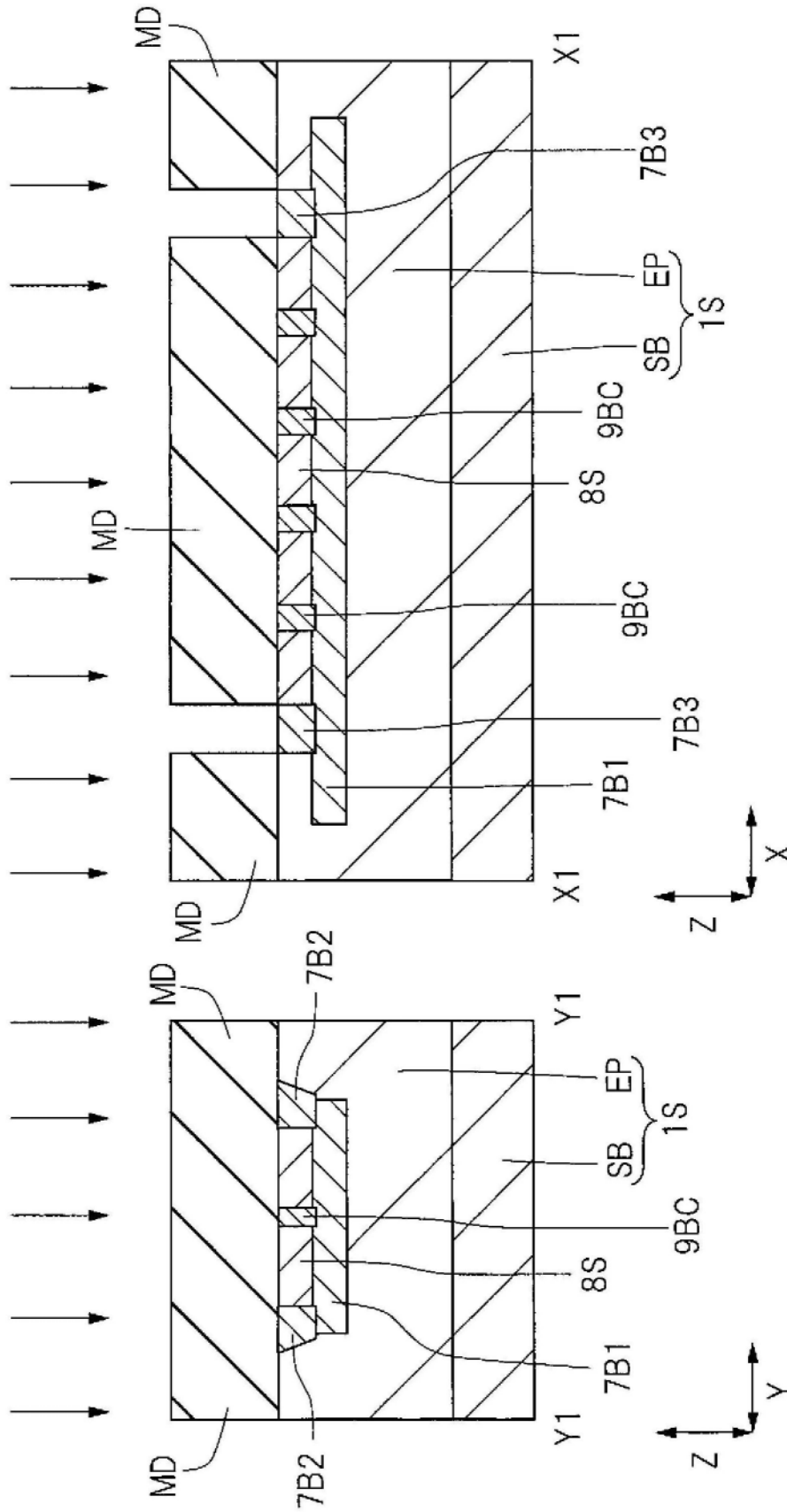


图16

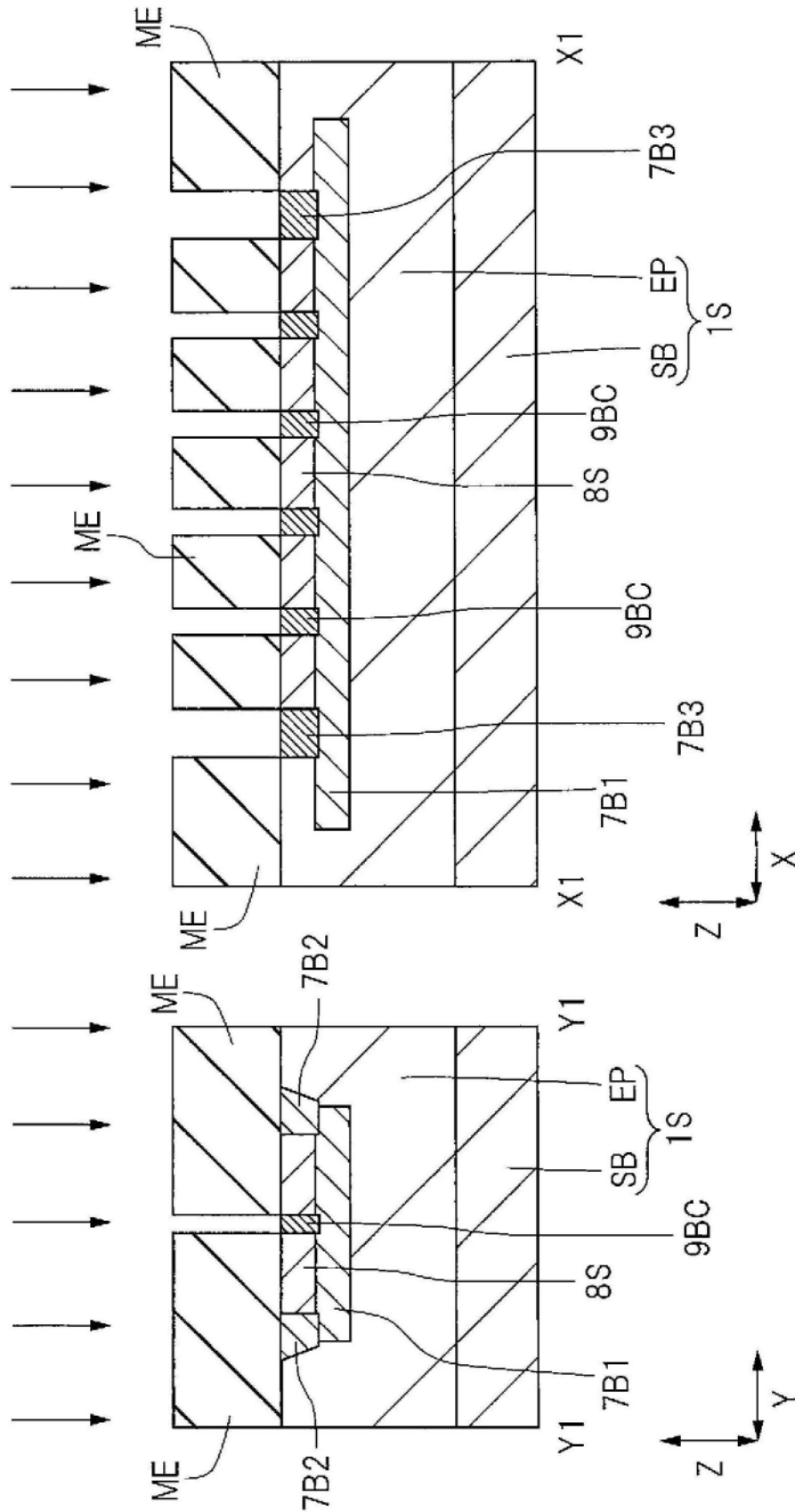


图17

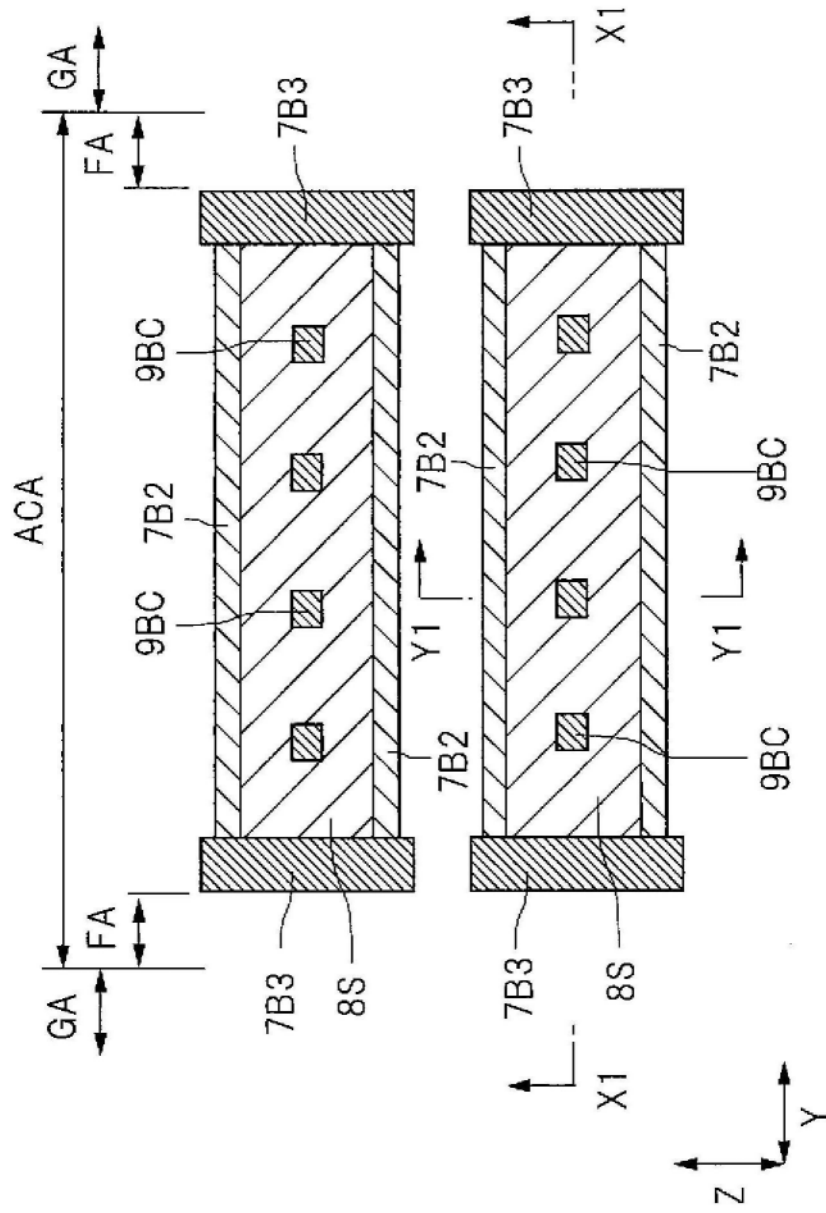


图18





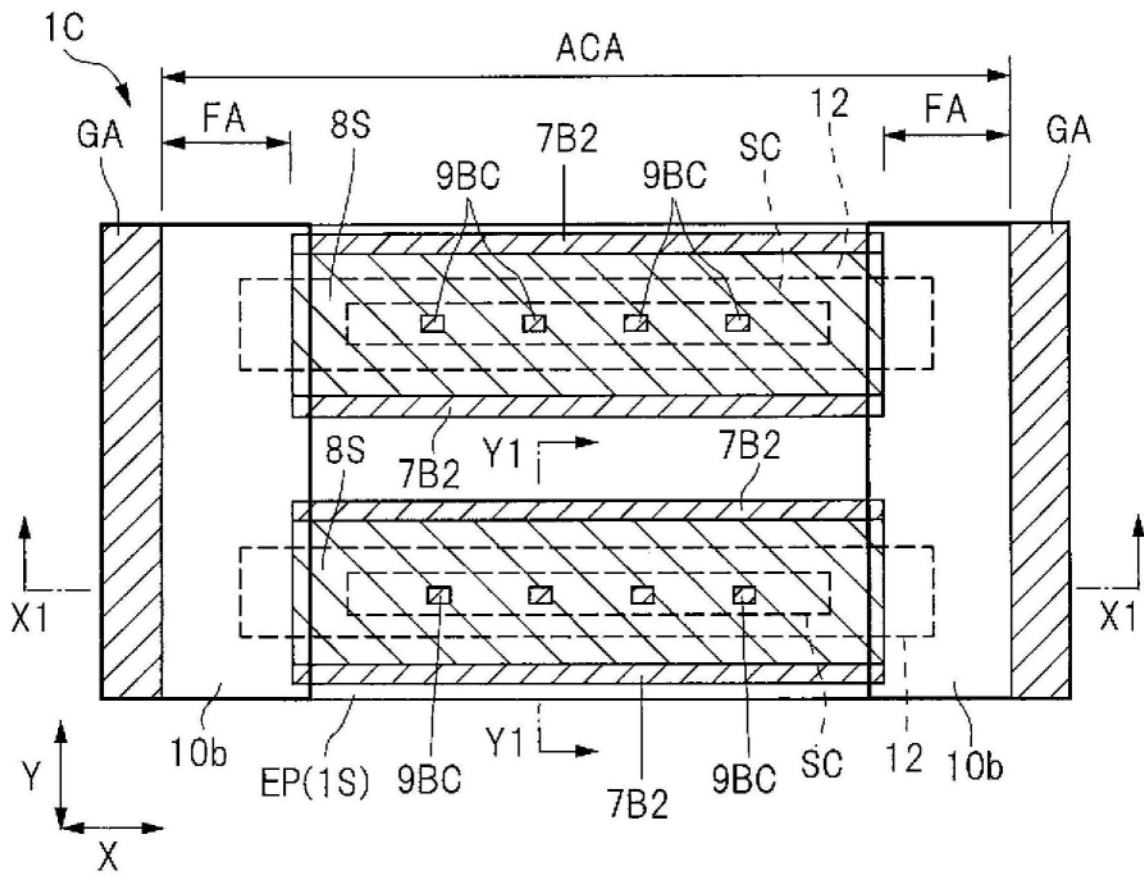


图21

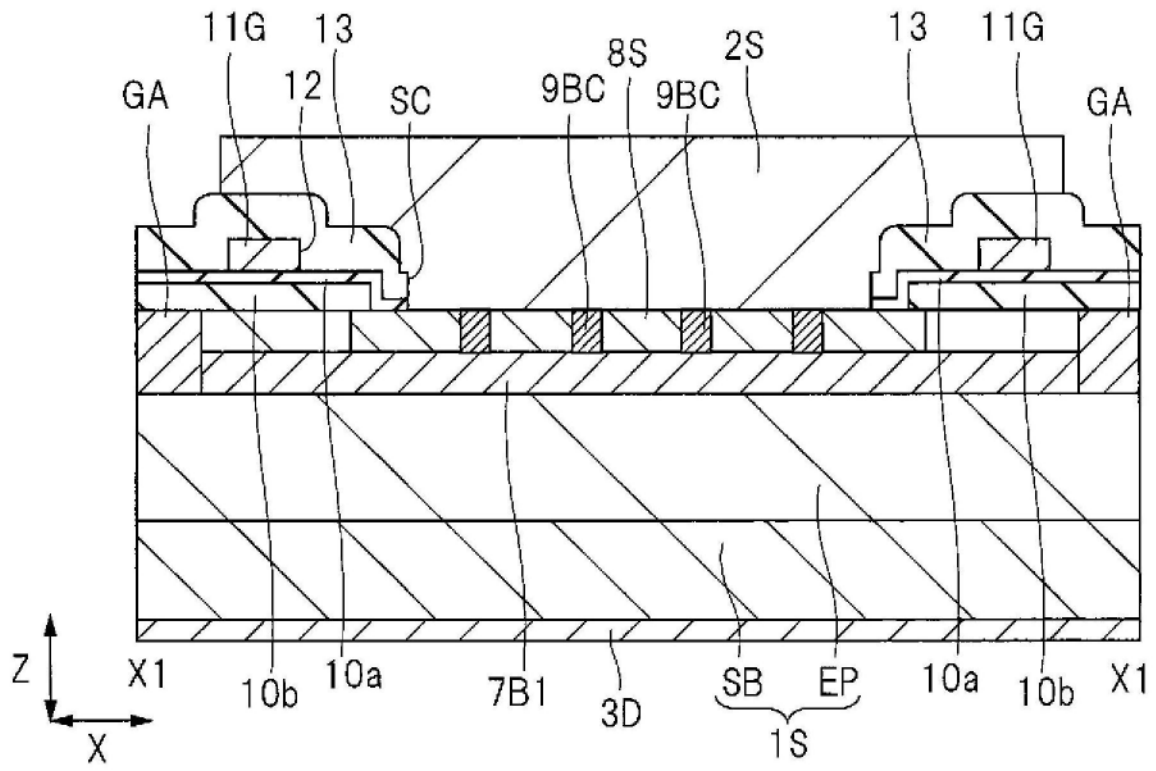


图22

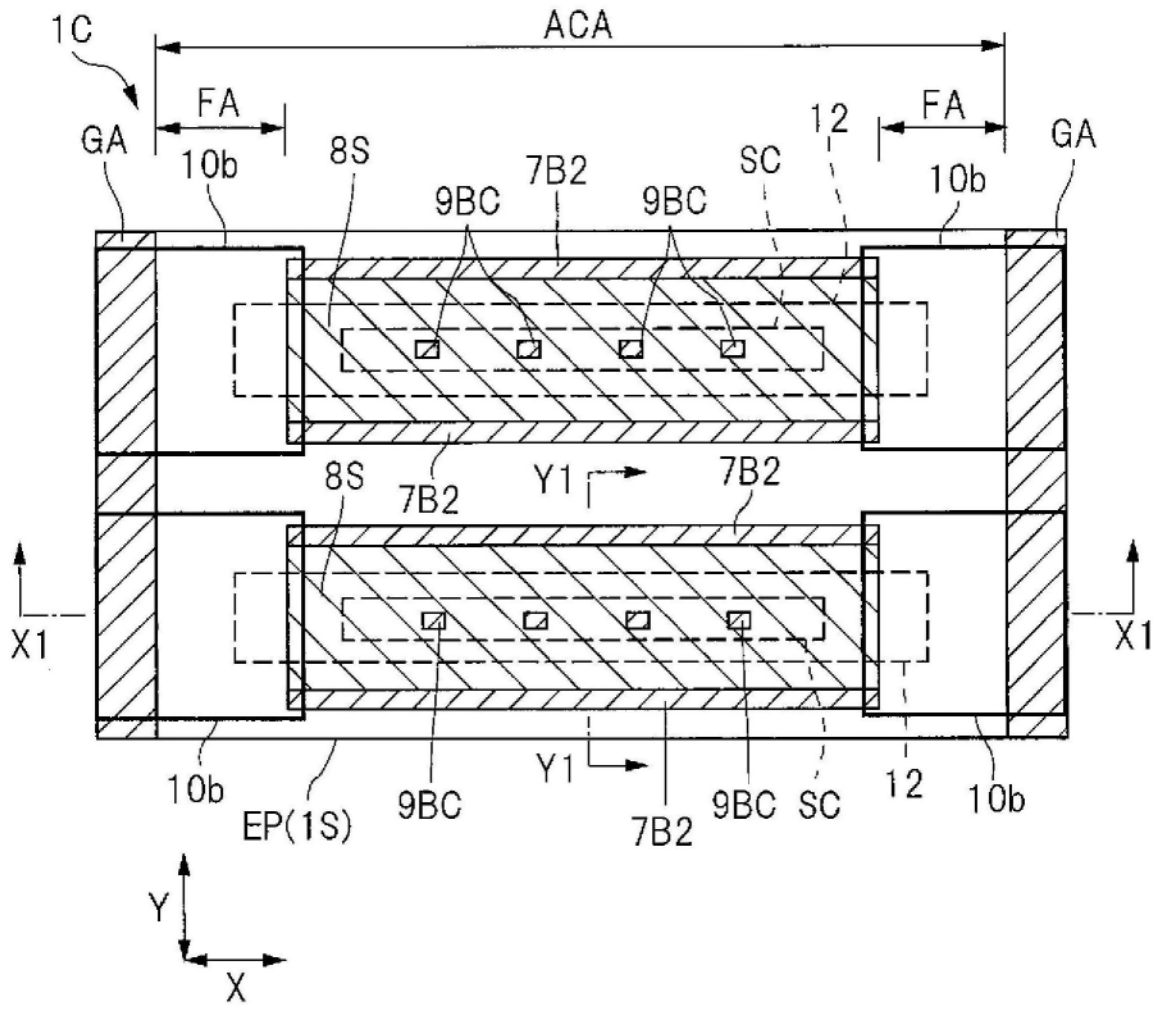


图23

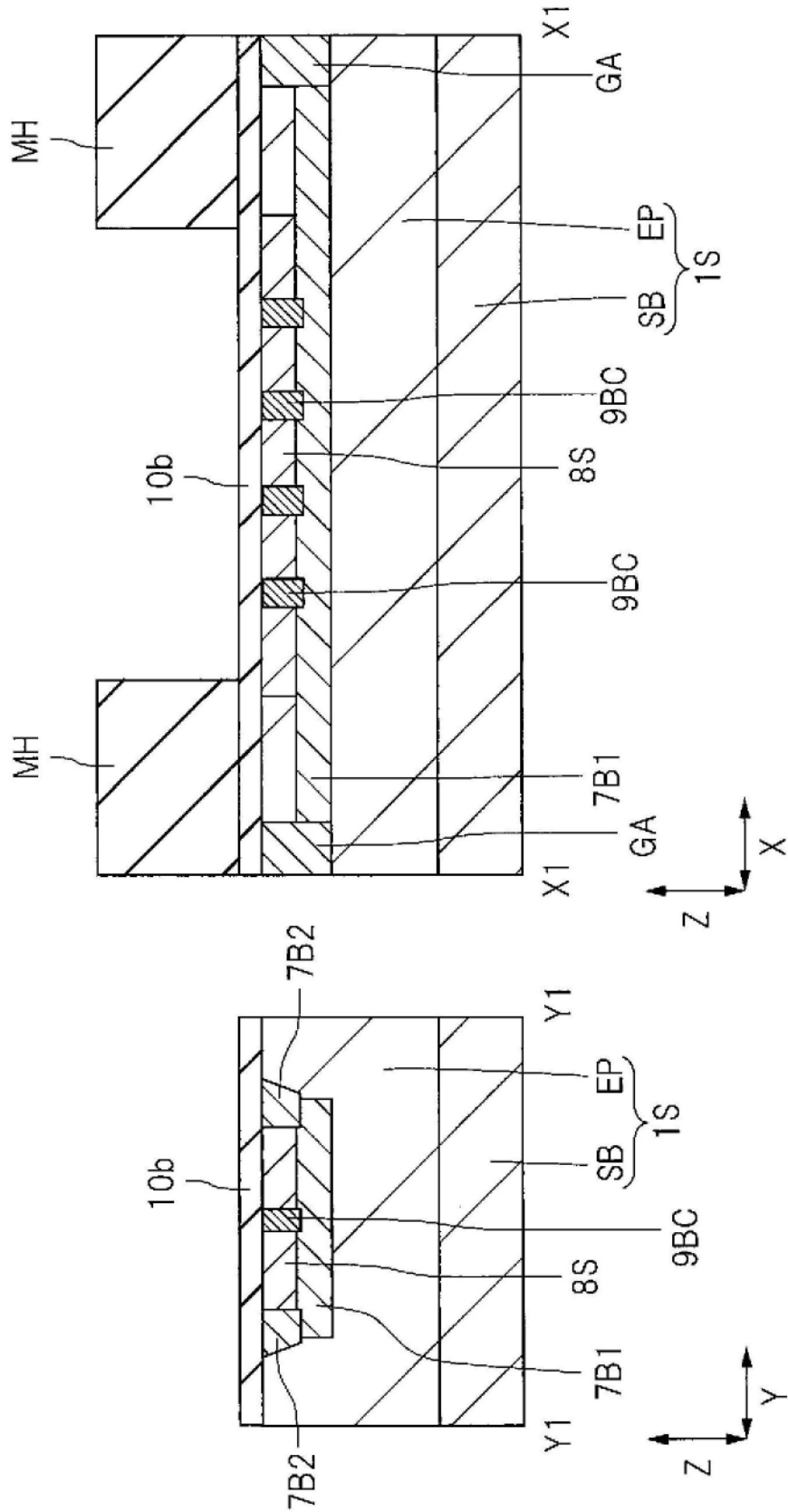


图24

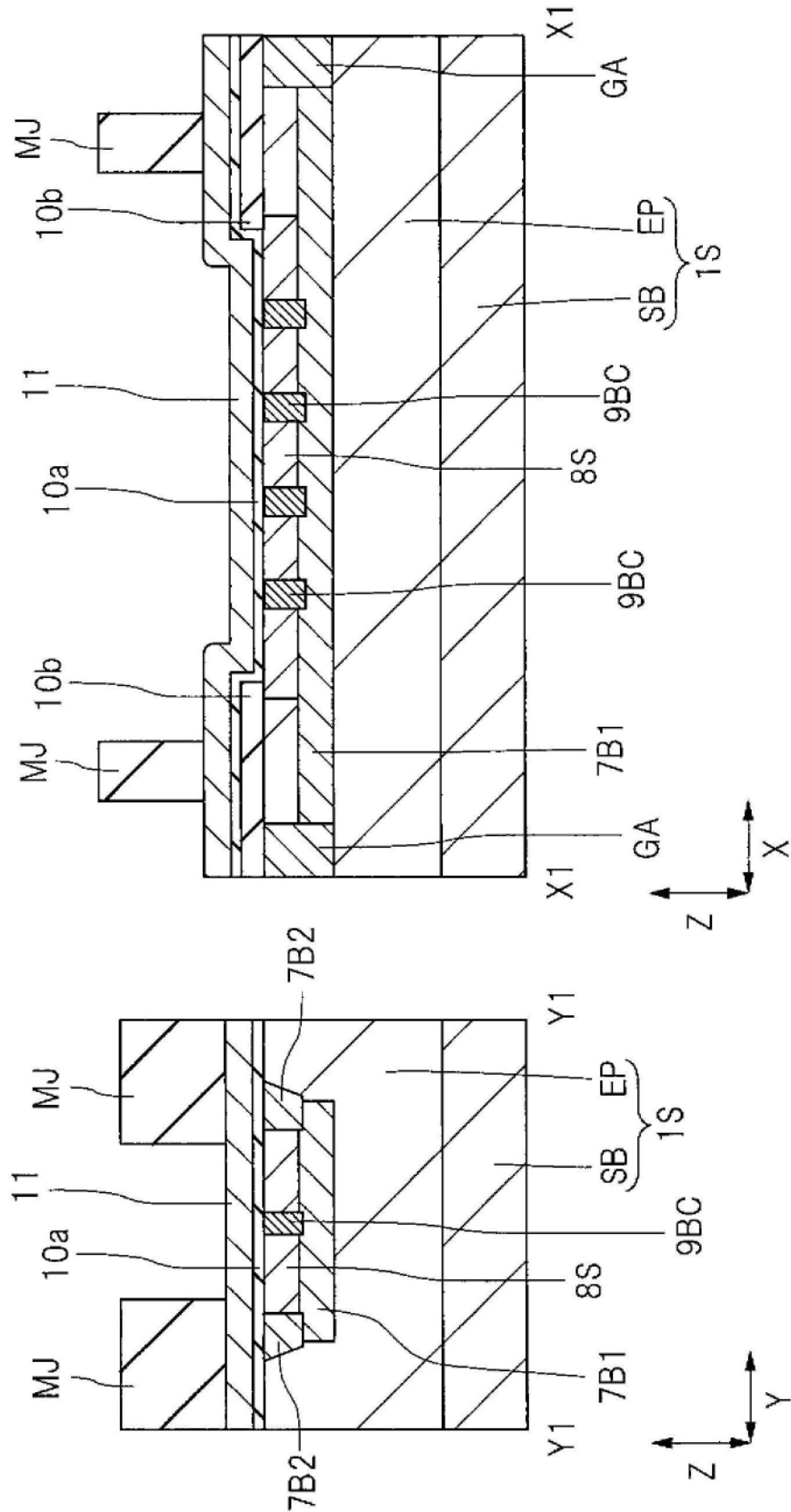


图25

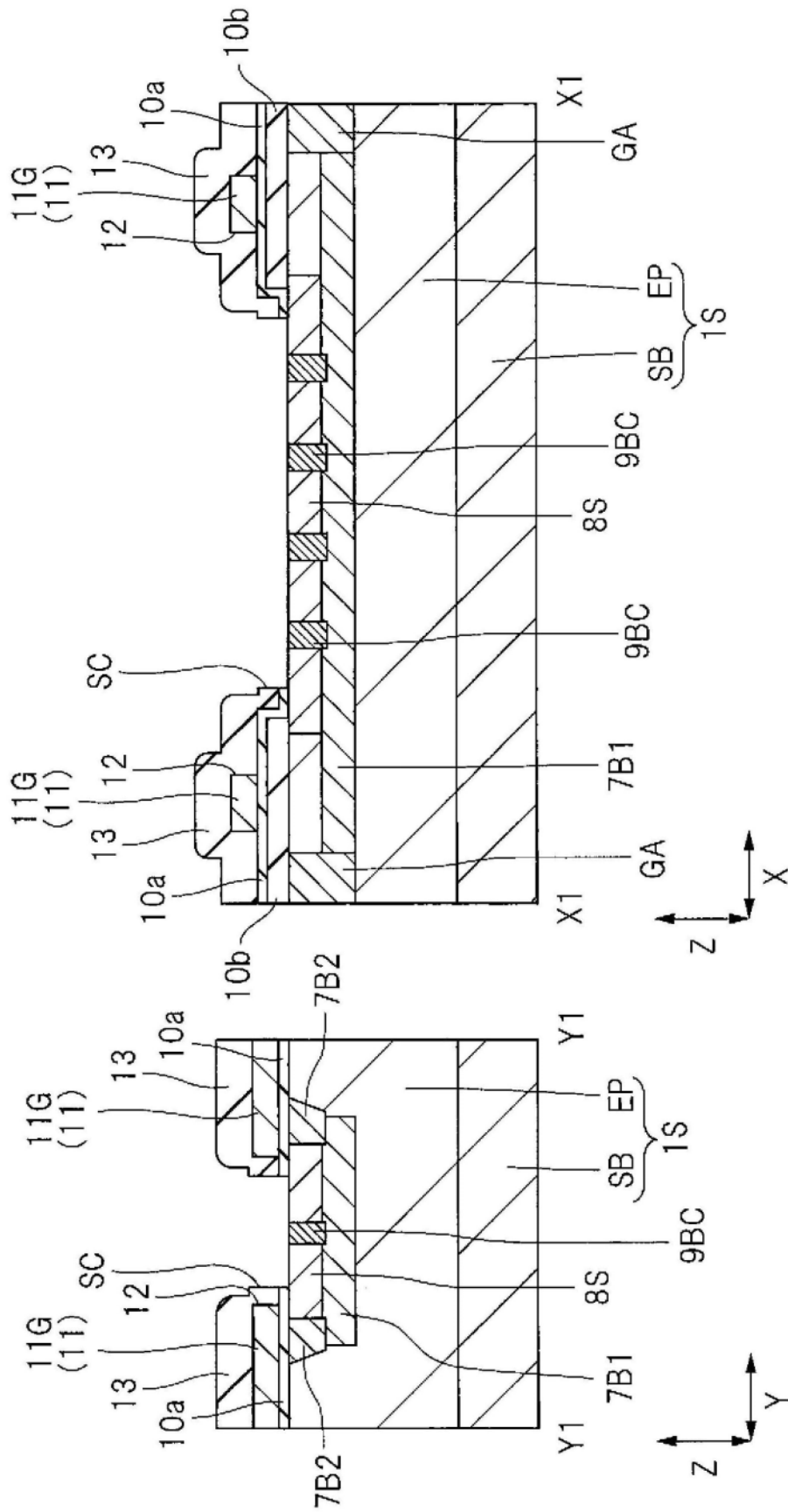


图26

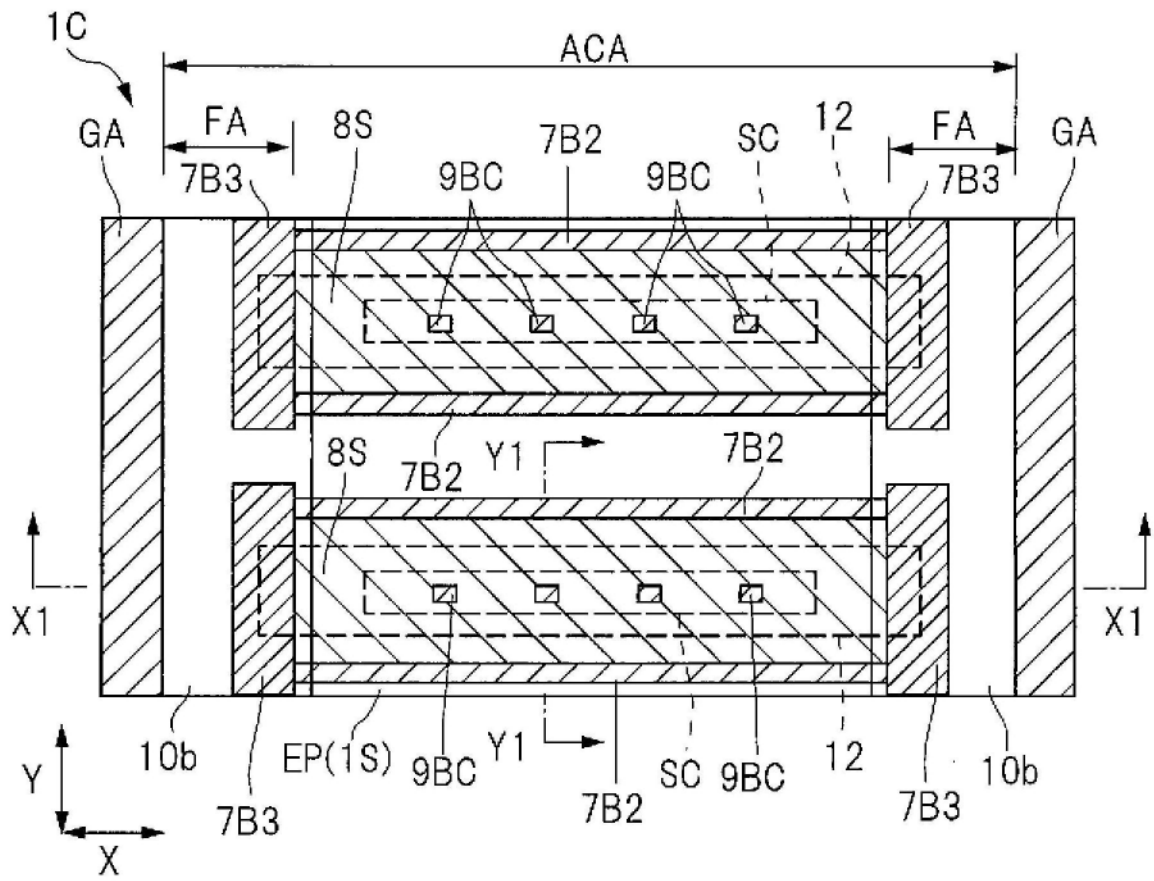


图27

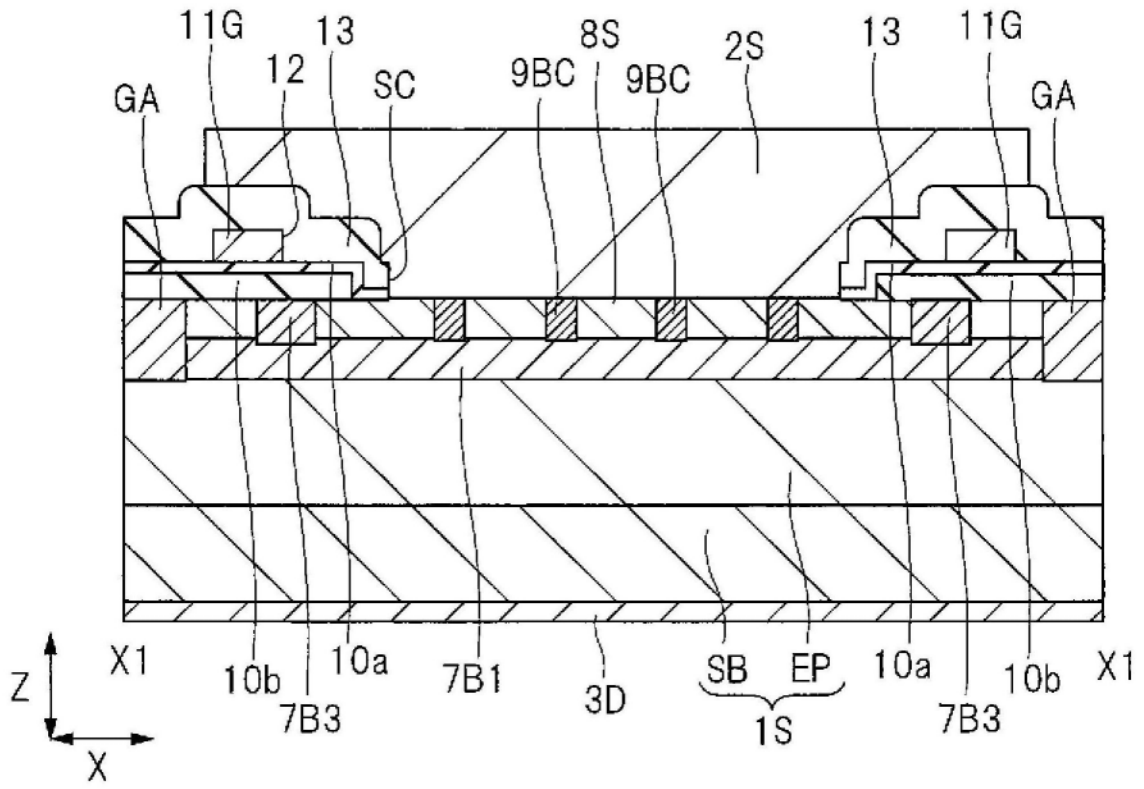


图28