

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-235001

(P2012-235001A)

(43) 公開日 平成24年11月29日(2012.11.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 B	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 J	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 C	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 T	
	HO 1 L 29/78 6 5 8 B	

審査請求 未請求 請求項の数 17 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2011-103426 (P2011-103426)
 (22) 出願日 平成23年5月6日(2011.5.6)

(出願人による申告)平成22年度、独立行政法人新エネルギー・産業技術総合開発機構からの委託研究「次世代パワーエレクトロニクス技術開発」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 三浦 成久
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
 (72) 発明者 渡邊 寛
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

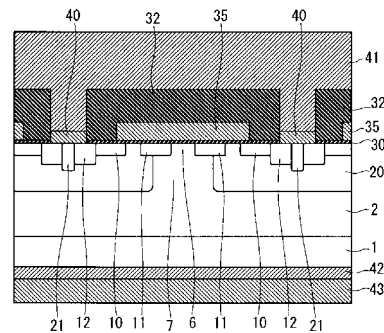
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】MOS構造を有する半導体装置において、逆バイアス印加時にゲート絶縁膜に加わる電界を抑えると共に、チャンネル抵抗の低減およびオン電流分布の均一化を図る。

【解決手段】MOSFETは、ドリフト層2に形成された複数のウェル領域20を有し、ドリフト層2におけるウェル領域20間に隣接する領域がJTE領域となる。各ウェル領域20には、ソース領域12、当該ソース領域12に接続したソースエクステンション領域10、およびJFET領域に接続したJFETエクステンション領域11が形成され、ソースエクステンション領域10とJFETエクステンション領域11の間がチャンネル領域となる。隣り合うウェル領域20のJFETエクステンション領域11は互いに分離している。

【選択図】図30



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板上に形成された第 1 導電型のドリフト層と、
 前記ドリフト層の上面部に選択的に形成された第 2 導電型のウェル領域と、
 前記ドリフト層における前記ウェル領域に隣接した部分である J F E T 領域と、
 前記ウェル領域の上面部に選択的に形成された第 1 導電型のソース領域と、
 前記ウェル領域の上面部において前記ソース領域の一部を重ねて形成された第 1 導電型のソースエクステンション領域と、
 前記ウェル領域の上面部において前記 J F E T 領域の一部を重ねて形成された第 1 導電型の J F E T エクステンション領域と、
 前記ドリフト層上にゲート絶縁膜を介して配設され、前記 J F E T エクステンション領域およびソースエクステンション領域上に跨って延在するゲート電極とを備える半導体装置であって、
 前記ソース領域、前記ソースエクステンション領域および前記 J F E T エクステンション領域を含む前記ウェル領域を複数個備え、
 前記ゲート電極は、隣り合う前記ウェル領域およびその間の前記 J F E T 領域の上に跨って延在し、
 隣り合う前記ウェル領域の前記 J F E T エクステンション領域は互いに分離していることを特徴とする半導体装置。

【請求項 2】

前記ソースエクステンション領域および前記 J F E T エクステンション領域は、同一工程のイオン注入により同時に形成されたものである
 請求項 1 記載の半導体装置。

【請求項 3】

平面視で、前記ウェル領域における前記 J F E T 領域側の端部と、前記 J F E T エクステンション領域における前記 J F E T 領域側の端部との距離は、均一である
 請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】

前記ソースエクステンション領域および前記 J F E T エクステンション領域の上面部の第 1 導電型の不純物濃度は、前記ソース領域の上面部の第 1 導電型の不純物濃度よりも低く、
 前記ゲート電極は、前記ソース領域上には形成されていない
 請求項 1 から請求項 3 のいずれか一項記載の半導体装置。

【請求項 5】

前記ソースエクステンション領域および前記 J F E T エクステンション領域は、上部よりも底部の方が第 1 導電型の不純物濃度が高い
 請求項 1 から請求項 4 のいずれか一項記載の半導体装置。

【請求項 6】

前記ウェル領域における第 2 導電型の不純物の高濃度領域は、当該ウェル領域の端部以外では深部に位置し、当該ウェル領域の端部近傍で深部から上面部へと延伸する
 請求項 1 から請求項 5 のいずれか一項記載の半導体装置。

【請求項 7】

前記 J F E T エクステンション領域における前記ソースエクステンション領域側の端部の位置は、前記ウェル領域の上面部へ延伸した前記高濃度領域に含まれる
 請求項 6 記載の半導体装置。

【請求項 8】

前記ウェル領域は、上部より底部が広い逆テーパ形状であり、
 前記ウェル領域における前記 J F E T 領域側の端部は、J F E T エクステンション領域における J F E T 領域側の端部よりも張り出している

請求項 1 から請求項 7 のいずれか一項記載の半導体装置。

【請求項 9】

前記ソースエクステンション領域を囲むように前記ウェル領域に重ねて形成された第 2 導電型のソースポケット領域と、

前記 J F E T エクステンション領域を囲むように前記ウェル領域の一部を重ねて形成された第 2 導電型の J F E T ポケット領域とをさらに備える

請求項 1 から請求項 8 のいずれか一項記載の半導体装置。

【請求項 10】

前記 J F E T 領域において前記 J F E T エクステンション領域の一部を重ねて形成され、前記 J F E T エクステンション領域をその下の前記 J F E T 領域に接続させる第 1 導電型の電流制御領域をさらに備える

請求項 9 記載の半導体装置。

【請求項 11】

前記ソースエクステンション領域の底の一部を覆うように前記ウェル領域に重ねて形成された第 2 導電型のソースポケット領域と、

前記 J F E T エクステンション領域の底の一部を覆うように前記ウェル領域の一部を重ねて形成された第 2 導電型の J F E T ポケット領域とをさらに備える

請求項 1 から請求項 8 のいずれか一項記載の半導体装置。

【請求項 12】

前記ソースエクステンション領域の上部に形成された第 2 導電型のソースポケット領域と、

前記 J F E T エクステンション領域の上部に形成された第 2 導電型の J F E T ポケット領域とをさらに備える

請求項 1 から請求項 8 のいずれか一項記載の半導体装置。

【請求項 13】

前記半導体基板および前記ドリフト層は、ワイドバンドギャップ半導体である

請求項 1 から請求項 12 のいずれか一項記載の半導体装置。

【請求項 14】

(a) 半導体基板上に形成された第 1 導電型のドリフト層上に第 1 マスクを形成する工程と、

(b) 前記第 1 マスクを用いたイオン注入により、前記ドリフト層に第 2 導電型のウェル領域を形成すると共に、前記第 1 マスクの下に前記ウェル領域に隣接する J F E T 領域を規定する工程と、

(c) 前記工程 (b) よりも後に、前記第 1 マスクを細線化する工程と、

(d) 前記第 1 マスクを残したまま、前記ウェル領域上に第 2 マスクを形成する工程と

(e) 前記工程 (c) および (d) よりも後に、前記第 1 マスクおよび前記第 2 マスクを用いたイオン注入により、前記ウェル領域において、前記 J F E T 領域に接続する第 1 導電型の J F E T エクステンション領域を形成すると共に、当該 J F E T エクステンション領域から前記第 2 マスクを挟む領域に第 1 導電型のソースエクステンション領域を形成する工程と、

(f) 前記第 1 および第 2 マスクを除去する工程と、

(g) 前記ウェル領域内に、前記ソースエクステンション領域に接続する第 1 導電型のソース領域を形成する工程と、

(h) 前記ドリフト層上に、前記 J F E T 領域、前記 J F E T エクステンション領域およびソースエクステンション領域に跨るゲート絶縁膜およびゲート電極を形成する工程とを備える

ことを特徴とする半導体装置の製造方法。

【請求項 15】

前記 (e) よりも後に、

10

20

30

40

50

(i) 前記第 1 および第 2 マスクを細線化し、その後、当該第 1 および第 2 マスクを用いたイオン注入により、前記ソースエクステンション領域をよりも深い第 2 導電型のソースポケット領域、および J F E T エクステンション領域よりも深い第 2 導電型の J F E T ポケット領域を形成する工程
をさらに備える

請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 6】

前記工程 (c) および (d) よりも後、且つ、前記 (e) よりも前に、

(i) 前記第 1 および第 2 マスクを用いたイオン注入により、前記ソースエクステンション領域よりも深い第 2 導電型のソースポケット領域、および J F E T エクステンション領域よりも深い第 2 導電型の J F E T ポケット領域を形成し、その後、前記第 1 および第 2 マスクを細線化する工程
をさらに備える

請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 7】

前記工程 (c) および (d) よりも後に、

(i) 前記第 1 マスクおよび前記第 2 マスクを用いたイオン注入により、前記ソースエクステンション領域よりも浅い第 2 導電型のソースポケット領域、および J F E T エクステンション領域よりも浅い第 2 導電型の J F E T ポケット領域を形成する工程
をさらに備える

請求項 1 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置、特に、金属 / 絶縁体 / 半導体接合構造 (M O S 構造) のゲート電極を有する半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

炭化珪素 (S i C) 半導体装置、とりわけ金属 / 絶縁体 / 半導体接合構造 (M O S 構造) のゲート電極を有する電界効果型トランジスタ (Metal-Oxide Semiconductor Field-Effect Transistor ; M O S F E T) においては、パワーエレクトロニクスへの応用および搭載機器の省エネルギー化の観点から低損失化が求められている。特に、通電時における損失 (オン損失) の低減、すなわちオン抵抗の低減は重要な課題である。オン抵抗を低減させる方法としては、チャンネル抵抗や J F E T (Junction Field Effect Transistor) 領域の抵抗 (J F E T 抵抗) を小さくすることが挙げられる。

【0003】

例えば特許文献 1 には、M O S F E T を備える炭化珪素半導体装置において、隣り合うウェルおよびその間の J F E T 領域に跨るように、ウェルとは異なる導電型の不純物を導入した不純物拡散層を設けた構成が開示されている。この構成によれば、M O S F E T のチャンネル長が短くなると共に、J F E T 領域の抵抗が抑えられる。よって素子構造を微細化する目的で J F E T 領域を縮小させても、J F E T 領域の抵抗の上昇を抑制でき、むしろ半導体装置のオン抵抗を低減させることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 6 - 3 0 3 3 2 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 の炭化珪素半導体装置では、上記の不純物拡散層は、隣り合うウェルおよび

10

20

30

40

50

その間の J F E T 領域に跨って形成されており、当該不純物領域は J F E T 領域全体の上部に配設されている。それにより J F E T 抵抗の低減効果を得ることができるが、半導体装置に逆バイアスが印加されたときに、当該不純物拡散層の上面に接するゲート絶縁膜に加わる電界が高くなる。そのためゲート絶縁膜の信頼性が低下するという問題を招く恐れがある。

【 0 0 0 6 】

本発明は以上のような課題を解決するためになされたものであり、M O S 構造を有する半導体装置において、逆バイアス印加時にゲート絶縁膜に加わる電界を抑えると共に、チャンネル抵抗の低減およびオン電流分布の均一化を図ることを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明に係る半導体装置は、半導体基板と、前記半導体基板上に形成された第 1 導電型のドリフト層と、前記ドリフト層の上面部に選択的に形成された第 2 導電型のウェル領域と、前記ドリフト層の前記ウェル領域に隣接した領域である J F E T 領域と、前記ウェル領域の上面部に選択的に形成された第 1 導電型のソース領域と、前記ウェル領域の上面部において前記ソース領域の一部を重ねて形成された第 1 導電型のソースエクステンション領域と、前記ウェル領域の上面部において前記 J F E T 領域の一部を重ねて形成された第 1 導電型の J F E T エクステンション領域と、前記ドリフト層上にゲート絶縁膜を介して配設され、前記 J F E T エクステンション領域およびソースエクステンション領域上に跨って延在するゲート電極とを備える半導体装置であって、前記ソース領域、前記ソースエクステンション領域および前記 J F E T エクステンション領域を含む前記ウェル領域を複数個備え、前記ゲート電極は、隣り合う前記ウェル領域およびその間の前記 J F E T 領域の上に跨って形成され、隣り合う前記ウェル領域それぞれの前記 J F E T エクステンション領域は、互いに分離しているものである。

【発明の効果】

【 0 0 0 8 】

本発明に係る半導体装置によれば、ゲート絶縁膜に接する J F E T 領域の上部全体に J F E T エクステンション領域が形成されないため、逆バイアス印加時にゲート絶縁膜に生じる電界が抑制され、装置の信頼性が向上する。また同じ工程のイオン注入で形成可能な J F E T エクステンション領域とソースエクステンション領域との間の領域がチャンネル領域になるため、チャンネル長をそのイオン注入のマスク幅で規定できる。そのためチャンネル長を短く且つ均一化でき、チャンネル抵抗の低減およびオン電流分布の均一化が可能になる。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】実施の形態 1 に係る炭化珪素半導体装置の上面図である。

【図 2】実施の形態 1 に係る炭化珪素半導体装置における表面近傍断面の平面図である。

【図 3】実施の形態 1 に係る炭化珪素半導体装置の端部における縦断面図である。

【図 4】実施の形態 1 に係る炭化珪素半導体装置のユニットセルにおける縦断面図である。

【図 5】実施の形態 1 に係る炭化珪素半導体装置のユニットセルにおける表面近傍断面の平面図である。

【図 6】実施の形態 1 に係る炭化珪素半導体装置のユニットセルにおける表面近傍断面の平面図である。

【図 7】実施の形態 1 に係る炭化珪素半導体装置のユニットセルにおける表面近傍断面の平面図である。

【図 8】実施の形態 1 に係る炭化珪素半導体装置のユニットセルにおける表面近傍断面の平面図である。

【図 9】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 10】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 1】実施の形態 1 に係る炭化珪素半導体装置のウェル領域端部近傍の不純物濃度分布の数値計算結果の一例を示す図である。

【図 1 2】実施の形態 1 に係る炭化珪素半導体装置のウェル領域端部近傍の不純物濃度分布の数値計算結果の一例を示す図である。

【図 1 3】実施の形態 1 に係る炭化珪素半導体装置のウェル領域端部近傍の不純物濃度分布の数値計算結果の一例を示す図である。

【図 1 4】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 5】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 6】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 7】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 8】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 1 9】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 0】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 1】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 2】実施の形態 1 に係る炭化珪素半導体装置の製造における注入マスクの細線化処理前の電子顕微鏡写真を示す図である。

【図 2 3】実施の形態 1 に係る炭化珪素半導体装置の製造における細線化処理後の注入マスクの電子顕微鏡写真を示す図である。

【図 2 4】実施の形態 1 に係る炭化珪素半導体装置の製造における細線化処理前後での注入マスクの寸法変化を示す図である。

【図 2 5】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 6】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 7】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 8】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 2 9】実施の形態 1 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 3 0】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 1】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 2】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 3】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 4】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 5】実施の形態 1 に係る炭化珪素半導体装置の縦断面図である。

【図 3 6】実施の形態 2 に係る炭化珪素半導体装置の縦断面図である。

【図 3 7】実施の形態 2 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 3 8】実施の形態 2 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 3 9】実施の形態 2 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 4 0】実施の形態 3 に係る炭化珪素半導体装置の縦断面図である。

【図 4 1】実施の形態 3 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 4 2】実施の形態 3 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 4 3】実施の形態 4 に係る炭化珪素半導体装置の縦断面図である。

【図 4 4】実施の形態 4 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【図 4 5】実施の形態 4 に係る炭化珪素半導体装置の製造工程を示す縦断面図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態について説明する。本明細書では、MOS構造を有する半導体素子を狭義の意味で「半導体装置」と定義する他、当該半導体素子が組み込まれたパワーモジュールをも広義の意味で「半導体装置」と定義する。パワーモジュールとしては、例えば、半導体素子と共に、それに逆並列に接続されるフリーホイールダイオードや、当該半導体素子のゲート電圧を生成・印加する制御回路等をリードフレームに搭載して封止して成るインバータモジュール等がある。

【0011】

10

20

30

40

50

各実施の形態では、炭化珪素半導体を用いて形成した半導体装置について説明するが、本発明は、珪素に比べてバンドギャップの大きい他の半導体（ワイドバンドギャップ半導体）を用いて形成した半導体装置に対しても適用可能である。ワイドバンドギャップ半導体としては、炭化珪素の他、例えば窒化ガリウムや窒化アルミニウムやダイヤモンド等がある。

【0012】

以下では不純物の導電型として、n型を「第1導電型」、p型を「第2導電型」と定義して説明するが、第1導電型がp型、第2導電型がn型であってもよい。

【0013】

<実施の形態1>

図1は、実施の形態1に係る炭化珪素半導体装置の上面図であり、具体的には、MOS構造を有するスイッチング素子のユニットセルを複数個備える、MOSFETのチップ上面の構成を模式的に示している。

【0014】

図1の如く、MOSFETのチップ5上面における一辺の中央部近傍には、外部の制御回路（図示せず）からのゲート電圧を印加するゲートパッド45が配設されている。またチップ5の上面中央部には、ソースパッド41が配設される。ソースパッド41は、MOSFETの最小単位構造であるユニットセルが複数個配設された活性領域上に、複数のユニットセルのソース領域に接続するように形成されており、それにより複数のユニットセルが並列に接続されることになる。ソースパッド41の周囲には、ゲートパッド45に接続したゲート配線44が形成されている。外部の制御回路からゲートパッド45に印加されたゲート電圧は、当該ゲートパッド45およびゲート配線44を通して各ユニットセルのゲート電極に供給される。

【0015】

なお、通常の製品としてのMOSFETでは、温度センサーや電流センサー用の電極もチップ5上に形成される場合が多いが、それらの電極の有無は本発明との関係が薄いため、ここでは省略している。また本発明において、ゲートパッド45の位置や個数、ゲート配線44の形状、並びにソースパッド41の形状や個数等は任意でよく、製品ごとに多種多様のケースが有り得る。

【0016】

図2は、実施の形態1に係る炭化珪素MOSFETの、炭化珪素内部の表面（上面）近傍の断面を模式的に示す平面図である。MOSFETのユニットセルが複数個並列配置された活性領域を、第2導電型の終端ウェル領域27、第2導電型の終端低抵抗領域28、第2導電型のJTE（Junction Termination Extension）領域50が取り囲み、JTE領域50から離間して第1導電型のフィールドストップ領域13がさらにそれらを取り囲んでいる。

【0017】

本実施の形態では、炭化珪素半導体の活性領域に互いに孤立したユニットセルが配置された構成を示すが、ユニットセルが互いに孤立せずに櫛形に接続された構成でもよい。また図2においては、各ユニットセルが正方形であり、隣り合うユニットセルの列ごとにユニットセルのピッチを半周期ずらすことでユニットセルを千鳥状に配列させた形態を示しているが、ユニットセルの形状および配置は任意でよい。例えば、ユニットセルは長方形や六角形でもよいし、縦横に等ピッチで配列されていてもよい。

【0018】

図3は本実施の形態に係るMOSFETの端部の縦断面図、例えば図1に示すA-A線に沿った断面図である。また図4は、MOSFETのユニットセルが配置される活性領域の縦断面図、例えば図1のB-B線に沿った断面図である。

【0019】

図3および図4に示すように、本実施の形態に係る炭化珪素MOSFETは、第1導電型の半導体基板1およびその上に形成されたエピタキシャル層である第1導電型のドリフ

10

20

30

40

50

ト層 2 から成るエピタキシャル基板を用いて形成されたものである。半導体基板 1 の裏面（下面）には、オーミック電極 4 2 を介してドレイン電極 4 3 が配設される。またドリフト層 2 の表面（上面）部には、第 2 導電型のウェル領域 2 0 が選択的に複数形成されている。ウェル領域 2 0 表面部分には、第 1 導電型のソース領域 1 2、および、ソース領域 1 2 を貫通してその下のウェル領域 2 0 に達する第 2 導電型のウェルコンタクト領域 2 1 が形成されている。なお、ドリフト層 2 において、ウェル領域 2 0 に隣接する部分（互いに隣り合うウェル領域 2 0 に挟まれた領域）が J F E T 領域となる。

【 0 0 2 0 】

またウェル領域 2 0 内の表面部にはソース領域 1 2 に接続する（一部がソース領域 1 2 と重なる）第 1 導電型のソースエクステンション領域 1 0 が選択的に形成される。またウェル領域 2 0 の端部には J F E T 領域に接続する（一部が J F E T 領域に重なる）第 1 導電型の J F E T エクステンション領域 1 1 が選択的に形成されている。本実施の形態の M O S F E T では、ソースエクステンション領域 1 0 と J F E T エクステンション領域 1 1 とで挟まれた領域がチャンネル領域となる。

10

【 0 0 2 1 】

本発明において、J F E T エクステンション領域 1 1 が、隣り合うウェル領域 2 0 に跨らずに、ウェル領域 2 0 ごとに孤立して配設されている点が特徴的である。すなわち各ウェル領域 2 0 の端部に形成された J F E T エクステンション領域 1 1 同士の間は接続しておらず、間隔が設けられる。

【 0 0 2 2 】

従って、J F E T 領域は、図 3 に点線で示すように、J F E T エクステンション領域 1 1 に囲まれた部分 6 と、その下のウェル領域 2 0 に囲まれた部分 7 とを含むことになる。以下、J F E T エクステンション領域 1 1 に囲まれた J F E T 領域の部分 6 を「第 1 J F E T 領域」、ウェル領域 2 0 に囲まれた J F E T 領域の部分 7 を「第 2 J F E T 領域」と称す。

20

【 0 0 2 3 】

図 2 にも示したように、チップ 5 の外周部（終端部）のドリフト層 2 表面には、複数のユニットセルが配置された活性領域を取り囲むように第 2 導電型の終端ウェル領域 2 7 が形成され、終端ウェル領域 2 7 の表面部には、第 2 導電型の終端低抵抗領域 2 8 が形成されている。また終端ウェル領域 2 7 を囲むように、第 2 導電型の J T E 領域 5 0 が形成されており、さらに J T E 領域 5 0 の外側に、第 1 導電型のフィールドストップ領域 1 3 が形成されている。

30

【 0 0 2 4 】

ドリフト層 2 上には、ウェル領域 2 0 および終端ウェル領域 2 7 の一部を覆うゲート絶縁膜 3 0 と、チップ 5 の外周部などゲート絶縁膜 3 0 が形成された以外の領域を覆うフィールド酸化膜 3 1 とが形成されている。ゲート絶縁膜 3 0 の上には、チャンネル領域（ソースエクステンション領域 1 0 と J F E T エクステンション領域 1 1 との間の領域）の上方に延在するゲート電極 3 5 が形成されている。ゲート絶縁膜 3 0 およびゲート電極 3 5 は、J F E T 領域を覆い、且つ隣接するウェル領域 2 0 に跨って配設されている。

【 0 0 2 5 】

ゲート電極 3 5 は層間絶縁膜 3 2 により覆われており、層間酸化膜 3 2 上にソース電極として機能するソースパッド 4 1、ゲート配線 4 4 が配設される。ソースパッド 4 1 は、層間絶縁膜 3 2 に形成されたコンタクトホールを通して、各ユニットセルのソース領域 1 2 およびウェルコンタクト領域 2 1 に、オーミック電極 4 0 を介して接続する。またソースパッド 4 1 は、層間絶縁膜 3 2 に形成されたコンタクトホールを通して、終端低抵抗領域 2 8 にもオーミック電極 4 0 を介して接続される。

40

【 0 0 2 6 】

図 3 に示すように、ゲート電極 3 5 は、チップ 5 の外周部のフィールド酸化膜 3 1 上にまで延在しており、層間酸化膜 3 2 に形成されたコンタクトホールを通してゲート配線 4 4 に接続される。それによってゲート電極 3 5 は、図 1 に示したゲートパッド 4 5 に電気

50

的に接続される。

【0027】

ここで、図4に示すように、ウェル領域20間のJFET領域の中央をユニットセルの境界として規定する。つまり各ユニットセルには、1つのウェル領域20を用いて形成されたMOSFET素子が属することになる。

【0028】

図5～図7は、それぞれユニットセルの表面近傍断面を模式的に示した平面図である。図5は図4のC-C線に沿った断面、図6は図4のD-D線に沿った断面、図7は図4のE-E線に沿った断面を示している。

【0029】

これらの図に示すように、各ユニットセルにおいては、四角形のウェル領域20が配設され、その中央部にソース領域12およびウェルコンタクト領域21が形成される。ソースエクステンション領域10はソース領域12の外周部に跨るフレーム状に形成され、JFETエクステンション領域11はウェル領域20の外周部に跨るフレーム状に形成される。

【0030】

先に述べたように、MOSFETのチャネル領域は、ソースエクステンション領域10とJFETエクステンション領域11とに囲まれた領域の表面部になる。つまり図6に示すソースエクステンション領域10とJFETエクステンション領域11との間隔L1が、当該MOSFETのチャネル長となる。図5に示すゲート電極35はチャネル領域を覆うように形成されるが、図4に示したようにゲート電極35は隣接するユニットセルに跨るため、ゲート電極35全体としては層間酸化膜32のコンタクトホール部分が開口された網目状のパターンとなっている。

【0031】

ここで、JFETエクステンション領域11で囲まれた第1JFET領域6の幅(すなわち隣り合うJFETエクステンション領域11間の間隔)をL2とする。ユニットセルの境界はJFET領域の中央部であるので、図6の如く、JFETエクステンション領域11の端とユニットセルの端との距離はL2/2と表される。またウェル領域20に囲まれた第2JFET領域7の幅をL3とすると、図7の如く、ソース領域12の端とユニットセルの端との距離はL3/2と表される。

【0032】

上記したように本発明では、JFETエクステンション領域11が、ウェル領域20ごとに孤立している点が特徴的である。すなわち第1JFET領域6の幅L2が0よりも大きい(L2>0)。第1JFET領域6の幅L2と第2JFET領域7の幅L3との関係は様々な態様が考えられるが、詳細は後述する。

【0033】

また本発明のさらに特徴的な点は、JFETエクステンション領域11の端とウェル領域20の端との距離、すなわちL2とL3との差の絶対値の半分(|L2-L3|/2)の値が、各ユニットセル内で一定であり、且つ、全てのユニットセルで等しくなることである。

【0034】

なお、図5～図7ではユニットセルの各要素を4つのコーナー部がそれぞれ90度の正方形として描いたが、写真製版技術を用いてこのようなパターンを形成すると、実際には図8(図6と同じ断面に相当)のように、各要素のコーナー部が丸みを帯びることがしばしばある。その場合、ソースエクステンション領域10の外周のコーナー部に生じる丸みを考慮して、それを囲むJFETエクステンション領域11の内周のコーナー部に意図的に丸みをつけることで、チャネル長を一定にすることが望ましい。

【0035】

例えば図8に示すように、ソースエクステンション領域10の外周のコーナー部に写真製版処理によって生じる丸みの曲率半径をr1とする。このときJFETエクステンシ

10

20

30

40

50

ン領域 11 の内周のコーナー部が、 r_1 よりも L_1 だけ大きい曲率半径 r_2 を持ち ($r_2 - r_1 = L_1$)、且つ、 r_2 の中心位置が r_1 の中心位置と重なるように、JFET エクステンション領域 11 の形状を設計する。すると、ユニットセル内におけるチャネル長が、ソースエクステンション領域 10 および JFET エクステンション領域 11 のコーナー部を含めた全ての位置で一定になる。その結果、導通時に流れる電流 (オン電流) の分布が均一化され、所望の特性を持つ半導体装置を得ることができる。

【0036】

以下、図 9 ~ 図 35 を参照しつつ、図 1 ~ 図 4 に示した実施の形態 1 に係る炭化珪素半導体装置、具体的には MOSFET の製造方法を説明する。なお各工程を示す縦断面図 (図 9、図 10、図 14 ~ 図 35) は、チップ 5 の外周部 (終端部) を含んでいない、ユニットセルが多数配列された任意の位置に対応しており、具体的には 2 つのユニットセルに跨った部分の領域を示している。

10

【0037】

まず、第 1 導電型の半導体基板 1 を用意する。半導体基板 1 は、表面が c 軸方向に対して 8° 以下に傾斜されていてもよいし、傾斜していなくても良く、どのような面方位を有していてもよい。なお、ここでは半導体基板 1 は炭化珪素半導体であるが、本発明を他のワイドバンドギャップ半導体 (例えば窒化ガリウムや窒化アルミニウムやダイヤモンド等) に適用する場合は、それに応じた材料の半導体基板 1 を使用する。

【0038】

半導体基板 1 上に、エピタキシャル結晶成長により第 1 導電型のドリフト層 2 を形成する。ドリフト層 2 における第 1 導電型の不純物濃度は、例えば $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度であり、ドリフト層 2 の厚みは例えば $4 \mu\text{m} \sim 200 \mu\text{m}$ 程度である。

20

【0039】

その後、フォトリソグラフィ技術を用いて、図 9 のようにウェル領域 20 の形成領域上が開口された注入マスク 100 を形成する。注入マスク 100 はフォトレジストで形成されていてもよいし、フォトレジストをマスクに用いてパターニングしたシリコン酸化膜で形成されていてもよい。そして注入マスク 100 を用いて不純物のイオン注入を行い、第 2 導電型のウェル領域 20 を形成する。図示は省略するが、このイオン注入の際、終端ウェル領域 27 (図 3) も同時に形成してもよい。

【0040】

この注入の際には、半導体基板 1 を積極的に加熱しなくてもよいし、 $100 \sim 800$ で加熱してもよい。また注入する不純物は、形成する不純物領域 (ここではウェル領域 20) の導電型が n 型の場合には窒素またはリンが好適であり、導電型が p 型の場合にはアルミニウムまたは硼素が好適である。

30

【0041】

また、ウェル領域 20 のドリフト層 2 表面からの深さ (厚さ) は、ドリフト層 2 の底面を超えない範囲で、例えば $0.3 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度に設定される。また、ウェル領域 20 の不純物濃度はドリフト層 2 の不純物濃度を超える範囲で、例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度に設定される。但し、ウェル領域 20 の最表面近傍に限っては、炭化珪素半導体装置のチャネル領域における導電性を高めるために、ウェル領域 20 の第 2 導電型の不純物濃度がドリフト層 2 の第 1 導電型の不純物濃度を下回っていてもよい。

40

【0042】

ここで、垂直性の高い注入マスク 100 を用いてウェル領域 20 を形成した場合、ドリフト層 2 中で高加速エネルギー注入による不純物の横方向散乱が生じるため、ウェル領域 20 の形状は、特に意図的に基板斜め方向から注入しなければ、図 10 に示すように逆テーパ形状となる (ウェル領域 20 に関しては、上部よりも底部が狭い形状 (例えば図 14) を「テーパ形状」、その逆の形状 (例えば図 10) を「逆テーパ形状」と定義する)。注入マスク 100 の端部から注入不純物の横方向への広がり距離 L_4 は、 $0.3 \mu\text{m}$ 前後からそれ以上にも及ぼせることができる。

【0043】

50

例えば図 1 1 は、不純物として Al を、500 keV の加速エネルギー、 $8 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、炭化珪素基板に注入したときの分布を数値計算した結果を示している。また図 1 2 は、その条件で形成されたウェル領域 20 の基板表面から $0.5 \mu\text{m}$ の深さにおける水平方向（基板の表面に平行な方向）の Al の分布を示している。例えばドリフト層 2 の第 1 導電型の不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ であるとする、図 1 1 および図 1 2 から分かるように、上記の条件では、マスクエッジから $0.3 \mu\text{m}$ ほどドリフト層 2 側に広がってウェル領域 20 が形成され、当該ウェル領域 20 は逆テーパ形状となる。

【0044】

また図 1 3 は Al 濃度が表面からおよそ $0.8 \mu\text{m}$ までの深さに渡って略均一になるように多段注入（加速エネルギーが異なる複数回の注入）を行った同様の結果であるが、この場合もやはり、ドリフト層 2 の表面から深い位置で $0.3 \mu\text{m}$ ほど水平方向にウェル領域 20 が広がり、逆テーパ形状となることが分かる。

10

【0045】

このようにウェル領域 20 を逆テーパ形状にすると、MOSFET のオフ時に、ウェル領域 20 の底端部近傍から広がる空乏層によって JFET 領域の遮蔽効果が促進され、ゲート絶縁膜 30 に生じる電界が低減し、半導体装置の信頼性が向上する。

【0046】

また、ドリフト層 2 の表面から離れた深い位置が濃度ピークとなるような不純物のイオン注入によりウェル領域 20 を形成した場合、図 1 1 に示されるように、ウェル領域 20 の不純物濃度が高い領域（高濃度領域）は、ドリフト層 2 の表面から離れた深い位置に留まる。つまりチャンネル領域となるウェル領域 20 の浅い部分にまで高濃度領域が及ばないので、しきい値電圧が低く、チャンネル抵抗の低い MOSFET を得ることができる。

20

【0047】

ところで注入マスク 100 の形状をテーパ形状とすることもでき、これもしばしば生じる（注入マスク 100 に関しては、底部よりも上部が狭い形状（例えば図 1 4）を「テーパ形状」と定義する）。注入マスク 100 をテーパ形状にすると、それをマスクにする不純物のイオン注入によって形成されるウェル領域 20 は、図 1 4 の如く、テーパ形状となる。

【0048】

また、ドリフト層 2 表面から離れた深い位置が濃度ピークとなるような不純物のイオン注入によりウェル領域 20 を形成した場合、注入マスク 100 の傾斜した側面を突き抜けてドリフト層 2 に達する不純物の影響により、図 1 5 の如く、ウェル領域 20 の第 2 導電型の不純物の高濃度領域 29 が、ドリフト層 2 の端部で表面付近にまで達するような分布を得ることができる。つまりウェル領域 20 の深さ方向の不純物濃度ピークの位置は、端部以外の部分では深い位置であるが、端部近傍ではその位置が浅くなり、ウェル領域 20 の上面に達する。

30

【0049】

この場合、チャンネル領域となるウェル領域 20 の浅い部分にまで高濃度領域 29 が及ぶため、MOSFET のオン動作時に、ドリフト層 2 からウェル領域 20 内への空乏層の伸びを抑える効果が得られる。この場合、チャンネル長の短い（例えば $1 \mu\text{m}$ 未満）MOSFET において、リーク電流が低減される。

40

【0050】

このようにウェル領域 20 の形状は、注入マスク 100 の形状やイオン注入の条件によって多種多様であるが、便宜上、以降の工程は主に図 9 の構造に基づいて説明する。

【0051】

ウェル領域 20 の形成の後、図 1 6 に示すように、注入マスク 100 の表面に対する極微量の等方性エッチングを行うことで、注入マスク 100 の細線化処理を行う（第 1 の細線化処理）。この第 1 の細線化処理は、例えば注入マスク 100 をフォトレジストで構成した場合は、酸素プラズマによる気相中での処理や、アセトンなどの有機溶媒による液相中での処理によって実施できる。また注入マスク 100 をシリコン酸化膜で構成した場合

50

は、バッファドフッ酸や希フッ酸による液相中での処理によって実施可能である。

【 0 0 5 2 】

第 1 の細線化処理における注入マスク 1 0 0 表面のエッチング量は $0.1 \sim 1 \mu\text{m}$ 、より好ましくは $0.1 \sim 0.5 \mu\text{m}$ であればよい（注入マスク 1 0 0 の左右両面がエッチングされるので、注入マスク 1 0 0 はこのエッチング量の 2 倍だけ細線化される）。以下、第 1 の細線化処理が施された注入マスク 1 0 0 を「注入マスク 1 0 0 a」と称す。

【 0 0 5 3 】

ここで、注入マスク 1 0 0 a がフォトレジストの場合は、この後行われる写真製版処理の現像液で溶解しないように、2 0 0 以上でハードベークを行う。なお、ハードベークを行うとフォトレジストは若干縮小するため、注入マスク 1 0 0 a はさらに細線化される。あるいは上記のハードベークに代えて、図 1 7 のようにフォトレジストの注入マスク 1 0 0 a の表面を厚さ 1 0 0 nm 程度のシリコン酸化膜 3 3 で覆うことで、この後の写真製版処理の現像液に浸されないようにしてもよい。

【 0 0 5 4 】

続いて、写真製版により図 1 8 のようにフォトレジストから成る注入マスク 1 0 3 を形成する。図 1 9 は、図 1 6 のように注入マスク 1 0 0 a の表面にシリコン酸化膜 3 3 を設けた場合を示している。

【 0 0 5 5 】

そして今度は、図 2 0 のように、注入マスク 1 0 3 の表面に対する極微量の等方性エッチングを行うことで、注入マスク 1 0 3 の細線化処理を行う（第 2 の細線化処理）。注入マスク 1 0 3 はフォトレジストであるので、第 2 の細線化処理は、酸素プラズマによる気相中での処理やアセトンなどの有機溶媒による液相中での処理より実施可能である。図 2 1 は、図 1 6 のように注入マスク 1 0 0 a の表面にシリコン酸化膜 3 3 を設けた場合を示している。以下、第 2 の細線化処理が施された注入マスク 1 0 3 を「注入マスク 1 0 3 a」と称す。

【 0 0 5 6 】

注入マスク 1 0 3 a の下の領域がチャンネル領域となり、注入マスク 1 0 3 a の幅はチャンネル長、すなわちソースエクステンション領域 1 0 と J F E T エクステンション領域 1 1 との間の距離を規定するものとなる。チャンネル領域がウェル領域 2 0 内に位置するようにするために、注入マスク 1 0 3 a はウェル領域 2 0 上の領域内に、ウェル領域 2 0 の端に跨らないように形成されることが好ましい。

【 0 0 5 7 】

ここで、注入マスク 1 0 0 a がハードベークしたフォトレジストの場合、図 2 0 に示すように、第 2 の細線化処理によって注入マスク 1 0 0 a も若干縮小して細線化がさらに進むが、図 2 1 のように注入マスク 1 0 0 a をシリコン酸化膜 3 3 で覆っていた場合や、注入マスク 1 0 0 a がシリコン酸化膜である場合は、注入マスク 1 0 0 a の幅に変化はない。

【 0 0 5 8 】

図 2 2 は第 2 の細線化処理前（形成直後）の注入マスク 1 0 3 の電子顕微鏡写真であり、図 2 3 は第 2 の細線化処理後の注入マスク 1 0 3 a の電子顕微鏡写真である。図 2 2 に示す注入マスク 1 0 3 は幅 $1.2 \mu\text{m}$ のフォトレジストパターンである。これに第 2 の細線化処理として酸素プラズマ処理を行うことにより、図 2 3 に示す幅が約 $0.5 \mu\text{m}$ の注入マスク 1 0 3 a が得られた。第 2 の細線化処理後の注入マスク 1 0 3 a に側面形状に劣化が無いことが分かる。

【 0 0 5 9 】

図 2 4 は、注入マスク 1 0 3 の形成時（写真製版後）の寸法と、第 2 の細線化処理後（エッチング後）の注入マスク 1 0 3 a の寸法との関係を示す図である。これは第 2 の細線化処理として酸素プラズマ処理を行ったときの実験結果である。第 2 の細線化処理を行うことにより、写真製版の解像限界である幅 $1 \mu\text{m}$ 以下の注入マスク 1 0 3 a を作製することができた。

10

20

30

40

50

【0060】

また細線化後の注入マスク103aの寸法ばらつきも非常に小さいことが確認できた。このことは、細線化後の注入マスク103aの幅が、注入マスク103の幅と酸素プラズマ処理時間を調整することによって精度よく制御可能であることを意味している。レジスト厚の犠牲量をより少なくして注入マスク103aの寸法精度をより高くするために、写真製版処理で予め微細な注入マスク103を形成しておき、酸素プラズマ処理時間を短くすることが望ましい。

【0061】

但し、細線化処理しなくても十分に細い幅の注入マスク103を形成可能であれば、第2の細線化処理は省略してもよい。その場合、細線化処理を行うよりも高い寸法精度が得られる。

10

【0062】

次に、図25に示すように、注入マスク100a, 103aをマスクとして用いる不純物のイオン注入により、第1導電型のソースエクステンション領域10およびJFETエクステンション領域11を同時に形成する。ソースエクステンション領域10およびJFETエクステンション領域11の深さは、それらの底面がウェル領域20の底面を超えないように設定される。またソースエクステンション領域10およびJFETエクステンション領域11の不純物濃度は、ウェル領域20の不純物濃度を超える範囲で、例えば $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度であり、それらの全体が空乏化しているわけではない。またこのイオン注入は、注入時の横方向散乱によってソースエクステンション領域10とJFETエクステンション領域11とが相互に接続しないような加速エネルギーで行われる。

20

【0063】

ソースエクステンション領域10およびJFETエクステンション領域11の基板深さ方向の不純物分布は、均一な分布でもよいし、上側(基板表面側)で低濃度、下側(基板奥側)で高濃度となる分布でもよい。特に後者の場合、ゲート電極35、ゲート絶縁膜30およびドリフト層2で構成されるMOS構造において、ドリフト層2の表面部のイオン注入による結晶欠陥などの影響により、ゲート絶縁膜30の品質が悪化することを防止でき、高品質のMOS構造を実現できる。

【0064】

図25のように、ソースエクステンション領域10はウェル領域20内部に位置する。またJFETエクステンション領域11は、ウェル領域20の端部を包含しつつ、ドリフト層2に接続されている(つまりウェル領域20の端部に跨っている)。

30

【0065】

図25に示すL1, L2は、図6あるいは図8に示したものに対応している。ソースエクステンション領域10とJFETエクステンション領域11との間隔L1は、MOSFETのチャンネル長となるが、これは注入マスク103aの幅によってほぼ決定される。図22~図24を用いて説明したように、注入マスク103aの幅は精度よく制御可能である。

【0066】

従来のMOSFET(ソースエクステンション領域10およびJFETエクステンション領域11を有さない構造)のチャンネル長は、ウェル領域を形成するためのマスクと、ソース領域を形成するためのマスクの両方の寸法および位置合わせ精度に依存する。つまり2回の写真製版およびイオン注入によってチャンネル長が決定されていた。

40

【0067】

それに対し本実施の形態のMOSFETのチャンネル長は注入マスク103aの1回の写真製版、細線化処理およびイオン注入によって決定されるため、ユニットセル内におけるチャンネル長の均一性並びにウェル内のチャンネル長の均一性を従来よりも格段に向上でき、電気特性のパラッキが小さい装置を得ることができる。

【0068】

50

また注入マスク100aの直下には、JFETエクステンション領域11を形成するための第1導電型の不純物が注入されないので、隣り合うJFETエクステンション領域11は間隔L2をもって互いに離間する。つまりJFET領域は、JFETエクステンション領域11で囲まれた第1JFET領域6の部分と、ウェル領域20で囲まれた第2JFET領域7の部分を含む構成になる。JFET領域の表面部全体の不純物濃度を高くしないため、MOSFETのオフ時にゲート絶縁膜30に印加される電界が緩和され、装置の信頼性が向上する。

【0069】

また第2JFET領域7に隣接するウェル領域20の端部位置は、注入マスク100の幅で決定され、第1JFET領域6に隣接するJFETエクステンション領域11の端部位置は、注入マスク100を細線化することで自己整合的に形成された注入マスク100aの幅で決定される。その結果、上記したようにJFETエクステンション領域11の端とウェル領域20の端との距離、すなわちJFETエクステンション領域11の間隔L2とウェル領域20の間隔L3(図7)の差の絶対値の半分($|L2 - L3| / 2$)の値は、各ユニットセルで一定になり、且つ、全てのユニットセルで等しくなる。その結果、MOSFETのオフ時に、ゲート絶縁膜30に印加される電界のアンバランスが生じず、装置の信頼性が向上する。

10

【0070】

図15に示したテーパ形状でその高濃度領域29が表面に達する構造のウェル領域20を形成した場合、図26のようにJFETエクステンション領域11のチャンネル領域側の端部がウェル領域20の表面部で高濃度領域29に接続するようにしてもよい。この構成によれば、MOSFETのオン時においてJFETエクステンション領域11からチャンネル領域へ伸びる空乏層の伸びが抑えられるので、短チャンネル効果が抑制される。従ってチャンネル長をより短く設定することが可能となる他、ひいてはMOSFETの高しきい値電圧と低オン抵抗化を両立することも可能となる。

20

【0071】

また図10に示した逆テーパ形状のウェル領域20を形成した場合、図27に示すように、第1JFET領域6に隣接するJFETエクステンション領域11の間隔L2よりも第2JFET領域7に隣接するウェル領域20の間隔L3を短くしてもよい。この構成によれば、MOSFETのオフ時に、ウェル領域20の端から伸びる空乏層による遮蔽効果によって、比較的の不純物濃度の高いJFETエクステンション領域11が電界強度分布に与える影響が緩和される。それによりJFET領域直上のゲート絶縁膜30に印加される電界がさらに緩和され、MOSFETの信頼性向上の効果を奏する。

30

【0072】

その後、ドリフト層2上に写真製版処理により所定形状の注入マスク(フォトレジストまたはシリコン酸化膜)を形成し、第2導電型の不純物をイオン注入することによりJTE領域50(図3)を形成する。

【0073】

続いて、ドリフト層2上に所定形状の注入マスクを形成し、第1導電型の不純物をイオン注入することにより、ソース領域12(図28)およびフィールドストップ領域13(図3)を形成する。ソース領域12の深さは、その底面がウェル領域20の底面を超えないように設定され、その不純物濃度の値は、ウェル領域20の不純物濃度の値を超える範囲で、例えば $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度とする。

40

【0074】

さらに、ウェル領域20とソースパッド41との良好な金属接触を実現するために、ウェル領域20の不純物濃度よりも高い第2導電型の不純物濃度を有するウェルコンタクト領域21をイオン注入により形成する。このイオン注入は、ドリフト層2を150以上の温度に加熱して行うことが望ましい。それにより、シート抵抗の低いウェルコンタクト領域21が形成される。

【0075】

50

ウェルコンタクト領域 2 1 と同時に、第 2 導電型の終端低抵抗領域 2 8 (図 3) をイオン注入により形成してもよい。終端ウェル領域 2 7 内に終端低抵抗領域 2 8 を設けることで、終端ウェル領域 2 7 における寄生抵抗を減少させることができ、例えば dV/dt 耐量の優れた終端構造を得ることができる。もちろん終端低抵抗領域 2 8 は、ウェルコンタクト領域 2 1 と別の工程で形成してもよい。

【 0 0 7 6 】

ここで、図 2 9 のように基板全面に第 1 導電型の不純物をイオン注入することで、J F E T 領域 (第 1 J F E T 領域 6 および第 2 J F E T 領域 7) およびウェル領域 2 0 の下部に、ドリフト層 2 の不純物濃度よりも高い不純物濃度を有する第 1 導電型の電流制御層 8 を形成してもよい。この電流制御層 8 を設けると J F E T 領域が低抵抗化されるため、M O S F E T のオン抵抗が低減されると共に、逆バイアス印加時に、ウェル領域 2 0 とドリフト層 2 との間で起こるアバランシェ降伏がより安定化する効果も得られる。

10

【 0 0 7 7 】

電流制御層 8 の不純物濃度は、ウェル領域 2 0 内の第 2 導電型の最大不純物濃度よりも低く、ドリフト層 2 内の第 1 導電型の不純物濃度よりも高い。その値は例えば $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度に設定される。また電流制御層 8 の深さ方向の不純物濃度分布は一様でなくてもよい。

【 0 0 7 8 】

なお、電流制御層 8 の形成は、ドリフト層 2 を形成した後、上記の各工程の前後のいずれのタイミングで行ってもよい。あるいは、ドリフト層 2 のエピタキシャル成長と同時に電流制御層 8 を形成してもよい。その場合、ドリフト層 2 のエピタキシャル成長の途中で、導入する第 1 導電型の不純物を増やし、ドリフト層 2 の上部分を電流制御層 8 としてピタキシャル成長させる。

20

【 0 0 7 9 】

その後、アルゴンまたは窒素等の不活性ガス雰囲気、若しくは、真空中において $1500 \sim 2200$ の範囲内の温度で 0.5 分 ~ 60 分程度の熱処理を行うことで、注入された不純物を電氣的に活性化させる。この熱処理は、ドリフト層 2 の表面、もしくはドリフト層 2 の表面並びに半導体基板 1 の裏面およびそれらの端面を、炭素からなる膜で覆われた状態で行ってもよい。そうすることで、熱処理の際に装置内の残留水分や残留酸素などによるエッチングによって、ドリフト層 2 の表面荒れが発生することを防止できる。

30

【 0 0 8 0 】

次に、ドリフト層 2 の表面に熱酸化によるシリコン酸化膜を形成し、当該熱酸化膜をフッ酸により除去することにより、ドリフト層 2 表面の変質層を除去して清浄な面を得る。その後、ドリフト層 2 上に例えば C V D (Chemical Vapor Deposition) 法などでシリコン酸化膜を堆積してパターンングすることにより、活性領域以外の部分を覆うフィールド酸化膜 3 1 を形成する。フィールド酸化膜 3 1 の膜厚は、 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 程度でよい。

【 0 0 8 1 】

さらに、例えば熱酸化法または堆積法によりドリフト層 2 の表面にシリコン酸化膜を形成することでゲート絶縁膜 3 0 を形成する。必要に応じて、ゲート絶縁膜 3 0 に対し、N O や N_2O などの窒化ガス雰囲気やアンモニア雰囲気における熱処理や、アルゴンなどの不活性ガス中での熱処理を施してもよい。

40

【 0 0 8 2 】

その後、ゲート電極 3 5 の材料となるポリシリコンを C V D 法により堆積し、写真製版処理およびエッチングによりパターンングし、ゲート電極 3 5 を形成する。ゲート電極 3 5 を構成するポリシリコンは、リンや硼素を含有して低シート抵抗であることが望ましい。リンや硼素は、ポリシリコンの成膜中に取り込まれてもよいし、イオン注入とその後の熱処理によって活性化することによってもよい。さらに、このゲート電極はポリシリコンと金属および金属間化合物の多層膜であってもよい。

【 0 0 8 3 】

50

なおゲート電極 35 は、ソース領域 12 上の領域には形成されない。MOSFET のオン抵抗を低減するためには、ソース領域 12 とオーミック電極 40 とのコンタクト抵抗が低いことが望ましく、そのためにはソース領域 12 中の第 1 導電型の不純物濃度を高くする必要がある。一方、特にイオン注入によって形成された高不純物濃度のソース領域 12 の表面に良質なゲート絶縁膜 30 を形成することは難しいため、高不純物濃度のソース領域 12 上にゲート電極 35 およびゲート絶縁膜 30 を形成して MOS 構造を形成すると、ゲートリーク電流の増加などの不具合が生じる。そのため、ソース領域 12 の上にはゲート電極 35 を形成せず、その上面はオーミック電極 40 または層間酸化膜 32 に接続していることが望ましい。

【0084】

次に、CVD 法などによって層間絶縁膜 32 を堆積する。そして例えばドライエッチング法によって、層間酸化膜 32 に、ソース領域 12、ウェルコンタクト領域 21 および終端ウェル領域 27 の各表面に達するコンタクトホール（ソースコンタクトホールおよびウェルコンタクトホール）を形成する。このとき層間酸化膜 32 に、ゲート電極 35 の表面に達するコンタクトホール（ゲートコンタクトホール）も同時に形成してもよい。それによりプロセス工程を簡略化でき、チップ製造時のコストを削減できる。

【0085】

続いて、層間絶縁膜 32 の各コンタクトホールの底に露出した炭化珪素（ソース領域 12、ウェルコンタクト領域 21 および終端ウェル領域 27）の表面にオーミック電極 40 を形成する。オーミック電極 40 は、ソース領域 12、ウェルコンタクト領域 21 および終端低抵抗領域 28 と、この後に形成するソースパッド 41 とのオーミック接触を得るための層である。

【0086】

オーミック電極 40 を形成する手法としては、コンタクトホール内を含む基板全面に例えば Ni を主とした金属膜を成膜して 600 ~ 1100 での熱処理を加えることで Ni と炭化珪素とが反応したシリサイドを形成し、その後、層間絶縁膜 32 上の余剰な上記金属層を硝酸や硫酸や塩酸やそれらの過酸化水素水との混合液などを用いたウェットエッチングにより除去する方法が挙げられる。また余剰な金属膜を除去した後に、再度熱処理を行ってもよい。このときの温度を先の熱処理より高くすることにより、さらにコンタクト抵抗の低いオーミック接触を実現できるオーミック電極 40 を得ることができる。

【0087】

なおオーミック電極 40 は、全て同一の金属を用いた金属間化合物（シリサイド）で形成してもよいし、接続する炭化珪素の導電型に応じて異なる金属を用いた金属間化合物を用いてもよい。MOSFET のオン抵抗を低減させるには、オーミック電極 40 と第 1 導電型のソース領域 12 とのオーミックコンタクト抵抗が低いことが重要であるが、さらにウェル領域 20 をアース電位に固定したり、MOSFET が内蔵するボディダイオードの順方向特性を改善したりするために、オーミック電極 40 と第 2 導電型のウェルコンタクト領域 21 との間のコンタクト抵抗も充分低いことが求められるためである。複数の金属を用いた金属間化合物をそれぞれ選択的に形成することは、各金属間化合物を形成するための金属膜を、写真製版技術を用いてパターンニングすることにより実現可能である。

【0088】

上記のオーミック電極 40 を形成する過程で、半導体基板 1 の裏面に同様の工程でオーミック電極 42 を形成してもよい。オーミック電極 42 を設けることにより、半導体基板 1 とこの後形成するドレイン電極 43 との間で良好なオーミック接触が得られる。

【0089】

また、先の工程で既にゲートコンタクトホールが形成されおり、且つゲート電極 35 がポリシリコンであれば、オーミック電極 40 を形成する工程でゲートコンタクトホールに露出したゲート電極 35 の部分にもシリサイドが形成される。まだゲートコンタクトホールを形成していなければ、続いて写真製版処理およびエッチング処理により、層間酸化膜 32 にゲートコンタクトホールを形成する。

10

20

30

40

50

【 0 0 9 0 】

続いてコンタクトホール内を含む層間酸化膜 3 2 上に、Al、Ag、Cu、Ti、Ni、Mo、W、Ta およびそれらの窒化物、あるいはそれらの積層膜、それらの合金などから成る配線材料を、スパッタ法や蒸着法によって形成し、それをパターンングすることでゲート配線 4 4、ゲートパッド 4 5 およびソースパッド 4 1 をそれぞれ形成する。さらに、半導体基板 1 の裏面のオーミック電極 4 2 上に、Ti、Ni、Ag、Au などの金属膜を形成してドレイン電極 4 3 を形成する。

【 0 0 9 1 】

以上の工程により、図 3 0 の構成の MOSFET が形成され、図 3 および図 4 に示した構成の炭化珪素 MOSFET を得ることができる。

10

【 0 0 9 2 】

また図 3 1 は、図 1 4 のようにウェル領域 2 0 をテーパ状にした場合の構成を示している。図 3 2 は、図 1 5 のようにウェル領域 2 0 をテーパ状にし且つ高濃度領域 2 9 がウェル領域 2 0 表面に達する場合の構成を示している。図 3 3 は、図 2 6 のように JFET エクステンション領域 1 1 のチャンネル領域側の端部がウェル領域 2 0 の表面部で高濃度領域 2 9 に接続するようにした場合の構成である。図 3 4 は、図 1 0 のようにウェル領域 2 0 を逆テーパ状にした場合の構成を示している。さらに図 3 5 は、図 2 7 のようにウェル領域 2 0 を逆テーパ状にし、且つ JFET エクステンション領域 1 1 の間隔 (L 2) よりもウェル領域 2 0 の間隔 (L 3) を短くした場合の構成を示している。

20

【 0 0 9 3 】

また図示は省略するが、MOSFET の表面側をシリコン窒化膜やポリイミド等の保護膜で覆ってもよい。その場合、保護膜におけるソースパッド 4 1、ゲート配線 4 4 およびゲートパッド 4 5 上の領域には、外部の制御回路からの配線をそれらの接続できるように開口が形成される。

【 0 0 9 4 】

このように本実施の形態によれば、隣り合う JFET エクステンション領域 1 1 は所定の間隔 (L 2) をもって互いに離間して配設される。つまり JFET 領域は、JFET エクステンション領域 1 1 で囲まれた第 1 JFET 領域 6 の部分と、ウェル領域 2 0 で囲まれた第 2 JFET 領域 7 の部分を含む構成になる。JFET 領域の表面部全体の不純物濃度が高くなるため、MOSFET の逆バイアス時、ゲート絶縁膜 3 0 に印加される電界が緩和され、信頼性の高い半導体装置を得ることができる。

30

【 0 0 9 5 】

またソースエクステンション領域 1 0 と JFET エクステンション領域 1 1 とが同じ工程 (図 2 5) で形成されるため、両者は深さ方向に同じ不純物濃度分布を持つようになる。そのためチャンネル長の均一化によるオン電流バラツキの減少、およびチャンネル長の縮小化によるチャンネル抵抗の低減が可能となる。さらに JFET エクステンション領域 1 1 の端部とウェル領域 2 0 の端部の距離 ($|L 2 - L 3| / 2$) がユニットセル内で均一であるため、逆バイアス時におけるゲート絶縁膜 3 0、第 1 JFET 領域 6 および第 2 JFET 領域 7 の電界分布が均一化され、半導体装置の高信頼性が可能となる。

40

【 0 0 9 6 】

また第 1 導電型の不純物濃度が高いソース領域 1 2 上にはゲート電極 3 5 を形成せず、その部分に MOS 構造が形成されないため、ゲートリーク電流を抑えることができる。ソースエクステンション領域 1 0 の上にはゲート電極 3 5 を形成してもよいが、その場合、ソースエクステンション領域 1 0 の第 1 導電型の不純物濃度を、少なくとも表面においてソース領域 1 2 の第 1 導電型の不純物濃度よりも低くするとよい。それにより、ゲートリーク電流も抑えられており、ゲート絶縁膜 3 0 の信頼性の低下が防止される。

【 0 0 9 7 】

またソースエクステンション領域 1 0 および JFET エクステンション領域 1 1 の第 1 導電型の不純物濃度分布は、表面側で低濃度、基板奥側で高濃度とすることにより、ソースエクステンション領域 1 0 上および JFET エクステンション領域 1 1 上の MOS 構造

50

におけるゲート絶縁膜 30 の信頼性が向上する。

【0098】

図 32 のように、第 2 導電型の不純物濃度の高い高濃度領域 29 がドリフト層 2 表面まで延伸する構成をとることで、オン動作時におけるドリフト層 2 からウェル領域 20 内へ伸びる空乏層の伸びを抑え、リーク電流の少ない MOSFET を実現することができる。特に図 33 のように、該高濃度領域 29 が JFET エクステンション領域 11 の端部を含む場合、オン動作時におけるドリフト層 2 および JFET エクステンション領域 11 からの空乏層の伸びを抑えて、リーク電流の少ない MOSFET を実現することができる。

【0099】

一方、図 34 および図 35 に示したように、ウェル領域 20 は逆テーパ形状でもよい。特に図 35 のように、ウェル領域 20 の第 2 JFET 領域 7 への張り出し量を、JFET エクステンション領域 11 の第 1 JFET 領域 6 側への張り出し量よりも大きくすることで、逆バイアス時におけるゲート絶縁膜 30 への高電界印加が抑制され、半導体装置の高信頼性が可能となる。

【0100】

< 実施の形態 2 >

図 36 は、実施の形態 2 に係る半導体装置である炭化珪素 MOSFET の構成を示す縦断面図であり、図 37 ~ 図 39 は、その製造方法を説明するための工程図である。

【0101】

図 36 の如く本実施の形態の MOSFET は、図 30 の構成に対し、ソースエクステンション領域 10 を取り囲む第 2 導電型のソースポケット領域 51、JFET エクステンション領域 11 を取り囲む第 2 導電型の JFET ポケット領域 52、および JFET エクステンション領域 11 と第 2 JFET 領域 7 とを繋ぐ第 1 導電型の電流制御領域 9 を設けたものである。ソースポケット領域 51 は、全体がウェル領域 20 に重ねて形成されており、JFET ポケット領域 52 は一部がウェル領域 20 に重ねて形成されている。

【0102】

本実施の形態の MOSFET によれば、ソースポケット領域 51 および JFET ポケット領域 52 の存在により、JFET エクステンション領域 11 およびソースエクステンション領域 10 からチャンネル領域への空乏層の伸びが抑えられる。そのため、チャンネル長をより短くしても、リーク電流の増加やしきい値電圧の低下を抑制することが可能となり、ひいては短チャンネル長化や短セルピッチ化によるオン抵抗の低減に寄与できる。なお、第 1 導電型の電流制御領域 9 は、JFET ポケット領域 52 によって JFET エクステンション領域 11 と第 2 JFET 領域 7 とが完全に分離されるのを防ぐ働きをしている。

【0103】

本実施の形態の MOSFET は次の手法により形成可能である。すなわち、実施の形態 1 で示した図 20 (または図 21) の工程の後に、注入マスク 100a, 103a を用いたイオン注入によって図 37 のように第 1 導電型のソースエクステンション領域 10 および JFET エクステンション領域 11 を形成する。そして酸素プラズマ処理によるエッチングによって、注入マスク 100a, 103a に対する更なる細線化処理 (第 3 の細線化処理) を行う。以下、第 3 の細線化処理が施された注入マスク 100a および注入マスク 103a をそれぞれ「注入マスク 100b」、「注入マスク 103b」と称す。

【0104】

その後、注入マスク 100b, 103b をマスクとする第 2 導電型不純物のイオン注入により、図 38 のようにソースポケット領域 51 および JFET ポケット領域 52 を形成する。ソースポケット領域 51 および JFET ポケット領域 52 の深さは、それらの底面がソースエクステンション領域 10 および JFET エクステンション領域 11 の底面を超えるように設定される。このようにソースポケット領域 51 および JFET ポケット領域 52 は、ソースエクステンション領域 10 および JFET エクステンション領域 11 に対して自己整合的に形成できる。

【0105】

10

20

30

40

50

あるいは、図37の工程の後、第3の細線化処理を行わずに、注入マスク100a, 103aをマスクにしたイオン注入を行い、不純物の横方向散乱を利用して、ソースエクステンション領域10を包含するソースポケット領域51、およびJFETエクステンション領域11を包含するJFETポケット領域52を形成してもよい。または、注入マスク100a, 103aをマスクにしたイオン注入を行う際に、不純物の斜め注入および基板の回転注入（もしくはステップ注入）を行うことでも、ソースポケット領域51およびJFETポケット領域52を形成することができる。その場合、ソースポケット領域51およびJFETポケット領域52を、ソースエクステンション領域10およびJFETエクステンション領域11よりも先に形成してもよい。

【0106】

ソースポケット領域51およびJFETポケット領域52の形成後、図39のように、写真製版処理によって注入マスク108を形成し、イオン注入を行うことで電流制御領域9を形成する。電流制御領域9の深さは、JFETポケット領域52の底面を超えるように設定する。また電流制御領域9の不純物濃度はJFETポケット領域52の第2導電型不純物の濃度よりも大きくする必要があるが、高過ぎるとゲート絶縁膜30に印加される電界強度が高くなるため、JFETポケット領域52の第2導電型不純物の濃度を越える範囲で小さいことが望ましい。

【0107】

以降は、実施の形態1において図28以降の図で示した工程と同様の手順を実施することにより、図36のMOSFET構造が得られる。本実施の形態においても、ウェル領域20として、図10、図14、図15に示した構造を適用してもよい。

【0108】

実施の形態2によれば、ソースポケット領域51およびJFETポケット領域52の存在により、JFETエクステンション領域11およびソースエクステンション領域10からチャンネル領域への空乏層の伸びが抑えられる。そのため、チャンネル長をより短くしても、リーク電流の増加やしきい値電圧の低下を抑制することが可能となり、ひいては短チャンネル長化や短セルピッチ化によるオン抵抗の低減に寄与できる。

【0109】

さらにJFETエクステンション領域11の底面が、第2導電型のJFETポケット領域52で覆われているため、半導体装置への逆バイアス印加時にゲート絶縁膜30に印加される電界をさらに緩和することができ、装置の信頼性を向上させることができる。

【0110】

<実施の形態3>

図40は、実施の形態3に係る半導体装置である炭化珪素MOSFETの構成を示す縦断面図であり、図41、図42は、その製造方法を説明するための工程図である。

【0111】

図40の如く本実施の形態のMOSFETは、図30の構成に対し、ソースエクステンション領域10の底面の一部を覆う第2導電型のソースポケット領域51と、JFETエクステンション領域11の底面の一部を覆う第2導電型のJFETポケット領域52とを、それぞれ設けたものである。

【0112】

JFETエクステンション領域11の底面の一部が第2導電型のJFETポケット領域52で覆われているため、JFETエクステンション領域11が第2JFET領域7に接する距離が、実施の形態1の場合よりも短くなる。そのため、半導体装置への逆バイアス印加時にゲート絶縁膜30に印加される電界をさらに緩和することができ、装置の信頼性を向上させることができる。

【0113】

本実施の形態のMOSFETは次の手法により形成可能である。すなわち、実施の形態1で示した図20（または図21）の工程の後に、注入マスク100a, 103aを用いたイオン注入によって図41のように第2導電型のソースポケット領域53およびJFET

10

20

30

40

50

Tポケット領域52を形成する。そして酸素プラズマ処理によるエッチングによって、注入マスク100a, 103aに対する更なる細線化処理(第3の細線化処理)を施した注入マスク100b, 100bを形成する。

【0114】

続いて、注入マスク100b, 103bをマスクとする第1導電型不純物のイオン注入により、図42のようにソースエクステンション領域16およびJFETエクステンション領域11を形成する。ソースエクステンション領域16およびJFETエクステンション領域11の深さは、それらの底面がソースポケット領域53およびJFETポケット領域52の底面を超えないように設定される。このようにソースエクステンション領域10およびJFETエクステンション領域11は、ソースポケット領域51およびJFETポケット領域52に対して自己整合的に形成できる。

10

【0115】

以降は、実施の形態1において図28以降の図で示した工程と同様の手順を実施することにより、図40のMOSFET構造が得られる。本実施の形態においても、ウェル領域20として、図10、図14、図15に示した構造を適用してもよい。

【0116】

実施の形態3によれば、JFETエクステンション領域11の底面の一部が第2導電型のJFETポケット領域52で覆われているため、JFETエクステンション領域11が第2JFET領域7に接する距離が、実施の形態1の場合よりも短くなる。そのため、半導体装置への逆バイアス印加時にゲート絶縁膜30に印加される電界をさらに緩和することができ、装置の信頼性を向上させることができる。

20

【0117】

<実施の形態4>

図43は、実施の形態4に係る半導体装置である炭化珪素MOSFETの構成を示す縦断面図であり、図44, 図45は、その製造方法を説明するための工程図である。

【0118】

図43の如く本実施の形態のMOSFETは、図30の構成に対し、ソースエクステンション領域10の上部に形成された第2導電型のソースポケット領域51と、JFETエクステンション領域11の上部に形成された第2導電型のJFETポケット領域52とを、それぞれ設けたものである。

30

【0119】

この構成によれば、チャンネル領域をMOS界面(ウェル領域20の表面)から遠ざけることができるので、MOS界面の界面準位がチャンネル領域に与える影響を小さくできる。従ってチャンネル移動度がより高くなり、チャンネル抵抗を低減することができる。

【0120】

本実施の形態のMOSFETは次の手法により形成可能である。すなわち、実施の形態1で示した図20(または図21)の工程の後に、注入マスク100a, 103aを用いたイオン注入によって図44のように第2導電型のソースポケット領域53およびJFETポケット領域52を形成する。

【0121】

続いて、注入マスク100b, 103bをマスクとする第1導電型不純物のイオン注入により、図45のようにソースエクステンション領域16およびJFETエクステンション領域11を形成する。ソースエクステンション領域10およびJFETエクステンション領域11の深さは、それらの底面がウェル領域20を超えない範囲であり、ソースポケット領域55およびJFETポケット領域56の深さは、それらの底面がソースエクステンション領域10およびJFETエクステンション領域11の底面を超えない範囲で設定される。このようにソースエクステンション領域10およびJFETエクステンション領域11は、ソースポケット領域51およびJFETポケット領域52に対して自己整合的に形成できる。

40

【0122】

50

なお、ソースエクステンション領域 10 および J F E T エクステンション領域 11 を、ソースポケット領域 51 および J F E T ポケット領域 52 より先に形成してもよい。

【0123】

以降は、実施の形態 1 において図 28 以降の図で示した工程と同様の手順を実施することにより、図 43 の M O S F E T 構造が得られる。本実施の形態においても、ウェル領域 20 として、図 10、図 14、図 15 に示した構造を適用してもよい。

【0124】

実施の形態 4 によれば、チャンネル領域を M O S 界面（ウェル領域 20 の表面）から遠ざけることができるので、M O S 界面の界面準位がチャンネル領域に与える影響を小さくできる。従ってチャンネル移動度がより高くなり、チャンネル抵抗を低減することができる。

10

【0125】

また上記の各実施の形態では、本発明に係る半導体装置の例として縦型の M O S F E T を示したが、本発明の適用はこれに限られず、M O S 構造を有するスイッチング素子に広く適用可能である。例えば図 30 の構成において半導体基板 1 とオーミック電極 42 との間に第 2 導電型からなるコレクタ層を設ければ I G B T の構成となるが、I G B T においても上記した本発明の効果は得られる。

【符号の説明】

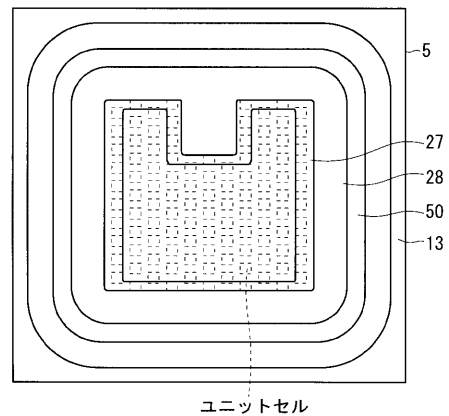
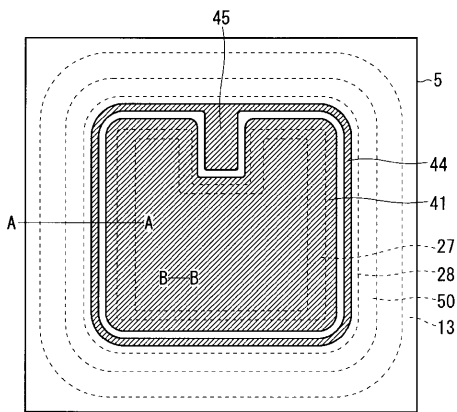
【0126】

1 半導体基板、2 ドリフト層、5 チップ、6 第 1 J F E T 領域、7 第 2 J F E T 領域、8 電流制御層、9 電流制御領域、10 ソースエクステンション領域、11 J F E T エクステンション領域、12 ソース領域、20 ウェル領域、21 ウェルコンタクト領域、29 高濃度領域、30 ゲート絶縁膜、31 フィールド酸化膜、32 層間酸化膜、35 ゲート電極、40、42 オーミック電極、41 ソースパッド、43 ドレイン電極、44 ゲート配線、45 ゲートパッド、50 J T E 領域、51 ソースポケット領域、52 J F E T ポケット領域。

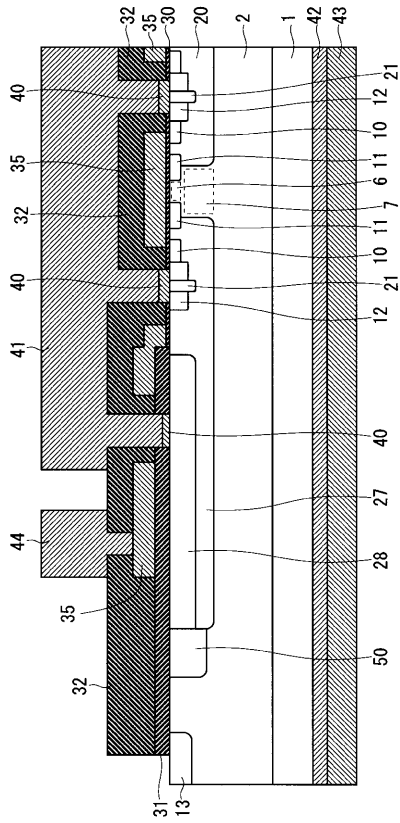
20

【図 1】

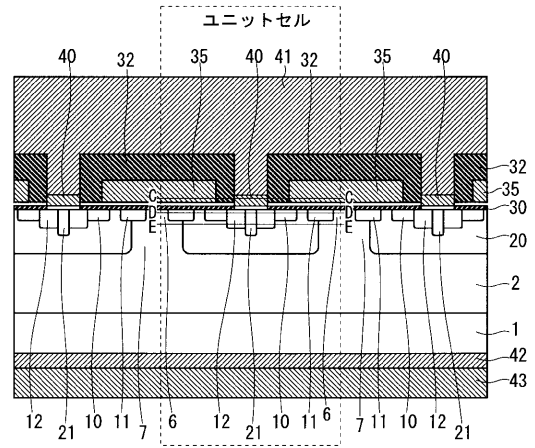
【図 2】



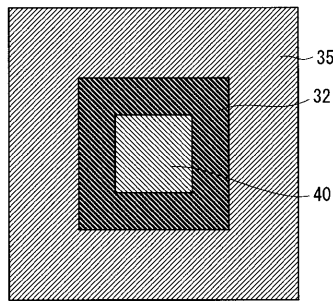
【 図 3 】



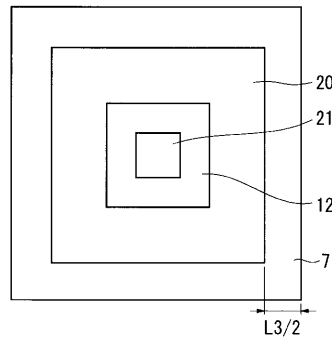
【 図 4 】



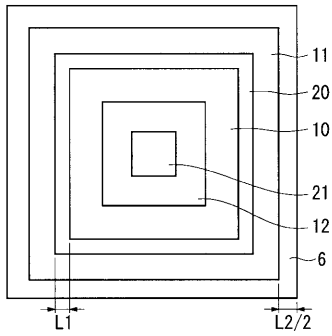
【 図 5 】



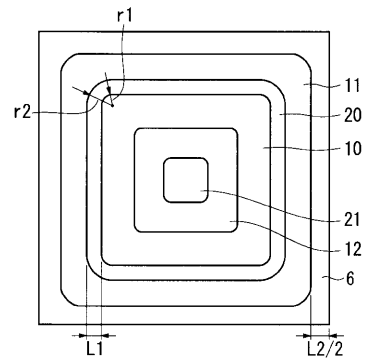
【 図 7 】



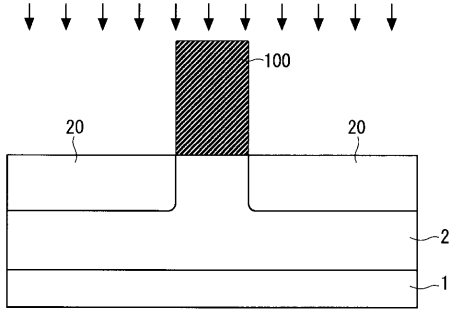
【 図 6 】



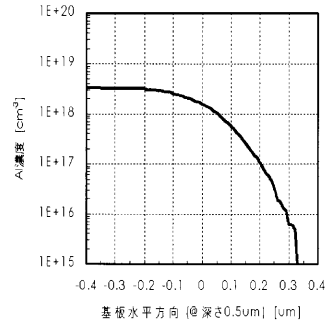
【 図 8 】



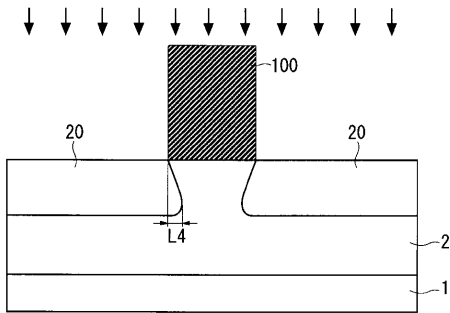
【 図 9 】



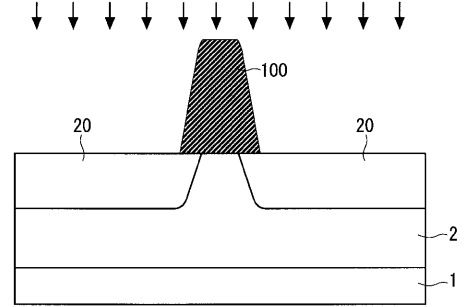
【 図 1 2 】



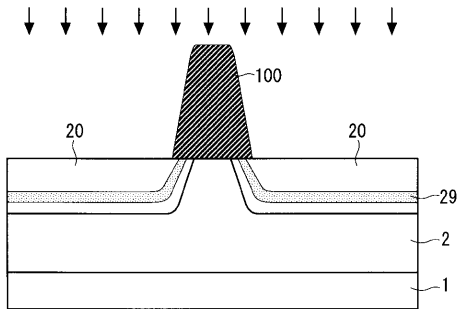
【 図 1 0 】



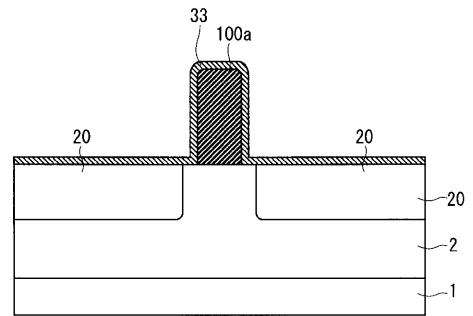
【 図 1 4 】



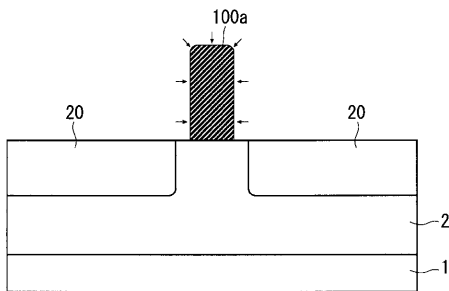
【 図 1 5 】



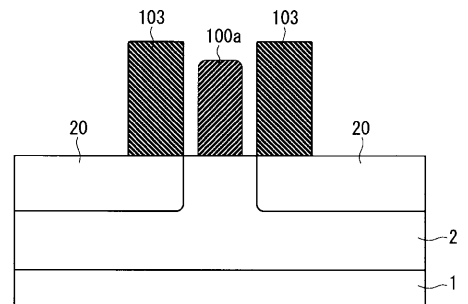
【 図 1 7 】



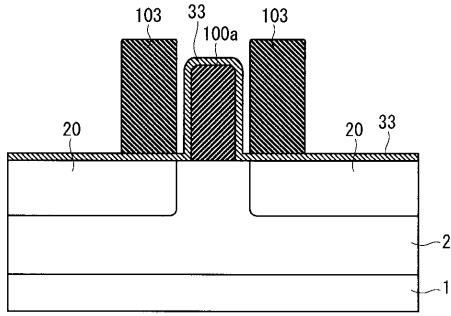
【 図 1 6 】



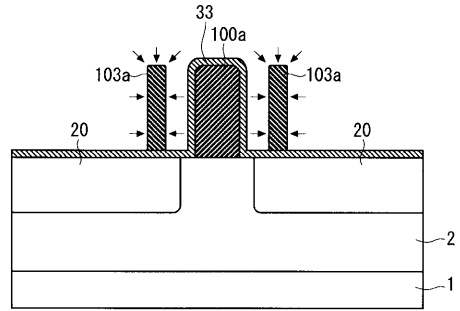
【 図 1 8 】



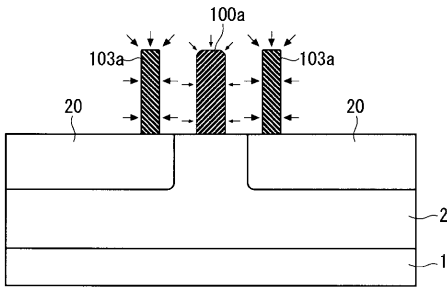
【図 19】



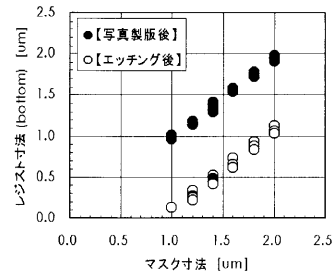
【図 21】



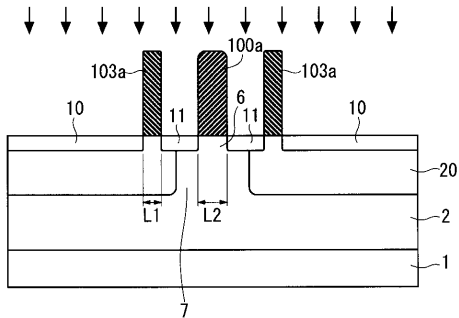
【図 20】



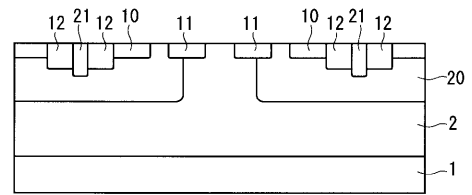
【図 24】



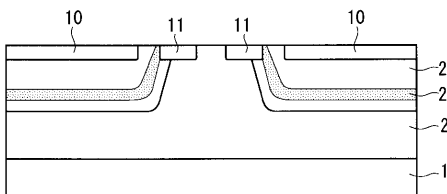
【図 25】



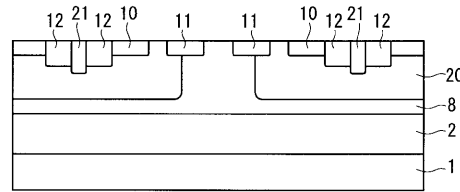
【図 28】



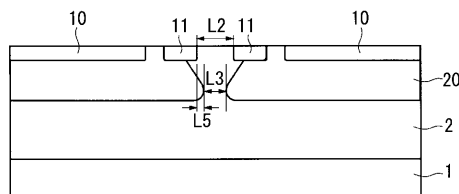
【図 26】



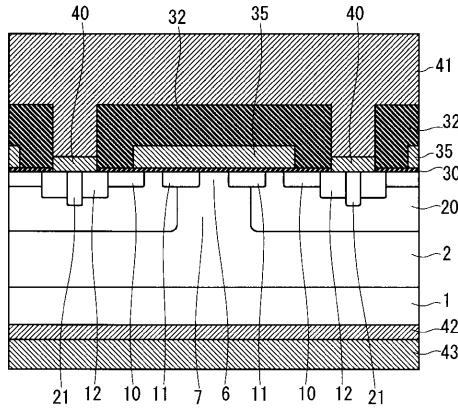
【図 29】



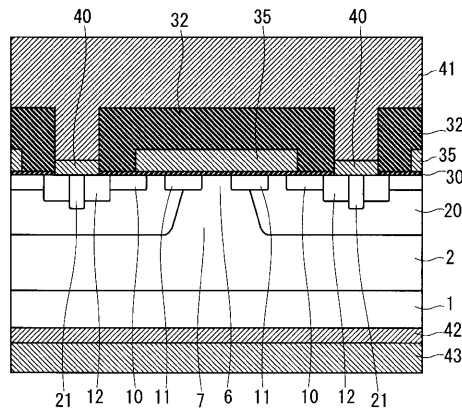
【図 27】



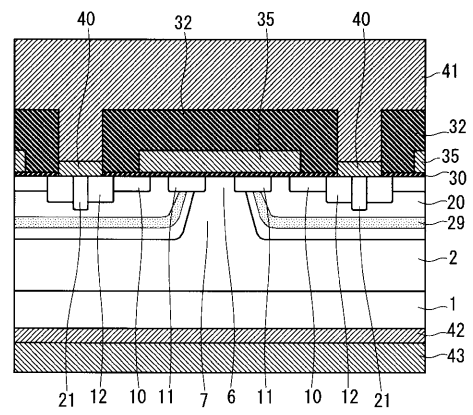
【図 3 0】



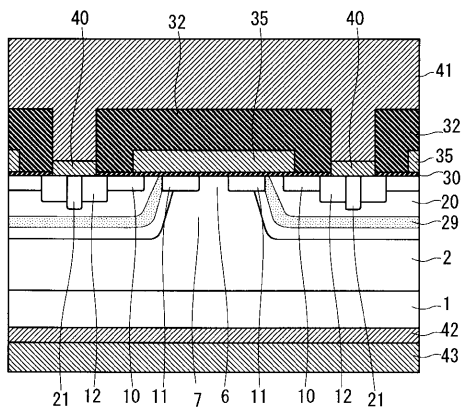
【図 3 1】



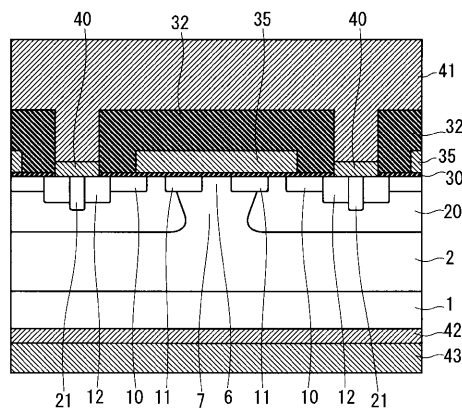
【図 3 2】



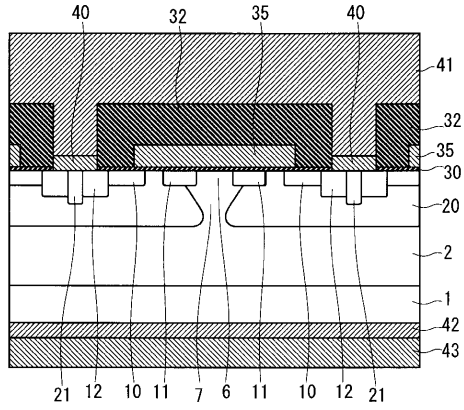
【図 3 3】



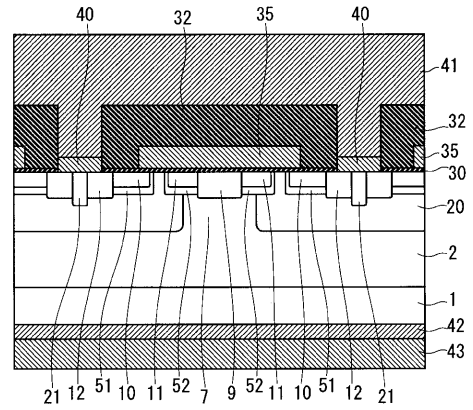
【図 3 4】



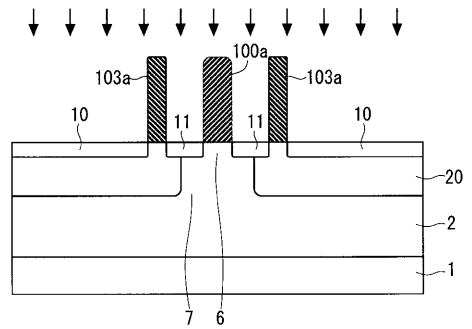
【 図 3 5 】



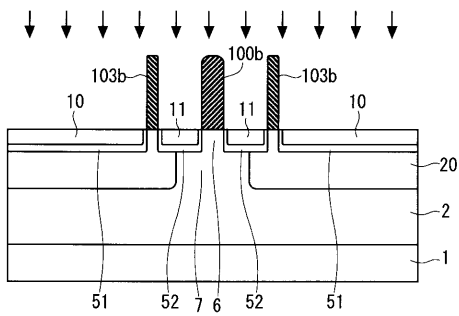
【 図 3 6 】



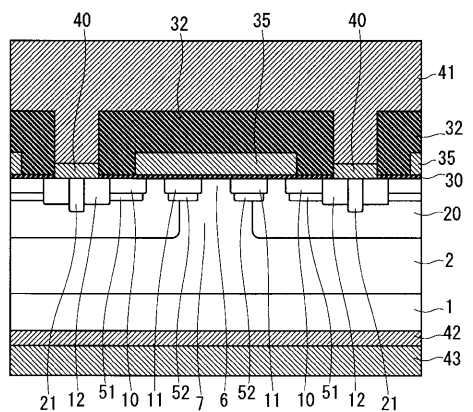
【 図 3 7 】



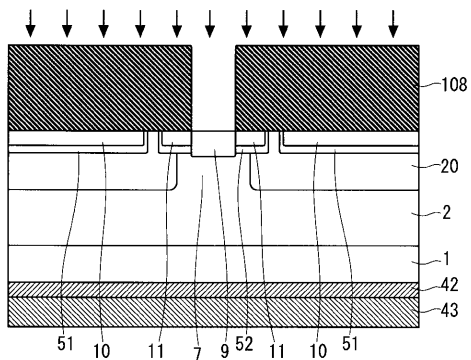
【 図 3 8 】



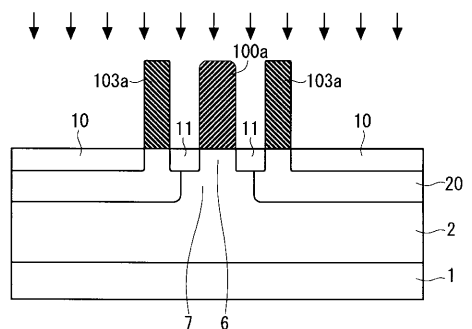
【 図 4 0 】



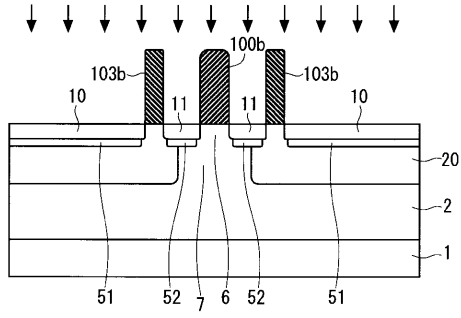
【 図 3 9 】



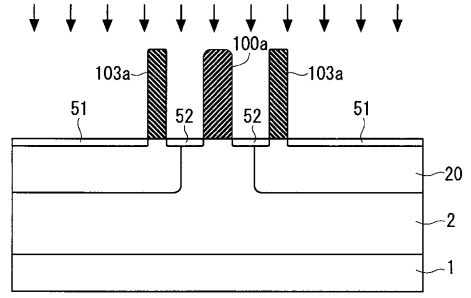
【 図 4 1 】



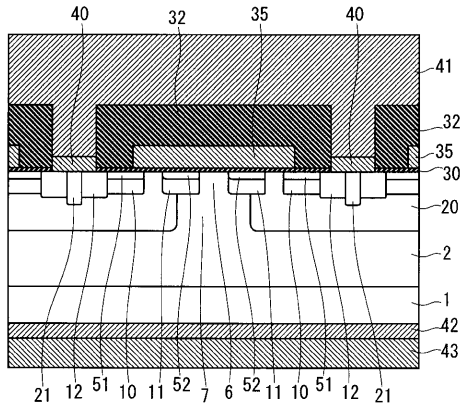
【 図 4 2 】



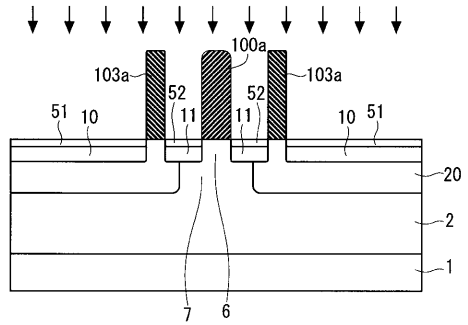
【 図 4 4 】



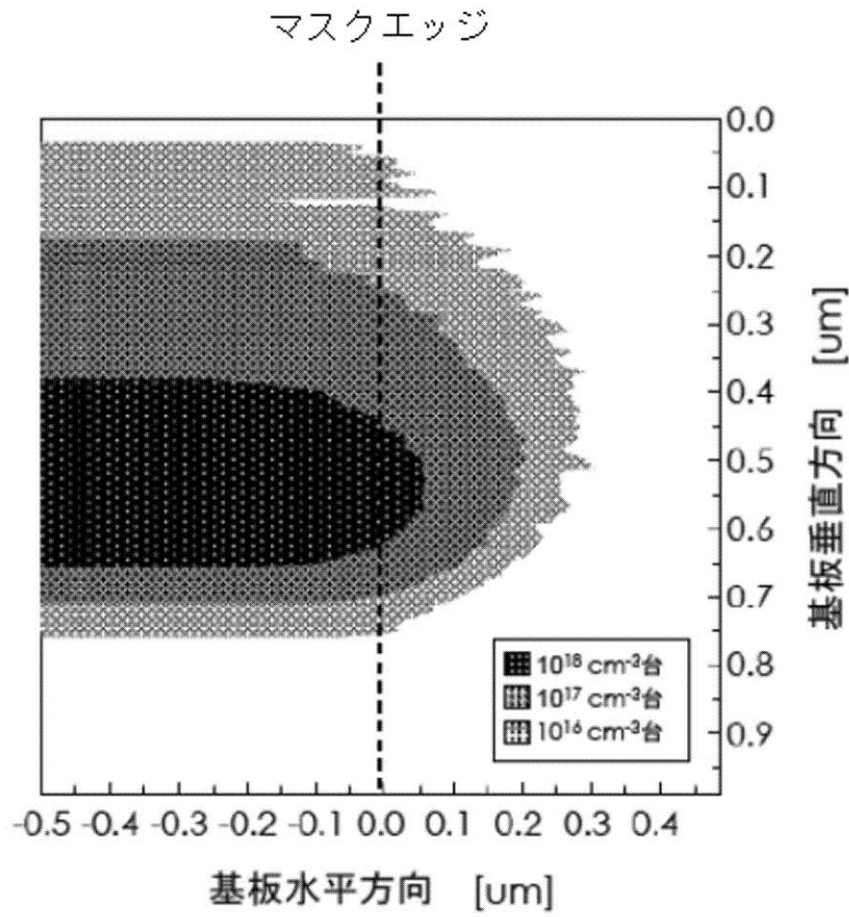
【 図 4 3 】



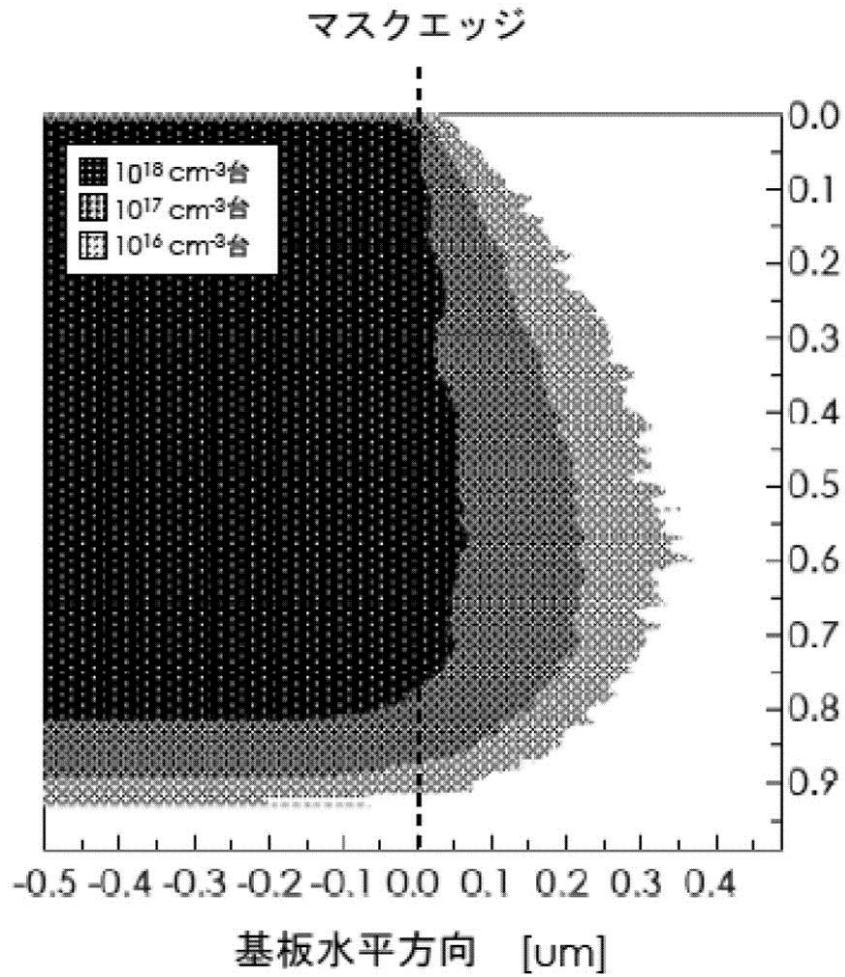
【 図 4 5 】



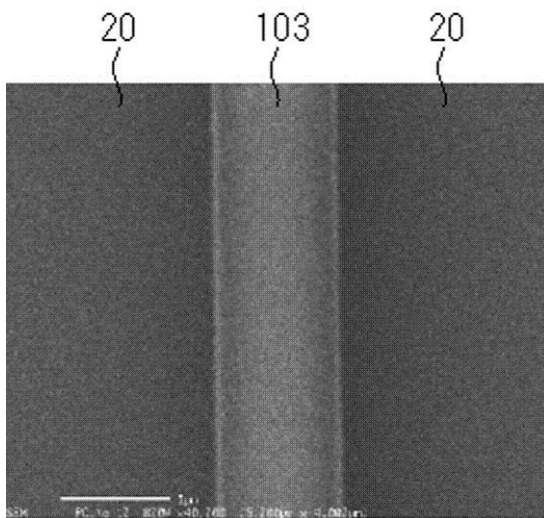
【図 1 1】



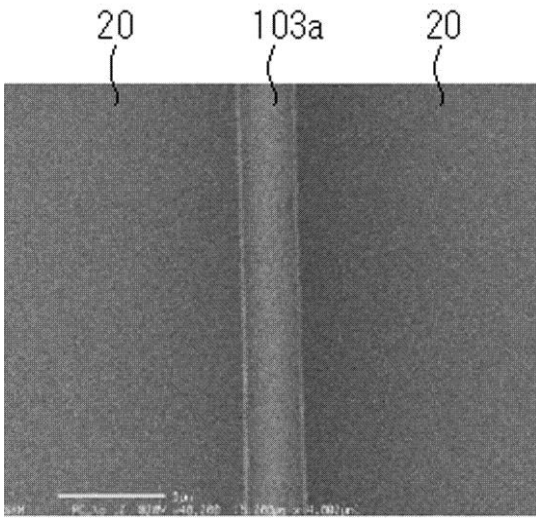
【図13】



【図22】



【図 23】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 5 2 Q
H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 8 A