

申請日期	P0.4.23
案 號	P0109622
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	化合物半導體開關電路裝置
	英 文	CHEMICAL SUBSTANCE SEMICONDUCTOR SWITCH DEVICE
二、發明 創作 人	姓 名	1. 淺野哲朗(淺野哲朗) TETSURO ASANO 2. 東野太榮(東野太栄) TAKAYOSHI HIGASHINO 3. 平田耕一 KOICHI HIRATA
	國 籍	日本國
三、申請人	住、居所	1. 日本國群馬縣邑樂郡大泉町古冰 106-27 106-27, Furugori, Oizumi-Machi, Ora-Gun, Gunma, Japan 2. 日本國大阪府寢屋川市堀溝 1-15-5 1-15-5, Horimizo, Neyagawa-City, Osaka, Japan 3. 日本國栃木縣足利市八幡町2丁目2-15 享樂生活大廈B-202 2cho-me, 2-15, Yawata-cho, Ashikaga-City, Tochigi, Japan
	姓 名 (名稱)	三洋電機股份有限公司 SANYO ELECTRIC CO., LTD.
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通2丁目5番5號 5-5, 2-Chome, Keihan-Hondori, Moriguchi-City, Osaka 570-8677, Japan
	代 表 人 姓 名	桑野幸德 YUKINORI KUWANO

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

2000 年 5 月 15 日 特願 2000-141387(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（¹）

【發明所屬之技術領域】

本發明係特別關於一種使用於高頻開關用途之化合物半導體開關電路裝置，尤指使用於 2.4GHz 區域以上之化合物半導體開關電路裝置。

【習知技術】

在行動電話等移動用通訊機器設備上，大多採用有 1GHz 區域的微波，且天線開關電路或收發信號開關電路等亦多採用可轉換高頻信號之開關元件（譬如日本特開平 9-181642 號公報）。由於此類元件處理高頻，所以大多使用有鎵·砷（GaAs）之電場效應電晶體（以下稱「FET」），使前述開關電路本身積體化的單片微波積體電路（MMIC）可持續地開發。

第 6 圖（A）係 GaAs FET 的剖視圖。在無摻雜的 GaAs 基板 1 的表面部分上摻雜 N 型不純物並形成 N 形通道區 2，然後配置與 N 型通道區 2 表面肖特基接觸的閘極 3，且在閘極 3 二側配置與 GaAs 表面歐姆接觸的源極·汲極電極 4,5。此電晶體利用閘極 3 的電位，在正下方的通道區 2 內形成耗盡層（depletion layer），俾控制源極電極 4 與汲極電極 5 間之通道電流。

第 6（B）圖係採用有 GaAs FET 且有 SPDT（Single Pole Double Throw）之稱的化合物半導體開關電路裝置的理論電路圖。

第 1 與第 2 FET1、FET2 的源極電極（或汲極電極）連接於共同輸入端子 IN，各 FET1、FET2 的閘極隔著電阻

五、發明說明(2)

R1,R2 連接於第 1 與第 2 控制端子 Ctl-1, Ctl-2, 而各 FET 的汲極電極(或源極電極)則連接於第 1 與第 2 輸出端子 OUT1,OUT2。對第 1 與第 2 控制端子 Ctl-1, Ctl-2 所施加的信號係互補信號, 將施加 H 位準信號的 FET 導通(on), 使施加於輸入端子 IN 的信號傳輸至任一輸出端子。電阻 R1,R2 為了防止高頻信號漏失與作為交流接地之控制端子 Ctl-1, Ctl-2 的直流電位相對, 且隔著閘極而配置。

第 7 圖係化合物半導體開關電路裝置的等效電路圖。微波係以特性電阻 50Ω 為基準, 各端子的電阻係以 $R1=R2=R3=50\Omega$ 表示。又, 當各端子的電位為 $V1,V2,V3$ 時, 插入損耗(Insertion Loss)與隔離性(Isolation)便如下式所示。

$$\text{Insertion Loss}=20\log(V2/V1)[\text{dB}]$$

此乃由共同輸入端子 IN 將信號傳輸至第 1 輸出端子 OUT1 時的插入損耗,

$$\text{Isolation}=20\log(V3/V1)[\text{dB}]$$

此乃由共同輸入端子 IN 將信號傳輸至第 2 輸出端子 OUT2 之間的隔離性。在化合物半導體開關電路裝置中, 講求儘可能降低上述插入損耗(Insertion Loss)而提昇隔離性(Isolation), 並串聯插入信號路徑的 FET 設計, 係很重要。該 FET 之所以採用 GaAs FET 的原因, 係 GaAs 較矽(Si)的電子移動度高, 可降低電阻達低損耗化, 且因為 GaAs 屬半絕緣性基板, 所以適於信號路徑間的高隔離化。然而, GaAs 基板相較於矽(Si)屬高單價者, 若 PIN 二極體之等

五、發明說明 (3)

效者採用矽(Si)完成，則在成本競爭便會居於劣勢。

在化合物半導體開關電路裝置中，因為 FET 之通道區 2 的電阻 R 係依下式表示，

$$R = 1 / en \mu S [\Omega]$$

e: 電子電荷量 ($1.6 \times 10^{-19} \text{C/cm}^3$)

n: 電子載子濃度

μ : 電子移動度

S: 通道區截面積 (cm^2)

所以為求儘可能的減小電阻 R，便將通道寬度儘可能的設計成較寬的方式，俾降低通道區截面積的插入損耗 (Insertion Loss)。

如此，使依存於閘極 3 與通道區 2 所形成的肖特基接觸的電容成分增大，並由此造成高頻輸入信號漏失，使隔離性劣化。為避免此種現象，便設計分流場效電晶體 (shunt FET)，企圖改善隔離性。

第 8 圖係目前實用化之化合物半導體開關電路裝置之電路圖。在此電路中，在執行開關的 FET1 和 FET2 之輸出端子 OUT1 與 OUT2 之接地間連接分流 FET3、FET4，並對分流 FET3、FET4 之閘極施加對 FET1 與 FET2 之控制端子 Ctl-2、Ctl-1 的互補信號。結果，當 FET1 導通(on)時，分流 FET4 便呈導通(on)，而 FET2 與分流 FET3 便呈阻斷(off)。

在此電路，當共同輸入端子 IN 至輸出端子 OUT1 之信號路徑呈導通(on)，而共同輸入端子 IN 至輸出端子

五、發明說明(4)

OUT2 之信號路徑呈阻斷(off)時，因為分流 FET4 呈導通(on)，所以對第 2 輸出端子 OUT2 所漏失之輸入信號便可透過接地的電容器 C 而逃散於接地，並提升隔離性。

第 9 圖係將化合物半導體開關電路裝置積體化之化合物半導體晶片之一例。

在 GaAs 基板上，將執行開關的 FET1 及 FET2 配置於左右中央部，將分流 FET3 及分流 FET4 配置在左右下角附近，且各 FET 閘極上連接有電阻 R1,R2,R3,R4。此外，設有對應於共同輸入端子 IN、輸出端子 OUT1,OUT2、控制端子 Ctl-1、Ctl-2、及接地端子 GND 之鐳墊於基板周圍。再者，分流 FET3 及分流 FET4 之源極電極係隔著用以連接於接地的電容器 C 而連接於接地端子 GND。另外，虛線所示第 2 層配線係在各 FET 之閘極電極形成時所同時形成的閘極金屬層(Ti/Pt/Au)，而實線所示第 3 層配線係執行各元件之連接與鐳墊之形成的鐳墊金屬層(Ti/Pt/Au)。在第 1 層基板上接觸於歐姆的歐姆金屬層(AuGe/Ni/Au)係形成各 FET 之源極電極、閘極電極及各電阻二端的取出電極者，在第 9 圖中，因為重疊於鐳墊金屬層，所以未圖示。

第 10(A)圖係第 9 圖之 FET1 的局部放大俯視圖。圖中，一點鍊線所包圍的長方形區域係形成於基板 11 的通道區 12。由左側延伸之 4 根梳齒狀第 3 層鐳墊金屬層 30 係連接於輸出端子 OUT1 的源極電極 13(或汲極電極)，在其下方則有第 1 層歐姆金屬層 10 所形成的汲極電極 14(或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

源極電極)。由右側延伸之 4 根梳齒狀第 3 層鉀墊金屬層 30 係連接於共同輸入端子 IN 的源極電極 15(或汲極電極)，在其下方則有第 1 層歐姆金屬層 10 所形成的汲極電極 16(或源極電極)。此二電極呈咬合梳齒狀配置，在其中間將第 2 層閘金屬層 20 所形成的閘極電極 17，呈梳齒狀配置在通道區 12 上。

第 10(B)圖係 FET 之局部剖視圖。在基板 11 設置 n 型通道區 12 及其二側形成有源極區 18 與汲極區 19 的 n+ 型高濃度區域，在通道區 12 設置閘極電極 17，而在高濃度區域中則設有第 1 層歐姆金屬層 10 所形成的汲極電極 14 與源極電極 16。接著，於其上方設置第 3 層鉀墊金屬層 30 所形成的汲極電極 13 與源極電極 15，以施行各元件的配線等。

此處重要者，如第 10(B)圖所示，閘極長度 L_g 係源極區與汲極區間之通道區的某一閘極電極長度，通常設計成不產生單通道效應的 $0.5 \mu m$ 。如第 10(A)圖所示閘極寬度 W_g ，係指沿源極區與汲極區之通道區的某一閘極長度，為了減少導通電阻，最好儘可能加長設計。

【發明欲解決之課題】

在上述化合物半導體開關電路裝置中，為了儘量減少插入損耗(Insertion Loss)，而採用可將閘寬度增大使 FET 的導通電阻(on-state resistance)降低的設計方法。具體而言，第 9 圖所示化合物半導體開關電路裝置中，採用 PHS 1.9GHz 之 FET1 與 FET2 之閘極寬度 W_g (梳齒狀閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

電極總合)係設計為 $1.4\text{mm}(1400\mu\text{m})$ ，而分流用 FET3 及 FET4 之閘極寬度 W_g 則設計為 $0.4\text{mm}(400\mu\text{m})$ 。另，閘極長度 L_g 為減少 FET 的導通電阻，而儘可能設計成較短的 $0.5\mu\text{m}$ 。

因為閘極寬度 W_g 變大，所以閘極電極使容量成分增加，並造成隔離性(Isolation)降低。為了提昇隔離性(Isolation)，必須使在分流 FET 所漏失的電路輸入信號逃散至接地。

因此，目前的化合物半導體開關電路裝置中，晶片尺寸為 $1.07 \times 0.50\text{mm}^2$ 之極大者，與縮小晶片尺寸來降低成本之方向背道而馳。

而且，目前的化合物半導體開關電路裝置中，係為了可共用 PDC 900MHz 用或 PHS 1.9GHz 用而設計，然而在現狀上，對不使用分流 FET 而確保隔離性(Isolation)之設計卻不完備。因此，使成本增加，並使上述二頻率區域的化合物半導體開關電路裝置，朝替換為廉價矽晶片的方向前進，而造成喪失市場。

【課題解決之手段】

本發明係鑒於上述各缺失而開發者，其著重在使用 2.4GHz 以上的高頻區域省略 FET 以確保隔離性(Isolation)之設計，並藉由對目前之 FET 的導通電阻作兩方面考量之逆向思考模式來解決。

換句話說，一種化合物半導體開關電路係在通道層表面形成設有源極電極、閘極電極、及汲極電極之第 1 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 7 ）

第 2FET，將兩 FET 的源極電極或汲極電極設為共同輸入端子，將兩 FET 的汲極電極或源極電極設為第 1 與第 2 輸出端子，然後將控制信號施加於兩 FET 的閘極電極，使任一方的 FET 導通，並由前述共同輸入端子與前述第 1 及第 2 輸出端子中之任一者形成信號路徑；其特徵在：將前述 FET 之閘極寬度設定在 $700\mu\text{m}$ 以下，俾降低前述閘極電極的容量成分，而在前述兩信號通路間獲得預定的隔離性。

【發明實施型態】

以下，參閱第 1 圖至第 5 圖對本發明實施型態進行詳細說明。

第 1 圖係本發明之化合物半導體開關電路裝置的電路圖。將第 1 FET1、與第 2 FET2 的源極電極(或汲極電極)連接於共同輸入端子 IN，各 FET1 及 FET2 的閘極電極分別隔著電阻 R1、R2 連接於第 1 與第 2 控制端子 Ctl-1、Ctl-2，而 FET1 與 FET2 之汲極電極(或源極電極)連接於第 1 與第 2 輸出端子 OUT1,OUT2。對第 1 與第 2 控制端子 Ctl-1, Ctl-2 所施加的信號係互補信號，施加 H 位準信號側的 FET 呈導通(on)時，施加於輸入端子 IN 的信號會傳輸至其中任一輸出端子。電阻 R1,R2 相對於形成交流接地之控制端子 Ctl-1, Ctl-2 的直流電位，以隔著閘極電極防止高頻信號漏出為目的而配置。

雖然第 1 圖所示電路係與採用有第 6(B)圖之 GaAs FET，且有 SPDT(Single Pole Double Throw)之稱的化合物半導體開關電路裝置之理論電路為大致相同的電路結

五、發明說明（ 8 ）

構，但最大不同處在於將 FET1 與 FET2 之閘極電極的閘極寬度 W_g 設計在 $700\mu m$ 以下。與習知者相比，閘極寬度 W_g 設定較小，其表示將 FET 的導通電阻加大，且藉由將閘極電極的面積 ($L_g \times W_g$) 縮小，使閘極電極與通道區間因肖特基接合的寄生電容減小故在電路動作上有著極大的差異。

第 2 圖係將本發明之化合物半導體開關電路裝置積體化之化合物半導體晶片之一例。

在 GaAs 基板上，將執行開關的 FET1 及 FET2 配置於中央部，且在各 FET 閘極電極上連接有電阻 R1, R2。此外，在基板的周邊設置有與共同輸入端子 IN、輸出端子 OUT1, OUT2 及控制端子 Ctl-1、Ctl-2 相對應之鐳墊。另外，虛線所示第 2 層配線係在各 FET 之閘極電極形成時所同時形成的閘極金屬層 (Ti/Pt/Au)₂₀，而實線所示第 3 層配線係執行各元件之連接及鐳墊之形成的鐳墊金屬層 (Ti/Pt/Au)₃₀。在第 1 層基板與歐姆相接觸的歐姆金屬層 (AuGe/Ni/Au)₁₀ 係形成各 FET 之源極電極、閘極電極與各電阻二端的取出電極者，在第 2 圖中，因為重疊於鐳墊金屬層，所以未圖示。

由第 2 圖可得知，構成元件係只有對應於 FET1、FET2、電阻 R1、R2、共同輸入端子 IN、輸出端子 OUT1, OUT2、控制端子 Ctl-1、Ctl-2 之鐳墊，相較於第 9 圖所示習知之化合物半導體開關電路裝置，係由最小結構元件所構成。

五、發明說明(9)

本發明之特徵點因為將 FET1(FET2 亦同)的閘極寬度設定為習知之一半以下的 $700\mu\text{m}$ 以下，所以可使 FET1 之大小為習知的一半。換句話說，第 2 圖所示 FET1 係形成於一點鍊線所包圍的長方形通道區 12。由下端延伸之 3 根梳齒狀第 3 層鍍墊金屬層 30 係連接於輸出端子 OUT1 的源極電極 13(或汲極電極)，而在其下方則係第 1 層歐姆金屬層 10 所形成的源極電極 14(或汲極電極)。此外，由上側延伸之 3 根梳齒狀第 3 層鍍墊金屬層 30 係連接於共同輸入端子 IN 的汲極電極 15(或源極電極)，而在其下方則係第 1 層歐姆金屬層 10 所形成的汲極電極 14(或源極電極)。該二電極呈咬合梳齒配置，而在其中間將第 2 層閘金屬層 20 所形成的閘極電極 17 呈 4 根梳齒狀配置於通道區 12 上。另，由上側所延伸的正中間梳齒狀汲極電極 13(或源極電極)係為 FET1 與 FET2 所共用，更有助於小型化。在此，將閘極寬度在 $700\mu\text{m}$ 以下的涵義係指：各 FET 之梳齒狀閘極電極 17 之閘極寬度總和分別在 $700\mu\text{m}$ 以下者。

由於 FET1 與 FET2 之剖面構造與第 10 圖(B)之習知構造相同，所以省略說明。

此結果得知，本發明之化合物半導體晶片的尺寸可縮小至 $0.37 \times 0.30\text{mm}^2$ 。其意味可將習知之化合物半導體晶片尺寸實際縮小 20%。

其次，說明在 2.4GHz 以上高頻區域省略分流 FET 而確保隔離性(Isolation)之設計。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

第 3 圖係 FET 之閘極長度 L_g 為 $0.5 \mu m$ 時之閘極寬度 W_g 與插入損耗 (Insertion Loss) 間的關係示意圖。

在 1GHz 之輸入信號時，若閘極寬度 W_g 由 $1000 \mu m$ 縮小到 $600 \mu m$ ，則自 0.35dB 到 0.55dB 會使 0.2dB 之插入損耗 (Insertion Loss) 劣化。但當 2.4GHz 之輸入信號時，若閘極寬度 W_g 由 $1000 \mu m$ 縮小至 $600 \mu m$ ，則自 0.60dB 到 0.65dB 僅有 0.05dB 的插入損耗 (Insertion Loss)。由此得知，1GHz 的輸入信號時，插入損耗 (Insertion Loss) 雖受到 FET 之導通電阻而產生極大的影響，但當 2.4GHz 之輸入信號時，插入損耗 (Insertion Loss) 便不太會受到 FET 之導通電阻的影響。

此理由係：相較於 1GHz，2.4GHz 之輸入信號更能形成高頻，所以 FET 的閘極電極比 FET 的導通電阻對所產生的電容成分影響較大。因此，在 2.4GHz 以上的高頻中，若是 FET 的導通電阻使容量成分對插入損耗 (Insertion Loss) 有較大影響，則最好著重於利用導通電阻減少容量成分之設計。即，必須採取與習知之設計完全相反的思考模式。

反之，第 4 圖係 FET 之閘極長度 L_g 在 $0.5 \mu m$ 時，閘極寬度 W_g 與隔離 (Isolation) 間的關係。

在 1GHz 的輸入信號時，若閘極寬度 W_g 由 $1000 \mu m$ 縮小至 $600 \mu m$ ，則自 19.5dB 到 23.5Db 會有 4.0dB 的隔離 (Isolation) 改善。同樣的，在 2.4GHz 的輸入信號時，若閘極寬度 W_g 由 $1000 \mu m$ 縮小至 $600 \mu m$ ，則自 14dB

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

到 18dB 會有 4.0dB 的隔離(Isolation)改善。即，可得知：隔離(Isolation)係按 FET 的導通電阻而獲得改善。

因此，如第 3 圖可得知，在 2.4GHz 以上的高頻區域與其考慮插入損耗(Insertion Loss)之些微惡化，不如優先設計第 4 圖之隔離(Isolation)，以縮小化合物半導體晶片之大小。亦即，2.4GHz 之輸入信號時，若閘極寬度 W_g 在 $700\mu m$ 以下，可確保 16.5dB 以上的隔離性(Isolation)，且若閘極寬度 W_g 在 $600\mu m$ 以下，則可確保 18dB 以上的隔離(Isolation)。

具體而言，第 2 圖所示實際型態的本發明化合物半導體開關電路裝置中，設計閘極長度 L_g 為 $0.5\mu m$ ，閘極寬度 W_g 為 $600\mu m$ 之 FET1 與 FET2，以確保插入損耗(Insertion Loss)為 0.65dB，隔離(Isolation)為 18dB。其特性係：可在使用包含藍芽(Bluetooth)(以無線相互連接如行動電話、筆記型電腦、行動資訊終端、數位相機、及其他週邊機器，而提昇行動環境、商業環境的通信規格)之 2.4GHz 區域 ISM Band(Industrial Scientific and Medical frequency band)的頻譜擴散通訊之應用領域作為通信開關而活用。

此外，本發明之化合物半導體開關電路裝置可改善數種電路特性。第 1，表示對高頻輸入電力之開關反射的電壓駐波比 VSWR(Voltage Standing- Wave Ratio)便可達 1.1 至 1.2。VSWR 係在高頻傳送線路中之不連續部分所產生的反射波與入射波間所發生電壓駐波之最大值與最小

五、發明說明（¹²）

值的比，在理想狀態下， $VSWR=1$ 時的反射為 0。在具有分流 FET 之習知化合物半導體開關電路裝置中，

$VSWR=1.4$ 左右，在本發明中可大幅改善電壓駐波比。此理由係：在本發明之化合物半導體開關電路裝置中，於高頻傳輸線路僅有開關用的 FET1 與 FET2，所以電路中便僅有極簡單且元件且極小尺寸的 FET。

第 2，表示相對於高頻輸入信號之輸出信號失真位準的線性特性，可 30dBm 作為 P_{IN1dB} 。第 5 圖係輸出入電力之線性特性。在理想上輸出入電力比為 1，但因為有插入損耗(Insertion Loss)，所以便減少其部份的電力輸出。當輸入電力變大時，因為輸出電力會失真，所以對輸入電力的輸出電力在線性區域之插入損耗(Insertion Loss)下降 +1dB 之點以 P_{IN1dB} 表示。具分流 FET 之化合物半導體開關電路裝置中， P_{IN1dB} 為 26dB，但在無分流 FET 之本發明化合物半導體開關電路裝置中則為 30dB，約可改善 4dB 以上。此理由係：在具有分流 FET 時，會受到呈非導通狀態之開關用與分流用 FET 之夾斷電壓影響的相乘影響，但反之，在無分流 FET 之本發明中，則只有受到非導通狀態之開關用 FET 的影響。

【發明之功效】

如上所詳述，本發明可獲得下述數項效果。

第 1，著重在以 2.4GHz 以上的高頻區域節省 FET 而確保隔離性(Isolation)的設計，採用逆向思考模式對目前之 FET 導通電阻之低減作二方面的考量，並將開關用之

五、發明說明 (13)

開關 FET1 與 FET2 之閘極寬度 W_g 設計在 $700\mu m$ 以下。其結果可得：將開關用 FET1 與 FET2 的尺寸縮小，減少插入損耗(Insertion Loss)，並確保隔離(Isolation)等優點。

第 2，在本發明之化合物半導體開關電路裝置中，因為可作省略分流 FET 之設計，所以構成元件只有對應於 FET1、FET2、電阻 R1、R2、共同輸入端子 IN、輸出端子 OUT1,OUT2、控制端子 Ctl-1、Ctl-2 之鉚墊，與習知之化合物半導體開關電路裝置相比，具有可由最小構件構成之優點。

第 3，因為形成上述最小構成元件，所以與習知之化合物半導體開關電路裝置半導體晶片尺寸相比，可縮小 20%，並可大幅提昇與矽半導體晶片的價格競爭力。另，因為晶片尺寸可縮小，與習知之小型包封體(MCP6 大小 $2.1mm \times 2.0mm \times 0.9mm$)相比，可安裝成更小型的包封體(SMCP6 大小 $1.6mm \times 1.6mm \times 0.75mm$)。

第 4，插入損耗(Insertion Loss)即使在 2.4GHz 以上的高頻也不太會增加，所以使省略 FET 獲取隔離性(Isolation)之設計為可能。譬如，即便 3GHz 之輸入信號的閘極寬度為 $300\mu m$ ，在無分流 FET 下，亦可確保隔離性(Isolation)。

第 5，在本發明之化合物半導體開關電路裝置中，可使對高頻輸入電力之開關反射的電壓駐波比 VSWR(Voltage Standing- Wave Ratio)為 1.1 至 1.2，並提供反射較少的開關。

五、發明說明 (14)

第 6，在本發明之化合物半導體開關電路裝置中，可使對高頻輸入信號之輸出信號失真的線性特性 $P_{IN}1dB$ 提昇為 30dBm，並大幅改善開關的線性特性。

【圖式簡單說明】

第 1 圖係本發明之電路圖。

第 2 圖係本發明之俯視圖。

第 3 圖係本發明之特性圖。

第 4 圖係本發明之特性圖。

第 5 圖係本發明之特性圖。

第 6 圖係習知例的 (A) 剖視圖、(B) 電路圖。

第 7 圖係說明習知例的等效電路圖。

第 8 圖係說明習知例的電路圖。

第 9 圖係說明習知例的俯視圖。

第 10 圖係習知例的 (A) 剖視圖、(B) 電路圖。

【圖示符號說明】

1	GaAs 基板	2	通道區
3	閘極電極	4	源極電極
5	汲極電極	10	歐姆金屬層
11	基板	12	通道區
13	汲極電極	14	汲極電極
15	源極電極	16	汲極電極
17	閘極電極	18	源極區
19	汲極區	20	閘極金屬層
30	鉅墊金屬層	Ctl-1	第 1 控制端子
Ctl-2	第 2 控制端子		

四、中文發明摘要 (發明之名稱： 化合物半導體開關電路裝置)

一種化合物半導體開關電路裝置，為了儘可能降低插入損耗(Insertion Loss)而採取有增大閘極寬度 W_g 以降低 FET 導通電阻之設計方法。

該裝置係著重在 2.4GHz 以上的高頻區域省略分流場效電晶體(shunt FET)而確保隔離性(Isolation)之設計，並對於降低目前之場效電晶體(FET)的導通電阻作二方面的考量。亦即，其特徵具有二在化合物半導體開關電路裝置中，將開關用場效電晶體(FET)之閘極寬度設計在 $700\mu m$ 以下，使閘極減少容量成分，然後在兩信號通路間獲得預定之隔離性(isolation)。

英文發明摘要 (發明之名稱：)

裝

訂

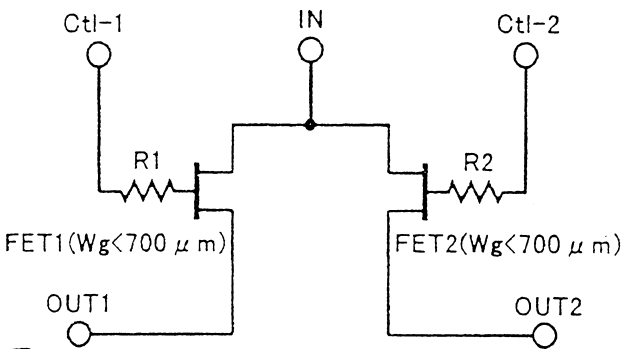
線

六、申請專利範圍

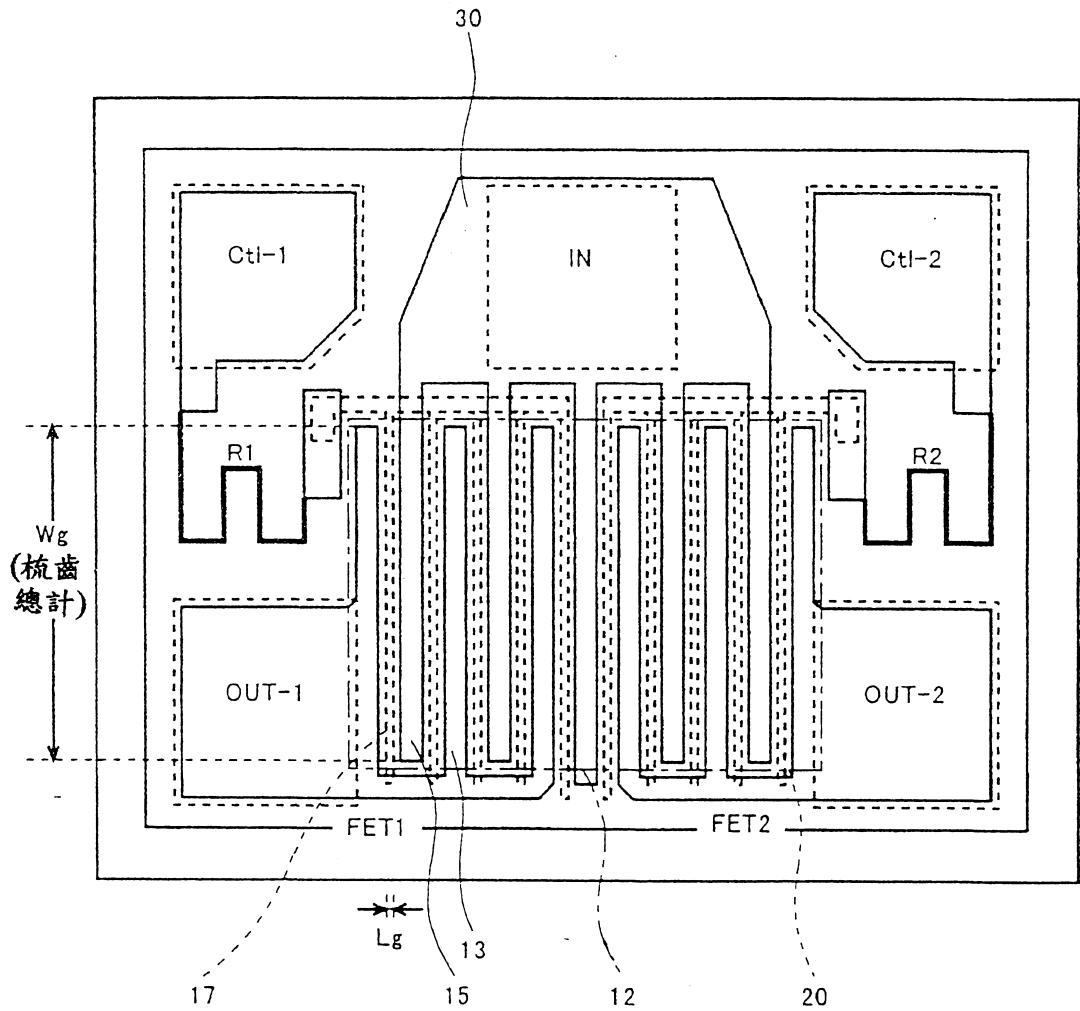
1. 一種化合物半導體開關電路裝置，係在通道層表面上形成設有源極電極、閘極電極、及汲極電極之第 1 與第 2 FET，將兩 FET 的源極電極或汲極電極設為共同輸入端子，兩 FET 的汲極電極或源極電極設為第 1 與第 2 輸出端子，然後控制信號施加於兩 FET 的閘極電極上並導通其中任一者 FET，使前述共同輸入端子與前述第 1 及第 2 輸出端子中之任一者形成信號路徑，其特徵裝置係具備：

將前述 FET 之閘極電極寬度設定在 $700\mu\text{m}$ 以下，俾使前述閘極減少的容量成分，而在前述兩信號通路間獲得予定的隔離性。

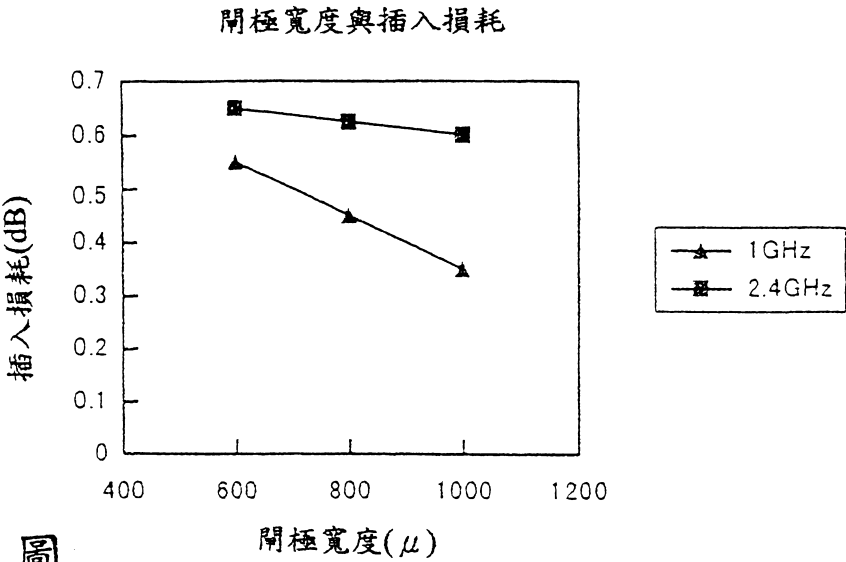
2. 如申請專利範圍第 1 項之化合物半導體開關電路裝置，其中對前述共同輸入端子施加 2.4GHz 以上的輸入信號，並將前述 FET 之閘極電極寬度設定在 $600\mu\text{m}$ 以下，且將前述隔離設在 $18\mu\text{m}$ 以上。
3. 如申請專利範圍第 1 項之化合物半導體開關電路裝置，其中半絕緣性基板係採用 GaAs 基板，並在其表面形成前述通道層。
4. 如申請專利範圍第 1 項之化合物半導體開關電路裝置，其中前述第 1 與第 2 FET 係由：與前述通道層肖特基接觸的閘極電極；以及與前述通道層歐姆接觸的源極電極與汲極電極所構成。



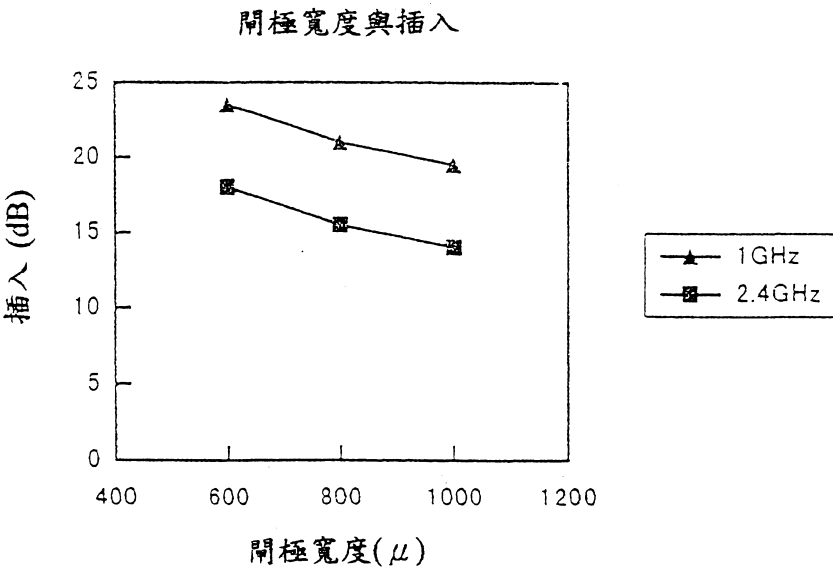
第 1 圖



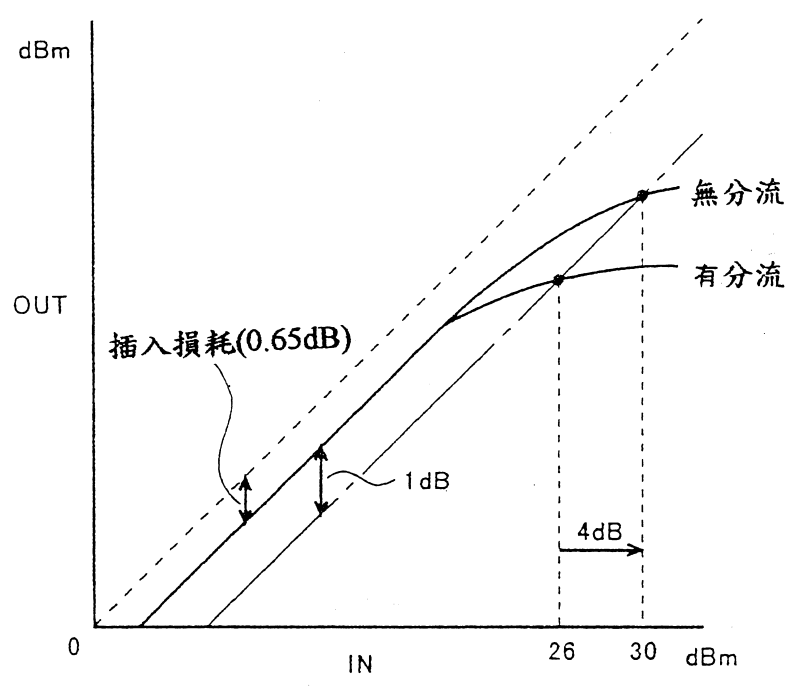
第 2 圖



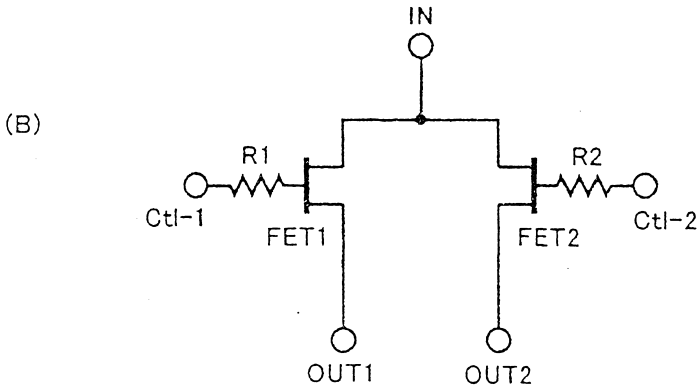
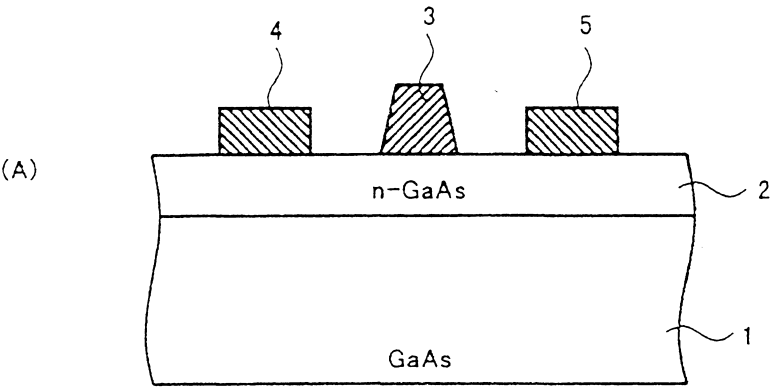
第 3 圖



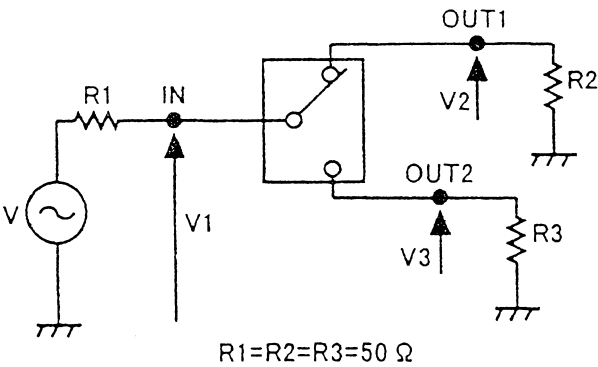
第 4 圖



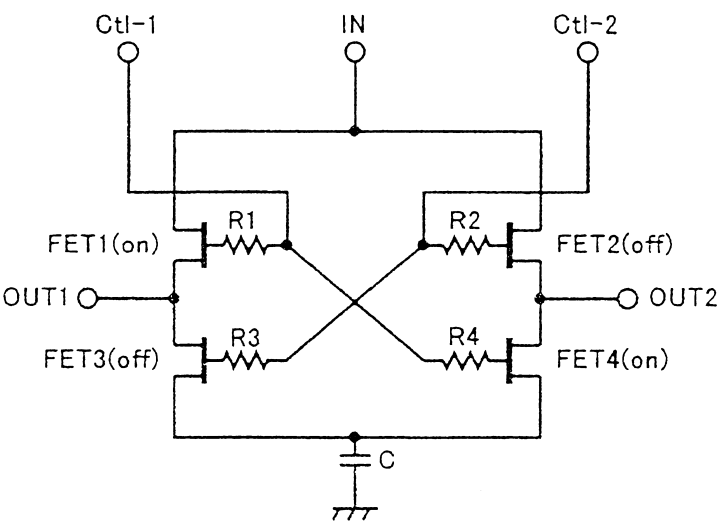
第 5 圖



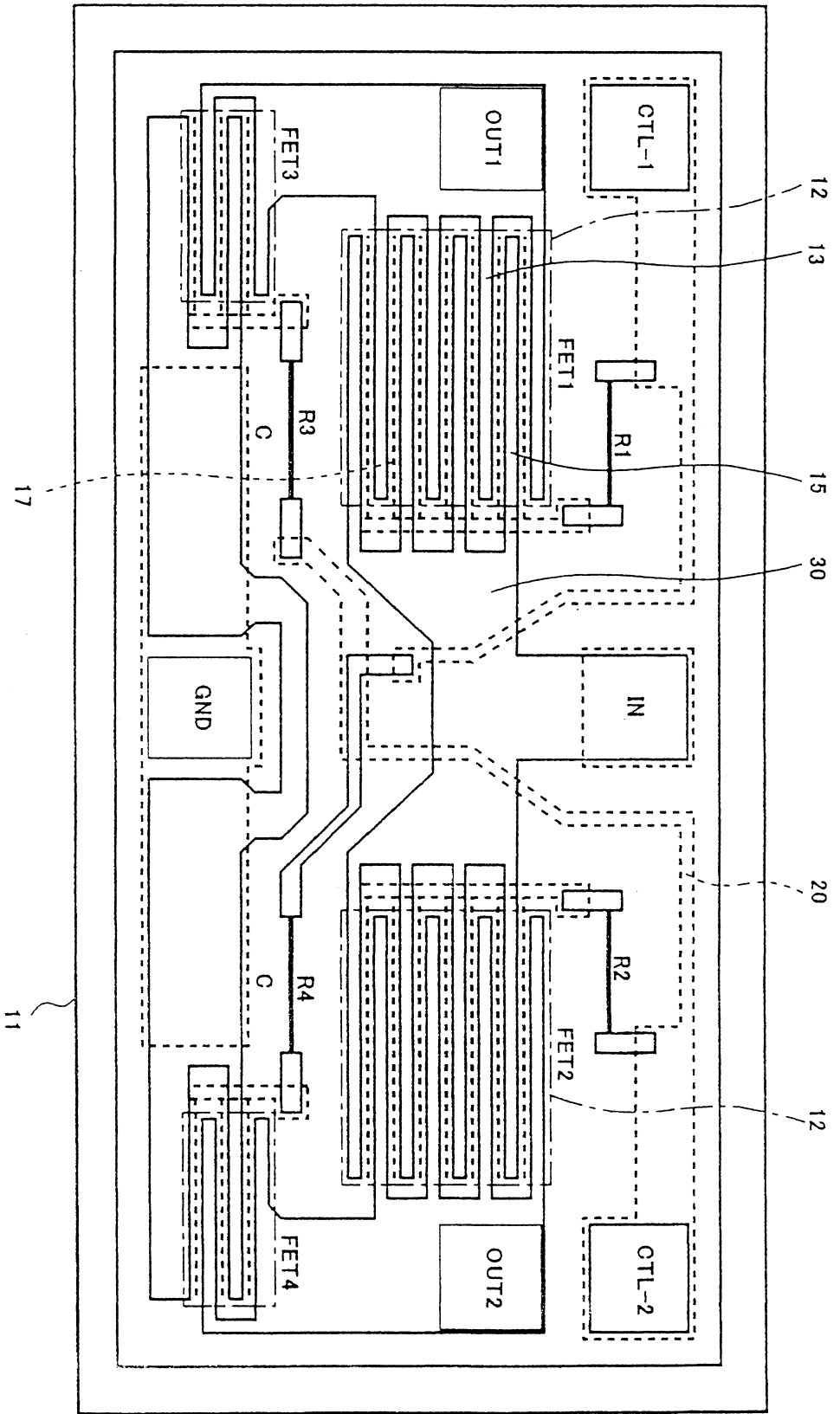
第 6 圖



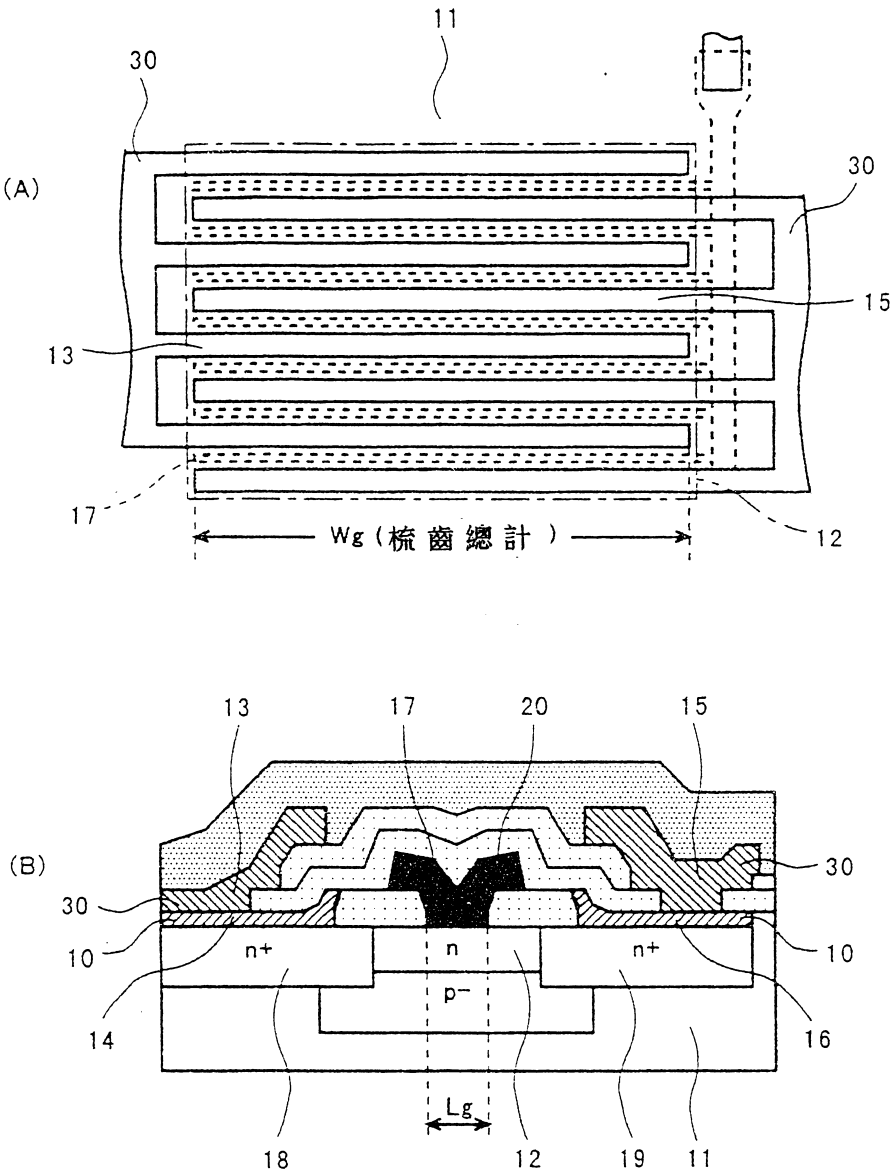
第 7 圖



第 8 圖



第 9 圖



第10圖