



(12) 发明专利

(10) 授权公告号 CN 101459176 B

(45) 授权公告日 2013. 01. 23

(21) 申请号 200810187029. X

【0003】-【0011】、【0033】-【0064】，附图 1-5、15.

(22) 申请日 2008. 12. 12

US 5910675 A, 1999. 06. 08, 说明书第 1 栏第 35 行至第 3 栏第 45 行, 附图 11.

(30) 优先权数据

2007-320973 2007. 12. 12 JP

审查员 宋霖

(73) 专利权人 精工电子有限公司

地址 日本千叶县千叶市

(72) 发明人 鹰巢博昭 山本祐广

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 柯广华 王丹昕

(51) Int. Cl.

H01L 27/04 (2006. 01)

H01L 23/50 (2006. 01)

H01L 23/522 (2006. 01)

(56) 对比文件

US 2005/0023692 A1, 2005. 02. 03, 说明书

【0003】-【0011】、【0033】-【0064】，附图 1-5、15.

US 2005/0041169 A1, 2005. 02. 24, 说明书

【0069】，附图 10.

US 2005/0023692 A1, 2005. 02. 03, 说明书

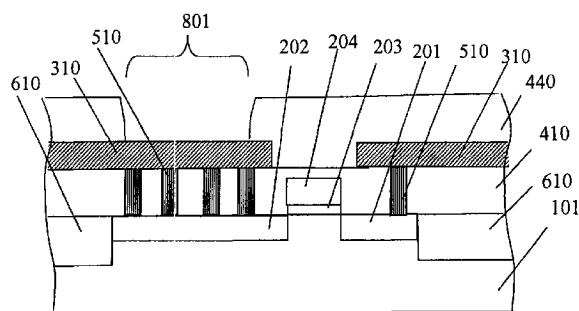
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

半导体器件

(57) 摘要

在一种半导体器件中包括, 在外部连接端和内部电路区之间的具有固定在地电位的栅电位的用于 ESD 保护的 NMOS 晶体管, 在用于 ESD 保护的 NMOS 晶体管的漏区上方形成的外部连接端, 并且该漏区经过沟道区被源区 201 包围。此外, 该漏区具有在平面视图上带有圆角的形状。



1. 一种半导体器件,包括:

硅衬底;

置于所述硅衬底上的外部连接端;

置于所述硅衬底上的内部电路区;

在所述外部连接端和所述内部电路区之间提供的用于静电放电保护的 NMOS 晶体管,其用于保护在所述内部电路区形成的内部元件避免被静电放电击穿,所述 NMOS 晶体管具有漏区、沟道区、源区和电位固定在地电位的栅极;

连接所述外部连接端和所述用于静电放电保护的 NMOS 晶体管的第一连线;以及

连接所述用于静电放电保护的 NMOS 晶体管和所述内部电路区的第二连线,

其中,所述外部连接端小于所述漏区并且在所述漏区上方形成,并且

其中,所述第一连线通过完全在所述漏区上形成的大量接触孔直接连接到所述 NMOS 晶体管的漏区,使得所述外部连接端与所述 NMOS 晶体管之间的电阻值与所述 NMOS 晶体管和所述内部元件之间的电阻值相比变得更小。

2. 如权利要求 1 所述的半导体器件,其中所述漏区经过所述沟道区被所述源区包围。

3. 如权利要求 2 所述的半导体器件,其中所述漏区具有在平面图上带有圆角的形状。

4. 如权利要求 2 所述的半导体器件,还包括置于所述用于静电放电保护的 NMOS 晶体管和其他元件之间的用于元件隔离的浅槽隔离结构。

5. 如权利要求 1 所述的半导体器件,其中所述外部连接端由层叠在所述漏区上方的多个连线层形成。

6. 如权利要求 1 所述的半导体器件,其中所述第一连线和所述第二连线是由含有难熔金属的金属材料形成的。

半导体器件

技术领域

[0001] 本发明涉及包括静电放电 (ESD) 保护元件的半导体器件, 静电放电保护元件在外部连接端和内部电路区之间形成以保护在内部电路区形成的内部元件避免被 ESD 击穿。

背景技术

[0002] 在包括金属氧化物半导体 (MOS) 晶体管的半导体器件中, 所谓的截止晶体管用作 ESD 保护元件防止内部电路由于静电从用于外部连接的 PAD 端涌入而击穿, 若为 n 型 MOS (NMOS) 晶体管其栅极电位固定在地电位 (V_{ss}) 以保持截止状态。为了防止内部元件被 ESD 击穿, 引导尽可能多的静电脉冲到截止晶体管中以阻止静电脉冲传导到内部元件, 或者在传输到内部元件前将快速和强的静电脉冲转变为缓慢和弱的信号是非常重要的。

[0003] 然而, 与形成内部电路例如逻辑电路的 MOS 晶体管不同, 截止晶体管需要一次性流过引导静电引起的大量电流, 因此在很多情况下设计晶体管宽度 W 达到几百微米。因此, 截止晶体管需要占用大面积, 特别是在小集成电路 (IC) 芯片中不利于总面积缩小, 这也成为整个 IC 成本增加的因素。

[0004] 此外, 在很多情况下, 截止晶体管经常采用多个漏区, 源区以及栅极组合成梳状的形式。这种多个晶体管组合的结构在用于 ESD 保护的整个 NMOS 晶体管的统一运行方面存在困难。例如, 在离外部连接端近的部分引起的电流集中可能导致截止晶体管的击穿而没有充分发挥原先的 ESD 保护功能。

[0005] 作为上述问题的对策, 提出一项发明, 其中在漏区上形成的接触孔和栅极之间的距离随着离外部连接端距离变长而缩短, 以加速晶体管的运行 (例如, 参考 JP 7-45829 A 的图 2)。

[0006] 然而, 当为了缩小截止晶体管占用的面积而减小宽度 W 时, 保护功能就不能完全实现。此外, 在 JP 7-45829 A 的方法中, 调节在漏区接触孔和栅极之间的距离, 从而局部调节晶体管运行速度。然而, 这个方法存在问题, 随着漏区宽度的减小不能保证期望的接触宽度, 以及近年来通过包括难熔金属的连线结构, 连线电阻得到降低从而加速了电涌的传导速度, 引起晶体管的运行速度不能仅由接触孔和栅极之间的距离调节。此外, 在 JP 7-45829 A 中, 没有一种公开的方法来引导尽可能多的静电脉冲到截止晶体管中而不要让静电脉冲传导到内部元件, 也没有在传输前将快速和强静电脉冲转变为缓慢和弱的信号以阻止 ESD 击穿内部元件的补救措施。

发明内容

[0007] 为了解决上面描述的问题, 根据本发明的半导体器件配置如下。

[0008] 在包括用于 ESD 保护的 NMOS 晶体管的半导体器件中, NMOS 晶体管栅极电位固定在地电位并且置于外部连接端和内部电路区之间, 外部连接端形成在用于 ESD 保护的 NMOS 晶体管的漏区上方。

[0009] 此外, 用于 ESD 保护的 NMOS 晶体管的源区经过用于 ESD 保护的 NMOS 晶体管的沟

道区包围用于 ESD 保护的 NMOS 晶体管的漏区。而且,漏区具有平面图上圆角的形状。

[0010] 此外,在用于 ESD 保护的 NMOS 晶体管与其他元件之间的元件隔离是通过浅槽隔离结构进行的。而且,外部连接端是由层叠在用于 ESD 保护的 NMOS 晶体管的漏区上方的多个连线层形成。再者,在外部连接端和内部元件之间的连线以及在用于 ESD 保护的 NMOS 晶体管与内部元件之间的连线是由含有难熔金属的金属材料形成的。

[0011] 带有这些结构的用于 ESD 保护的 NMOS 晶体管可以在小的占用面积上形成。而且,可以将静电脉冲最可能的部分引导入截止晶体管从而不会传导到内部元件以阻止内部元件被 ESD 击穿,或者在传输前可以将快速和强静电脉冲转变为缓慢和弱的信号。因此,获得包括能够执行充分的 ESD 保护功能而占用面积小的 ESD 保护元件的半导体器件是可能的。

附图说明

[0012] 图 1 是显示根据本发明第一实施例的半导体器件的用于 ESD 保护的 NMOS 晶体管的平面示意图;

[0013] 图 2 是沿根据第一实施例的用于 ESD 保护的 NMOS 晶体管的 A-A' 线的横截面示意图;

[0014] 图 3 是显示根据本发明第二实施例的半导体器件的用于 ESD 保护的 NMOS 晶体管的平面示意图;

[0015] 图 4 是沿根据第二实施例的用于 ESD 保护的 NMOS 晶体管的 B-B' 线的横截面示意图。

具体实施方式

[0016] (第一实施例)

[0017] 图 1 是显示根据本发明第一实施例的半导体器件的用于 ESD 保护的 NMOS 晶体管的平面示意图。

[0018] 形成由 n 型重掺杂杂质区形成的源区 201 以及漏区 202,以及在源区 201 和漏区 202 之间由绝缘膜例如氧化硅层等形成的栅绝缘膜(没有显示)上布置栅极 204,从而形成用于 ESD 保护的 NMOS 晶体管。外部连接端区 801 在漏区 202 上方形成。直接位于外部连接端区 801 下方的第一金属连线 310 通过连接孔(没有显示)与用于 ESD 保护的 NMOS 晶体管的漏区 202 连接,以及延伸到内部区。此外,源区 201 以及栅极 204 的电位固定在地电位,采用所谓的截止晶体管的配置。

[0019] 在图 1 的实例中,外部连接端区 801 直接在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成,以及在平面图中,形状为 ESD 保护元件区的一部分包括外部连接端。因此,本 ESD 保护元件可以在与常规方式相比更小的占用面积中形成。

[0020] 这里,外部连接端区 801 只在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成以免与栅极 204 重叠。外部连接端区 801 是用于通过在测试过程或其他后续执行的过程中通过探测来进行电性测量,以及通过引线键合或其他类似方式来将 IC 芯片安装在封装树脂中的区域。此区域在探测或引线键合的过程中存在受到应力、拉伸、损伤或其他类似作用的风险。栅极 204 以及置于其下的栅绝缘膜是决定 NMOS 晶体管特性的主要部分,并且对机械应力极其敏感以及易受损伤。在本发明中,外部连接端区 801 仅在漏区 202 上方提供,而不

在栅极 204 上方,构成本发明的一项特征。

[0021] 外部连接端区 801 在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成,以及通过接触孔直接与漏区 202 连接。因为这个原因,外部连接端和 ESD 保护元件之间的电阻值与 ESD 保护元件和内部元件之间的电阻值相比变得相当地小。因此,ESD 浪涌或静电脉冲可以被优先引导入保护元件一侧,以及利用向内部元件连线的电阻,快速和强静电脉冲可以不以其形式传送到内部元件,而以转变为缓慢和弱的信号的形式传送到内部元件。

[0022] 图 1 的实施例说明用于 ESD 保护的 NMOS 晶体管的实例,其中栅极 204 沿外部连接端区 801 的一个方向(边)放置,但是本发明并没有被限制于此。栅极 204 可能沿外部连接端区 801 的两条边到四条边放置。

[0023] 图 2 是沿第一实施例中图 1 的 A-A' 线的横截面示意图。

[0024] 由 n 型重掺杂杂质区形成的源区 201 和漏区 202 在 p 型硅衬底 101 上形成,以及 p 型硅衬底 101 位于源区 201 和漏区 202 之间的部分上,经过由例如氧化硅层等绝缘膜形成的栅绝缘膜 203 设置栅极 204,从而形成用于 ESD 保护的 NMOS 晶体管。此外,作为元件隔离区的浅槽隔离区 610 在源区 201 和漏区 202 的外侧形成。

[0025] 这种情况下,源区 201 和栅极 204 的电位固定在地电位(没有显示)以采用所谓截止晶体管的配置。此外,在源区 201 和漏区 202 上方经过第一绝缘膜 410 形成由含有难熔金属的铝形成的第一金属连线 310。在漏区 202 上形成的第一绝缘膜 410 中提供大量接触孔 510 以将第一金属连线 310 与漏区 202 电连接。在漏区 202 上形成的大量接触孔 510 几乎在整个漏区 202 上广泛分布以及放置。这是因为如果用于 ESD 保护的 NMOS 晶体管起作用以接收 ESD 浪涌以及通过双极运行放出电流,避免了此运行在局部范围内进行。

[0026] 由于用于 ESD 保护的 NMOS 晶体管为了执行保护功能必须处理大电流,因此分配宽的沟道宽度 W。然而,如果例如在局部提供接触孔 510,充分利用大的沟道宽度是不可能的,以及运行被限制在局部区。在某些情况下,大电流局部集中会造成击穿,由此不能发挥出期望的 ESD 耐受能力。这种整个漏区 202 上广泛分布以及密集放置大量接触孔 510 使得用于 ESD 保护的 NMOS 晶体管能够整体上均匀运行抵抗到来的静电脉冲,通过整个沟道宽度使静电脉冲能够得到有效处理(释放)。

[0027] 与漏区 202 连接的第一金属连线 310 在漏区 202 上方形成外部连接端区 801,以及延伸到内部区。此外,源区 201 通过接触孔 510 连接到第一金属连线 310,以及与栅极 204 一起被固定在地电位(没有显示)。由氮化硅膜或类似形成的保护膜 440 在第一金属连线 310 上形成,以及保护层 440 在漏区 202 上方的部分被去除,由此形成其中第一金属连线 310 成暴露的外部连接端区 801。如此,外部连接端区 801 直接在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成。之前在图 1 的说明中给出了这样形成的原因以及其效果。

[0028] (第二实施例)

[0029] 图 3 是显示根据本发明第二实施例的半导体器件的用于 ESD 保护的 NMOS 晶体管的平面示意图。

[0030] 由 n 型重掺杂杂质区形成的漏区 202 具有由栅极 204 界定的大致上的圆周,以及其平面形状经过栅极 204 被源区 201 包围。栅极 204 放置在介于漏区 202 和源区 201 之间在由例如氧化硅薄膜等绝缘薄膜形成的栅绝缘膜(没有显示)上,从而形成用于 ESD 保护的 NMOS 晶体管。第一金属连线 310 放置在漏区 202 上方,通过接触孔(没有显示)与用于

ESD 保护的 NMOS 晶体管的漏区 202 连接,以及延伸到内部区。

[0031] 此外,第一金属连线 310 通过通孔(没有显示)在漏区 202 上方与第二金属连线 320 连接,以及形成外部连接端区 801。源区 201 以及栅极 204 的电位固定在地电位,以及采取所谓的截止晶体管的配置。在这种情况下,漏区 202 具有由栅极 204 界定的大致上的圆周,以及其平面形状经过栅极 204 被源区 201 包围。上述的原因是为了将漏区 202 与元件隔离区分开,以及避免形成电流在其处集中的转角。

[0032] 一般而言,当采用浅槽隔离作为元件隔离时,在很多情况下,由晶体缺陷或类似问题造成的漏电流会在接近另外的元件的部分产生。特别地对于具有宽晶体管宽度 W 的用于 ESD 保护的 NMOS 晶体管这很可能会变成严重的问题。

[0033] 在本发明中,用于 ESD 保护的 NMOS 晶体管的漏区与元件隔离区相互分开,以及源区经过栅极完全包围漏区,由此可以防止特别在浅槽隔离中会成为问题的漏电流增大。再者,由于漏区的平面形状不具有转角,可以防止由于电流集中造成局部击穿从而保证足够的 ESD 耐受能力抵抗到来的电涌。

[0034] 在图 3 示出的第二实施例中,漏区 202 具有大致上圆形。然而,这里的目的是消除电流集中,以及因此漏区 202 可以是大致上椭圆的形状,或者可以是其中转角部分为圆形的大致上矩形的形状。此外,已经说明了外部连接端区 801 具有矩形的情况,但外部连接端区 801 可能具有与漏区 202 一致的大致上圆形的形状。考虑到后续的探测或类似步骤,存在一种情况,从保证关于按所有方向探测的位移有相等边际的角度来看,环形比矩形好。接触孔以及通孔也需要根据外部连接端区 801 的形状广泛分布以及放置。

[0035] 同样在图 3 示出的第二实施例中,如同在图 1 示出的第一实施例中,外部连接端区 801 直接在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成,以及在平面图中,其形状中 ESD 保护元件区的一部分包括外部连接端。因为这个原因,ESD 保护元件可以在与常规方式相比更小的占用面积中形成。此外,同样在这个实施例中,如同第一实施例,外部连接端区 801 仅在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成以便不与栅极 204 重叠。上述的原因以及它的说明与图 1 示出的第一实施例的相似。

[0036] 在图 3 示出的第二实施例中,外部连接端区 801 由直接在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成的第二金属连线 320 形成。在这种情况下,说明用于形成半导体器件而采用多层连线的例子,以及本发明并不限于两层金属连线。在第二实施例中,外部连接端区 801 在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成,以及通过通孔和接触孔直接与漏区 202 连接。因为这个原因,外部连接端和 ESD 保护元件之间的电阻值与 ESD 保护元件和内部元件之间的电阻值相比变得相当地小。因此,ESD 浪涌或静电脉冲可以被优先引导入保护元件一侧。而且,利用例如向内部元件连线的电阻,快速和强静电脉冲不以它本身形式传送到内部元件,而可以在传输到内部元件前转变为缓慢和弱的信号。

[0037] 图 4 是沿第二实施例中图 3 的 B-B' 线的横截面示意图。

[0038] 由 n 型重掺杂杂质区形成的源区 201 和漏区 202 在 p 型硅衬底 101 上形成,以及在 p 型硅衬底 101 位于源区 201 和漏区 202 之间的部分上经过由例如氧化硅膜等绝缘膜形成的栅绝缘膜 203 设置栅极 204,从而形成用于 ESD 保护的 NMOS 晶体管。这里,源区 201 经过 P 型硅衬底 101 用作 NMOS 晶体管沟道区的部分包围漏区 202 的外围。此外,用作元件隔离区的浅槽隔离区 610 在源区 201 和漏区 202 的外侧形成。

[0039] 这种情况下,源区 201 和栅极 204 的电位固定在地电位(没有显示)以具有所谓截止晶体管的配置。此外,在源区 201 和漏区 202 上方经过第一绝缘膜 410 形成由含有难熔金属的铝形成的第一金属连线 310。在漏区 202 上形成的第一绝缘膜 410 中提供大量接触孔 510 以将第一金属连线 310 与漏区 202 电连接。此外,在漏区 202 上形成的大量接触孔 510 几乎在整个漏区 202 上广泛分布以及密集放置,以防止用于 ESD 保护 710 的 NMOS 晶体管在捕捉 ESD 浪涌并通过双极运行释放电流的过程中局部以及部分运行。

[0040] 由于用于 ESD 保护的 NMOS 晶体管为了执行保护功能必须处理大电流,因此分配宽的沟道宽度 W 。然而,如果例如局部提供接触孔 510,充分利用大的沟道宽度是不可能的,以及运行被限制在局部区。在某些情况下,大电流局部集中会造成击穿,由此不能发挥出期望的 ESD 耐受能力。这种整个漏区 202 上广泛分布以及密集放置大量接触孔 510 使得用于 ESD 保护 710 的 NMOS 晶体管能够整体上均匀运行抵抗到来的静电脉冲,通过整个沟道宽度使静电脉冲能够得到有效处理(释放)。

[0041] 在位于漏区 202 上方的第一金属连线 310 上方经过第二绝缘膜 420 形成由例如含有难熔金属的铝形成的第二金属连线 320,以及通过大量通孔 520 与第一金属连线 310 连接。与漏区 202 连接的第一金属连线 310 通过通孔在漏区 202 上方与第二金属连线 320 连接以形成外部连接端区 801,以及延伸到内部区域。此外,源区 201 通过接触孔 510 连接到第一金属连线 310,以及与栅极 204 一起被固定在地电位(没有显示)。由氮化硅膜或类似形成的保护膜 440 在第二金属连线 320 周围形成,以及保护层 440 在漏区 202 上方的部分被去除,由此形成外部连接端区 801,其中第二金属连线 310 成暴露的。

[0042] 如此,外部连接端区 801 直接在用于 ESD 保护的 NMOS 晶体管的漏区 202 上方形成。这样形成的原因以及其效果与图 1 以及图 2 的相似。

[0043] 如上述说明的,根据本发明,用于 ESD 保护的 NMOS 晶体管可以在小的占用面积中形成。而且,可以将静电脉冲最可能的部分引导入截止晶体管从而不会传导到内部元件以阻止内部元件被 ESD 击穿,或者在传输前可以将快速和强静电脉冲转变为缓慢和弱的信号。因此,获得包括能够执行充分的 ESD 保护功能而占用面积小的 ESD 保护元件的半导体器件是可能的。

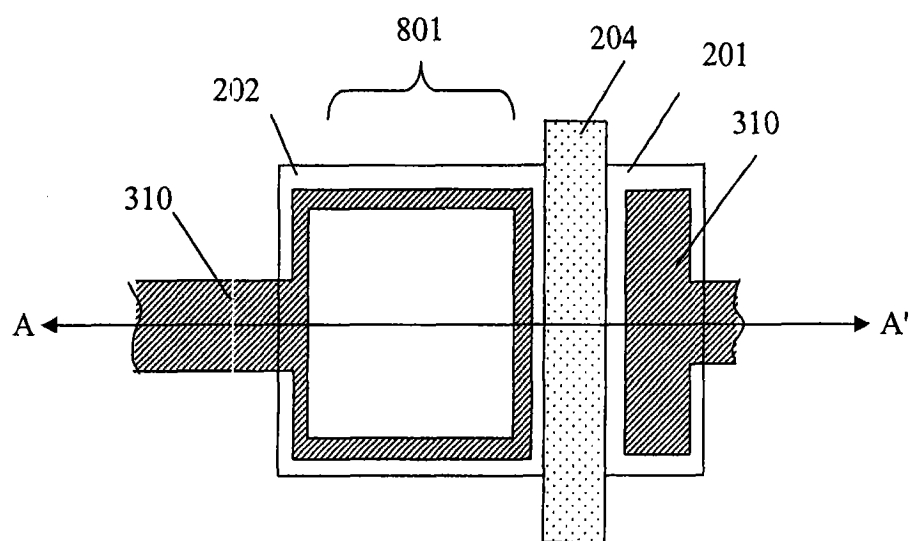


图 1

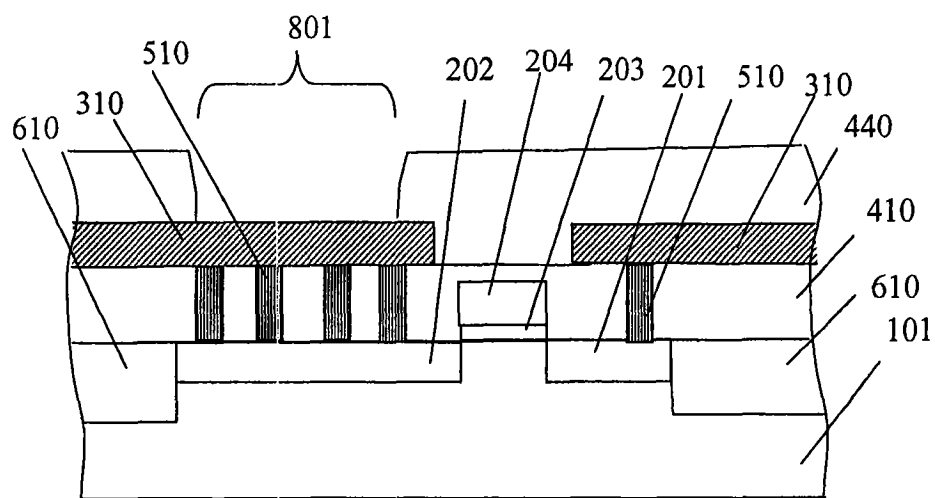


图 2

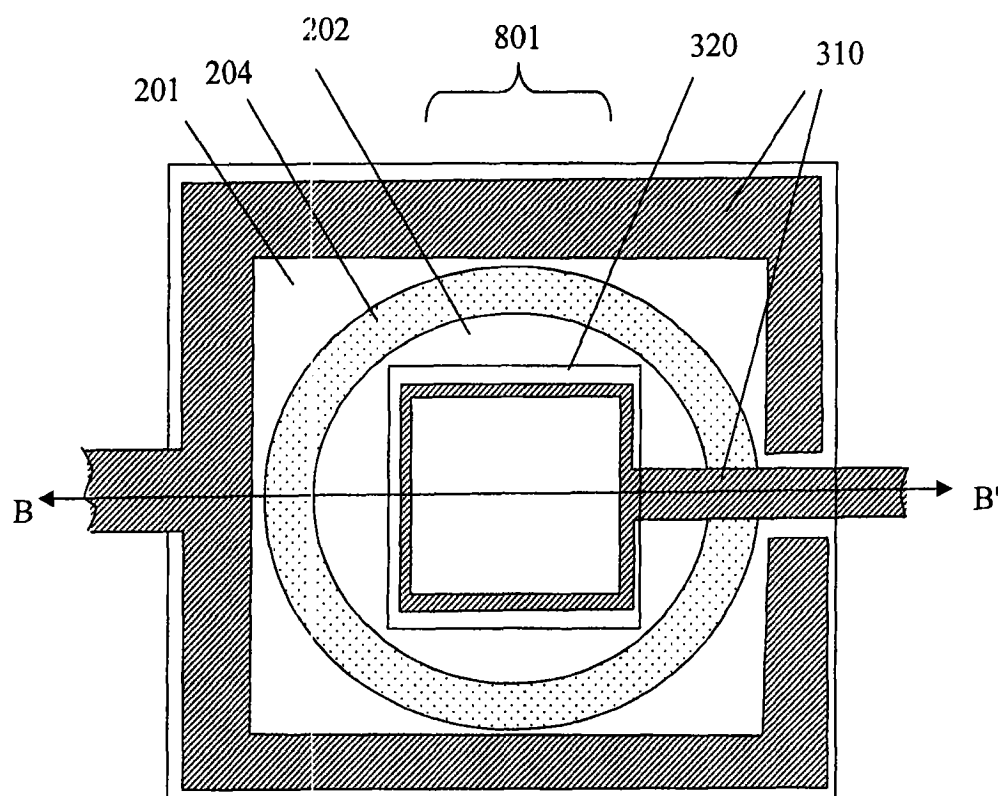


图 3

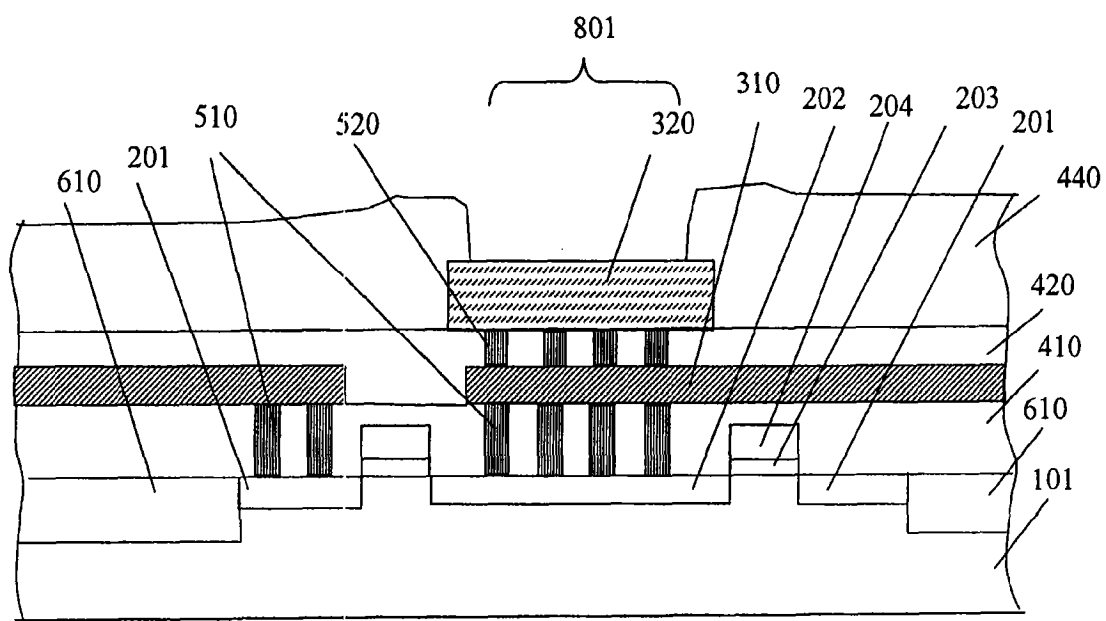


图 4