(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 7/06

(45) 공고일자 1999년04월15일
(11) 등록번호 특0184087
(24) 등록일자 1998년12월17일

(21) 출원번호 특1995-040173
(22) 출원일자 1995년11월08일
(65) 공개번호 특1996-019297
(43) 공개일자 1996년06월17일

(30) 우선권주장 94-277511 1994년11월11일 일본(JP)
(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 야베 도모아키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
미야노 신지
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
누마타 겐지
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 정회환

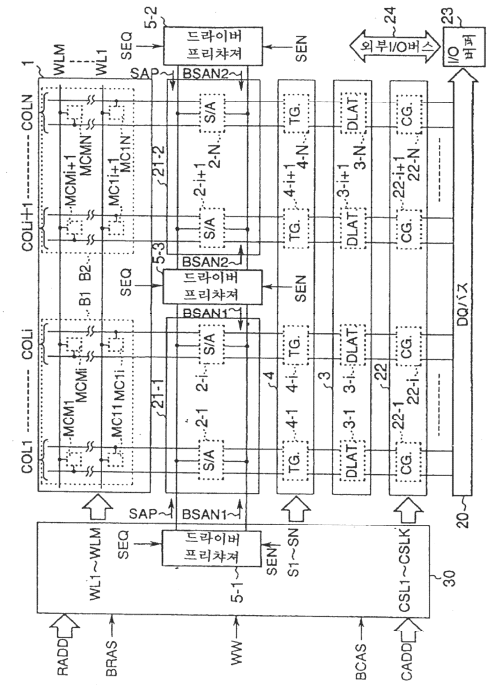
(54) 반도체 기억장치

요약

본 발명은 데이터의 일괄전송이 수행되는 열의 수가 많은 경우에도 데이터의 전송이 수행되지 않는 열의 데이터의 반전을 방지할 수 있는 반도체 기억장치를 제공 하고자 하는 것이다.

본 발명은 메모리셀 어레이(1)와, 각 열마다 설치된 감지증폭기군(2), 감지증폭기군(2)을 활성화시키는 드라이버·프리챠져회로(5), 각 열마다 설치되고, DQ버스(20)로부터 공급되는 데이터를 일시적으로 기억하여 두기 위한 데이터 래치회로군(3) 및 데이터 래치회로군(3)에 기억된 데이터를 감지증폭기군(2)에 일괄하여 전송시키기 위한 전송게이트군(4)을 구비한다. 그리고, 메모리셀 어레이(1)가 원하는 수의 열을 포함하는 복수의 블럭(B1,B2)으로 분할되고, 드라이버·프리챠져(5)가 블럭(B1,B2)마다 복수의 회로(5-1~5-3)으로 분할되어 설치되어 있는 것을 특징으로 하고 있다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 다이나믹형 RAM의 블럭도.

제2도는 제1도에 나타낸 다이나믹형 RAM의 회로도.

제3도는 제1도에 나타낸 주변회로부의 구성을 나타낸 도면.

제3a도는 블럭도.

제3b도는 a도중의 기록프래그 레지스터의 회로도.

제4도는 본 발명의 제1실시예에 따른 다이나믹형 RAM의 동작파형도.

제5도는 제1도에 나타낸 감지증폭기 드라이버·프리챠져회로의 회로도로서

제5a도는 회로 5-1의 회로도.

제5b도는 회로 5-2의 회로도.

제5c도는 회로 5-3의 회로도.

제6도는 본 발명의 제2실시예에 따른 다이나믹형 RAM의 평면도.

제7도는 제6도에 나타낸 평면패턴을 보다 상세하게 나타낸 평면도.

제8도는 메모리셀의 구조를 나타낸 도면으로,

제8a도는 제7도중의 8a-8a선에 따른 단면도.

제8b도는 제7도중의 8b-8b선에 따른 단면도.

제9도는 종래의 다이나믹형 RAM의 회로도.

제10도는 일괄하여 전송되는 데이터가 적을 때의 동작파형도.

제11도는 데이터를 일괄하여 전송한 때의 회로의 상태를 나타낸 도면.

제12도는 일괄하여 전송되는 데이터가 많을 때의 동작파형도.

제13도는 데이터를 일괄하여 전송한 때의 회로의 상태를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

1 : 메모리셀 어레이 2-1~2-N : 감지증폭기

3 : 데이터래치회로군 3-1~3-N : 데이터래치회로

4 : 전송게이트군 4-1~4-N : 전송게이트

5-1~5-3 : 검자증폭기 드라이버·프리챠져

20 : DQ버스 21-1, 21-2 : 감지증폭기군

22 : 열게이트군 22-1, 22-N : 열게이트

30 : 주변회로부 31 : 열어드레스버퍼

32 : 열게이트 33 : 기록프래그 레지스터

34 : 행어드레스버퍼 35 : 행계 제어회로

36 : 워드선 승압회로 38 : WW버퍼

39 : 전송게이트 셀렉터 52 : 톱영역

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 기억장치에 관한 것으로, 특히 다이나믹형 RAM의 감지증폭기에 관한 것이다.

[종래의 기술 및 그 문제점]

제9도는 데이터래치부착 DRAM의 개략적 구성을 나타낸 도면으로, 제9도에 나타낸 바와 같이 M행, N열의 메모리셀($MC11 \sim MC_{MN}$)이 집적된 메모리셀 어레이(1)가 설치되어 있고, 메모리셀 어레이(1)에는 열(COL1~COLN; 비트선쌍)이 설치되어 있으며, 이들의 열(COL1~COLN)은 메모리셀($MC11 \sim MC_{MN}$)과 도시되지 않은 DQ버스를 서로 접속한다. 메모리셀 어레이(1)와 도시되지 않은 DQ버스와의 사이의 각 열에는 각각 PMOS감지증폭기(P2; P21~P2N), NMOS감지증폭기(N2; N21~N2N), 데이터 래치회로(3; 3-1~3-N)가 하나씩 설치되어 있는데, 이구성은 캐시부가 1행 N열의 데이터 래치회로를 갖춘 캐시DRAM과 유사하다.

더욱이, NMOS감지증폭기(N2)와 데이터 래치회로(3)와의 사이에는 전송게이트선택신호(S1～SN)에 따라 데이터 래치회로(3)와 메로리셀(MC)을 접속하는 전송게이트(4; 4-1～4-N)가 설치되어 있다.

더욱이, 캐시DRAM은 예컨대 하기의 문헌에 소개되어 있다.

K. Dosaka, Y. Konishi, K. Hayano, K. Himukashi, A. Yamazaki, H. Iwamoto, M. Kumanoya, H. Hamano and T. Yoshihara, A 100-MHz 4-MbCache DRAM with Fast Copy-Back Scheme---, IEEE J. Solid-State Circuits, Vol. 27, No. 11, pp. 1534-1539.

다음에 제9도에 나타낸 DRAM의 데이터기록동작의 개략적인 흐름에 대해 설명한다.

먼저, 도시되지 않은 외부 I/O버스로부터 도시되지 않은 I/O버퍼를 매개로 도시되지 않은 DQ버스로 테이터가 입력된다. 다음에, 외부로부터 열어드레스가 입력되고, 입력된 열어드레스에 대응한 도시되지 않은 열게이트가 활성화된다. 다음에, 활성화된 열게이트에 접속되어 있는 데이터래치회로(3)에 상기DQ버스에 입력된 데이터가 기록된다. 데이터래치회로(3)로의 데이터의 기록은 전송게이트(4-1～4-N)를 전부 오프시킨 상태에서 수행한다. 이와 같은 동작을 기록데이터 및 입력 열어드레스를 변화시키면서 복수회 수행되어 간다.

본 명세서에서 설명하는 DRAM에서는 데이터의 기록을 필요로 하는 열에 대해서만 데이터래치회로(3)로의 데이터기록이 수행된다. 이 때문에, 전체 데이터 래치회로(3-1～3-N)에 데이터가 기록되는 것으로는 한정되지 않는다.

다음에, 1행분의 데이터의 대해 DQ버스로부터 데이터 래치회로(3)로의 기록이 종료되면, 데이터의 기록이 있었던 열에 대해서만 데이터 래치회로(3)로부터 감지증폭기(N2,P2), 그리고 메모리셀(MC)로 데이터를 일괄하여 전송한다.

이는 전송게이트선택신호(S1～SN)를 데이터의 기록이 있었던 열만 ll레벨로 하는것으로 달성된다. 다음에, 메모리셀 어레이(1)의 외측에 설치된 감지증폭기 드라이브프리챠지회로(5)에 의해 감지증폭기 구동신호선쌍(SAP,BSAN)의 전위를 프리챠지전위(VBL)로부터 VCC레벨 및 VSS레벨로 각각 이행시킨다. 이에 의해 NMOS감지증폭기(N2-1～N2-N) 및, PMOS감지증폭기(P2-1～P2-N)가 전부 활성화되고, 감증폭기(N2,P2)가 활성화되는 것으로 데이터가 기록된 열에서는 새로운 데이터가 증폭된다. 그리고, 새로운 데이터가 메모리셀(MC)에 기록된다. 또한, 데이터가 기록되지 않았던 열에서는 통상의 DRAM의 리플래시동작과 마찬가지인 동작이 수행되어 메모리셀(MC)에 유지되어 있던 데이터가 재차 증폭된다.

그리고, 이 데이터가 메모리셀(MC)에 다시 기록된다.

이상이 데이터 기록동작의 개략적인 흐름이다.

그러나, 상기 DRAM에서는 데이터의 일괄전송이 수행되는 열의 수가 많아지게 되면, 데이터의 전송이 수행되지 않는 열에 있어서 감지증폭기가 오동작하여 데이터가 반전하여 버리는 가능성이 나타나고 있다.

이하, 이 데이터의 반전현상에 대해 도면을 참조하면서 상세히 설명한다.

본 설명에서는 N개의 열중 전송게이트(4)를 매개로 데이터 래치회로(3)로부터 데이터의 일괄 전송이 수행되는 열의 수를 P로 한다.

먼저, 전송열의 수(P)가 작고, 감지증폭기가 정사으로 동작하는 경우를 설명한다.

제10도는 데이터 일괄전송을 수행하는 열의 수(P)가 2인때의 동작을 나타내는 동작파형도이다. 본 예에서는 열(COL2, COL3)만 데이터 일괄전송을 수행하고, 다른 열(COL1, COL4～COLN)에서는 데이터전송은 수행하지 않는 것으로 한다.

제10도에 나타낸 바와 같이 먼저 행·어드레스·스트로브신호(BRAS)가 강하된다. 이를 받아 도시되지 않은 행·어드레스신호에 의해 선택된 워드선(WL)의 전위가 H레벨(H레벨은 예컨대 승압전위 Vpp)로 되어 워드선(WL)이 활성화된다. 워드선(WL)이 활성화되면, 각 열(COL1～COLN)에는 메모리셀에 기억되어 있던 데이터가 비트선(BL BBL)중 어느 한쪽의 전위가 떨어지는 것으로, 이들 비트선(BL,BBL)간에 미약한 전위차로서 나타난다(제10도중 참조부호 A에 의해 나타냄)

다음에, 전송게이트(4-1～4-N) 중 데이터의 일괄전송을 수행하는 열(COS2,COL3)에 대응하는 전송게이트(4-2,4-3)만을 도통시키기 위해 전송게이트선택신호(S2,S3)만을 상승시킨다. 이를 받아 전송게이트(4-2,4-3)가 도통된다. 데이터래치(3-2,3-3)에 기억되어 있던 데이타는 전송게이트(4-2,4-3)를 매개로 열(COL2,COL3)에 전송된다. 데이터가 전송되는 것으로 열(COL2)에서는 이를 구성하는 비트선(BL2)의 전위와 BBL2의 전위와의 관계가 서로 역전된다. 마찬가지로, 열(COL3)에 있어서도 이를 구성하는 비트선(BL)의 전위와 BBL3의 전위와의 관계가 서로 역전된다. 이와 같이 비트선(BL)의 전위와 비트선(BBL)의 전위와의 관계가 서로 역전되는 것으로 메모리셀(MC)에 기억되어있던 데이터 대신 새로운 데이터가 기록되는 것으로 된다(제10도중 참조부호 B로 표시).

이 때, 데이터전송이 수행되지 않았던 열(COL1,COL4～COLN)에서는 전송게이트(4-1,4-4～4-N)가 도통되지 않는다. 이 때문에, 메모리셀(MC)에 기억되어 있던 데이터에 의해 결정되어 있던 비트선(BL)의 전위와 비트선(BBL)의 전위와의 관계가 유지되어 계속된다.

제11도는 상기 동작시퀀스중 전송게이트(4-2,4-3)가 도통한 시점, 즉 데이터의 일괄전송단계시의 회로의 상태를 상세히 나타낸 도면이다.

여기서, 데이터래치회로(3-2)에 포함된 N채널형 MOSFET(10-2; 이하, NMOS로 약칭함) 및, 데이터 래치회로(303)에 포함된 NMOS(10-3)는 각각 도시되지 않은 DQ버스로부터 데이터의 공급을 받는 것에 의해 도통되는 것으로 가정한다. 마찬가지로, 데이터 래치회로(3-2)에 포함된 P채널형 MOSFET(11-2; 이하, PMOS로 약칭함) 및, 데이터 래치회로(3-3)에 포함된 PMOS(11-3)가 각각 데이터의 공급을 받는 것에 의해 도통되는 것으로 가정한다. 이상태에서 전송게이트(4-2,4-3)를 구성하는 NMOS(12-2,12-3), NMOS(13-2,13-

3)가 도통되면, 비트선(BBL2,BBL3)의 전위가 각각 고전위(VCC) 방향으로 드라이브되는 한편 비트선(BL2,BL3)의 전위가 각각 저전위(VSS) 방향으로 드라이브된다.

여기서, 비트선쌍(BL2,BBL2)간 및, 비트선쌍(BL3,BBL3) 간의 전위차가 각각 NMOS감지증폭기(N2-2,N2-3)에 포함된 NMOS(14-2,14-3)의 임계치(Vt) 보다도커지게 되면,NMOS(14-2,14-3)가 각각 도통된다. NMOS(14-2,14-3)가 도통되면, 구동신호선(BSAN)의 전위가 저전위(VSS)방향으로 드라이브된다. 단, 이때 제 10도의 동작파형도에도 나타낸 바와 같이 감지증폭기 이퀄라이즈신호(SEQ)가 H레벨로 되어 있다. 이 때문에, 제9도에 나타낸 드라이브프리챠지회로(5)에 포함되는 BSAN 프리챠져로서 기능하는 NMOS(15)가 온되어 있다.

NMOS(15)는 비교적 큰 크기로 형성되기 때문에 그 전류구동능력은 NMOS(14-2,14-3)의 2개의 NMOS의 구동능력의 합계 정도로는 뒤떨어지는 것은 아니다.

이 때문에, NMOS(14-2,14-3)가 각각 도통한 것으로 하여도 구동신호선(BSAN)의 전위는 프리챠지전위(VBL)로부터 크게 떨어지는 것은 아니다.

이후, 감지증폭기 드라이브신호(SEQ)를 강하시킴과 더불어 감지증폭기 활성화신호(SEN)를 상승시킨다. 이와 같이 하면, 감지증폭기 드라이브프리챠지회로(5)에 의해 구동신호선(BSAN)의 전위가 프리챠지전위(VBL)로부터 고전위(VCC)로 상승하는 한편, 구동신호선(BSAN)의 전위가 프리챠지전위(VBL)로부터 저전위(VSS)로 떨어진다. 이에 의해 각 감지증폭기(N2-1～N2-N, P2-1～P2-N)가 활성화된다. 감지증폭기가 활성화되는 것에 의해 각 열(COL1～COLN)에서는 비트선(BL,BBL)간의 전위차가 증폭된다. 증폭된 전위차는 새로운 데이터 및 리플래시 데이터로서 비트선(BL,BBL)에 접속되면서 H레벨의 워드선(WL)에 게이트가 접속된 메모리셀(MC)에 새로운 데이터 및 리플래시 데이터로서 기록된다.

그런데, 전송열의 수(P)가 많고, 즉 대부분의 열에서 데이터의 일괄전송이 수행된 때, 하기와 같은 문제가 발생될 가능성이 있다.

제12도는 데이터 일괄전송을 수행하는 열의 수(P)가 N-1인 때의 동작을 나타낸 동작파형도이다. 본 예에서는 열(COL1)만 데이터를 전송시키지 않고, 다른 열(COL2～COLN)에서는 모든 데이터를 일괄하여 전송한다.

제12도에 나타낸 동작파형이 제10도에 나타낸 동작파형과 다른 것은 전송게이트선택신호(S)를 상승시킨 후의 구동신호선(BSAN)의 전위와, 데이터 전송이 수행되지 않은 열(COL1)의 비트선(BL1,BBL1)의 파형이다.

제13도는 제12도에 있어서 데이터 일괄전송단계시의 회로의 상태를 상세하게 나타낸 도면이다.

데이터를 전송하는 열에서는 데이터 래치회로(3)에 포함된 NMOS(10)가 비트선(BL)을 저전위(VSS) 방향으로 드라이브하고, 더욱이 NMOS감지증폭기(N2)에 포함된 NMOS(14)가 도통된다. 이는 제11도를 참조해서 설명한 바와 같다.

이 때문에, 제13도에 나타낸 바와 같이 도통되는 NMOS(14)의 수가 많아지게 되면, 선택신호(S)가 일제히 상승한 시점으로부터 에컨대 제9도에 나타낸 드라이브프리챠지회로(5)에 포함된 NMOS(15)가 온하고 있어도 구동신호선(BSAN)의 전위가 프리챠지전위(VBL)로부터 저전위 (VSS)로 서서히 떨어진다. NMOS(15)의 전류구동능력이 대단히 많은 합계 N-1개의 NMOS(14)의 구동능력이 합계되는 것에 의해 뒤떨어져 버리기 때문이다. 구동신호선(BSAN)의 전위가 저전위(VSS)로 떨어진다면 관계없다. 그러나, 구동신호선(BSAN)의 전위가 저전위(VSS)로 되면, NMOS감지증폭기(N2-1)가 오동작하여 버린다. 선택신호(S)가 일제히 상승한 시점에서는 열(COL1)의 비트선(BBL1)의 전위는 프리챠지전위(VBL)보다도 낮다(미약한 L레벨). 한편, 비트선(BL1)의 전위는 거의 프리챠지전위(VBL; 미약한 H레벨이다. 이 상태는 NMOS(14-1)의 소스～드레인간에 전위차를 발생시킨다. 이 결과, NMOS(14-1)의 소스～드레인간에 리크전류가 흘려 H레벨일 비트선(BL1)의 전위가 저전위(VSS)방향으로 드라이브되어 버린다. 결국, 제12도중 참조부호 D로 나타낸 바와 같이 비트선(BL1)의 전위는 비트선(BBL1)의 전위 보다도 낮아지게 되어 비트선(BL1)의 전위와 BBL1의 전위와의 관계가 서로 역전된다. 비트선(BL1)의 전위와 BBL1의 전위와의 관계가 서로 역전되면, 리플래시할 데이터가 파괴된다. 이 상태에서 감지증폭기(N2,P2)를 일제히 활성화시키면, 열(COL1)에 있어서는 반전되어 버린 데이터가 참조부호 C로 나타낸 바와 같이 증폭되고, 그리고 메모리셀(MCa)로 기록되어 버린다.

상기한 바와 같이 데이터의 전송을 일괄하여 수행하는 기능을 갖춘 반도체 기억장치에서는 데이터의 일괄전송이 수행되는 열의 수가 많아지게 되면, 데이터의 전송이 수행되지 않는 열에 있어서 감지증폭기가 오동작하여 데이터가 반전되어 리플래시될 데이터가 파괴되는 가능성이 나타난다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 데이터의 일괄전송이 수행되는 열의 수가 많아져도 데이터의 전송이 수행되지 않는 열의 데이터의 반전을 방지할 수 있는 반도체 기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기목적을 달성하기 위한 본 발명은, M행×N행 메모리셀 어레이와, 이 메모리셀 어레이의 각 열마다 설치되고, 비트선쌍간의 전위차를 증폭하는 N개의 래치형 증폭수단, 이 N개의 래치형 증폭수단을 활성화시키는 활성화수단,상기 메모리셀 어레이의 각 열 마다 설치되고, 데이터버스로부터 공급되는 데이터를 일시적으로 기억하여 두는 N개의 래치형 기억수단 및, 적어도 데이터의 기록이 요구된 열에 따라 상기 N개의 래치형 기억수단으로부터 상기 N개의 래치형 증폭수단에 대해 상기 N개의 래치형 기억수단에 일시적으로 기억되는 데이터군을 일괄하여 전송시키는 전송수단을 구비한다. 그리고 상기 M행×N열의 메모리셀 어레이가 원하는 수의 수의 열을 포함하는 L개의 서브어레이로 분할되고, 상기 활성화수단이 상기 서브어레이 마다 설치되어 있는 것을 특징으로 하고 있다.

더욱이, 상기 N개의 래치형 증폭수단은 N개의 래치형 감지증폭기로 구성되어 있고, 상기 활성화수단은 각각 상기 N개의 래치형 감지증폭기를 구동하는 수단 및 상기 N개의 래치형 감지증폭기를 프리챠지하기 위한 수단을 포함하는 것을 특징으로 한다.

더욱이, 상기 L개의 서브어레이는 서로 이격되고, 상기 활성화수단은 이격된 것으로 발생한 영역에 인접한 영역에 배치되어 있는 것을 특징으로 하고 있다.

더욱이,상기 M개의 각 행 마다 M개의 바이패스 워드선을 갖추고, 이들 M개의 바이패스 워드선이 상기 이격된 것으로 발생한 영역에서 메모리셀의 게이트에 접속되는 워드선에 접속되어 있는 것을 특징으로 하고 있다.

더욱이, 상기 N개의 래치형 증폭수단은 각각 크로스커플형의 제1도전형 절연게이트형 FET쌍과, 크로스커플형 제2도전형 절연게이트형 FET쌍을 포함하고, 상기 활성화수단은 제1도전형 절연게이트형 FET쌍을 구동 및 프리챠지하기 위한 제 1회로부와, 제2도전형 절연게이트형 FET쌍을 구동 및 프리챠지하기 위한 제2회로부를 포함하며, 상기 제1회로부 및 상기 제2회로부중 상기 제1회로부를 상기 L개의 서브어레이마다 설치한 것을 특징으로 하고 있다.

더욱이 상기 제1도전형은 N형이고, 상기 제2도전형은 P형인 것을 특징으로 하고 있다.

[작용]

상기와 같이 구성된 본 발명은, M행×N열의 메모리셀 어레이를 L개의 서브어레이로 분할하고, 이들 서브어레이 마다 상기 활성화수단을 분산시키는 것으로, 하나의 활성화수단이 구동할 부하가 감소된다. 이 때문에 데이터를 일괄하여 전송하는 열의 수가 많고, 즉 대부분의 열에서 데이터의 일괄된 전송이 수행된 때에도 래치형 증폭수단을 구동시키기 위한 전위신호의 레벨이 프라챠지전위(VBL)로부터 크게 저하되게 된다. 따라서, 데이터를 전송하지 않는 열(리플래시열)에 접속된 래치형 증폭수단의 오동작이 해소되어 래치형 증폭수단의 오동작을 원인으로 한 리플래시열에서의 데이터 파괴라는 문제를 없게 할수 있게 된다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 본 발명의 제1실시예에 따른 다이나믹형 RAM의 전체의 구성을 나타낸 블럭도, 제2도는 제1도에 나타낸 다이나믹형 RAM중 메모리셀, 감지증폭기, 전송게이트 및 데이터 래치회로의 회로도이다.

제1도에 나타낸 바와같이 칩내에는 M행, N열의 메모리셀(MC11～MC_{MN})이 집적된 메모리셀 어레이(1)가 설치되어 있고, 메모리셀(MC11～MC_{MN})은 각각 1개의 전송트랜지스터와, 1개의 캐패시터를 포함하는 다이나믹형으로 구성된다(제2도 참조). 메모리셀 어레이(1)는 어레이 내에서 몇개의 블럭으로 분할되어 있는 바, 본 실시예에서는 2개의 블럭(B1,B2)으로 분할되어 있다. 메모리셀어레이(1)에는 열(COL1～COLN; 비트선쌍)이 설치되어 있는데, 이들 열중 열(COL1～COLi)은 블럭(B1)에 설치되고, 열(COLi+1～COLN)은 블럭(2)에 설치되어 있다. 이들의 열(COL1～COLN)은 메모리셀(MC11～MC_{MN})과 DQ버스(20)를 서로 접속한다. 열의 수의 일례로서는 128개, 하나의 블럭에 설치되는 열의 수(i)의 일례로서는 64개이다. 블럭(B1)과 도시되지 않은 DQ버스(20)와의 사이의 각 열(COL1～COLi)에는 각각 감지증폭기군(21-1)이 설치되고, 블럭(B2)과 도시되지 않은 DQ버스(20)와의 사이의 각 열(COLi+1～COLN)에는 각각 감지증폭기군(21-2)이 설치되어 있다. 감지증폭기군(21-1)은 각 열(COL1～COLi)에 하나씩 접속된 감지증폭기(2-1～2-i)를 포함한다. 마찬가지로, 감지증폭기군(21-2)은 각 열(COLi～COLi+1)에 하나씩 접속된 감지증폭기(2-i+1～2-N)를 포함한다.

감지증폭기(2-1～2-N)는 각각 크로스 커플형 PMOS 감지증폭기(P2)와, 크로스 커플형 NMOS 감지증폭기(N2)를 포함하는 CMOS 커플형 래치회로로 구성된다(제2도 참조). PMOS 감지증폭기(P2-1～P2-N)에는 각각 구동신호선(SAP)이 접속된다. 구동신호선(SAP)의 전위는 메모리셀 어레이(1)의 일단부 근방의 영역에 배치된 드라이버·프리챠져회로(5-1) 및 그 타단부 근방의 영역에 배치된 드라이벼·프리챠지회로(5-2)에서 공급된다. NMOS 감지증폭기(N2-1～N2-N) 중 NMOS 감지증폭기(N2-1～N2～i)에는 각각 구동신호선(BSAN1)이 접속된다. 구동신호선(BSAN1)의 전위는 메모리셀 어레이(1)의 일단부 근방의 영역에 배치된 드라이버·프리챠져회로(5-1) 및 감지증폭기군(21-1과 21-2) 상이의 영역에 배치된 드라이버·프리챠져회로(5-3)에서 공급된다. 또한, NMOS 감지증폭기(N2-i+1～N2-N)에는 각각 구동신호선(BSAN2)이 접속되고, 구동신호선(BSAN2)의 전위는 감지증폭군(21-1과21-2)사이의 영역에 배치된 드라이버·프리챠져회로(5-3)및 메모리셀 어레이(1)의 타단부 근방의 영역에 배치된 드라이버·프리챠져회로(5-2)에서 공급된다. 감지증폭기(2-1～2-N)와 DQ버스(20)와의 사이의 각 열(COL1～COLN)에는 각각 데이터 래치회로군(3)이 설치되어 있고, 데이터 래치회로군(3)은 각 열(COL1～COLN)에 하나씩 접속된 데이터 래치회로(3-1～3-N)를 포함한다. 데이터 래치회로(3-1～3-N)는 각각 감지증폭기(2-1～2-N)의 회로에 준하고, CMOS 크로스커플래치형 회로로 구성된다(제2도 참조). 데이터 래치회로(3-1～3-N)의 크로스커플 PMOS부는 비트선(BL,BBL)중 어느 한쪽에 고전위(VCC)를 공급하고, 동시에 크로스커플 NMOS부는 비트선(BL,BBL)중 어느 다른쪽에 저전위(VSS; 예컨대 접지전위)를 공급한다. 감지증폭기(2-1～2-N)와 데이터 래치회로(3-1～3-N)와의 사이의 각 열(COL1～COLN)에는 각각 주변회로부(30)에 의해 발생되는 전송게이트 선택신호(S1～SN)에 따라 데이터 래치회로(3-1～3-N)와 메모리셀(MC)을 접속하는 전송게이트군(4)이 설치되어 있다. 전송게이트군(4)은 각 열(COL1～COLN)에 하나씩 접속된 전송게이트(4-1～4-N)를 포함하고, 전송게이트(4-1～4-N)는 각각 1개의 비트선(BL)중의 직렬로 삽입된 NMOS(12)와, 1개의 비트선(BBL) 중에 직렬로 삽입 설치된 NMOS(13)를 포함한다(제2도 참조). NMOS(12)의 게이트와 NMOS(13)의 게이트는 서로 공통 접속되고, 이 공통 접속된 게이트에는 각 열(COL1～COLN)마다 전송게이트선택신호(S1～SN)가 공급된다. 데이터 래치회로(3-1～3-N)와 DQ버스(20)의 사이의 각 열(COL1～COLN)에는 각각 주변화로부(30)에 의해 발생된 열선택신호(CSL1～CSLK)에 따라 활성화시킬 열을 선택하는 열게이트군(22)이 설치되어 있고, 열게이트군(22)은 각 열(COL1～COLiN)에 하나씩 접속된 열게이트(22-1～22-N)를 포함하며, 열게이트(22-1～22-N)는 주지의 회로로 구성되어 있다.

DQ버스(20)는 I/Q버퍼(23)에 접속되고, I/Q버퍼(23)는 칩 외부에 설치된 외부I/O버스(24)에 접속되어 있다. I/O버퍼(23)는 외부 I/O버스(24)로부터 DQ버스(20) 및, DQ버스(20)로부터 외부 I/Q버스(24)로 데이터의 교환을 수행한다.

다음에, 제1실시예에 따른 다이나믹형 RAM의 동작에 대해 설명한다.

제3도는 제1도에 나타낸 주변회로부(30)의 구성을 나타낸 도면으로, (a)도는 주변회로부(30)의 블럭도, (b)도는 (a)도중의 기록프래그 레지스터의 회로도, 제4도는 본 발명의 제1실시예에 따른 다이나믹형 RAM의 동작파형도이다.

먼저, 데이터 래치회로군(30에 대해 1행분의 데이터의 기록을 수행한다.제1도에 나타낸 I/O버스(24)로부터 I/O버퍼(23)를 매개로 DQ버스(20)에 데이터를 입력한다. 다음에, 칩의 외부로부터 열어드레스(CADD)를 제3도에 나타낸 열어드레스버퍼(31)에 입력한다. 다음에, 열어드레스스트로브신호(BCAS)를 열어드레스버퍼(31)에 입력하고, 입력된 열어드레스(CADD)를 칩내의 취입한다.

열어드레스버퍼(31)눈 신호(BCAS)의 입력에 응답하여 열어드레스(CADD)를 열디코더(32)로 입력시킨다. 열디코너(320는 열어드레스(CADD)에 응답하여 열선택신호(CSL1~CSLK)중 어느 하나를 출력한다. 출력된 열선택신호(CSL)는 열게이트(22-1~22-N)중 어느 하나에 공급된다. 열선택신호(CSL)의 공급을 받은 열게이트는 활성화된다. 데이터래치회로(3-1~3-N)중 활성화된 열게이트에 접속된 데이터래치회로는 DQ버스(20)에 접속된다. DQ버스(20)에 접속된 데이터 래치회로에는 DQ버스(20)에 입력되어 있던 데이터가 기록된다. 이 데이터의 기록은 전송게이트(4-1~4-N)을 전부 오프시킨 상태에서 수행한다.

본 실시예에 따른 다이나믹형 RAM에서는 데이터의 기록이 수행된 열에 대해서만 데이터 래치회로로의 데이터기록을 수행한다. 이 때문에, 데이터 래치회로(3-1~3-N) 중 어떤 래치회로에 데이터가 되었는가를 판단하기 위해서는 본 실시예에 따른 다이나믹형 RAM에서는 기록프래그 레지스터(33) 및 전송게이트 셀렉터(39)가 각각 주변회로부(30)에 설치되어 있다. 기록프래그 레지스터(33)는 열디코더(32)로부터의 출력을 받고, 각 열(COL1~COLN)에 대응한 기록프래그신호(F1~FN)를 출력한다. 기록프래그신호(F1~FN)는 데이터의 기록의 유무를, 예컨대 기록 있음을 H레벨로 하고, 기록 없음을 L레벨로 하였으며, 2치의 신호로 구별한다. 여기서, 본 예에서는 열(COL1)만 데이터의 일괄전송을 수행하지 않고(이하, 리플래시열로 칭함). 다른 열(COL2~COLN)은 모두 데이터의 일괄 전송을 수행하는 것으로 가정한다. 이 가정된 상태에서는 프래그 레지스터(33)는 기록열(COL1)에 대응한 프래그신호(F1) 만 L레벨로 하고, 다른 프래그신호(F2~FN)는 모드 H레벨로 하여 간다.

이와 같은 동작을 기륵데이터 및 입력 열어드레스(CADD)를 변화시키면서 1행분의 데이터의 기록이 종료될때까지 수행하여 간다.

데이터 래치회로군(3)에 대해 1행분의 데이터의 기록이 종료되면, 다음에 데이터의 기록이 있었던 열에 대해서만 데이터 래치회로로부터 감지증폭기(2)로 데이터를 일괄하여 전송시킨다.

먼저, 데이터를 격납하기 위한 원하는 행을 선택하기 위해 행어드레스(RADD)를 제3도(a)에 나타낸 열어드레스버퍼(34)에 입력한다. 다음에, 제3도(a) 및 제4도의 동작파형도에 나타낸 바와 같이 행어드레스스트로브신호(BRAS)를 행어드레스버퍼(34) 및 행계 제어회로(35)에 입력한다. 행어드레스버퍼(34)는 신호(BRAS)의 강하를 받아 입력된 행어드레스(RADD)를 행디코더(36)로 입력한다. 또한, 행계 제어회로(35)는 워드선 승압회로(37)를 구동시킨다.

워드선 승압회로(37)는 승압전위(VPP)를 행디코더(36)로 공급한다. 행디코더(36)는 행어드레스(RADD)에 응답하여 워드선(WL1~WLM)중 어느 하나를 선택하고, 선택된 워드선(WL)의 전위를 상기 승압전위(VPP; H레벨)로 상승시킨다. 이에 의해 워드선(WL)이 활성화된다. 워드선(WL)이 활성화되면, 각 열(COL1~COLN)에는 메모리셀(MC)에 기억되어 있던 데이터가 비트선(BL,BBL)의 어느 한쪽의 전위가 떨어지는 것으로 이들 비트선(BL,BBL)간에 미약한 전위차로서 나타난다(제4도중 참조부호 A에 의해 나타냄). 다음에, 칩의 외부로부터 전송게이트 활성신호(WW)를 제3도(A)에 나타낸 WW버퍼(380에 입력한다. WW버퍼(38)는 전송게이트 활성화신호(WW)를 받고, 이를 내부전송게이트 활성화신호(WWint)로 변환시켜 출력한다. 내부전송게이트 활성화신호(WWint)는 전송게이트 셀렉터(39)에 입력된다. 셀렉터(39)는 (b)도에 나타낸 바와 같이 상기 기록프래그신호(F1~FN) 각각의 신호레벨과, 내부전송게이트 활성화신호(WWint)의 신호레벨과의 AND논리를 출력한다. 출력된 AND논리의 출력은 전송게이트 셀렉터신호(S1~SN)로 된다. 셀렉터(39)는 프래그신호(F1~FN)의 전위 및 내부전송게이트 활성화신호(WWint)의 전위의 어느 하나가 H레벨일때, 선택신호(S1~SN)의 전위를 H레벨로 한다. 따라서, 선택신호(S1)만 L레벨로 되고, 다른 선택신호(S2~SN)는 모두 H레벨로 된다. 이에 의해 데이터의 기록이 있었던 열(COL2~COLN)에서는 전송게이트(4-2~4-N)가 각각 도통된다. 데이터래치(3-2~3-N)에 기억되어 있던 데이터는 전송게이트(4-2~4-N)를 매개로 열(COL2~COLN)에 전송된다. 데이터가 전송되는 것으로 열(COL2~COLN)에는 각각 이를 구성하는 비트선(BL)의 전위와 BBL의 전위와의 관계가 서로 역전된다(제4도중 참조부호 B로 나타냄).

이 때, 데이터를 리플래시하는 열(CDL1)에서는 전송게이트(4-1)가 도통되지 않는다. 이 떼문에, 메모리셀(MC)에 기억되어 있던 데이터에 의해 결정되어 있던 비트선(BL1)의 전위와 비트선(BBL1)의 전위와의 관계가 유지되어 계속된다.

다음에, 분할아여 설치된 감지증푹기 드라이브·프리챠지회로(5-1,5-2,5-3)에 의해 감지증폭기 구동신호선쌍(SAP,BSAN1,BSAN2)의 전위를 프리챠지전위(VBL)로부터 VCC레벨 및 VSS레벨로 각각 이행시킨다. 이에 의해 NMOS 감지증폭기(N2-1~N2-N) 및 PMOS 감지증폭기(P2-1~P2-N)가 전부 활성화된다. 감지 증폭기가 활성화되는 것으로 열(COL2~COLN)에서는 새로운 데이터가 증폭된다(제4도중 참조부호 C에 의해 나타냄). 그리고, 새로운 데이터가 메모리셀(MC)에 기록된다. 또한, 열(COL1)에서는 통상의 DRAM의 리플래시동작과 마찬가지인 동작이 수행되어 메모리셀(MC)에 유지되어 있던 데이터가 다시 증폭된다(제4도중의 참조부호 C에 의해 나타냄). 그리고, 리플래시된 데이터가 메모리셀(MC)에 다시 기록된다.

본 발명의 이용된 상기 제1실시예에 따른 다이나믹형 RAM은 각 열(COL1~COLN) 마다 데이터 래치회로(3-

1~3-N)를 갖추기 때문에, DQ버스(20)로부터 공급된 데이터를 일시적으로 기억하여 둘 수 있다. 더욱이, 각 열(COL1~COLN)마다 전송게이트신호(S1~SN)에 따라 도통하는 전송게이트(4-1~4-N)가 설치되어 있기 때문에 데이터가 교환된 열만 테이터 래치회로로부터 열로의 데이터의 전송을 일괄하여 수행할 수 있게 된다.

그리고, 제1실시예에 따른 다이나믹형 RAM에서는 상기 데이터의 일괄전송하는 기능 및 이기능을 달성할 수 있는 구성을 갖추면서 메모리셀 어레이(1)가 2개의 블럭(B1,B2)으로 분할되고, 분할된 블럭(B1,B2)마다 감지증폭기군(21-1,21-2)을 갖추고 있다. 더욱이, 감지증폭기 드라이버·프리챠져회로가 분할된 감지증폭기군(21-1,21-2) 마다 분할되어 있다. 제1도 및 제2도에 나타낸 예에서는 드라이버·프리챠져회로가 3개의 회로(5-1,5-2,5-3)로 분할되어있다. 이들 분할된 드라이버·프리챠져회로(5-1,5-3)에는 각각 동일한 감지 증폭기 이퀄라이즈신호(SEO) ALC 감지증폭기 활성화신호(SEN)가 공급되고, 회로(5-1,5-3)는 서로 이들의 신호(SEQ,SEN)에 동기해서 동작한다.

제5도는 제1도에 나타낸 감지증폭기 드라이버·프리챠져회로를 나타낸 도면으로, (a)도는 회로 5-1의 회로도, (b)도는 회로 5-2의 회로도, (c)도는 회로 5-3의 회로도이다.

먼저, 제5도(a)에 나타낸 바와 같이 메모리셀 어레이(1)의 일단부 근방의 영역에 배치되는 감지증폭기 드라이버·프리챠져회로(5-1)는 제어단자에서 활성화신호(SEN)를 받고, 전류통로의 일단이 고전위(VCC)에 접속되며, 그외의 단이 구동신호선(SAP)에 접속된 SAP드라이버(41-1)와, 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 전류통로의 일단이 프리챠지전위(VBL; 예컨대 VCC/2레벨)에 접속되며, 그외의 단이 구동신호선(SAP)에 접속된 SAP프리챠져(42-1), 제어단자에서 활성화신호(SEN)를 받고, 전류통로의 일단이 저전위(VSS; 예컨대 접지레벨)에 접속되며, 그외의 단이 구동신호선(BSAN1)에 접속된 BSAN1드라이버(43-1) 및, 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 전류통로의 일단이 브리챠지전위(VBL)에 접속되며, 그 외의 단이 구동신호선(BSAN1)에 접속된 BSAN1프리챠져(44-1)를 포함한다. 더욱이, 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 구동신호선(SAP, BSAN1) 사이에 직렬로 접속된 구동신호선쌍 이퀄라이져(45-1)를 포함한다.

보다 구체적인 구성은 SAP드라이버(41-1)는 게이트에서 활성화신호(SEN)의 반전신호를 받고, 이 반전신호에 응답하여 고전위(VCC)를 구동신호선(SAP)에 공급하는 PMOS(P1-1)를 적어도 포함한 회로에 의해 구성된다. 마찬가지로, SAP프리챠져(42-1)는 게이트에서 이퀄라이즈신호(SEQ)를 받고, 이 신호에 응답하여 프리챠지전위(VBL)를 구동신호선(SAP)에 공급하는 NMOS(N1-1)를 적어도 포함한 회로에 의해 구성된다. 마찬가지로, BSAN1드라이버(43-1)는 게이트에서 활성화신호(SEN)를 받고, 이 신호에 응답하여 저전위(VSS)를 구동신호선(BSAN1)에 공급하는 NMOS9N2-1)를 적어도 포함한 회로에 의해 구성된다. 마찬가지로, BSAN1프리챠져(44-1)는 게이트에서 이퀄라이즈신호(SEQ)를 받고, 이 신호에 응답하여 프리챠지전위(VBL)를 구동신호선(BSAN1)에 공급하는 NMOS(N3-1)를 적어도 포함한 회로에 의해 구성된다. 마찬가지로, 구동신호선쌍 이퀄라이져(45-1)는 게이트에서 이퀄라이즈신호(SEQ)를 받고, 이 신호에 응답하여 구동신호선(SAP)과 구동신호선(BSAM1)을 단락시키는 NMOS(N4-1)를 적어도 포함한 회로에 의해 구성된다.

또한, 제5b도에 나타낸 바와 같이 메모리셀 어레이(1)의 타단부 근바의 영역에 배치되는 감지증폭기 드라이버·프리챠져회로(5-2)는 접속된 구동신호선(BSAN2)이 제5도에 나타낸 회로 5-1과 다를 뿐, 그외의 구성은 전부 동일한 회로를 갖춘다. 따라서, 제5도(a)와 동일한 회로에 대해서는 동일한 참조부호를 붙이고, 그에 대한 설명은 생략한다.

또한, 제5c도에 나타낸 바와 같이 감지증폭기군(21-1과 21-2) 사이에 배치되는 감지증폭기드라이버·프리챠져회로(5-3)는 다음의 구성을 갖춘다.

상기한 바와같이 회로 5-1은 구동신호선(SAP)을 제어하기 위한 회로부, 즉 SAP드라이버(41-1) 및 SAP프리챠져(42-1)와, 구동신호선(BSAN1)을 제어하기 위한 회로부, 즉 BSAN1드라이버(43-1)와, BSAN1프리챠져(44-1)를 갖춘다. 마찬가지로 회로 5-2는 구동신호선(SAP)을 제어하기 위한 회로부, 즉 SAP드라이버(41-2) 및 SAP프리챠져(42-2)와, 구동신호선(BSAN2)을 제어하기 위한 회로부, 즉 BSAN2드라이버(43-2)와, BSAN2프리챠져(34-2)를 갖춘다.

이에 대해, 회로 5-3은 구동신호선(SAP)을 제어하기 위한 회로부는 갖추지 않고, 구동신호선(BSAN1)을 제어하기 위한 회로부와, 구동신호선(BSAN2)을 제어하기 위한 회로부를 갖추고 있다.

즉, 회로 5-3은 먼저 구동신호선(BSAN1)을 제어하기 위한 회로부로서 제어단자에서 할성화신호(SEN)를 받고, 전류통로의 일단이 저전위(VSS)에 접속되며, 그 외의 단이 구동신호선(BSAN1)에 접속된 BSAN1드라이버(43-3)와, 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 전류통로의 일단이 프리챠지전위(VBL)에 접속되며, 그 외의 단이 구동신호선(BSAN1)에 접속도니 BSAN1프리챠져(44-3)를 갖춘다. 더욱이, 구동신호선(BSAN2)을 제어하기 위한 회로부로서 제어단자에서 활성화신호(SEN)를 받고, 전류통로의 일단이 저전위(VSS)로 유지되며, 그외의 단이 구동신호선(BSAN2)에 접속된 BSAN2드라이버(43-4)와, 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 전류통로의 일단이 프리챠지전위(VBL)에 접속되며, 그 외의 단이 구동신호선(BSAN2)에 접속된 BSAN2프리챠져(44-4)를 갖추고 있다.

보다 구체적인 구성은 BSAN1드라이버(43-3)는 게이트에서 활성화신호(SEN)를 받고, 이 신호에 응답하여 저전위(VSS)를 구동신호선(BSAN1)에 공급하는 NMOS(N2-3)를 적어도 포함한 회로에 의해 구성되고, BSAN2드라이버(43-4는 게이트에서 활성화신호(SEN)를 받고, 이 신호에 응답하여 전전위(VSS)를 구동신호선(BSAN2)에 공급하는 NMOS(N2-4)를 적어도 포함한 회로에 의해 구성된다. 마찬가지로, BSAN1프리챠져(44-3)는 게이트에서 이퀄라이즈 신호(seq)를 받고, 이 신호에 응답하여 프라쟈지전위(VBL)를 구동신호선(BSAN1)에 공급하는 NMOS(N2-3)를 적어도 포함한 회로에 의해 구성되고, BSAN2프리챠져(44-4)는 게이트에서 이퀄라이즈신호(SEQ)를 받고, 이 신호에 응답하여 프리챠지전위(VBL)를 구동신호선(BSAN2)에 공급하는 NMOS(N3-4)를 적어도 포함한 회로에 의해 구성된다.

더욱이, 회로 5-3은 구동신호선(SAP)의 전위와 궁동신호선(BSAN1)의 전위를 이퀄라이즈하기 위해 제어단자에서 이퀄라이즈신호(SEQ)를 받고, 구동신호선(SAP)과 구동신호선(BSAN1) 사이에 직렬로 접속된 구동

신호선쌍 이퀄라이져(45-3) 및, 구동신호선(SAP)의 전위와 구동신호선(BSAN2)의 전위를 이퀄라이즈 하기 위해 제어단자에서 이퀄라이즈시호(SEQ)를 받고, 구동신호선(SAP)과 구동 신호선(BSAN2) 사이에 직렬로 접속된 구동시호선쌍 이퀄라이져(45-4)를 각각 갖춘다.

보다 구체적인 구성은, 구동신호선쌍 이퀄라이져(45-3)는 게이트에서 이퀄라이즈신호(SEQ)를 받고, 이 신호에 응받하여 구동신호선(SAP)과 구동신호선(BSAN1)을 단락시키는 NMOS(N2-3)를 적어도 포함한 회로에 의해 구성된다, 마찬가지로 구동신호선쌍 이퀄라이져(45-4)는 게이트에서 이퀄라이져(SEQ)를 받고, 구동신호선(SAP)과 구동신호선(BSAN2)을 단축시키는 NMOS(N4-4)를 적어도 포하한 회로에0 의해 구성된다.

상기 제1실시예에 따른 DRAM에서는 블럭(B1,B2) 마다 분할된 감지증폭기균(21-1 및 21-2)을 갖추면서 블럭(B1,B2)마다 각각 감지증폭기 드라이버·프리챠져회로(5-1~5-3)를 설치하고 있다. 이 구성에서는 제4도의 동자파형도에 나타낸 바와 같이 데이터를 일괄하여 전송하는 열의 수가 많고, 즉 대부분의 열에서 데이터의 일괄된 전송이 수행된 때에도 구동신호선(BSAN1,BSAN2)의 전위가 각각 프리챠지전위(VBL)로부터 크게 저하하는 것이 없게 된다. 드라이 버·프리챠져회로(5-1~5-3)의 하나가 구동해야 할 부하가 감소되기 때문이다. 구동신호선(BSAN1,BSAN2)의 전위가 각각 프리챠지전위(VBL)로부터 크게 저하하는 것이 없게 되면, 감지증폭기(2)의 오동작은 해소된다. 감지증폭기(2)의 오동작은 해소된다. 이 때문에, 감지증폭기(2)의 오동작을 원인으로 한 리플래시열에서의 데이터 파괴라는 문제를 해결할 수 있게 된다. 따라서, 블럭(B1,B2)마다 각각 감지증폭기 드라이버·프리챠져회로(5-1~5-3)를 설치하는 것으로 리플래시열에서의 데이터의 반전을 방지할 수 있는 다이나믹형 RAM을 얻을 수 있게 된다.

더욱이, 상기 제1실시예에 따른 DRAM에서는 블럭(B1,B2)마다 분할된 감지증폭기군(21-1 및 21-2) 각각에 감지증폭기 드라이버·프리챠져회로(5-1,5-3)를 설치하는 것만이 아니고, 감지증폭기의 특히 NMOS 감지증폭기에 동작전원을 인가하기 위한 구동신호선(BSAN)을 구동신호선(BSAN1,BSAN2)으로 하며, 감지증폭기군(21-1,21-2) 마다 분할하고 있다. 구동신호선(BSAN)을 감지증폭기군(21-1 및 21-2) 마다 구동신호선(BSAN1) 및 구동신호선(BSAN2)으로 분할한 것으로, 데이터의 일괄전송시에 구동신호선(BSAN)의 전위가 프리챠지전위(VBL)로 저하하는 것을 보다 효과적으로 방지할 수 있다. 구동신호선(BSAN)을 블럭마다 분할한 것으로 어느 블럭에서 발생한 구동신호선(BSAN1) 또는 구동신호선(BSAN2)의 전위의 저하가 다른 블럭의 구동신호선(BSAN2) 또는 구동신호선(BSAN1)에 까지 미치는 것이 없게 되기 때문이다.

또한, 감지증폭기의 특히 PMOS 감지증폭기에 동작전원을 인가하기 위한 구동신호선(SAP)에 대해서도 블럭마다 분활되어도 관계없지만, 본 실시예에서는 분할하지 않도록 하였다. 즉, 메모리셀 어레이(1)의 일단으로부터 타단까지 1개의 구동신호선(SAP)을 설치하고, 이 구동신호선(SAP)에는 메모리셀 어레이(1)의 양단부 근방에 설치된 회로 5-1과 회로 5-2로부터 동시에 전원을 인가하는 것만의 구성으로 하였다. 이 구성은 구동신호선(SAP)의 전위가 고전위(VCC)레벨까지 상승하기 어려운 것을 확인할 수 있었기 때문에 실현할 수 있었던 것이다. 즉, 제2도에 나타낸 바와 같이 전송게이트(4-1~4-N)를 각각 NMOS(12,13)에 의해 구성하는 것으로, NMOS의 소스와 드레인간의 전위차에 소위 임계치 떨어짐을 일으킬 수 있다. 이 임계치 떨어짐에 의해 비트선의 H레벨측의 전위는 고전위(VCC) 레벨까지 상승하지 않는다. 따라서, 구동신호선(SAP)에서는 프리챠지전위(VBL)로부터의 전위의 상승범위가 작아지게 되어상당한 수의 열을 포함하는 메모리셀 어레이(1)의 일단으로부터 타단까지 1개의 구동신호선(SAP)을 설치하여도 감지증폭기의 특히 PMOS 감지증폭기는 오동작하지 않게 된다.

또한, 구동신호선(SAP)을 제어하기 위한 회로부를 감지증폭기군의 영역에 설치하면, 이 영역에서는 고전위(VCC)를 구동신호선(SAP)에 공급하는 PMOS를 적어도 포함한 회로를 설치하지 않으면 안된다. 그러나, 감지증폭기군 사이의 영역에 설치되는 회로 5-3으로부터 구동신호선(SAP)을 제어하기 위한 회로부를 배제하는 것으로 PMOS를 만들지 않게 된다. 즉, 회로 5-3은 CMOS형 회로로 하지 않는 것으로, 기판에 형성된 감지증폭기군 사이의 영역에 웰영역을 형성하지 않아도 된다. 따라서, 전송게이트를 NMOS(12,12)로 구성하고, 구동신호선(SAP)을 분할하지 않는 것으로 오동작의 가능성을 절감시킨 채 CRAM을 더욱 고집적화할 수 있게 된다.

또한, 감지증폭기(21-1,21-2) 사이에 설치되는 회로(5-3)에도 이퀄라이져(45-3 및 45-4)를 설치하면, 상기와 마찬가지로 구동신호선(BSAN1,BSAN2)의 전위를 프리챠지전위(VBL)로부터 떨어지기 어렵게 할 수 있다. 즉 구동신호선(BSAN1)의 전위와 구동신호선(SAP)의 전위를 회로 5-1에 설치된 이퀄라이져(45-1)와, 회로(5-3)에 설치하고, 이퀄라이져(45-1)와 병렬접속된 이퀄라이져(45-3)의 2개로 이퀄라이져할 수 있기 때문이다. 마찬가지로, 구동신호선(BSAN2)의 전위와 구동신호선(SAP)의 전위를 회로 5-2에 설치된 이퀄라이져(45-2)와, 회로 5-3에 설치하고, 이퀄라이져(45-2)와 병렬접속된 이퀄라이져(45-4)의 2개로 이퀄라이즈 할 수 있기 때문이다.

또한, 상기 제1실시예에 따른 다이나믹형 RAM에서는 열간 간섭에 의한 리플래시셀 데이터의 파괴가 방지될 뿐만 아니고, 감지증폭기(2-1~2-N)의 활성화 및, 비활성화의 스위칭을 고속으로 수행한다는 효과도 얻을 수 있다. 즉, 블럭마다 감지증폭기 드라이버·프리챠져를 분산시키는 것 뿐만 아니고, 구동 신호선을 분할해서 설치하는 것으로, BSAN1드라이버 및 프리챠져, 및 BSAN2드라이버 및 프리챠져가 구동해야 할 부하용량을 절감할 수 있다. 이 때문에, 구동신호선(BSAN1)에 있어서 지연 및 구동신호선(BSAN2)에 있어서 지연이 각각 단축된ㄷ. 이와 같은 배선에 있어서 지연이 단측되는 것으로 구동신호선(BSAN1) 및 구동신호선(BSAN2)은 모드 프리챠지전위(VBL)로부터 저전위(VSS)로의 이행 및, 저전위(VSS)로부터 프리챠지전위(VBL)로의 이행이 고속으로 수행된다. 구동신호선(BSAN1,BSAN2)에 있어서 이행이 고속으로 되면, 감지증폭기(2-1~2-N)의 활성화 및, 비활성화의 스위칭이 고속으로 수행된다.

더욱이, 상기 제15실시예에서는 블럭 분할수를 2로 하였지만, 분할수를 보다 많게 하고, 블럭내에 포함되는 열의 수 i를 보다 작게 하면, 구동신호선(BSAN)을 매개한 열간 간섭에 의한 리플래시셀 데이터의 파괴를 더욱 강력하게 방지할 수 있다. 이하, 이에 대해 설명한다.

종래 기술의 란에 있어서도 설명한 바와 같이 열간 간섭에 의한 셀데이터의 파괴가 일어나기 쉽다는 것은 대부분의 열에서의 일괄전송을 수행하는 경우이다. 특히, 셀데이터의 파괴가 일어나는 가능성이 높은 상태는 리플래시열이 1개만인 상태이다. 제4도에 나타낸 동작파형도에서는 리플래시열이 열(COL1)의

1개만으로 되고, 셀데이터가 파괴되기 쉬운 상태가 도시되어 있다.

이 상태에서는 구동신호선(BSAN1)의 파괴가 이 전위를 저전위(VSS)로 하고자 하는 (i-1)개의 감지증폭기의 NMOS(14-2～14-i)와, 이 전위를 프리챠지전위(VBL)로 하고자 하는 2개의 프리챠져 NMOS(N3-1,N3-2)와 서로 대조되어 있다.

여기서, 구동신호선(BSAN1)의 전위를 프리챠지전위(VBL; 본 예에서는 VCC/2로 함)로부터의 오차가 작은 것으로 가정하고, NMOS(14-2～14-i)에서는 5극관동작이 되고, 프리챠져 NMOS(N3-1,N3-2)에서는 3극관동작이 되는 거슬 고려한다. 더욱이, 비트선(BL)의 전위를 저전위(VSS), 비트선(BBL)의 전위를 프리챠지전위(VBL; VCC/2)로 가정한다.

이 가정된 상태에 있어서 구동신호선(BSAN)의 전위 V_{BSAN}는,

$$\beta\left(V_{GS-PRCH}-Vth-\frac{1}{2}V_{DS-PRCH}\right)V_{DS-PRCH}$$

$$=(i-1)\bullet\frac{\beta}{2}(V_{GS-NSA}-Vth)^2$$

(단, β는 NMOS의 미분콘덕턴스, Vth는 NMOS의 임계치, V_{GS-PRC}는 프리챠지 NMOS의 게이트-소스간 전압, V_{DS-PRC}는 프리챠지 NMOS의 드레인-소스간 잔압, V_{GS-NSA}는 감지증폭기의 NMOS의 게이트-소스간 전압)이라는 등식으로부터

$$\left\{VCC-V_{BSAN}-Vth-\frac{1}{2}\left(\frac{1}{2}VCC-V_{BSAN}\right)\right\}\bullet\left(\frac{1}{2}VCC-V_{BSAN}\right)$$
$$=\frac{i-1}{2}\bullet\left(\frac{1}{2}VCC-Vth\right)^2$$

라는 관계를 만족한다.

여기서, VBSAN={(VCC/2)=△VC}로 변수변환하면, 제2도에 나타낸 식은

$$\left\{VCC-\left(\frac{1}{2}VCC-\Delta VC\right)-Vth-\frac{1}{2}\left(\frac{1}{2}VCC-\frac{1}{2}VCC+\Delta VC\right)\right\}\bullet\left(\frac{1}{2}VCC-\frac{1}{2}VCC+\Delta VC\right)$$
$$=\frac{i-1}{2}\bullet\left(\frac{1}{2}VCC-Vth\right)^2$$

로 변형된다.

상기 수학식3에 있어서, (VCC/2)-Vth를 Cφ로 두면, (Cφ는정수)

$$\left(\frac{1}{2}\Delta VC+C\phi\right)\Delta VC=\frac{i-1}{2}C\phi^2$$

라는 식이 얻어진다. △VC는 수학식4를 해석하는 것으로, i의 관계로서,

$$\Delta VC = f(i)$$

로 주어진다. 또한, 수학식4에서는 통상 Cø0인 것을 고려하면, 수학식5의 우변은 i에 대해 단조증가함수이다.

다음에, 수학식5에서 표현되는 △VC만, 구동신호선(BSAN)의 전위(V_{BSAN})가 프리챠지전위(VBL; =VCC/2)보다 저하한 경우, 이에 의해 리플래시열의 NMOS 감지 증폭기(N2)의 NMOS(14)가 도통하는 조건은,

$$\triangle VC>\triangle Vth$$

이다. 따라서 수학식5 및 수학식6의 관계, 동시에 f(i)가 단조증가함수인 것으로부터

$$\Delta Vth \geq f(i)$$

를 만족하는 최대의 i를 I로 하면, i≤I가 성립하도록 어레이(1)의 분할수(L)를(여기서, L=N/i) 설정하면, 리플래이시열의 NMOS 감지 증폭기(N2)의 NMOS(14)는 도통하지 않도록 된다.

제1실시예에 따른 다이나믹형 RAM에서는 분할수(L)를 2로 하였지만, 실사용시에서 식1-식7로부터 유도된 바와 같이 분할수(L)를 크게 하고, i를 적게하는 것으로, 열간 간섭이 충분히 방지되어 리플래시셀 데이터가 파괴되는 가능성을 극력 없게 할 수 있게 된다.

이 점을 감안하여 블럭 분할의 다른 예를 나타내면, 열의 수(N)를 256으로 하고, 분할수(L)를 16개, 하나의 블럭에 설치되는 열의 수(i)를 16개로 하는 등이다. 또한, 하나의 블럭에 설치되는 열의 수(i)는 저체 블럭에 있어서 통일되지 않아도 된다. 하나의 블럭에 설치되는 열의 수(i)는 하기 수학식8을 만족하면, 블럭 마다 임의로 설정되어도 된다.

$$\sum_{I=1}^{L} ai = N$$

(L은 2또는 2 이상)

(단, ai는 하나의 블럭에 임의로 설정된 열의 수)

다음에, 본 발명의 제2실시예에 따른 다이나믹형 RAM에 대해 설명한다. 제6도는 본 발명의 제2실시예에 따른 다이나믹형 RAM의 평면패턴을 나타낸 평면도, 제7도는 제6도에 나타낸 평면 패턴중 블럭(B2)과 블럭(B3) 간의 영역을 보다 상세히 나타낸 평면도, 제8도는 메모리셀의 구조를 나타낸 도면으로, (a)도는 제6도중의 8a-8a선에 따른 단면도, (b)도는 제6도중의 8b-8b선에 따른 단면도이다.

제6도 내지 제8도에는 보다 대규모인 메모리용량과, 보다 많은 블럭을 갖춘 다이나믹형 RAM이 나타나 있다.

메모리셀로서 예컨대 제8도에 나타낸 매립플레이트전극형의 셀을 갖추고, 대규모인 메모리용량을 갖춘 다이나믹형 RAM에서는 제6도 내지 제8도에 나타낸 바와 같이 전송트랜지스터의 게이트인 워드선(WL) 외에, 이 워드선에 션트접속된 보다 낮은 저항치를 갖춘 바이패스 워드선(WLW)을 갖춘 것이 있다. 바이패스 워드선(WLW)은 예컨대 16열 마다 워드선(WL)에 접속된다. 이 16열 마다의 구분은 하나의 블럭으로 된다. 그리고, 블럭은 예컨대 16개 설정된다. 제6도에서는 16분할된 블럭(B1-B16)중 블럭(B2-B5)의 4개가 나타나 있다. 감지증폭기군은 블럭마다 설정된다. 감지증폭기군은 블럭의 열방향에 인접한 영역(51; 이하, 감지증폭기군 형성영역으로 칭함)에 형성된다. 더욱이, 블럭 상호간에는 바이패스 워드선(WLW)을 워드선(WL)에 접속하기 위한 콘택트구멍 형성용 영역(52)이 설치되어 있고, 이 영역(52)은 톱영역으로 칭해지는 것이 있기 때문에, 이하 영역(52)을 톱영역으로 칭한다.

특히, 제6도에 나타낸 바와 같이 종래의 다이나믹형 RAM에서는 감지증폭기 군영역(51)에 끼이면서 톱영역(52)에 인접한 영역(53)에는 트랜지스터가 형성되어 있지 않았다.

본 제2실시예에 따른 다이나믹형 RAM에서는 분할된 감지증폭기 드라이버·프리챠져회로를 상기 영역(53)에 형성하도록 하였다. 제7도에는 감지증폭기군 형성영역(51-2와 51-3)에 끼이면서 톱 영역(52-2)에 인접한 영역(53-2)에 형성된 드라이버·프리챠져회러(5-4)가 특히 도시되어 있다.

이러한 구성이라면, 드라이버·프리챠져회로를 분할하기 위해 트랜지스터의 수가 증가하여도 칩면적을 증가시키지 않게 된다. 따라서, 본 발명을 이용한 다이나믹형 RAM을 컴팩트한 칩으로 한 것을 얻을 수 있게 된다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 데이터의 일괄전송이 수행되는 열의 수가 많은 경우에도 데이터의 전송이 수행되지 않는 열의 데이터의 반전을 방지할 수 있는 반도체 기억장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

M행×N행 메모리셀 어레이(1)와, 이 메모리셀 어레이(1)의 각 열마다 설치되고, 비트선쌍간의 전위차를 증폭하는 N개의 래치형 증폭수단(2,2-1~2-N), 이 N개의 래치형 증폭수단(2,2-1~2-N)을 활성화시키는 활성화수단(5,5-1~5-3), 상기 메모리셀 어레이(1)의 각 열 마다 설치되고, 데이터버스로부터 공급되는 데이터를 일시적으로 기억하여 두는 N개의 래치형 증폭수단(3,3-1~3-N) 및, 적어도 데이터의 기록이 요구된 열에 따라 상기 N개의 래치형 증폭수단(3,3-1~3-N)으로부터 상기 N개의 래치형 증폭수단(2,2-1~2-N)에 대해 상기 N개의 래치형 기억수단에 일시적으로 기억되는 데이터군을 일괄하여 전송시키는 전송수단(4,4-1~4-N)을 구비하고, 상기 M행×N행 메모리셀 어레이(1)가 원하는 수의 수의 열을 포함하는 L개의 서브어레이로 분할되고, 상기 활성화수단(5,5-1~5-3)이 상기 서브어레이 마다 설치되어 있는 것

을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 N개의 래치형 증폭수단(2,2-1~2-N)은 N개의 래치형 증폭기로 구성되어 있고, 상기 활성화수단(5,5-1~5-3)은 각각 상기 N개의 래치형 증폭기를 구동하는 수단 및 N개의 래치형 증폭기를 프리챠지하기 위한 수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 L개의 서브어레이는 서로 이격되고, 상기 활성화수단(5,5-1~5-3)은 이격된 것으로 발생한 영역에 인접한 영역에 배치되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제2항에 있어서, 상기 L개의 서브어레이는 서로 이격되고, 상기 활성화수단(5,5-1~5-3)은 이격된 것으로 발생한 영역에 인접한 영역에 배치되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제3항에 있어서, 상기 M개의 각 행 마다 M개의 바이패스 워드선(WLM,WL1W-WLMW)을 갖추고, 이들 M개의 바이패스 워드선(WLW,WL1W-WLMW)이 상기 이격된 것으로 발생한 영역에서 메모리셀의 게이트에 접속되는 워드선에 접속되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제4항에 있어서, 상기 M개의 각 행마다 M개의 바이패스 워드선(WLM,WL1W-WLMW)을 갖추고, 이들 M개의 바이패스 워드선(WLM,WL1W-WLMW)이 상기 이격된 것으로 발생한 영역에서 메모리셀의 게이트에 접속되는 워드선에 접속되어 있는 것을 특징으로 하는 반도체 기억장치.

청구항 7

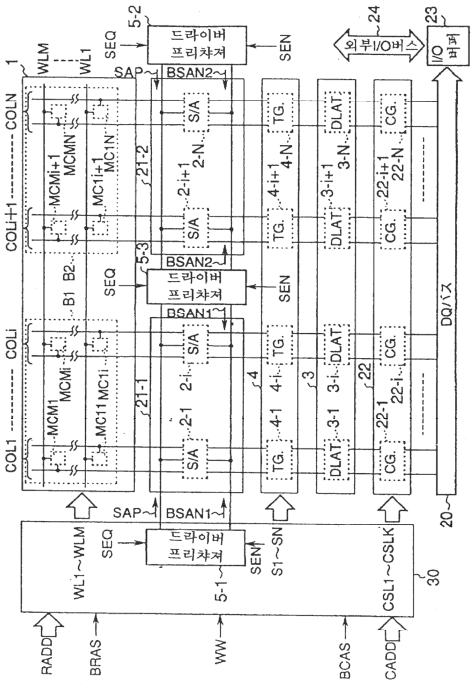
제1항 내지 제6항중 어느 한항에 있어서, 상기 N개의 래치형 증폭수단(3,3-1~3-N)은 각각 크로스커플형의 제1도전형 절연게이트형 FET쌍(N2-1-N2-N)과, 크로스커플형 제2도전형 절연게이트형 FET쌍(P2-1-P2-N)을 포함하고, 상기 활성화수단(5,5-1~5-3)은 제1도전형 절연게이트형 FET쌍(N2-1-N2-N)을 구동 및 프리챠지하기 위한 제1회로부와, 제2도전형 절연게이트형 FET쌍(P2-1-P2-N)을 구동 및 프리챠지하기 위한 제2회로부를 포함하며, 상기 제1회로부 및 상기 제2회로부 중 상기 제1회로부를 상기 L개의 서브어레이마다 설치한 것을 특징으로 하는 반도체 기억장치.

청구항 8

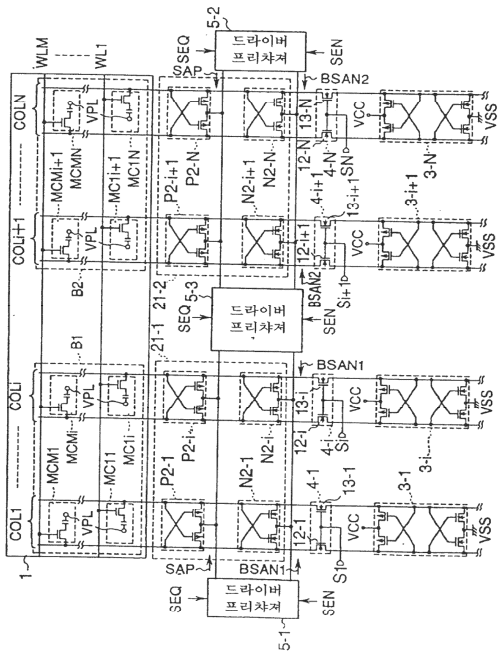
제7항에 있어서, 상기 제1도전형은 N형이고, 상기 제2도전형은 P형인 것을 특징으로 하는 반도체 기억장치.

도면

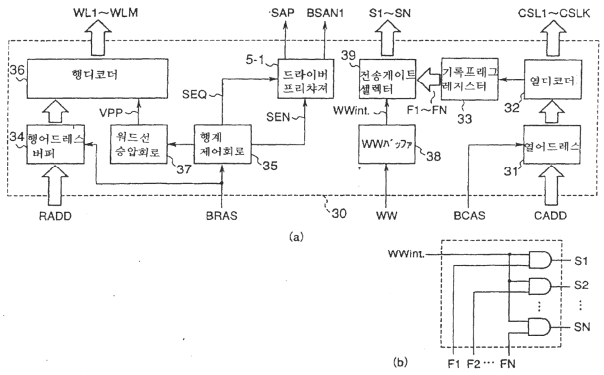
도면1



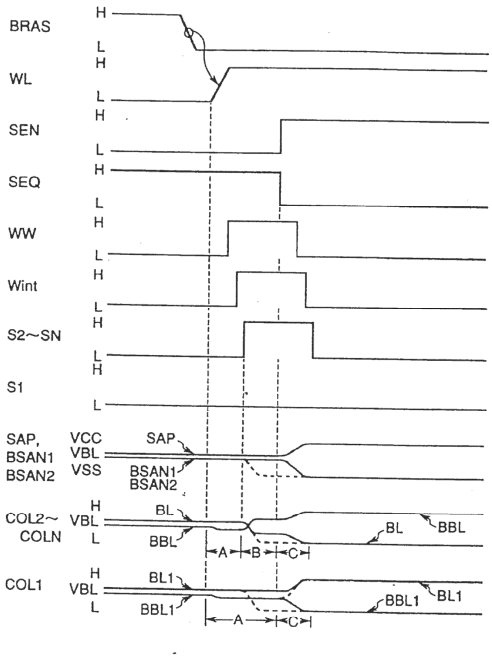
도면2


WLM
WL1
COLN
COLi+1
COLi
COL1
VPL
VCC
VSS
SEQ
SEN
SAP
BSAN2
BSAN1
드라이버 프리챠져
5-2
5-3
5-1
MCMi+1
MCMN
MC1i+1
MC1N
MCMi
MCM1
MC1i
MC11
P2-i+1
P2-N
N2-i+1
N2-N
P2-i
P2-1
N2-i
N2-1
12-N
12-i+1
12-i
12-1
13-N
13-i+1
13-i
13-1
4-N
4-i+1
4-i
4-1
3-N
3-i+1
3-i
3-1
SN
Si+1
Si
S1
B1
B2
21-1
21-2
1

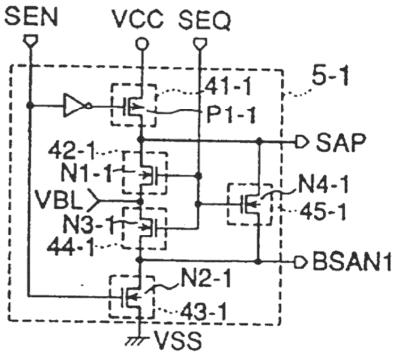
도면3


WL1~WLM
SAP
BSAN1
S1~SN
CSL1~CSLK
행디코더
드라이버 프리챠져
전송게이트 셀렉터
기록프레그 레지스터
열디코더
행어드레스 버퍼
워드선 승압회로
행계 제어회로
WWバッファ
열어드레스
RADD
BRAS
WW
BCAS
CADD
VPP
SEQ
SEN
WWint.
F1~FN
F1 F2 ··· FN
S1
S2
SN
(a)
(b)

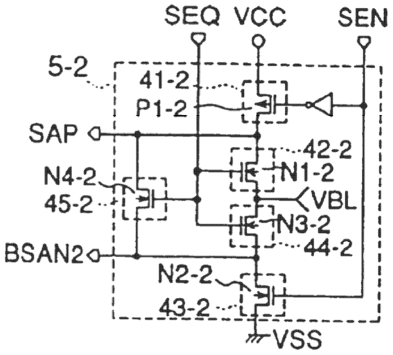
도면4



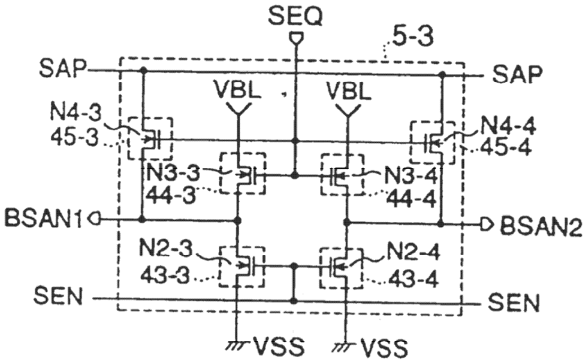
도면5a



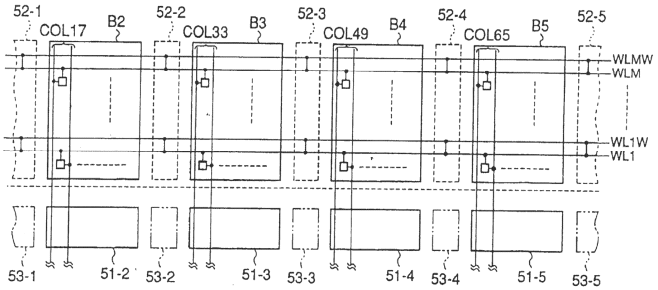
도면5b



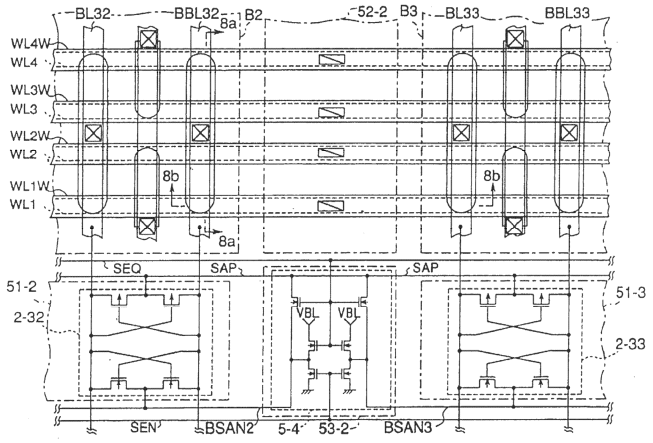
도면5c


SEQ
5-3
SAP
SAP
VBL
VBL
N4-3
45-3
N4-4
45-4
N3-3
44-3
N3-4
44-4
BSAN1
BSAN2
N2-3
43-3
N2-4
43-4
SEN
SEN
VSS
VSS

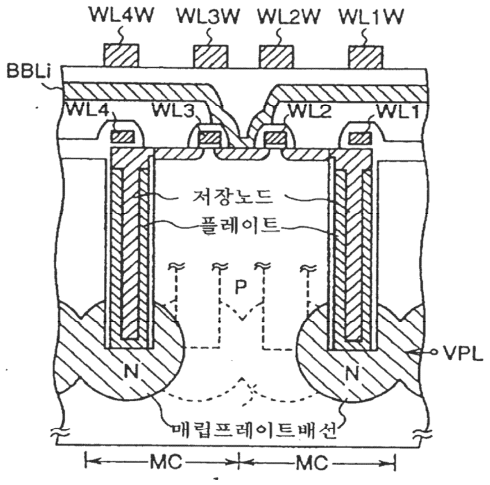
도면6


52-1
COL17
B2
52-2
COL33
B3
52-3
COL49
B4
52-4
COL65
B5
52-5
WLMW
WLM
WL1W
WL1
53-1
51-2
53-2
51-3
53-3
51-4
53-4
51-5
53-5

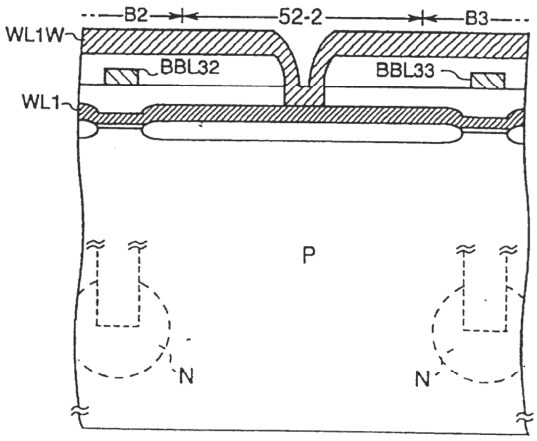
도면7


BL32
BBL32
8a
B2
52-2
B3
BL33
BBL33
WL4W
WL4
WL3W
WL3
WL2W
WL2
WL1W
WL1
8b
8b
8a
SEQ
SAP
SAP
51-2
2-32
VBL
VBL
51-3
2-33
SEN
BSAN2
5-4
53-2
BSAN3

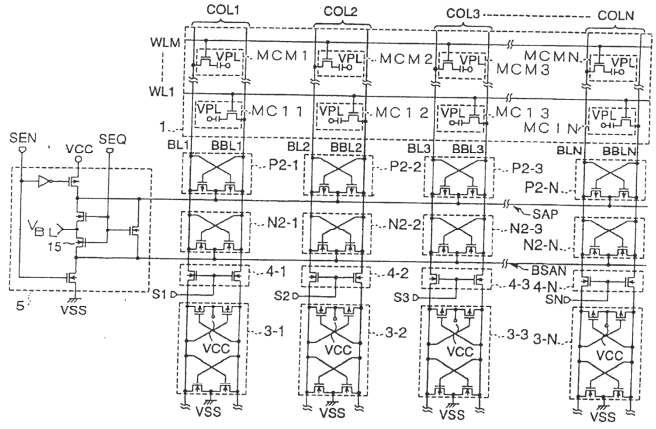
도면8a



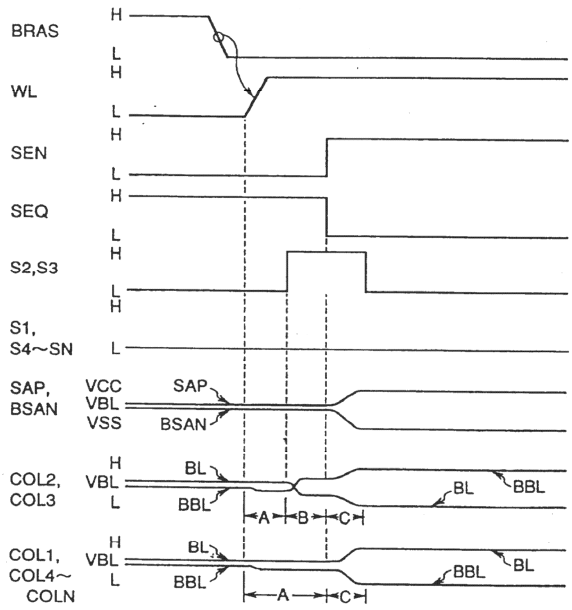
도면8b



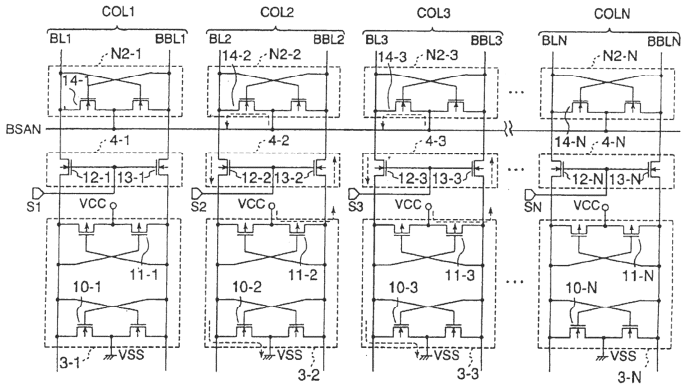
도면9



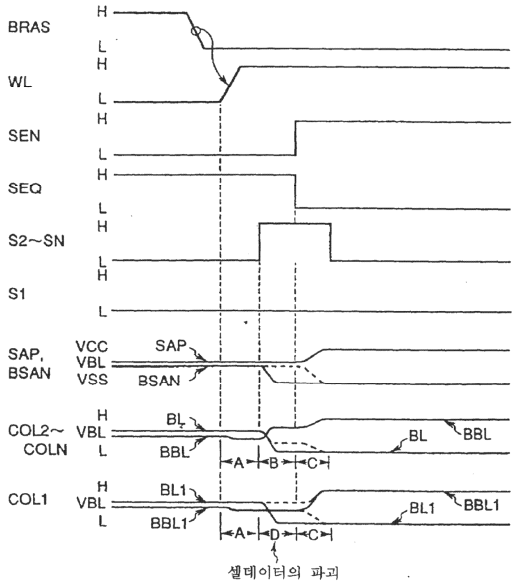
도면10



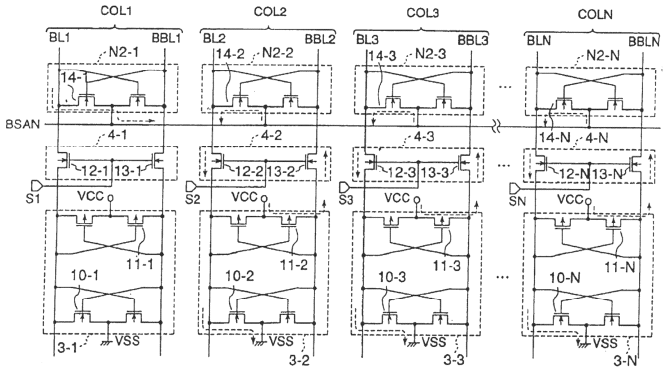
도면11



도면12



도면13


COL1
COL2
COL3
COLN
BL1
BBL1
BL2
BBL2
BL3
BBL3
BLN
BBLN
N2-1
N2-2
N2-3
N2-N
14-
14-2
14-3
14-N
BSAN
4-1
4-2
4-3
4-N
12-1
13-1
12-2
13-2
12-3
13-3
12-N
13-N
S1
S2
S3
SN
VCC
10-1
10-2
10-3
10-N
11-1
11-2
11-3
11-N
3-1
3-2
3-3
3-N
VSS