

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-190868  
(P2006-190868A)

(43) 公開日 平成18年7月20日(2006.7.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 17 頁)

(21) 出願番号	特願2005-2259 (P2005-2259)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成17年1月7日(2005.1.7)	(74) 代理人	100084146 弁理士 山崎 宏
		(74) 代理人	100100170 弁理士 前田 厚司
		(74) 代理人	100122286 弁理士 仲倉 幸典
		(72) 発明者	根岸 哲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	柴田 晃秀 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

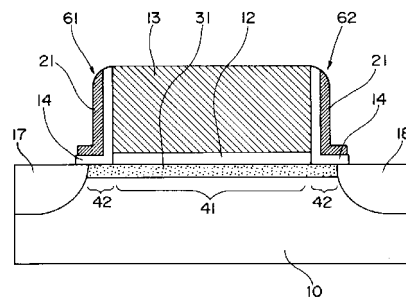
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】素子の微細化(高集積化)と信頼性の高い安定した高速メモリ動作ができ、2ビット以上の記憶保持ができる半導体記憶装置を提供する。

【解決手段】半導体基板10上に第1,第2の拡散層領域17,18を形成し、その第1,第2の拡散層領域17,18を連結するようにチャンネル形成領域31を形成する。上記チャンネル形成領域31上にゲート絶縁膜12を形成し、そのゲート絶縁膜12上にゲート電極13を形成する。また、上記ゲート絶縁膜12およびゲート電極13の両側の側壁に電荷保持体61,62を形成する。上記チャンネル形成領域31にカーボンナノチューブを用いる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の電荷保持体を有する多値記憶体と、  
上記多値記憶体の上記電荷保持体に夫々対応する拡散層領域と、  
上記多値記憶体の下側に配置され、上記拡散層領域を連結するチャンネル形成領域と  
を備え、  
上記チャンネル形成領域はカーボンナノチューブを含むことを特徴とする半導体記憶装置

## 【請求項 2】

請求項 1 に記載の半導体記憶装置において、  
上記多値記憶体は、基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極とを有し、  
上記ゲート電極の側壁の両側に、上記多値記憶体の上記電荷保持体が 2 つ形成され、  
上記 2 つの電荷保持体の夫々に 2 つの上記拡散層領域が対応することを特徴とする半導体記憶装置。

10

## 【請求項 3】

請求項 1 または 2 に記載の半導体記憶装置において、  
上記電荷保持体は、電荷を蓄積する機能を有する第 1 の絶縁体と、上記第 1 の絶縁体を  
両側から挟むように配置された第 2 の絶縁体と第 3 の絶縁体とを有し、  
上記第 1 の絶縁体がシリコン窒化物または酸化アルミニウムであり、  
上記第 2 および第 3 の絶縁体がシリコン酸化物であることを特徴とする半導体記憶装置

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置に関し、より詳細には、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタを用いた半導体記憶装置に関する。

## 【背景技術】

## 【0002】

従来、半導体記憶装置としては、1 つの電界効果トランジスタで 2 ビットの記憶が可能な不揮発性メモリがあり、この不揮発性メモリはサイファン・セミコンダクターズ・リミテッド社が開発したものである(例えば、特表 2001-512290 号公報(特許文献 1)参照)。上記従来技術のメモリの構造と、書込み動作原理を以下に説明する。

30

## 【0003】

この半導体記憶装置は、図 9 に示すように、P 型ウェル領域 901 上にゲート絶縁膜を介して形成されたゲート電極 909、P 型ウェル領域 901 表面に形成された第 1 の N 型拡散層領域 902 および第 2 の N 型拡散層領域 903 から構成される。上記ゲート絶縁膜は、シリコン酸化膜 904、905 の間にシリコン窒化膜 906 が挟まれた ONO (Oxide Nitride Oxide) 膜からなる。シリコン窒化膜 906 中には、第 1 および第 2 の N 型拡散層領域 902、903 の端部付近に、それぞれ記憶保持部 907、908 が形成されている。

40

## 【0004】

これらの記憶保持部 907、908 のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1 トランジスタで 2 ビットの情報を記憶させることができる。

## 【0005】

次に、この半導体記憶装置における書込み動作方法を説明する。ここで、書込みとは、記憶保持部 907、908 に電子を注入することを指すこととする。特表 2001-512290 号公報では、右側の記憶保持部 908 に蓄積された電子を放出させるために、第 2 の拡散層領域 903 に 5.5 V を、ゲート電極 909 に 10 V を印加する方法が開示されている。これにより、2 つある記憶保持部 907、908 の特定の側に書込みをするこ

50

とができる。また、特定の側の消去および読出しを行う方法も開示されており、これらの方法を総合して2ビット動作が可能となっている。

【0006】

しかし、上記半導体記憶装置のように、一般にMOSFET (Metal Oxide Semiconductor Field Effect Transistor: メタル・オキサイド・セミコンダクタ・電界効果トランジスタ) に基づいたメモリ素子は、繰り返し多数回の読み出し・書き込みおよび消去のメモリ動作を行うと、チャネルの移動度劣化が生じ、メモリ動作に必要な読み出し電流を保つことができず、信頼性の高い安定したメモリ動作を得ることができなかつた。また、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO膜の3層構造となっているため、ゲート絶縁膜の薄膜化が困難であった。

10

【0007】

また、チャネル長が短くなるにつれ、1つのトランジスタの記憶保持部907, 908の2箇所が互いに干渉して2ビット動作が困難なため、さらなる素子の微細化が果たせなかつた。

【特許文献1】特表2001-512290号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

そこで、本発明の目的は、素子の微細化(高集積化)と信頼性の高い安定した高速メモリ動作ができ、2ビット以上の記憶保持ができる半導体記憶装置を提供することにある。

20

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明の半導体記憶装置は、複数の電荷保持体を有する多値記憶体と、上記多値記憶体の上記電荷保持体に夫々対応する拡散層領域と、上記多値記憶体の下側に配置され、上記拡散層領域を連結するチャネル形成領域とを備え、上記チャネル形成領域はカーボンナノチューブを含むことを特徴とする。ここで「多値」とは、4値以上の論理値をいう。

【0010】

上記構成の半導体記憶装置によれば、上記チャネル形成領域に、電気伝導度、熱伝導度の高い半導体性質を有するカーボンナノチューブを用いることにより、素子の微細化(高集積化)と信頼性の高い安定した高速メモリ動作を得ることができる。カーボンナノチューブ内を流れる電流は、トンネル効果によりほぼ抵抗無く流れるので、半導体記憶装置の読み出し・書き込みおよび消去のメモリ動作の高速化が可能となると共に、多数回のメモリ動作を繰り返し行うことでチャネルの移動度劣化が生じてても、メモリ動作に必要な読み出し電流を保つことができ、長寿命で信頼性の高い安定したメモリ動作を得ることができる。また、カーボンナノチューブ内を流れる電流は、従来チャネル抵抗と同様かそれ以下で、上記電荷保持体に保持された電荷の影響を表すことになり、電荷の有無の判別を容易に行うことができ、多値の不揮発性メモリに適している。

30

【0011】

また、上記構成の半導体記憶装置によれば、絶縁体あるいは絶縁体膜上にチャネル形成領域を設けることにより、半導体基板上にチャネル形成領域を形成する場合に比べ、リーク電流を抑制することができ、省電力の効果を得ることができる。また、完全素子分離ができ、拡散層領域の容量が低減できるため、集積密度や動作速度の向上が可能である。

40

【0012】

また、一実施形態の半導体記憶装置は、上記多値記憶体が、基板上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極とを有し、上記ゲート電極の側壁の両側に、上記多値記憶体の上記電荷保持体が2つ形成され、上記2つの電荷保持体の夫々に2つの上記拡散層領域が対応することを特徴とする。

【0013】

50

上記実施形態の半導体記憶装置によれば、従来のサイドウォール型のトランジスタとほぼ同じ構造であり、従来の作製方法で製造することができる。また、構造的に記憶部である2つの拡散層領域がゲート電極により分離されているので微細化が可能であり、ゲート・チャンネル間を短くでき、低電圧でチャンネルに高電界を加えることが可能である。

【0014】

また、一実施形態の半導体記憶装置は、上記電荷保持体が、電荷を蓄積する機能を有する第1の絶縁体と、上記第1の絶縁体を両側から挟むように配置された第2の絶縁体と第3の絶縁体とを有し、上記第1の絶縁体がシリコン窒化物または酸化アルミニウムであり、上記第2および第3の絶縁体がシリコン酸化物であることを特徴とする。

【0015】

上記実施形態の半導体記憶装置によれば、上記電荷を蓄積する機能を有する第1の絶縁体に用いられるシリコン窒化物(または酸化アルミニウム)は、電荷(電子および正孔)をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができ、半導体装置の製造工程で多く用いられている物質である。また、第2および第3の絶縁体にシリコン酸化物を用いることによって、シリコン窒化物(または酸化アルミニウム)に蓄積された電荷の漏れを防いでおり、また、上記電荷保持体はサンドウィッチ構造になっているので、電荷の注入効率が高くなり、書換え動作を高速化できる。

【発明の効果】

【0016】

以上より明らかなように、本発明の半導体記憶装置によれば、チャンネル形成領域に、電気伝導度、熱伝導度の高いカーボンナノチューブを用いることにより、素子の微細化(高集積化)と信頼性の高い安定した高速メモリ動作を得ることができる。

【0017】

また、カーボンナノチューブ内を流れる電流は、トンネル効果によりほぼ抵抗無く流れるので、半導体記憶装置の読み出し・書き込みおよび消去のメモリ動作の高速化が可能となり、また、多数回のメモリ動作を繰り返し行うことでチャンネルの移動度劣化が生じても、メモリ動作に必要な読み出し電流を保つことができ、長寿命で信頼性の高い安定したメモリ動作を得ることができる。

【0018】

また、カーボンナノチューブ内を流れる電流が上記電荷保持体に保持された電荷の影響を表すことになり、電荷の有無の判別を容易に行うことができ、多値の不揮発性メモリに適している。

【0019】

また、上記チャンネル形成領域に、電子の移動度がシリコンの電子の移動度より高い半導体を用いることにより、読み出し・書き込みおよび消去のメモリ動作を繰り返し多数回行うことなどによりチャンネルの移動度劣化が生じても、メモリ動作に必要な読み出し電流を保つことができ、信頼性が高く長寿命で安定したメモリ動作を得ることができる。

【0020】

また、本発明の半導体記憶装置では、書き込み後か消去後かの判別ができるだけの電流差(書き込み後の読み出し電流と消去後の読み出し電流との電流差)を十分に保持していることから、大面積基板上にメモリを作製したとき、面内において作製ばらつきが生じ、書き込み後・消去後の読み出し電流値のメモリ性能ばらつきが生じても、メモリ動作に必要な書き込み後と消去後の読み出し電流差を得ることができるので、歩留まりをよくすることができ、生産性を向上することができる。また、絶縁体基板上にチャンネル領域を設けることによって、完全素子分離ができ、また拡散層領域の容量が低減できるため、集積密度や動作速度の向上が可能である。

【0021】

また、従来のTFET(Thin Film Transistor: 薄膜トランジスタ)のように絶縁体基板上に作製した半導体装置はチャンネル形成領域にアモルファスシリコンやポリシリコンを用いているために移動度が低いという問題があったが、チャンネル形成領域にカーボンナノチュ

10

20

30

40

50

ープ(またはカーボンナノチューブと電子の移動度がシリコンの電子の移動度より高い半導体)を用いることにより、高速動作が可能な半導体装置を絶縁体基板上に作製することができる。

【0022】

また、本発明の半導体記憶装置は、従来の半導体プロセスを用いることができるので作製も容易である。

【発明を実施するための最良の形態】

【0023】

以下、本発明の半導体記憶装置を図示の実施の形態により詳細に説明する。図1,図2,図4,図5は本発明の実施の形態の半導体記憶装置の構造を示す概略断面図であり、図1に示す第1実施形態と図2に示す第2実施形態は半導体基板上、図4に示す第3実施形態と図5に示す第4実施形態は絶縁体基板上に構成されたものであり、図1と図2、図4と図5はそれぞれゲート電極の両側に形成された電荷保持体の構造が異なっている。

10

【0024】

(第1実施形態)

本発明の第1実施形態の図1に示す半導体記憶装置は、2ビットの記憶が可能な不揮発性メモリセルとして、図1に示すように、半導体基板10上に、第1の拡散層領域(ソース/ドレイン領域)17および第2の拡散層領域(ソース/ドレイン領域)18が形成されている。上記第1の拡散層領域17および第2の拡散層領域18を連結するようにチャンネル形成領域31が形成されている。上記チャンネル形成領域31上にゲート絶縁膜12が形成され、そのゲート絶縁膜12上に、通常のトランジスタと同程度のゲート長を有するゲート電極13が形成されている。また、上記ゲート絶縁膜12およびゲート電極13の両側の側壁に電荷保持体61,62が形成されている。さらに、第1,第2の拡散層領域(ソース/ドレイン領域)17,18は、ゲート電極13端部に対して(ゲート電極13が形成された領域41から)オフセットされている。

20

【0025】

上記電荷保持体61,62、ゲート絶縁膜12およびゲート電極13で多値記憶体を構成している。

【0026】

このように、半導体記憶装置の電荷保持体61,62は、ゲート絶縁膜12とは独立して形成されている。したがって、電荷保持体61,62が担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とは分離されている。また、ゲート電極13の両側に形成された2つの電荷保持体61,62は、ゲート電極13により分離されているので、書換え時の干渉が効果的に抑制される。したがって、この半導体記憶装置は、2ビットの記憶が可能で、かつ微細化が容易である。

30

【0027】

また、第1,第2の拡散層領域(ソース/ドレイン領域)17,18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したときの電荷保持体61,62下のオフセット領域42の反転しやすさを、電荷保持体61,62に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。更に、通常のロジックトランジスタと比較して、短チャンネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャンネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

40

【0028】

また、チャンネル形成領域31にカーボンナノチューブ(またはカーボンナノチューブと電子の移動度がシリコンの電子の移動度より高い半導体)を用いることにより、メモリの高速度動作が可能になり、また、読み出し・書き込みおよび消去動作を繰り返し多数回行うことなどによってチャンネルの移動度劣化が生じて、メモリ動作に必要な読み出し電流を保つことができ、長寿命で信頼性の高い安定したメモリ動作を得ることができる。

50

## 【0029】

従来の半導体記憶装置では、読み出し・書き込みおよび消去のメモリ動作を10万回以上繰り返し行った場合、読み出し電流が保たれなくなっていき、消去後の読み出し電流値と書き込み後の電流値とが判別し難くなる現象が起こることあった。これに対して、半導体特性のカーボンナノチューブと、電子の移動度がシリコンの電子の移動度より高いシリコンゲルマニウム(SiGe)、インジウムリン(InP)、砒化ガリウム(GaAs)、ガリウムアンチモン(GaSb)、インジウムアンチモン(InSb)などの半導体を組み合わせた半導体膜をチャネル形成領域に用いることにより、メモリ動作を10万回以上繰り返し行った場合においてもメモリ動作に必要な読み出し電流が保たれているので書き込み後か消去後かの判別を容易に行うことが可能である。

10

## 【0030】

また、本発明の半導体記憶装置では、書き込み後か消去後かの判別が容易にできる電流差(書き込み後の読み出し電流と消去後の読み出し電流との電流差)を十分に保持していることから、大面積チップ上にメモリを作製したとき、面内において作製ばらつきが生じ、書き込み後・消去後の読み出し電流値のメモリ性能ばらつきが生じても、メモリ動作に必要な書き込み後と消去後の読み出し電流差を得ることができるので、歩留まりがよくなり、生産性の向上が可能となる。また、チャネル形成領域にカーボンナノチューブ(またはカーボンナノチューブと電子の移動度がシリコンの電子の移動度より高い半導体)を用いることにより、メモリの高速度動作が可能になるので、従来の半導体記憶装置より低い電圧で従来の半導体記憶装置と同等の読み出し・書き込みおよび消去のメモリ動作を行うこと

20

## 【0031】

本発明の半導体記憶装置の製造方法は、基板上全面にカーボンナノチューブを配置し、その上を酸化膜で被覆した後、通常サイドウォール型のトランジスタと同じ方法で製造される。また、カーボンナノチューブ自身が最外層に絶縁層を有している場合は、その上を酸化膜で被覆しなくても良い。カーボンナノチューブを配置する方法は、作製されたカーボンナノチューブを精製し、アセトンなどの液体に混ぜ込んだ後、基板上に塗布する方法などがある。

## 【0032】

また、サイドウォールスペーサ形状の電荷保持体61,62は、例えば図1に示すように、サイドウォール形状をしたシリコン窒化膜(または酸化アルミニウム膜)21とシリコン酸化膜14とからなる構造をしている。上記シリコン窒化膜(または酸化アルミニウム膜)21は、ゲート電極13、チャネル形成領域31および第1,第2の拡散層領域(ソース/ドレイン領域)17,18とシリコン酸化膜14により隔てられている。この電荷保持体61,62において電荷(電子または正孔)を蓄積する機能を有するのは、シリコン窒化膜(または酸化アルミニウム膜)21であり、シリコン窒化膜(または酸化アルミニウム膜)21は、電荷をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができる。シリコン酸化膜14は、シリコン窒化膜(または酸化アルミニウム膜)21に蓄積された電荷の漏れを防いでいる。主として電荷を蓄積するのは、シリコン窒化膜(または酸化アルミニウム膜)21のうち、オフセット領域42上に存する部分である。

30

40

## 【0033】

## (第2実施形態)

本発明の第2実施形態の図2に示す半導体記憶装置は、電荷保持体を除いて第1実施形態の半導体記憶装置と同一の構成をしており、同一構成部は同一参照番号を付して説明を省略する。

## 【0034】

図2に示すように、サイドウォールスペーサ形状の電荷保持体71,72は、シリコン窒化膜(または酸化アルミニウム膜)21がシリコン酸化膜14,16で挟まれた構造をしている。このように、電荷保持体71,72は、シリコン窒化膜(または酸化アルミニウム膜)21がシリコン酸化膜14,16によって挟まれているため、電荷保持体71,72に

50

注入された電荷は、シリコン酸化膜 1 6 によりブロックされ、シリコン窒化膜(または酸化アルミニウム膜) 2 1 への電荷注入効率が上がり、書換え動作(書込みおよび消去動作)の高速化が実現し、信頼性の向上、十分な保持時間の確保が可能となる。シリコン窒化膜、酸化アルミニウム、シリコン酸化物は、半導体装置の材料として用いられているものであるので、従来の半導体プロセスを用いて製造することができる。

#### 【0035】

なお、図 3 は上記半導体記憶装置の斜視図であり、図 3 において 3 1 はカーボンナノチューブからなるチャンネル形成領域を模式的に示している。

#### 【0036】

##### (第 3 実施形態)

本発明の第 3 実施形態の図 4 に示す半導体記憶装置は、2 ビットの記憶が可能な不揮発性メモリセルとして、図 4 に示したように、絶縁体基板 1 1 上に、第 1 の拡散層領域 1 7 (ソース/ドレイン領域)および第 2 の拡散層領域 1 8 (ソース/ドレイン領域)とチャンネル形成領域 3 1 が形成されている。また、チャンネル形成領域 3 1 上にゲート絶縁膜 1 2 が形成され、そのゲート絶縁膜 1 2 上に、通常のトランジスタと同程度のゲート長を有するゲート電極 1 3 が形成されている。また、ゲート絶縁膜 1 2 およびゲート電極 1 3 の両側の側壁に、電荷保持体 6 1, 6 2 が形成されている。また、第 1, 第 2 の拡散層領域(ソース/ドレイン領域) 1 7, 1 8 は、ゲート電極 1 3 端部に対して(ゲート電極 1 3 が形成された領域 4 1 から)オフセットされている。つまり、第 1, 第 2 実施形態の図 1, 図 2 に示したように半導体基板 1 0 上に構成されていたものを、図 4 では絶縁体基板 1 1 上に構成したものである。

10

20

#### 【0037】

このように、絶縁体基板 1 1 上にチャンネル形成領域 3 1 を設けることにより、完全素子分離ができ、また拡散層領域の容量が低減できるため、集積密度や動作速度の向上が可能である。また、半導体基板上にチャンネル形成領域を形成する場合に比べ、リーク電流を抑制することができ、低消費電力化が可能である。また、従来の T F T (Thin Film Transistor: 薄膜トランジスタ)のように絶縁体基板上に作製した半導体装置はチャンネル形成領域にアモルファスシリコンやポリシリコンを用いているため、移動度が低いという問題があったが、チャンネル形成領域にカーボンナノチューブ(またはカーボンナノチューブと電子の移動度がシリコンの電子の移動度より高い半導体)を用いることにより、高速動作が可能

30

#### 【0038】

##### (第 4 実施形態)

本発明の第 4 実施形態の図 5 に示す半導体記憶装置は、電荷保持体を除いて第 3 実施形態の半導体記憶装置と同一の構成をしており、同一構成部は同一参照番号を付して説明を省略する。

#### 【0039】

図 5 に示すように、サイドウォールスペーサ形状の電荷保持体 7 1, 7 2 は、シリコン窒化膜(または酸化アルミニウム膜) 2 1 がシリコン酸化膜 1 4, 1 6 で挟まれた構造を有している。

40

#### 【0040】

上記構成の半導体記憶装置の動作原理について、図 6 A ~ 図 8 B を用いて説明する。なお、図 6 A ~ 図 8 B は、図 5 に示した電荷保持体を有する半導体記憶装置の場合を示しているが、その他の形状の電荷保持体を有する半導体記憶装置にも適用することができる。

#### 【0041】

なお、半導体記憶装置が N チャンネル型の時は、チャンネル形成領域 3 1 は P 型、拡散層領域 1 7, 1 8 は N 型の導電性を有し、半導体記憶装置が P チャンネル型のときはそれぞれ導電性が反対となる。以下の説明(読出し方法および消去方法に関する説明も含む)では、半導体記憶装置が N チャンネル型の場合を説明するが、P チャンネル型の場合は電子と正孔の役割を逆にすればよい。また、P チャンネル型の場合は各ノードに印加する電圧の符号を全て

50

反対にすればよい。

【0042】

まず、この半導体記憶装置の第1の書込み方法について、図6A,図6Bを用いて説明する。なお、書込みとは、半導体記憶装置がNチャネル型るとき、電荷保持体に電子を注入することを指し、半導体記憶装置がPチャネル型るとき、電荷保持体に正孔を注入することを指すこととする。

【0043】

この半導体記憶装置の第1の書き込み方法は、ドレイン電界により加速された電子を電荷保持体71,72に注入することにより行う。

【0044】

第2の電荷保持体72に電子を注入する(書込む)ためには、図6Aに示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17に0V、第2の拡散層領域18に+5V、ゲート電極13に+5Vを印加すればよい。このような電圧条件によれば、反転層32が、第1の拡散層領域17(ソース電極)から伸びるが、第2の拡散層領域18(ドレイン電極)に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18(ドレイン電極)までドレイン電界により加速され、第2の電荷保持体72(より正確には第2の電荷保持体72内のシリコン窒化膜(または酸化アルミニウム膜)21)に注入されて、書込みが行なわれる。なお、第1の電荷保持体71近傍では、ドレイン電界により加速された電子が発生しないため、書込みは行なわれない。なお、書込み動作のための電圧は上記に限らず、例えば、第1の拡散層領域17に0V、第2の拡散層領域18に+10V、ゲート電極13に+5Vを印加した場合も、第2の電荷保持体72にホットエレクトロン(熱電子)が注入されて書込みが行なわれた。

【0045】

このようにして、第2の電荷保持体72に電子を注入して、書込みを行なうことができる。

【0046】

一方、第1の電荷保持体71に電子を注入する(書込む)ためには、図6Bに示すように、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18に0V、第1の拡散層領域17に+5V、ゲート電極13に+5Vを印加すればよい。このように、第2の電荷保持体72に電子を注入する場合は、第1,第2の拡散層領域(ソース/ドレイン領域)17,18を入れ替えることにより、第1の電荷保持体71に電子を注入して、書込みを行なうことができる。

【0047】

次に、この半導体記憶装置の第2の書込み方法について、図7A,図7Bを用いて説明する。

【0048】

この第2の書込み方法によって、第2の電荷保持体72に電子を注入する(書込む)ためには、図7Aに示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。この第2の書込み方法に特有な点は、第1の拡散層領域17の電位よりも、チャネル形成領域31の電位を低くすることである。例えば、第1の拡散層領域17に2V、第2の拡散層領域18に+5V、ゲート電極13に+5Vを印加すればよい。すなわち、一方のN型拡散層領域(第1の拡散層領域17)を基準電圧とし、他方のN型拡散層領域(第2の拡散層領域18)を基準電圧より高い電圧とし、ゲート電極13を基準電圧より高い電圧とし、P型チャネル形成領域(チャネル形成領域11)を基準電圧より低い電圧とする。なお、各ノードに与える電位は上記の限りではなく、その最適値は半導体記憶装置の構造などに依存する。また、ゲート電極13および第2の拡散層領域18の電位は、それぞれ第1の拡散層領域17の電位より高くなくてはならないが、ゲート電極13の電位と第2の拡散層領域18の電位との大小関係は問われない。

【0049】

10

20

30

40

50

この第2の書込み方法は、第1の書込み方法に比べて非常に少ない電流で書込みが行なわれる。言い換えれば、第2の書込み方法における電荷注入効率は、第1の書込み方法に比べてはるかに高くなっている。

【0050】

一方、第1の電荷保持体71に電子を注入する(書込む)ためには、図7Bに示すように、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18に2V、第1の拡散層領域17に+5V、ゲート電極13に+5Vを印加すればよい。このように、第2の電荷保持体72に電子を注入する場合は、第1,第2の拡散層領域(ソース/ドレイン領域)17,18を入れ替えることにより、第1の電荷保持体71に電子を注入して、書込みを行なうことができる。

10

【0051】

上記第2の書込み方法によれば、非常に高い効率で所望の電荷保持体に選択的に電子注入を行なうことができる。したがって、書込み電流値を大幅に低くして、半導体記憶装置の消費電力を削減することができる。

【0052】

次に、上記半導体記憶装置の読み出し動作原理を説明する(図示せず)。

【0053】

上記第1の電荷保持体71に記憶された情報を読み出す場合、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域17に0V、第2の拡散層領域18に+2V、ゲート電極13に+3Vを印加すればよい。このとき、第1の電荷保持体71に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1の電荷保持体71に電子が蓄積している場合は、第1の電荷保持体71近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1の電荷保持体71の記憶情報を読み出すことができる。このとき、第2の電荷保持体72における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

20

【0054】

一方、第2の電荷保持体72に記憶された情報を読み出す場合、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域18に0V、第1の拡散層領域17に+2V、ゲート電極13に+3Vを印加すればよい。このように、第1の電荷保持体71に記憶された情報を読み出す場合とは、第1,第2の拡散層領域(ソース/ドレイン領域)17,18を入れ替えることにより、第2の電荷保持体72に記憶された情報の読み出しを行なうことができる。

30

【0055】

なお、ゲート電極13で覆われないチャンネル形成領域(オフセット領域42)においては、電荷保持体71,72の余剰電子の有無によって反転層が消失または形成され、その結果、大きなヒステリシス(閾値の変化)が得られる。ただし、オフセット領域42の幅があまり大きいと、ドレイン電流が大きく減少し、読み出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読み出し速度が得られるように、オフセット領域42の幅を決定することが好ましい。

40

【0056】

また、上記第1,第2の拡散層領域17,18がゲート電極13端に達している場合、つまり、第1,第2の拡散層領域17,18とゲート電極13とがオーバーラップしている場合であっても、書き込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース/ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少(1桁以上)した。したがって、ドレイン電流の検出により読み出しが可能であり、メモリとしての機能を得ることができる。

【0057】

次に、上記半導体記憶装置の消去方法を図8A,図8Bで説明する。

50

## 【0058】

まず、第2の電荷保持体72に記憶された情報を消去する場合、図8Aに示すように第2の拡散層領域18に正電圧(例えば、+5V)を印加して、第2の拡散層領域18とチャネル形成領域31とのPN接合に逆バイアスをかけ、更にゲート電極13に負電圧(例えば、-5V)を印加すればよい。このとき、上記PN接合のうちゲート電極13付近では、負電圧が印加されたゲート電極13の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のチャネル形成領域31側にホール(正孔)が発生する。このホールが負の電位をもつゲート電極13方向に引きこまれ、その結果、第2の電荷保持体72にホールが注入される。このようにして、第2の電荷保持体72の消去が行なわれる。このとき第1の拡散層領域17には0Vを印加すればよい。

10

## 【0059】

上記第1の消去方法において、第1の電荷保持体71に記憶された情報を消去する場合は、上記において第1の拡散層領域17と第2の拡散層領域18の電位を入れ替えればよい(図8B)。

## 【0060】

上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込みおよび消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合、第1,第2の拡散層領域(ソース/ドレイン領域)の一方を共通固定電圧とすることが可能となり、第1,第2の拡散層領域(ソース/ドレイン領域)に接続されるビット線の本数を半減できる。

20

## 【0061】

上記第1~第4実施形態の半導体記憶装置によれば、電荷保持体は、ゲート絶縁膜とは独立してゲート電極の両側に形成され、2ビット動作が可能である。更には、各電荷保持体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。また、電荷保持体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されているので、ゲート絶縁膜を薄膜化して短チャネル効果を抑制することができる。したがって、素子の微細化が容易となる。

## 【0062】

また、この半導体記憶装置の第2の書込み方法によれば、電荷保持体に電子を高い効率で注入することができる。したがって、書込み電流値を大幅に低くして、半導体記憶装置の消費電力を削減することができる。

30

## 【0063】

本発明の半導体記憶装置は、主として、複数の電荷保持体を有する多値記憶体と、上記多値記憶体の上記電荷保持体に夫々対応する拡散層領域と、上記多値記憶体の下側に配置され、上記拡散層領域を連結するチャネル形成領域とから構成される。この半導体記憶装置は、1つの電荷保持体に2値またはそれ以上の情報を記憶することにより、4値またはそれ以上の情報を記憶するメモリ素子として機能する。

## 【0064】

上記チャネル形成領域は、カーボンナノチューブを含む膜であるか、またはカーボンナノチューブと電子の移動度がシリコンの電子の移動度より高い半導体を含む膜である。上記電子の移動度がシリコンの電子の移動度より高い半導体としては、例えば、シリコンゲルマニウム(SiGe)、インジウムリン(InP)、砒化ガリウム(GaAs)、ガリウムアンチモン(GaSb)、インジウムアンチモン(InSb)などがある。

40

## 【0065】

カーボンナノチューブは、炭素の同素体であり、各炭素原子が六角形の各頂点に配置され結合して形成されたグラフェンのシート状のものがナノサイズの直径で丸く巻かれた形をなしている。カーボンナノチューブは、電気伝導度、熱伝導度が高く、物理的、化学的に強靱であり、また、カーボンナノチューブはグラフェンの巻かれる角度および構造によって金属または半導体の特性を示す。カーボンナノチューブは、その電氣的な性質によって相異なる2種のカーボンナノチューブに分けられる。すなわち、ゲート電圧に関係なく

50

、電流電圧特性が線形関係を示す金属性カーボンナノチューブと、ゲート電圧に大きく影響され、電流電圧特性が非線形関係を示す半導体特性(バンドギャップの大きいものは絶縁体に近似)のカーボンナノチューブとに分けられる。

【0066】

本発明の実施形態に係る半導体記憶装置に用いられるカーボンナノチューブは、半導体特性のカーボンナノチューブであって、ゲート電極に印加される電圧によってカーボンナノチューブを通じて移動する電子の流れ、すなわち電流が制御される。このようなカーボンナノチューブは、電気放電法、レーザー蒸着法、プラズマ化学気相蒸着法、熱化学気相蒸着法、気相合成法などを用いて作製することができる。

【0067】

また、チャンネル形成領域に、電子の移動度がシリコンの電子の移動度  $1880 [cm^2/V \cdot s]$  より高い半導体を用いることにより、半導体記憶装置の読み出し・書き込みおよび消去のメモリ動作の高速化が可能となり、また、多数回のメモリ動作を繰り返し行うことでチャンネルの移動度劣化が生じて、メモリ動作に必要な読み出し電流を保つことができ、長寿命で信頼性の高い安定したメモリ動作を得ることができる。

【0068】

このように、電気伝導度、熱伝導度の高いカーボンナノチューブをチャンネル形成領域に用いることにより、半導体記憶装置の小型化による抵抗の増加がなく熱損失、電力消耗、電気的特性変動、電荷漏れが少なく、素子の微細化(高集積化)が図れると共に、信頼性の高い安定したメモリ動作を得ることができる。

【0069】

また、カーボンナノチューブ内を流れる電流は、ほとんど抵抗なく流れるので、上記電荷保持体に保持された電荷の影響を強く表すことになり、電荷の有無の判別を容易に行うことができ、多値の不揮発性メモリに適している。

【0070】

また、書き込み後か消去後かの判別が容易にできるだけの電流差(書き込み後と消去後の読み出し電流の差)を十分に保持していることから、大面積チップ上にメモリを作製したとき、面内において作製ばらつきが生じ、書き込み後・消去後の読み出し電流値のメモリ性能ばらつきが生じて、メモリ動作に必要な書き込み後と消去後の読み出し電流差を得ることができるので、歩留まりをよくすることができ、生産性を向上させることができる。

【0071】

本発明の半導体記憶装置は、第1,第2実施形態のように半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上、あるいは第3,第4実施形態のように絶縁体基板上に形成されることが好ましい。

【0072】

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板または多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板または表面半導体層としてシリコン層が形成されたSOI基板が好ましい。この半導体基板には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングルまたはマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS(Local Oxidation Of Silicon: 局所酸化シリコン)膜、トレンチ酸化膜、STI(Shallow Trench Isolation; 浅い溝分離法)膜等種々の素子分離膜により形成することができる。さらに、半導体基板は、P型またはN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型(P型またはN型)のウェル領域が形成されていることが好ましい。半導体基板およびウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI(Silicon on Insulator: シリコン・オン・インシュレータ)基板を用いる場合には、表面半導体

10

20

30

40

50

層には、ウェル領域が形成されていてもよいが、チャネル形成領域下にボディ領域を有していてもよい。

【0073】

絶縁体または酸化膜としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜、等の絶縁膜：酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜または積層膜、カーボンナノチューブ絶縁層などを使用することができる。なかでも、シリコン酸化膜が好ましい。

【0074】

また、本発明の半導体記憶装置のゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。このゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン、銅・アルミニウム等の金属、タングステン・チタン・タンタル等の高融点金属、高融点金属とのシリサイド等の単層膜または積層膜等が挙げられる。ゲート電極の膜厚は、例えば10nm～400nm程度の膜厚で形成することが適当である。

【0075】

また、本発明の半導体記憶装置のチャネル形成領域は、ゲート電極の下に形成されるが、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されている。このように、ゲート電極で覆われていないチャネル形成領域が存在する場合には、そのチャネル形成領域は、ゲート絶縁膜または後述する電荷保持体で覆われていることが好ましい。

【0076】

また、本発明の半導体記憶装置の電荷保持体は、直接または絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜または絶縁膜を介して基板(チャネル形成領域、第1,第2の拡散層領域(ソース/ドレイン領域))上に配置している。ゲート電極の両側の電荷保持体は、直接または絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持体として導電膜を用いる場合には、電荷保持体が基板(チャネル形成領域、第1,第2の拡散層領域(ソース/ドレイン領域))またはゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

【0077】

上記電荷保持体は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動して信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部(ゲート電極、拡散層領域、チャネル形成領域)とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たす電荷保持体としては、上記第1の絶縁体をシリコン窒化膜(または酸化アルミニウム膜)とし、第2および第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜(または酸化アルミニウム膜)は、電荷をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができる。また、シリコン酸化膜およびシリコン窒化膜は共に半導体プロセスでごく標準的に用いられる材料であるため、好ましい。なお、上記第2および第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。

【0078】

10

20

30

40

50

また、本発明の半導体記憶装置の第1,第2の拡散層領域(ソース/ドレイン領域)は、半導体基板(またはウェル領域)と逆導電型の拡散層領域として、電荷保持体のゲート電極の両側のそれぞれに配置されている。上記第1,第2の拡散層領域(ソース/ドレイン領域)と半導体基板(またはウェル領域)との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。上記第1,第2の拡散層領域(ソース/ドレイン領域)の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、第1,第2の拡散層領域(ソース/ドレイン領域)は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していること

10

【0079】

上記第1,第2の拡散層領域(ソース/ドレイン領域)は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持体下のオフセット領域の反転しやすさが、電荷保持体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットし過ぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持体の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。特に重要なことは、電荷保持体中の電荷蓄積領域の少なくとも一部が、第1,第2の拡散層領域である第1,第2の拡散層領域(ソース/ドレイン領域)の一部とオーバーラップしていることである。本発明の半導体記憶装置の本質は、電荷保持体の側壁部にのみ存在するゲート電極と第1,第2の拡散層領域(ソース/ドレイン領域)間の電圧差により電荷保持体を横切る電界によって記憶を書き換えることであるためである。

20

【0080】

また、上記第1,第2の拡散層領域(ソース/ドレイン領域)は、その一部が、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された第1,第2の拡散層領域上に、この第1,第2の拡散層領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいため、半導体基板内における第1,第2の拡散層領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この第1,第2の拡散層領域の一部は、ゲート電極とともに、電荷保持体の少なくとも一部を挟持するように配置することが好ましい。

30

【0081】

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域および半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。したがって、本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

40

【0082】

本発明の半導体記憶装置は、チャンネル形成領域に、半導体特性のカーボンナノチューブを用いることにより、メモリの高速動作が可能になり、また、読み出し・書き込みおよび消去のメモリ動作を繰り返し多数回行うことなどによってチャンネルの移動度劣化が生じても、メモリ動作に必要な読み出し電流を保つことができ、長寿命で信頼性の高い安定したメモリ動作を得ることができる。例えば、読み出し・書き込みおよび消去のメモリ動作を10万回以上繰り返し行っても、読み出し電流が保たれているので書き込み後か消去後か

50

の判別を容易に行うことができる。

【0083】

また、本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

【0084】

なお、電荷保持体の構造は、上記第1～第4実施形態の半導体記憶装置に限らず、例えば、電荷保持体に電荷を蓄積する機能を有する量子ドットが含まれているものでもよい。また、電荷保持体の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側において、その一部が半導体基板および第1,第2の拡散層領域(ソース/ドレイン領域)に接していればよい。

10

【図面の簡単な説明】

【0085】

【図1】図1は本発明の第1実施形態の半導体記憶装置を示す要部の概略断面図である。

【図2】図2は本発明の第2実施形態の半導体記憶装置を示す要部の概略断面図である。

【図3】図3は上記半導体記憶装置の斜視図である。

【図4】図4は本発明の第3実施形態の半導体記憶装置を示す要部の概略断面図である。

【図5】図5は本発明の第4実施形態の半導体記憶装置を示す要部の概略断面図である。

【図6A】図6Aは上記半導体記憶装置の第1の書込み方法(第2の電荷保持体に電子を注入)を説明するための要部の概略断面図である。

20

【図6B】図6Bは上記半導体記憶装置の第1の書込み方法(第1の電荷保持体に電子を注入)を説明するための要部の概略断面図である。

【図7A】図7Aは上記半導体記憶装置の第2の書込み方法(第2の電荷保持体に電子を注入)を説明するための要部の概略断面図である。

【図7B】図7Bは上記半導体記憶装置の第2の書込み方法(第1の電荷保持体に電子を注入)を説明するための要部の概略断面図である。

【図8A】図8Aは上記半導体記憶装置の消去方法(第2の電荷保持体に記憶された情報を消去)を説明するための要部の概略断面図である。

【図8B】図8Bは上記半導体記憶装置の消去方法(第1の電荷保持体に記憶された情報を消去)を説明するための要部の概略断面図である。

30

【図9】図9は従来の半導体記憶装置を示す要部の概略断面図である。

【符号の説明】

【0086】

10 ... 半導体基板

11 ... 絶縁体基板

12 ... ゲート絶縁膜

13 ... ゲート電極

14, 16 ... シリコン酸化膜

17 ... 第1の拡散層領域

18 ... 第2の拡散層領域

40

21 ... シリコン窒化膜(または酸化アルミニウム膜)

31 ... チャネル形成領域

32 ... 反転層

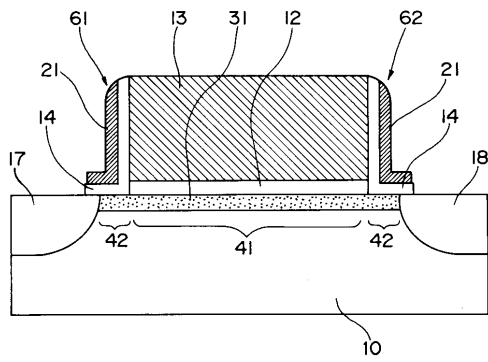
41 ... ゲート電極が形成された領域

42 ... オフセット領域

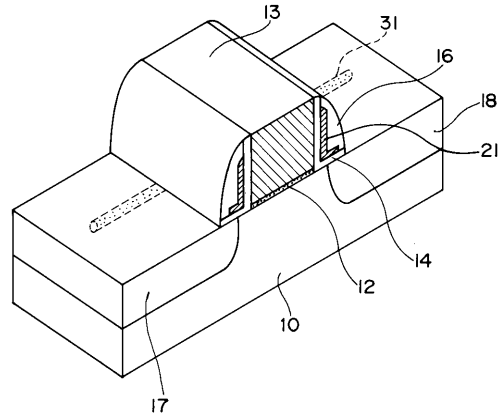
61, 71 ... 第1の電荷保持体

62, 72 ... 第2の電荷保持体

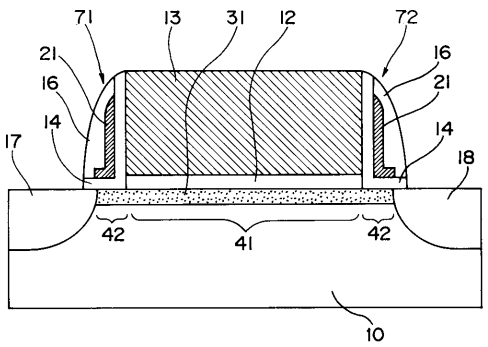
【 図 1 】



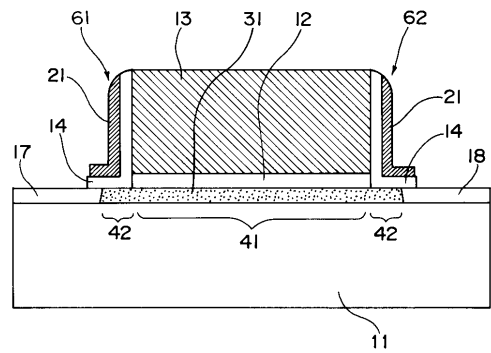
【 図 3 】



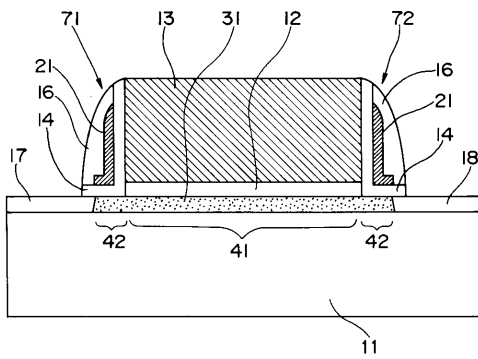
【 図 2 】



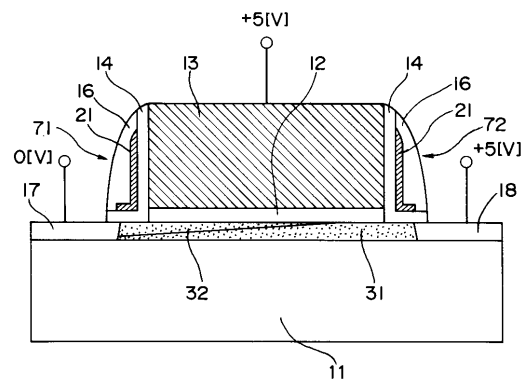
【 図 4 】



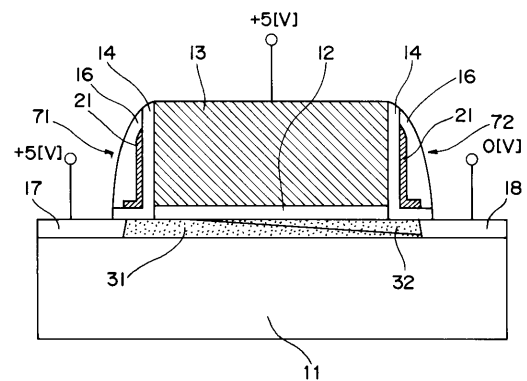
【 図 5 】



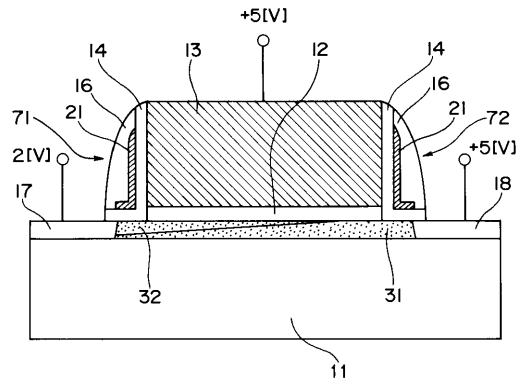
【 図 6 A 】



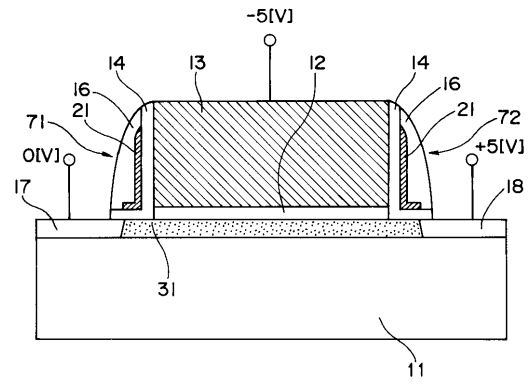
【 図 6 B 】



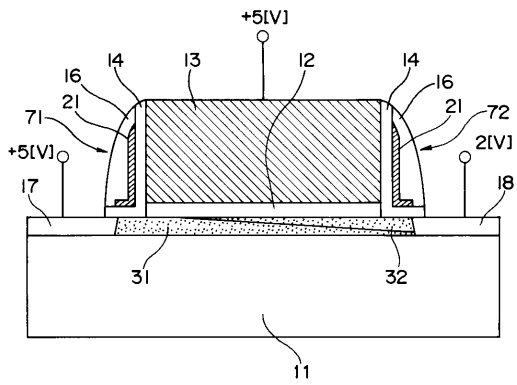
【図 7 A】



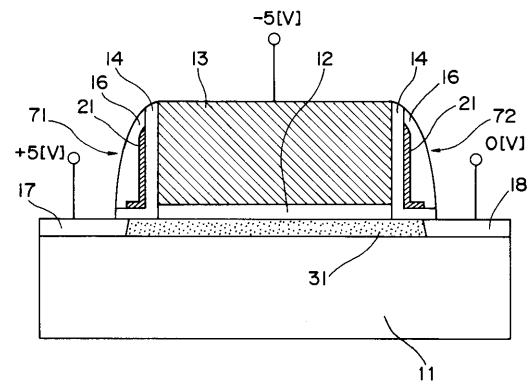
【図 8 A】



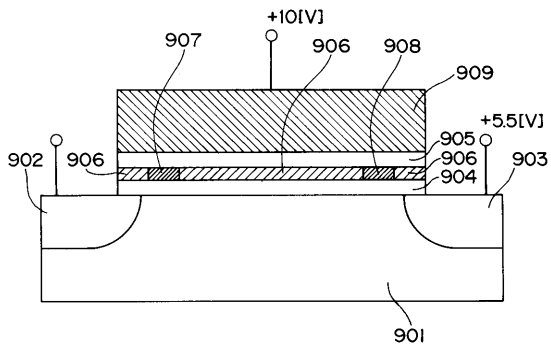
【図 7 B】



【図 8 B】



【図 9】



---

フロントページの続き

(72)発明者 岩田 浩

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 5F083 EP17 EP25 EP26 ER02 ER11 ER30 GA01 GA09 GA21 HA02  
HA06 JA02 JA19 JA35 JA36 JA37 JA39 NA01 PR09 ZA21  
5F101 BA45 BA47 BB04 BC11 BD10 BD35 BE02 BE05 BE07 BF03  
BF05