(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 11/407

(45) 공고일자 2004년05월12일
(11) 등록번호 10-0417899
(24) 등록일자 2004년01월28일

(21) 출원번호 10-1996-0033142
(22) 출원일자 1996년08월09일

(65) 공개번호 10-1997-0012752
(43) 공개일자 1997년03월29일

(30) 우선권주장
95-233390 1995년08월18일 일본(JP)
95-233391 1995년08월18일 일본(JP)
96-138112 1996년05월31일 일본(JP)

(73) 특허권자
텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
스즈키 유키히데
일본국 도쿄도 아키시마시 미호리쵸 5-5-7

구보타 노리아키
일본국 도쿄도 히가시야마토시 나라하시 3-440-1

아라이 고지
일본국 도쿄도 아키시마시 다나카쵸 1-9-32-201

다카하시 츠기오
일본국 도쿄도 하무라시 미도리가오카 2-1-16

스케가와 쥰이치
일본국 이바라키켄 츠쿠바시 마츠시로 4-22-2-405

아베 유이치
일본국 도쿄도 가츠시카구 시바마타 6-2-3-202

(74) 대리인
백남기

심사관 : 안병일

(54) 반도체집적회로

요약

오버드라이브형식으로 구동되는 차동증폭회로를 구비한 반도체집적회로에 관한 것으로서, 오버드라이브형식으로 구동되는 센스앰프와 같은 차동증폭회로에 대한 고전위측 구동전압이 높아져도 차동증폭회로에 대한 과잉의 오버드라이브를 효과적으로 방지할 수 있는 고집적화된 반도체집적회로를 제공하기 위해, 센스앰프에 공급되는 전원전압이 높은 경우에도 과잉의 오버드라이브를 방지하기 위해 제어회로는 센스앰프의 활성화 타이밍에 있어서 최초로 활성화된 제1 제어신호에 의해 전원전압을 동작전원으로서 공급하고 다음에 활성화된 제2 제어신호에 의해서 상기 전원전

압보다 레벨이 낮은 강압전압을 그 동작전원으로서 공급하는 오버드라이브기술을 채용할 때, 제1 제어신호의 활성화에서 제2 제어신호의 활성화까지의 오버드라이브시간을 규정하는 지연수단으로서 전원전압을 동작전원으로 하는 인버터를 채용하고, 지연회로의 지연시간에 전원전압에 대한 부의 의존성을 갖게 하는 구성으로 하였다. 이러한 것에 의해 의해 상대적으로 레벨이 높은 외부전원전압에 의해서 차동증폭회로가 과잉으로 오버드라이브되는 것을 방지할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 오버드라이브형식으로 센스앰프를 구동제어하기 위한 1예를 도시한 회로도,
도 2는 도 1에 도시한 센스앰프를 구동제어하는 제어신호의 1예 파형도,
도 3은 오버드라이브형식으로 센스앰프를 구동하는 제어신호의 다른 생성논리를 도시한 논리회로도,
도 4는 지연회로의 1예를 도시한 회로도,
도 5는 센스앰프의 드라이브라인SDN, SDP에 동작전원을 공급하기 위한 1예를 도시한 회로도,
도 6은 도 5의 회로구성에 의해서 드라이브라인SDN, SDP에 동작전원을 공급할 때를 위한 제어신호 ϕ SAN, ϕ SAP1B, ϕ SAN2의 파형도,
도 7은 센스앰프의 드라이브라인SDP에 강압전압VDL을 공급하기 위한 다른 예를 도시한 회로도,
도 8은 본 발명의 1예에 관한 DRAM의 전체적인 블럭도,
도 9는 도 8에 도시되는 DRAM의 메모리메트, 센스앰프 블럭 및 컬럼스위치회로블럭의 부분적인 회로도.
※ 부호의 설명
MARY0, MARY1 메모리어레이
MMAT0 MMAT7 메모리매트
SA01, SA23, SA45, SA67, 센스앰프 블럭
WD0 WD7 워드드라이버
XD0 XD7 로우어드레스 디코더
YD 컬럼어드레스 디코더
TG 타이밍 컨트롤러
DL0, DL0B, DL1, DL1B 상보데이타선
WLi, WL(i-1) 워드선
MC 다이나믹 메모리셀
Q17, Q18 프리챠지용 MOS 트랜지스터
Q21 이퀄라이즈용 MOS 트랜지스터
VDL 강압전압
VDD 외부전원전압
VSS 접지전압
VPP 워드선 구동전압
VBB 기판 바이어스전압
1 강압회로
AMP1 연산앰프
Q50 전류원 MOS 트랜지스터
R1 고저항
Nout 출력단자
2 승압회로
3 센스앰프
Q9, Q10 센스앰프 구성용 N채널형 MOS 트랜지스터
Q13, Q14 센스앰프 구성용 P채널형 MOS 트랜지스터
SDP, SDN 센스앰프의 드라이브라인
Q41, Q42, Q42', Q43 SDP의 동작전원공급용 MOS 트랜지스터
Q40 SDN으로의 동작전원공급용 MOS 트랜지스터
ϕ SA2B, ϕ SA1B, ϕ SAN, ϕ SAN2, ϕ SAP1B, ϕ SAP2B 센스앰프
제어신호

12 지연회로
INV0 INVi CMOS 인버터
21 지연회로
INV1 INV3 CMOS 인버터
25 CR지연요소
4 프리챠지전압 형성회로 1
5 기판바이어스전압 발생회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 오버드라이브형식으로 구동되는 차동증폭회로를 구비한 반도체집적회로에 관한 것으로서, 예를 들면 고집적화를 위해 동작전압이 저전압화된 DRAM(Dynamic Random Access Memory)에 적용해서 유효한 기술에 관한 것이다.
DRAM의 기억용량을 증대시키기 위해 메모리셀 트랜지스터 등의 MOS 트랜지스터(이하, MOSFET라고도 한다)는 소형화되고, 그것에 의해서 MOS 트랜지스터의 게이트길이의 축소화에 따라서 게이트 산화막이 박막화되므로, 동작전압의 저전압화가 진행되고 있다. 특히, DRAM은 하이레벨의 리드동작효율을 떨어뜨리지 않도록(또는 하이레벨의 리드동작마진을 비교적 크게 하도록) 해서 하이레벨의 라이트(메모리셀의 축적용량에 대한 충전동작)을 실행하고자 하는 경우에는 워드선의 선택레벨을 올리거나 또는 메모리셀의 데이타 입출력단자가 결합된 데이타선의 전압(센스앰프의 증폭동작에 의한 데이타선의 도달레벨)을 내리는 것이 효과적이다. 단, 상술한 바와 같이 트랜지스터의 고집적화에 따라서 MOS 트랜지스터의 게이트 산화막이 박막화되어 있는 경우에는 워드선의 전압레벨을 무작정 올리면 게이트 산화막이 쉽게 파괴되어 DRAM의 신뢰성의 점에서 바람직하지 않다. 이와 같은 사정에 의해 데이타선의 전압을 내리는 것이 부득이하게 된다. 이와 같이 데이타선의 전압을 저전압화하면, 센스앰프의 고속동작의 방해로 된다. 즉, 센스앰프의 동작전원의 전압이 낮아지면, 센스앰프에 흐르는 전류가 적어지게 되고 메모리셀의 전하정보가 데이타선에 리드되었을 때, 상보관계에 있는 데이타선에 형성되는 미소전위차를 증폭하는 속도가 저하한다.
그래서, 센스앰프를 저전압하에서 고속동작시키는 기술로서 센스앰프의 오버드라이브기술이 있다. 예를 들면 센스앰프가 CMOS 스테이틱 래치형태로 구성될 때, P채널형 MOS 트랜지스터의 소오스에는 센스앰프 활성화 타이밍의 최초에 외부전원전압VDD를 인가하고 다음에 외부전원전압VDD를 강압한 전압VDL를 인가하여 센스앰프를 동작시킨다. 센스앰프의 오버드라이브기술의 하나로서는 ISSCC 95 A 29ns 64 Mb DRAM with Hierachical Arry Architecture / FA14.2에 보고되어 있다. 또, 일본국 특허 공개 공보 평성5-62467에는 외부전원전압이 센스앰프에 공급되는 기간(오버드라이브 시간)을 제어하기 위해 더미데이타선을 이용하는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

본 발명자는 상기 센스앰프의 오버드라이브기술에 대해서 검토한 결과, 다음의 문제점을 발견하였다. 즉, 센스앰프를 구성하는 P채널형 MOS 트랜지스터의 소오스는 스위치소자를 거쳐서 외부전원전압VDD가 공급되고, 또 다른 스위치소자를 거쳐서 강압회로의 출력단자에 결합된다. 외부전원전압VDD 및 강압전압VDL의 공급라인은 여러개와 센스앰프에 의해서 공유된다. 센스앰프에 외부전원전압VDD가 공급되면, 그것은 강압전압VDL보다 높은 동작전압이므로, 센스앰프를 고속동작시킨다. 즉, 센스앰프의 증폭동작에 있어서의 초기적인 과도 응답동작이 고속화된다. 다음에, 센스앰프의 동작전원은 강압전압VDL로 전환된다. 이 경우, 여러개의 센스앰프에 공유되는 상기 동작전원의 공급라인이나 데이타선에는 바람직하지 않는 용량성분이 존재하므로, 외부전원전압VDD가 허용범위의 상하레벨이거나 또 동작마진을 테 스트하기 위해 통상보다 높은 레벨의 외부전원전압이 공급되어 있는 상태에서는 센스앰프의 동작전원이 강압전압VDL로 전환되었을 때에 센스앰프에서 강압회로의 출력단자를 향해서 전류가 역류하는 것이 예상된다.
이 때, 강압회로로서 외부전원전압에 결합된 전류원에 고저항을 직렬접속한 회로를 채용해서 강압회로에 있어서의 관통전류를 최소한으로 억제하도록 하면, 상기 센스앰프측에서 강압회로의 출력단자를 향해서 역류한 전류는 상기 고저항으로 저지되어 접지전위로 빠르게 리크되지 않고 결과로서 강압전압VDL이 상승할 우려가 있는 것이 본 발명자에 의해서 발견되었다.
상기 강압전압VDL의 바람직하지 않은 레벨상승은 다음의 점에서 불합리하다. 즉, 강압전압VDL의 상승은 센스앰프의 증폭동작에 의한 데이타선의 도달전압을 상승시켜 이것에 의해서 워드선의 선택레벨과 데이타선의 하이레벨의 전위차가 작게 되어 메모리셀로의 하이레벨 라이트에 있어서 축적용량에는 데이타선의 상기 하이레벨의 전압을 인가할 수 없게 된다. 또, 상기 강압전압VDL의 바람직하지 않는 레벨상승에 의해서 센스앰프에 의한 데이타선의 도달전압이 상승되면, 그것에 따라서 칩비선텍기간에 이퀄라이즈되는 데이타선의 초기적인 레벨(프리챠지레벨)도 상승하고, 그와 같은 상태에서 라이트된 데이타가 리드된 경우, 프리챠지레벨에 대한 하이레벨의 리드전압마진도 작게 된다. 또,

워드선 선택레벨을 형성하는 승압회로가 상기 강압전압VDL을 이용하는 경우에는 강압전압VDL의 바람직하지 않은 레벨상승은 워드선 선택레벨을 상승시켜 메모리셀 선택 트랜지스터의 게이트 산화막을 파손시킬 우려를 생기게 한다. 이상의 문제점은 외부전원전압이 허용범위의 상한 레벨인 경우의 문제점이지만, 외부전원전압이 허용범위의 하한 레벨인 경우에는 센스앰프의 증폭동작에 있어서의 상기 초기적인 과도 응답동작의 고속화가 충분히 얻어지지 않는다는 문제가 있다.

상술한 바와 같이 오버드라이브기술을 채용할 때의 상기 문제가 본 발명자에 의해서 명확하게 되었다. 상술한 일본국 특허 공개 공보 평성 5-62467에는 더미데이타선의 충방전상황을 검출해서 그것에 맞추어 오버드라이브시간을 제어하는 것이 개시되어 있지만, 이 경우 더미데이타선을 형성하기 위한 영역이 필요하다. 또, 더미데이타선의 전위레벨을 검출하기 위해서는 그를 위한 검출회로를 새로 마련하지 않으면 안된다는 문제가 있다. 또한, 메모리어레이의 가장 외측에 배치된 데이타선은 제조공정에서 불량으로 될 가능성이 높으므로, 통상의 데이타선으로서는 일반적으로 사용되고 있지 않다. 따라서, 이 사용되고 있지 않는 데이타선을 더미데이타선으로서 이용하는 것도 고려할 수 있지만, 불량으로 될 가능성이 높은 데이타선을 상술한 더미데이타선으로서 이용한 것에서는 확실한 동작을 기대할 수 없다. 이와 같이 더미데이타선을 이용해서 오버드라이브시간을 조정하는 기술을 칩의 집적도 및 동작의 확실성의 점에서 문제가 있는 것이 본 발명자에 의해서 명확하게 되었다.

또, 본 발명자의 검토에 의하면, CMOS 스테이틱 래치형태의 센스앰프에 있어서 그 P채널형 MOS 트랜지스터의 드라이브라인에 구동전압을 공급하는 파워 스위치 MOS 트랜지스터는 종래 P채널형으로 구성되어 있으므로, 센스앰프의 동작전압이 저 전압화되어 있는 상황에서는 동작전압의 공급시에 상기 파워 스위치 MOS 트랜지스터의 게이트 소오스간 전압(VGS)가 작게 된다. 이것에 의해, 파워 스위치 MOS 트랜지스터에 의한 전류공급능력이 저하하여 센스앰프의 고속동작이 방해받는 것이 명확하게 되었다. 특히, 센스앰프가 상기 오버드라이브될 때에는 강압전압의 공급시에 상기 센스앰프의 고속동작의 저지가 현저하게 된다. 이러한 문제점은 센스앰프에 대한 오버드라이브의 경우뿐만이 아니라 동작전압이 저전압화된 차동증폭회로에 대해서 일반적으로 현재화된다고 고려할 수 있다.

본 발명의 목적은 오버드라이브형식으로 구동되는 센스앰프와 같은 차동증폭회로에 대한 고전위측 구동전압이 높아져도 차동증폭회로에 대한 과잉의 오버드라이브를 효과적으로 방지할 수 있는 고집적화된 반도체집적회로를 제공하는 것이다.

또, 본 발명의 다른 목적은 오버드라이브형식으로 구동되는 센스앰프와 같은 차동증폭회로에 강압전압을 1개의 동작전원으로서 공급하는 강압회로의 상기 강압전압이 바람직하지 않게 레벨상승할 우려를 미연에 방지할 수 있도록 한 반도체집적회로를 제공하는 것이다.

본 발명의 다른 목적은 차동증폭회로에 저전압화된 동작전원을 공급하기 위한 MOS 트랜지스터에 의한 동작전류 공급능력의 저하를 방지할 수 있도록 하는 기술을 제공하는 것이다.

본 발명의 다른 목적은 동작전압이 저전압화되어도 센스앰프와 같은 차동증폭회로를 고속동작시킬 수 있는 반도체집적회로를 제공하는 것이다.

본 발명의 그 밖의 목적은 오버드라이브기술에 있어서 데이타선의 전위를 고 속이고 또한 확실하게 원하는 레벨까지 증폭할 수 있는 반도체집적회로를 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

[1] 소자의 미세화 또는 고집적화에 따르는 동작전압의 저전압화시에 저전압동작되는 회로부분에 포함되는 차동증폭회로(3)의 고속동작을 보증하기 위해 상기 차동증폭회로의 활성화타이밍에 있어서 최초 상기 차동증폭회로의 동작전원으로서 제1 구동전압(VDD)를 공급하는 제1 구동제어신호(ϕ SA1B)를 형성함과 동시에 제1 구동제어신호가 활성화된 후에 상기 제1 구동제어신호가 비활성화되는 것에 호응해서 활성화되어 상기 제1 구동전압보다 레벨이 낮은 제2 구동전압(VDL)을 차동증폭회로의 동작전원으로서 공급제어하는 제2 구동제어신호(ϕ SA2B)를 형성하는 오버드라이브기술을 제어회로(TG)에 채용할 때, 제1 구동제어신호가 활성화되어 있는 기간(즉, 오버드라이브시간)을 규정하는 지연수단(12)로서 상기 제1 구동전압을 동작전원으로서 받는 인버터회로를 사용하고, 상기 제1 구동제어신호가 활성화되어 있는 기간이 상기 제1 구동전압에 대해서 부의 의존성을 갖는다.

상기 오버드라이브기술은 다이나믹 메모리셀을 구비한 DRAM 등에 여러개 포함되는 센스앰프와 같은 차동증폭회로에 대한 구동기술로서 채용할 수 있다. 즉, 메모리 어레이의 고집적화에 따르는 동작전압의 저전압화시에 센스앰프와 같은 차동증폭회로(3)의 고속동작을 보증하기 위함이다. 이 때, 메모리 어레이의 동작전원은 외부전원전압(VDD)를 강압회로(1)에 의해 강압한 강압전압(VDL)로 되고, 센스앰프와 같은 차동증폭회로를 구동하는 경우, 외부전원전압이 상기 제1 구동전압으로 되고, 강압전압이 상기 제2 구동전압으로 된다.

센스앰프와 같은 차동증폭회로의 구동방식으로서 오버드라이브기술이 채용되고 있을 때, 외부전원전압이 허용범위의 상한레벨이거나 또 동작마진을 테스트하기 위해 통상보다 높은 레벨의 전원전압이 공급되어 있는 상태에서는 차동증폭회로외 동작전원이 외부전원전압(VDD)에서 강압전압(VDL)로 전환되었을 때, 차동증폭회로에서 강압회로의 출력단자를 향해서 전류가 역류하는 것이 예상된다. 예를 들면, 강압회로로서 전원전압에 결합된 전류원에 고저항을 직렬접속한 회로를 채용해서 강압회로에 있어서의 관통전류를 최소한으로 억제하고자 하는 경우, 상기 센스앰프측에서 강압회로의 출력단자를 향해서 역류한 전류는 상기 고저항으로 저지되어 접지전위로 빠르게 리크되는 일은 없다. 이때, 상기한 수단에 의하면 오버드라이브시간을 규정하는 상기 CMOS 인버터와 같은 MOS회로는 그 동작전원전압이 높을수록 과도 응답시간이 짧아지므로, 외부전원전압(VDD)가 낮을 때에는 오버드라이브시간이 상대적으로 길어

지고, 외부전원전압(VDD)가 높을 때에는 오버드라이브시간이 상대적으로 짧아진다. 이와 같이 지연회로의 지연시간이 외부전원전압(VDD)에 대해서 부의 의존성을 갖는 것에 의해 차동증폭회로가 과잉으로 오버드라이브되는 것을 방지할 수 있다.
차동증폭회로에 대한 과잉의 오버 드라이브가 방지되는 것에 의해 여러개의 센스앰프와 같은 차동증폭회로에서 강압회로를 향해서 전류가 역류하는 사태의 발생을 방지할 수 있고 이것에 의해서 강압전압이 바람직하지 않게 레벨상승되는 사태가 방지된다.
[2] 차동증폭회로(3)의 고전위측의 드라이브라인(SDP)에 동작전원(VDL)을 공급하는 MOS 트랜지스터 (Q42)를 N채널형으로 하고, 그 게이트에 공급되는 스위칭제어신호(ϕ SAN2)의 하이레벨전위를 그 드레인전압보다 레벨이 높아진 승압전압(VPP)의 전위로 한다. 상기 강압전압으로서 워드선 선택 레벨을 형성하는 내부승압회로(2)의 출력전압을 이용할 수 있다.
다른 관점에 의하면, 차동증폭회로(3)의 고전위측의 드라이브라인(SDP)에 동작전압(VDL)을 공급하는 MOS 트랜지스터(Q43)을 P채널형으로 하고, 그 게이트에 공급되는 스위칭제어신호(ϕ SAP2B)의 로우레벨전위를 상기 전원전압(VDD)와는 극성이 반대로 된 부전압(VBB)로 한다. 상기 부전압으로서 기판바이어스전압 발생회로(5)의 출력전압을 이용할 수 있다.
센스앰프와 같은 차동증폭회로의 동작전압의 저전압화가 진행되어도 그 고전위측 드라이브라인에 동작전원을 공급하는 MOS 트랜지스터가 N채널형이면, 그것을 온상태로 하기 위한 게이트 소오스간 전압은 상기 MOS 트랜지스터의 게이트산화막의 내압 등의 요인에 따라서 결정할 수 있다. 따라서, 차동증폭회로의 동작전압이 저전압화됨에 따라서 상기 게이트 소오스간 전압이 작게 된다는 경향을 갖지 않는다. 또, 캐리어 이동도는 P채널형 MOS 트랜지스터에 비해 N채널형 MOS 트랜지스터 가 3배 정도 크므로, P채널형 MOS 트랜지스터의 경우와 동일한 게이트 소오스간 전압을 또는 그 이하의 게이트 소오스간 전압이어도 비교적 큰 전류공급능력을 얻을 수 있다. 그 결과, 동작전압이 저전압화됨에 따라서 고전위측 드라이브라인으로의 동작전원 공급용 MOS 트랜지스터의 게이트 소오스간 전압이 작게 되는 것을 회피할 수 있고 동작전압이 저전압화되는 상황에 있어서도 차동증폭회로를 고속동작시킬 수 있다.
또, 센스앰프와 같은 차동증폭회로의 고전위측의 드라이브라인에 동작전원을 공급하는 MOS 트랜지스터를 P채널형으로 하는 경우에도 그것을 스위치제어하는 신호전압을 부전압으로 하면, 상기 MOS 트랜지스터의 게이트 소오스간 전압을 비교적 크게 할 수 있고 그 결과 동작전압이 저전압화된 상황에 있어서도 차동증폭회로를 고속동작시킬 수 있다.
상기 고전위측의 드라이브라인에 동작전원을 공급하는 N채널형 MOS 트랜지스터를 스위치제어하는 신호진폭을 규정하기 위한 승압전압으로서 워드선 선택레벨을 형성하는 승압회로의 출력을 이용하고 또, 상기 드라이브라인에 동작전원을 공급하는 P채널형 MOS 트랜지스터를 스위치제어하는 신호진폭을 규정하기 위한 부전압으로서 기판 바이어스전압 발생회로가 형성하는 부전압을 이용하는 것에 의해 상기 차동증폭회로의 동작속도의 고속화시에 회로규모의 증대를 극력 억제할 수 있다.
[3] 또, 오버드라이브에 판해서는 다음의 수단을 채용할 수 있다. 즉, 반도체집적회로는 1쌍의 데이타선 및 1쌍의 P채널형 MOS 트랜지스터와 1쌍의 N채널형 MOS 트랜지스터를 구비하는 CMOS 래치회로로서 상기 1쌍의 데이타선의 전위차를 증 폭하는 센스앰프, 제1 전압을 받는 제 1 단자, 상기 제1 전압보다 낮은 제2 전압을 받는 제2 단자, 상기 1쌍의 P채널형 MOS 트랜지스터에 있어서 공통 결합되는 1쌍의 소오스와 상기 제1 단자 사이에 마련되는 제1 스위치 MOS 트랜지스터, 상기 공통결합되는 1쌍의 소오스와 상기 제2 단자 사이에 마련되는 N채널형의 제2 스위치 MOS 트랜지스터 및 제1 기간에 상기 제1 스위치 MOS 트랜지스터가 온상태로 되고 상기 제1 기간후의 제2 기간에 상기 제1 스위치 MOS 트랜지스터가 오프상태 또한 상기 제2 스위치 MOS 트랜지스터가 온상태로 되도록 상기 제1 및 제2 스위치 MOS 트랜지스터의 게이트로 신호를 출력하는 제어회로를 포함하고, 상기 제2 기간에 있어서 상기 제2 스위치 MOS 트랜지스터의 게이트전압은 상기 제2 전압보다 높은 전압으로 된다.
상기 제어회로는 상기 제1 기간을 규정하는 지연회로를 포함하고, 상기 제1 기간의 변동은 상기 제1 전압의 변동에 대해서 부의 의존성을 갖는다.
이 수단에 의하면, 오버드라이브기술에 있어서 오버드라이브시간(제1 기간)을 오버드라이브용의 전압(제1 전압)에 따라서 제어할 수 있으므로, 센스앰프의 과잉 드라이브를 방지할 수 있음과 동시에 비교적 낮은 전압(제2 전압)을 공급하는 제2 스위치 MOS 트랜지스터의 온저항을 작게 해서 그것에 의한 전류공급능력을 높게 할 수 있다. 따라서, 오버드라이브기술에 있어서 센스앰프는 데이타선의 전압레벨을 고속이고 또한 확실하게 원하는 레벨까지 증폭할 수 있다.
상기 지연회로를 상기 제1 전압을 동작전원으로서 받는 인버터회로로 구성하는 것에 의해 간단한 구성으로 확실하게 오버드라이브시간을 제어할 수 있다.
상기 제2 기간에 있어서 상기 제2 스위치 MOS 트랜지스터의 게이트전압을 상기 제2 전압과 상기 제2 스위치 MOS 트랜지스터의 임계값전압의 합의 전압과 동일 또는 그것보다 높은 전압으로 하는 것에 의해 상기 제2 스위치 MOS 트랜지스터에 있어서의 상기 임계값 전압분의 드롭이 발생하지 않도록 할 수 있다.
도 8에는 본 발명의 1예에 관한 DRAM의 블럭도가 도시된다. 동일도에 도시되는 DRAM은 특히 제한되지 않지만, 공지 반도체집적회로의 제조기술에 의해서 단결정 실리콘과 같은 1개의 반도체기판에 형성된다. 도 8에는 대표적으로 2개의 메모리 어레이MARY0, MARY1이 도시된다.
도 8에 도시되는 DRAM은 3.3V와 같은 외부전원전압VDD, 0V와 같은 접지전위VSS를 외부전원전압에서 받는다. 이 DRAM은 기억용량증대를 위해 메모리 어레이 MARY0, MARY1에 있어서의 MOS 트랜지스터는 소형화되고, 그것에 의해서 그들 MOS 트랜지스터의 게이트길이의 축소화에 따라서 게이트산화막이 박막화되어 있다. 이 때문에, 메모리 어레이MARY0, MARY1에 있어서의 동작전압은 저전압화되고, 예를 들면 2.2V와 같은 강압전압VDL을 기본적인 동

작전원으로서 이용한다. 강압전압VDL은 외부전원전압VDD를 강압하는 강압회로(1)에서 생성된다. 도에 있어서, (5)는 기판바이어스전압VBB의 발생회로이다. 기판바이어스전압 발생회로(5)에 대해서도 공지의 회로에 의해서 구성할 수 있고 예를 들면, 도시는 생략하지만, 콘덴서와 다이오드소자에 의해서 구성되고, 정극성의 주기적인 신호를 받는 것에 의해서 부극성의 기판바이어스전압VBB를 형성한다.

각 메모리 어레이MARY0, MARY1는 각각 8개의 메모리매트MMAT0 MMAT7로 분할 된다. 각각의 메모리매트MMAT0 MMAT7은 선택단자가 워드선에, 데이타 입출력단자가 상보데이타선에 결합된 1트랜지스터형의 다이나믹 메모리셀을 여러개 포함하고 있다. 각 메모리매트마다 워드드라이버WD0 WD7, 로우어드레스 디코더XD0 XD7이 마련된다. 로우어드레스 디코더XD0 XD7은 그 동작이 선택되면, 내부상보 로우어드레스신호AX를 디코드해서 워드선 선택신호를 형성하고, 내부상보 로우어드레스신호AX에 따른 1개의 워드선을 선택한다. 워드드라이버WD0 WD7은 워드선 선택신호를 받고, 제어신호 ϕX에 의해 지시되는 워드선 구동타이밍에 동기해서 워드선 선택신호로 선택될 워드선을 선택레벨로 구동한다. 워드드라이버WD0 WD7이 형성하는 워드선 선택레벨은 상기 강압전압VDL보다 레벨이 높은 승압전압VPP로 된다. 승압전압VPP는 강압전압VDL을 승압하는 승압회로(2)에서 생성된다. 승압회로(2)의 상세한 것은 도시하지 않지만, 공지의 챠지펌프회로를 적용해서 용이하게 형성할 수 있다.

SA01, SA23, SA45, SA67은 센스앰프블럭, CSW01, CSW23, CSW45, CSW67은 컬럼스위치회로 블럭으로서, 좌우 1쌍의 메모리매트 사이에 배치되고 인접하는 좌우 1쌍의 메모리매트가 공유한다. 센스앰프블럭 SA01, SA23, SA45, SA67와 컬럼스위치회로블럭 CSW01, CSW23, CSW45, CSW67을 사이에 두고 배치된 좌우 1쌍의 메모리매트에는 공유데이타선 구조가 채용되고, 어느 한쪽의 메모리매트의 동작이 선택되도록 되어 있다. 각각의 센스앰프블럭의 동작제어 및 센스앰프블럭을 공유하는 메모리매트 사이에 있어서의 데이타선 공유스위치회로(도9참조)의 제어 등의 메모리매트의 동작선택 및 동작제어는 쌍을 이루는 메모리매트마다 마련된 매트컨트롤러MCNT01, MCNT23, MCNT45, MCNT67이 실행한다.

매트컨트롤러MCNT01, MCNT23, MCNT45, MCNT67은 매트선택신호MS, 센스앰프 제어신호 ϕSAN, ϕSAN2, ϕSAP1B가 공급된다. 매트선택신호MS는 8개의 메모리매트MMAT0 MMAT7중 어느 1개를 선택할지를 지시하는 3비트의 신호로 된다. 실제로는 로우어드레스버퍼RAB에 유지된 로우어드레스신호의 상위3비트의 정보에 대응된다. 매트컨트롤러MCNT01, MCNT23, MCNT45, MCNT67은 매트선택신호MS를 디코드하고, 그것이 지정하는 메모리매트를 동작시키도록 센스앰프블럭의 동작제어나 로우어드레스 디코더의 활성화제어를 실행한다.

예를 들면, 매트선택신호MS가 메모리매트MMAT0을 지정하면, 로우어드레스디코더XD0이 활성화됨과 동시에 센스앰프블럭SA01이 데이타선 공유 스위치회로를 거쳐서 메모리매트MMAT0에 접속되고, 메모리매트MMAT0에 있어서 메모리셀의 선택동작이 가능하게 된다. 센스앰프 제어신호 ϕSAN, ϕSAN2, ϕSAP1B에 대해서는 그 상세한 설명을 후술한다.

각각의 컬럼스위치회로블럭CSWn은 컬럼 어드레스 디코더YD로부터의 컬럼선택신호를 받고 그것에 의해서 메모리매트중에서 각각 4조의 상보데이타선을 선택해서 상보공통 데이타선CD0 CD3에 도통시킨다. 컬럼어드레스디코더YD는 리드동작에 있어서 워드선 선택동작이 확정된 후에 인에이블레벨로 되는 타이밍신호 ϕY에 의해서 동작가능하게 되고, 그것에 의해서 내부 상보 컬럼어드레스신호AY를 디코드해서 컬럼선택신호를 생성한다.

상기 워드선 선택동작과 컬럼선택동작에 의해 메트선택신호MS, 내부상보 로우어드레스신호AX 및 내부 상보 컬럼어드레스신호AY에 의해서 지정되는 4개의 메모리셀이 상보 공통 데이타선CD0 CD3에 도통된다. 메모리 어레이MARY1측도 특히 도시하지 않지만, 상기와 마찬가지로 구성되고, 메모리 어레이MARY1측에는 상보 공통 데이타선CD4 CD7이 배치된다.

상기 상보 공통 데이타선CD0 CD7은 특히 제한되지 않지만, 데이타입출력회로DIO에 결합된다. 데이타 입출력회로DIO에는 메인앰프, 라이트앰프 및 데이타 입출력버퍼를 포함하고, 타이밍신호 ϕW가 인에이블레벨로 되는 것에 의해 라이트를 위한 데이타 입력동작을 실행하고, 타이밍신호 ϕR이 인에이블레벨로 되는 것에 의해 리드를 위한 데이타출력동작을 실행한다. 본 실시예의 다이나믹RAM은 8비트단위로 데이타의 라이트 및 리드가 실행되고, 메모리 어레이MARY0이 하위4비트 담당하고 메모리 어레이MARY1이 상위 4비트를 담당하고 있다.

상기 로우 어드레스 버퍼RAB는 외부 어드레스 입력단자A0 Ai에서 입력되는 로우 어드레스신호를 어드레스 멀티플렉서AMX를 거쳐서 페치해서 유지한다. 이 페치동작은 타이밍발생회로TG에서 공급되는 타이밍신호 ϕXL의 하이레벨에 의해서 지시된다.

어드레스 멀티플랙서AMX는 특히 제한되지 않지만, 다이나믹RAM의 통상의 동작모드로 될 때에 타이밍발생회로TG에서 디스에이블레벨의 타이밍신호 ϕREF가 공급되는 것에 의해서 외부단자A0 Ai를 거쳐서 공급되는 로우어드레스신호를 로우어 드레스버퍼RAB로 전달한다. 또, 다이나믹RAM이 CBR(CAS before RAS)리플레쉬 사이클로 될 때에 상기 타이밍신호 ϕREF가 인에이블레벨로 되면, 리플레쉬어드레스 카운터 RFC에서 공급되는 리플레쉬 어드레스신호를 선택하고, 이것을 로우어드레스버퍼RAB로 전달한다.

리플레쉬 어드레스 카운터RFC는 특히 제한되지 않지만, 다이나믹RAM이 CBR리플레쉬모드로 될 때, 타이밍발생회로TG에서 소정 사이클마다 공급되는 타이밍신호 ϕRC에 동기해서 계수동작을 실행하여 리플레쉬어드레스를 생성한다.

상기 컬럼 어드레스 버퍼CAB는 상기 외부 어드레스 입력단자A0 Ai를 거쳐서 공급되는 컬럼 어드레스신호를 타이밍발생회로TG에서 공급되는 제어신호 ϕYL이 인에이블로 되는 타이밍에 동기해서 페치하고 유지한다.

상기 타아밍발생회로TG는 외부로부터의 엑세스 제어신호로서 로우어드레스 스트로브신호RAS*(기호 *는 이것이 붙여진 신호가 로우 인에이블신호인 것을 의미한다), 컬럼 어드레스 스트로부CAS*, 라이트 인에이블 신호WE* 및 출력

인에이블신호OE*가 공급되고, 이들의 레벨 및 변화타이밍에 따라서 다이나믹RAM의 동작모드를 판정함과 동시에 상기 각종의 타이밍신호를 형성하고, 다이나믹RAM의 내부동작을 제어한다. 로우 어드레스 스트로브신호RAS*는 그 로우레벨에 의해서 칩선택을 지시하고, 또한 로우 어드레스신호가 유효인 것을 통지한다. 이것에 따라서 타이밍 컨트롤러TG는 로우 어드레스신호의 페치 그리고 워드선 선택동작이나 메모리매트선택을 위한 상기 제어신호를 순차 생성한다. 컬럼 어드레스 스트로브CAS*는 컬럼 어드레스신호가 유효인 것을 통지하는 신호로 된다. 그것이 인에이블레벨로 되면, 타이 밍 컨틀로러TG는 컬럼 어드레스신호의 페치 그리고 컬럼 선택동작을 위한 상기 제어신호를 순차 생성한다. 라이트 인에이블신호WE*는 그 인에이블레벨에 의해서 DRAM에 라이트동작을 지시하고, 출력 인에이블신호OE*는 그 인에이블레벨에 의해서 DRAM에 리드동작을 지시한다. CBR리플레쉬모드는 로우어드레스 스트로부신호RAS*이 인에이블로 되기 전에 컬럼 어드레스 스트로브CAS*이 인에이블레벨로 되는 것에 의해서 지정된다.

도 9에는 상기 메모리매트MMAT0, MMAT1, 센스앰프블럭SA01 및 컬럼스위치회로블럭CSW01의 부분적인 회로도가 도시되어 있다. 특히 동일도에는 1개의 컬럼선택신호YS00을 받는 회로부분이 대표적으로 도시되어 있다. 도에 있어서, 채널(백게이트)부에 화살표가 붙여 있는 MOS 트랜지스터는 P채널형으로서 화살표가 붙여져 있지 않는 N채널형의 MOS 트랜지스터와 구별되고 있다.

도 9에 있어서, 대표적으로 도시된 WL0 WLi는 워드선이고, DL0, DL0B, DL1, DL1B는 상보데이타선이고, MC는 다이나믹 메모리셀이다. 다이나믹 메모리셀MC는 데이타선에 접속된 선택 MOS 트랜지스터Q1과 축적용량SC의 직렬회로가 플레이트전위PL(VDL/2)에 접속되어 이루어진다. Q27 Q34는 데이타선 공유 스위치회로를 구성하는 일부의 공유 스위치 MOS 트랜지스터이다. 메모리매트MMAT0과의 사이에 배치된 대표적으로 도시된 공유 스위치 MOS 트랜지스터 Q27 Q30은 제어신호 ϕ SHRL에 의해 스위치제어되고, 메모리매트MMAT1과의 사이에 배치된 대표적으로 도시된 공유 스위치 MOS 트랜지스터Q31 Q34는 제어신호 ϕ SHRR에 의해 스위치제어된다. 예를 들면 매트선택신호MS가 메모리매트MMAT0을 선택할 때, 상기 매트 컨트롤 러MCNT01이 제어신호 ϕ SHRL을 하이레벨로 제어한다. 매트선택신호MS가 메모리매트MMAT1을 선택할 때에는 상기 매트 컨트롤러MCNT01이 제어신호 ϕ SHRR을 하이레벨로 제어한다. 매트선택신호MS에 의해 선택되지 않는 메모리매트에 관한 공유 스위치 MOS 트랜지스터는 상기 메모리매트에 대응되는 매트 컨트롤러에 의해 오프상태로 제어된다.

N채널형 MOS 트랜지스터 Q9, Q10과 P채널형 MOS 트랜지스터 Q13, Q14에 의해서 구성되는 스테이틱 래치형태의 차동증폭회로는 CMOS 래치회로로 이루어지는 1개의 센스앰프(3)이고, 센스앰프(3)은 상보데이타선마다 마련되어 있다. 센스앰프(3)의 동작전원은 드라이브라인SDN, SDP를 거쳐서 공급된다. 드라이브라인SDN, SDP는 각 센스앰프(3)에 공통으로 된다. 드라이브라인SDN, SDP로의 동작전원의 공급제어에 대해서는 후술한다. 또, 각각의 상보공통 데이타선에는 상기 센스앰프(3) 이외에 다이나믹RAM이 대기시에 상보 데이타선을 이퀄라이즈하는 MOS 트랜지스터 Q21을 구비한다. MOS 트랜지스터 Q21은 제어신호 ϕ PCSB에 의해서 스위치제어된다. 또, 상보 데이타선의 이퀄라이즈와 함께 상보 데이타선에 프리챠지전위를 공급하기 위한 MOS 트랜지스터 Q17, Q18이 마련되어 있다. 프리챠지전위는 강압전압VDL의 1/2의 레벨로 되고, 배선HVC를 거쳐서 공급된다. MOS 트랜지스터 Q17, Q18은 제어신호 ϕ PCB에 의해서 스위치제어된다. 상기 제어신호 ϕ PCB, ϕ PCSB는 타이밍 컨트롤러TG에서 출력된다. 프리챠지전압VDL/2는 프리챠지 전압형성회로(4)에 의해 형성되고, 예를 들면 강압전압VDL을 받는 저항분압회로 등에 의 해서 구성된다.

도 9에 있어서, Q23, Q24는 상보 데이타선DL0, DL0B와 상보공통 데이타선CDO(cd0, cd0B) 사이에 마련된 컬럼 스위치이고, Q25, Q26은 상보 데이타선DL1, DL1B와 상보공통 데이타선CD1(cd1, cd1B) 사이에 마련된 컬럼스위치이다. 동일한 컬럼스위치는 각 상보 데이타선에 마련되고, 4쌍의 상보 데이타선을 1조로 해서 4쌍의 상보공통 데이타선CD0(cd0, cd0B), CD1(cd1, cd1B), CD2(cd2, cd2B), CD3(cd3, cd3B)에 공통 접속된다.

다음에, 센스앰프(3)의 드라이브라인SDN, SDP에 동작전원을 공급하는 회로구성에 대해서 설명한다.

도 1에는 센스앰프(3)의 드라이브라인SDN, SDP에 동작전원을 공급하는 회로가 도시되어 있다. 동일도에는 대표적으로 1열분의 센스앰프(3)이 도시되어 있지만, 도에 대표적으로 도시되어 있는 드라이브라인SDN, SDP는 본 실시예의 DRAM에 포함되는 모든 센스앰프(3)을 위한 드라이브라인SDN, SDP을 총칭하고 있다. 드라이브라인SBN에는 제어신호 ϕ SAN에 의해 스위치제어되는 N채널형 MOS 트랜지스터 Q40을 거쳐서 접지전위VSS가 공급된다. 드라이브라인SDP에는 제어신호 ϕ SA1B에 의해 스위치제어되는 P채널형 MOS 트랜지스터 Q41을 거쳐서 외부전원전압VDD가 공급되고 또, 제어신호 ϕ SA2B에 의해 스위치제어되는 P채널형 MOS 트랜지스터 Q42를 거쳐서 강압전압VDL이 공급된다. 제어신호 ϕ SAN, ϕ SA1B, ϕ SA2B는 상기 타이밍컨트롤러TG에서 출력된다.

이 1예에 관한 DRAM은 상술한 바와 같이 3.3V와 같은 외부전원전압VDD를 외부전원단자에서 받지만, 기억용량증대를 위해 메모리 어레이MARY0, MARY1에 있어서의 MOS 트랜지스터는 소형화되고, 그것에 의해서 이들 MOS 트랜지스터의 게이트길이의 축소화에 따라서 게이트산화막이 박막화되어 있으므로, 메모리 어레이MARY0, MARY1에 있어서의 동작전압은 저전압화되고, 예를 들면 2.2V와 같은 강압전압VDL을 기본적인 동작전원으로 한다. 이 때, 드라이브라인SDP에 강압전압VDL만을 공급한 것에서는 센스앰프(3)의 동작속도가 지연되어 버리므로, 드라이브라인SDP에는 센스앰프 활성화 타이밍의 최초에 외부전원전압VDD를 인가하고 다음에 강압전압VDL을 인가해서 센스앰프를 동작시킨다고 하는 센스앰프의 오버드라이브기술이 적용되고 있다. 즉, 도 2에 도시되는 바와 같이 센스앰프(3)의 활성화기간을 규정하는 제어신호 ϕ SAEB(타이밍 컨트롤러TG의 내부제어신호로서 도 1에는 도시되어 있지 않다)가 로우레벨의 활성화레벨로 변화되면, 우선 제어신호 ϕ SA1B가 로울레벨로 변화되어 MOS 트랜지스터 Q41을 거쳐서 드라이브라인SDP에 전원전압VDD가 공급된다. 이것에 의해서 센스앰프(3)의 P채널형 MOS 트랜지스터 Q13, Q14에서 공급되는 전류가 비교적 크므로 메모리셀의 선택동작에 의해서 상보데이타선DL0, DL1B에 나타나는 미소

전위차는 빠르게 증폭된다. 다음에, 제어신호 ϕ SA1B가 하이레벨로 반전됨과 동시에 제어신호 ϕ SA2B가 로우레벨로 되는 것에 의해 MOS 트랜지스터 Q42클 거쳐서 드라이브라인SDP에 강압전압VOL이 공급된다. 제어신호 ϕ SAN은 제어신호 ϕ SAEB의 로우레벨기간에 동기해서 하이레벨로 된다. 이것에 의해 센스앰프(3)에 의해서 구동되는 상보 데이타선의 도달레벨은 한쪽이 접지전위VSS, 다른쪽이 강압전압VDL로 규정된다. 이와같이 해서 메모리셀 어레이의 저전압구동하에 있어서의 센스앰프(3)의 증폭동작을 고속화하고 있다. 도 2에 있어서 ODT가 오버드라이브시간으로 된다. 또한, 스위치 MOS 트랜지스터 Q41, Q42가 병렬형태로 결합되어 있으므로, 전원전압VDD와 강압전압VDL은 각각 1개의 스위치 MOS 트랜지스터를 거쳐서 드라이브라인SDP에 공급된다. 따라서, 스위치 MOS 트랜지스터가 직렬형태로 결합되는 경우와 비교해서 스위치회로의 온저항을 작게 할 수 있다.

강압회로(1)은 외부전원전압VDD에 결합되는 P채널형 MOS 트랜지스터 Q50과 접지전위VSS에 결합되는 고저항R1의 직렬접속점을 출력단자Nout로서 구비하고, 상기 출력단자Nout이 비반전입력단자(+)로 귀환되고, 반전입력단자(-)에 기준전압VLR이 공급되어 상기 MOS 트랜지스터 Q50을 스위치제어하는 연산앰프AMP1을 구비해서 구성된다. 상기 연산앰프AMP1은 출력 단자Nout의 전위가 기준전위VLR보다 낮게 되면 MOS 트랜지스터 Q50의 컨덕턴스를 크게(온저항을 작게)하고, 출력단자Nout의 전위가 기준전위VLR보다 높게 되면 MOS 트랜지스터 Q50의 컨덕턴스를 작게 (온저항을 크게)해서 출력단자Nout의 전압을 기준전압VLR로 유지하도록 부귀환제어를 실행한다. 이와 같이 해서 출력단자Nout에 형성된 전압이 강압전압VDL로 된다. 특히, MOS 트랜지스터 Q50, 저항R1과 직렬회로에 흐르는 관통전류를 최소한으로 억제하기 위해 저항R1의 값은 매우 큰 값으로 되어 있다. 상기 부귀환제어에 있어서, 고저항R1을 거쳐서 출력단자Nout로 흐르는 전류는 실질적으로 무시할 수 있을 정도로 적게 되어 있다. 또한, 기준전압VLR은 예를 들면 도시하지 않은 공지의 기준전압 발생회 로에 의해서 형성되는 제어전압으로서 예를 들면 2.2V로 된다.

여기서, 외부전원전압VDD는 예를 들면 3.3V로 되지만, 이용가능한 전원전압에는 통상 ±10%정도의 허용범위를 용인하고 있다. 따라서, 외부전원전압VDD로서 그 허용범위에 있어서의 하한레벨이 공급되는 경우에 있어서도 센스앰프(3)의 과도 응답동작의 고속화를 도모할 수 있도록 상기 제어신호 ϕ SA1B의 활성화기간(오버드라이브시간ODT)을 설정하지 않으면 안 된다. 따라서, 그와 같은 관점만으로 상기 오버드라이브시간이 고정되면, 공급되는 외부전원전압VDD가 허용범위의 상한레벨이거나 전원전압VDD측의 동작마진 테스트 등을 위해 특히 높은 외부전원전압VDD가 공급된 경우 등에는 센스앰프(3)의 동작전원이 외부전원전압VDD에서 강압전압VDL로 전환되었을 때에 드라이브라인SDP에서 강압회로(1)의 출력단자Nout를 향해서 전류가 역류하게 된다. 역류한 전류는 상술한 바와 같이 고저항R1을 거쳐서 접지전위VSS로 즉시 디스챠지시키는 것은 기대할 수 없다. 드라이브라인SDP로부터의 역류전류는 강압전압VDL의 레벨을 서서히 상승시키고 그것에 따라서 상보 데이타선의 프리챠지레벨(VDL/2)을 상승시키는 것으로 된다. 이 예에 있어서는 그와 같은 드라이브라인SDP에서 강압회로(1)을 향해서 전류가 역류하는 과잉의 오버드라이브를 저지하도록 오버드라이브시간ODT를 전원전압VDD의 레벨에 따라서 가변으로 제어하는 것이다.

그를 위한 타이밍 형성회로는 도 1에 도시되는 타이밍 컨트롤러TG의 일부로서 도시된다. 즉, 상기 센스앰프(3)의 활성화기간을 규정하는 제어신호 ϕ SAEB의 로우레벨기간에 있어서 최초에 상기 제어신호 ϕ SA1B를 활성화하고, 다음에 상기 제어신호 ϕ SA2B를 활성화하도록 쌍방의 제어신호 ϕ SA1B, ϕ SA2B를 상보적으로 변화시키므로, 각각 2입력형식의 NAND게이트(10)과 NOR게이트(11)이 마련되고, NAND게이트(10)과 NOR게이트(11)의 한쪽의 입력단자가 서로 결합되고, NAND게이트(10)의 상기 한쪽의 입력단자와 다른쪽의 입력단자 사이에는 기수개의 CMOS인버터INV0 INVi(i = 2n-1)을 직렬접속한 지연회로(12)가 배치된다. 도 4에는 지연회로의 구체적인 1예회로가 도시되어 있다.

상기 NAND게이트(10)의 다른쪽의 입력단자에는 CMOS인버터(13)을 거쳐서 제어신호 ϕ SAEB가 공급되고, NOR게이트(11)의 다른쪽의 입력단자에는 제어신호 ϕ SAEB가 공급된다. 제어신호 ϕ SA1B는 상기 NADN게이트(10)에서 출력되고, 제어신호 ϕ SA2B는 NOR게이트(11)의 출력을 CMOS인버터(14)에 의해 반전해서 형성된다. 제어신호 ϕ SAN은 상기 제어신호 ϕ SAEB를 직렬3단의 CMOS인버터(15), (16), (17)을 통해서 형성된다.

타이밍 컨트롤러TG에 포함되는 회로의 동작전원은 외부전원전압VDD과 접지전위VSS이다. 상기 지연회로(12)에 포함되는 CMOS인버터INV0 INi의 직렬단수는 외부전원전압VDD가 그 허용범위의 하한레벨인 경우에도 센스앰프(3)의 과도 응답동작의 고속화를 도모하기에 충분한 오버드라이브시간ODT가 얻어지도록 결정된다. 여기서, 오버드라이브시간ODP를 규정하는 상기 지연회로(12)의 CMOS인버터INV0 INi는 도 4에 도시되는 바와 같이 그 전원전압으로서 외부전원전압VDD를 받는다. 각 인버터는 그 동작전원전압이 높을수록 과도 응답시간이 짧아지므로 외부전원전압VDD가 낮을 때에는 오버드라이브시간이 상대적으로 길어지고, 외부전원전압VDD가 높을 때에는 오버드라이브시간이 상대적으로 짧아진다. 이와 같이 지연회로의 지연시간이 외부전원전압VDD에 대해서 부의 의존성을 갖는다. 따라서, 공급되는 외부전원전압VDD가 허용범위의 상한레벨이거나 전원전압VDD측의 동작마진테스트 등을 위해 특히 높은 외부전원전압VDD가 공급된 경우에는 지연회로(12)의 지연시간은 상대적으로 짧아진다. 즉, 오버드라이브시간ODT가 상대적으로 짧아져 상대적으로 레벨이 높은 외부전원전압VDD가 MOS 트랜지스터 Q41을 거쳐서 드라이브라인SDP에 공급되는 시간이 짧아진다. 이것에 의해 상대적으로 레벨이 높은 외부전원전압VDD에 의해서 센스앰프(3)이 과잉으로 오버드라이브되는 것을 방지할 수 있다.

이와 같이 지연회로를 구성하는 인버터의 전원전압으로서 오버드라이브용의 전압(VDD)를 사용하는 것에 의해 간단한 구성으로 확실하게 오버드라이브시간을 제어할 수 있다.

센스앰프(3)에 대한 오버드라이브가 과잉으로 되는 것을 방지할 수 있는 것에 의해 여러개의 센스앰프(3)에서 강압회로(1)을 향해서 전류가 역류하는 사태의 발생을 저지할 수 있고, 이것에 의해서 강압전압VDL이 바람직하지 않게 레벨상승되는 사태를 방지할 수 있다. 따라서, 동작전압의 저전압화가 목적인 회로의 신뢰성이 강압전압VDL이 바람직하지 않게, 레벨상승되는 것에 의해서 저하되는 사태를 저지할 수 있다. 예를 들면, 센스앰프(3)의 증폭동작에 의한 데

이타선의 도달전압은 강압전압VDL의 레벨상승에 의해서 높아지는 것에 의해 워드선의 선택레벨과 데이타 선의 하이레벨의 전위차가 작게 되어 메모리셀로의 하이레벨 라이트에 있어서 축적용량SC에는 데이타선의 상기 하이레벨의 전압을 인가할 수 없게 되는 것을 방지할 수 있다. 또, 상기 강압전압VDL의 바람직하지 않은 레벨상승에 의해서 센스앰프(3)에 의한 데이타선의 도달전압이 상승되면, 그것에 따라서 칩비선택기간에 이퀄라이즈되는 데이타선의 초기적인 레벨인 프리챠지레벨도 상승하고, 그와 같은 상태에서 라이트된 데이타가 리드된 경우, 프리챠지레벨에 대한 하이레벨의 리드전압 마진도 작게 되는 것도 방지할 수 있다. 또, 워드선 선택레벨을 형성하는 승압회로(2)가 상기 강압전압VDL을 이용하는 경우에는 강압전압VDL의 바람직하지 않은 레벨상승은 워드선 선택레벨VPP를 상승시켜 메모리셀MC의 선택 MOS 트랜지스터 Q1의 게이트산화막을 파손시킨다고 하는 우려도 생기지 않게 한다.

도 3에는 센스앰프제어를 위한 제어신호 ϕ SAN, ϕ SA1B, ϕ SA2B를 생성하는 회로의 다른 예가 도시된다. 동일도에 도시되는 회로는 2입력 NOR게이트(20)와 한쪽의 입력단자에 상기 제어신호 ϕ SAEB가 공급되고, 상기 NOR게이트(20)의 한쪽의 입력단자와 다른쪽의 입력단자사이에 오버드라이브시간을 결정하기 위한 지연회로(21)이 배치되어 있다. 상기 제어신호 ϕ SAN은 제어신호 ϕ SAEB를 CMOS인버터(22)에 의해 반전해서 형성되고, 제어신호 ϕ SA1B는 NOR게이트(20)의 출력을 CMOS 인버터(23)에 의해 반전해서 형성되고, 제어신호 ϕ SA2B는 지연회로(21)의 출력을 CMOS인버터(24)에 의해서 반전해서 형성된다.

동일도에 도시되는 논리구성에 의해서도 도 2에 도시되는 파형 제어신호 ϕ SAN, ϕ SA1B, ϕ SA2B를 기본적으로 형성할 수 있다. 특히, 도 3의 경우, 상기 지연회로(21)은 기수단의 CMOS 인버터INV0, INV1, INV3과 CR 지연회로(25)의 직렬회로에 의해서 구성된다. CR지연회로(25)는 용량소자나 저항소자와 같은 수동회로소자로 구성되는 지연요소로서, CMOS 인버터와는 다르고 그 지연시간은 전원전압에 대해서 부의 의존성을 갖고 있지 않다. 도 1에 도시되는 지연회로(12)와 같이 CMOS 인버터만으로 구성한 경우에 지연시간의 전원전압 의존성이 너무 커서 불합리한 경우, 도 3과 같이 지연시간에 전원전압의존성이 없는 CR지연회로와 CMOS 인버터를 조합해서 지연회로를 구성하는 것이 득책이다. 또한, 도 1의 논리구성에 있어서도 도 3의 지연회로(21)을 채용하는 것은 물론 가능하다.

상기한 예는 1예이고, 본 발명의 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다. 예를 들면 강압유닛(10)에 있어서의 전류원은 연산앰프를 이용해서 부귀환제어하는 구성에 한정되지 않는다. 또, DARM의 메모리매트구성, 매트선택의 논리구성, 데이타의 병렬 입출력 비트수 등은 상기 실시예에 한정되지 않고 적절히 변경가능하다. 또, 센스앰프제어를 위한 제어신호 ϕ SAN, ϕ SA1B, ϕ SA2B를 생성하는 회로의 논리구성은 도 1 및 도 3에 한정되지 않고 적절히 변경가능하다. 지연수단으로서도 MOS회로는 CMOS인버터에 한정되지 않고 NAND, NOR 등의 논리게이트에 의해서 구성할 수 있다. 지연시간이 전원전압에 대해서 부의 의존성을 갖는 회로는 MOS 트랜지스터만을 갖는 회로에 한정되지 않고 바이폴라 트랜지스터 등 그 밖의 회로소자를 포함해서 구성하는 것도 가능하다.

도 5에는 센스앰프(3)의 드라이브라인SDN, SDP에 동작전원을 공급하기 위한 다른 예에 관한 회로가 도시된다. 도 5와 상기 도1에 있어서 공통 부분에는 동일부호가 붙여져 있다.

드라이브라인SDN은 N채널형 MOS 트랜지스터 Q9, Q10의 공통 드레인에 결합되고, 드라이브라인SDP는 P채널형 MOS 트랜지스터 Q13과 Q14의 공통 드레인에 결합된다. 동일도에는 대표적으로 1열분의 센스앰프(3)이 도시되어 있지만, 도에 대표적으로 도시되어 있는 드라이브라인SDN, SDP는 본 실시예의 DRAM에 포함되는 모든 센스앰프(3)을 위한 드라이브라인SDN, SDP을 총칭하고 있다. 드라이브라인SDN에는 제어신호 ϕ SAN에 의해서 스위치 제어되는 N채널형 MOS 트랜지스터 Q40을 거쳐서 접지전위VSS가 공급된다. 드라이브라인SDP에는 제어신호 ϕ SAP1B에 의해서 스위치제어되는 P채널형 MOS 트랜지스터 Q41을 거쳐서 외부전원전압VDD가 공급되고, 또 제어신호 ϕ SAN2에 의해서 스위치제어되는 N채널형 MOS 트랜지스터 Q42'을 거쳐서 강압전압VDL이 공급된다. 제어신호 ϕ SAN, ϕ SAP1B, ϕ SAN2는 상기 타이밍 컨트롤러TG에서 출력된다.

제어신호 ϕ SAN, ϕ SAP1B, ϕ SAN2를 형성하는 회로는 도 1에 도시되는 타이밍 컨트롤러TG의 일부로서 도시된다. 즉, 상기 센스앰프(3)의 활성화기간을 규정하는 제어신호 ϕ SAEB(타이밍 컨트롤러TG의 내부제어신호로서 도 1에는 도시되어 있지 않다)의 로우레벨기간에 있어서 최초에 상기 제어신호 ϕ SAP1B를 활성화하고 다음에 상기 제어신호 ϕ SAN2를 활성화하도록 각각 2입력형식의 NAND게이트(10)과 NOR게이트(11)이 마련되고, NAND게이트(10)과 NOR게이트(11)중 한쪽의 입력단자가 서로 결합되고, NAND게이트(10)의 상기 한쪽의 입력단자와 다른쪽의 입력단자 사이에는 기수개의 CMOS인버터INV0 INVi(i = 2n-1)을 직렬접속한 지연회로(12)가 배치된다. 상기 NAND게이트(10)의 다른쪽의 입력단자에는 CMOS인버터(13)을 거쳐서 제어신호 ϕ SAEB가 공급되고, NOR게이트(11)의 다른쪽의 입력단자에는 제어신호 ϕ SAEB가 공급된다. 제어신호 ϕ SAP1B는 상기 NADN게이트(10)에서 출력되고, 제어신호 ϕ SAN은 상기 제어신호 ϕ SAEB를 직렬3단의 CMOS인버터(15), (16), (17)을 통해서 형성된다. 상기 NOR게이트(11)의 출력 ϕ SA2는 레벨변환회로(6)에 공급되고 레벨변환회로(6)의 출력이 상기 제어신호 ϕ SAN2로 된다.

상기 레벨변환회로(6)은 입력신호의 신호진폭을 확대해서 출력으로 전달하는 회로로서, P채널형 MOS 트랜지스터 Q60, Q61과 N채널형 MOS 트랜지스터 Q62의 직렬회로, P채널형 MOS 트랜지스터 Q63, Q64와 N채널형 MOS 트랜지스터 Q65의 직렬회로가 승압전압VPP와 접지전위VSS 사이에 병렬배치되어 있다. MOS 트랜지스터 Q61, Q62의 게이트에는 입력신호 ϕ SA2가 공급되고, MOS 트랜지스터 Q64, Q65의 게이트에는 입력신호 ϕ SA2가 CMOS인버터(18)에 의해 반전되고 공급된다. MOS 트랜지스터 Q61, Q62의 결합점은 MOS 트랜지스터 Q63의 게이트에, MOS 트랜지스터 Q64와 Q65의 결합점은 MOS 트랜지스터 Q60의 게이트에 결합된다. 입력신호 ϕ SA2의 신호진폭은 접지전위VSS와 전원전압VDD의 전위차로 된다. 즉, NOR게이트(11)의 동작전원은 VDD, VSS로 된다. 제어신호 ϕ SA

2가 전원전압VDD의 레벨로 되어 있을 때에는 MOS 트랜지스터 Q62의 온상태, MOS 트랜지스터 Q65의 오프상태, MOS 트랜지스터 Q63, Q64의 온상태에 의해서 제어신호 ϕ SAN2는 승압전압VPP의 레벨로 된다. 제어신호 ϕ SA2가 접지전위VSS의 레벨로 되면, MOS 트랜지스터 Q62의 오프상태, MOS 트랜지스터 Q65의 온상태, MOS 트랜지스터 Q60, Q61의 온상태, MOS 트랜지스터 Q63의 오프상태에 의해서 제어신호 ϕ SAN2는 접지전위VSS의 레벨로 된다. 따라서, 신호진폭이 접지전위VSS와 전원전압VDD의 전위차로 되는 입력신호 ϕ SA2는 신호진폭이 접지전위VSS와 상기 승압전압VPP의 전위차로 되는 출력신호 ϕ SAN2로 변환되고, 쌍방의 신호 ϕ SA2, ϕ SAN2의 논리값은 일치되어 있다. 승압전압VPP는 예를 들면 4.0V로 된다.

도 6에는 도 5의 회로구성에 의해서 드라이브라인SDN, SDP에 동작전원을 공급할 때를 위한 제어신호 ϕ SA, ϕ SA1B, ϕ SAN2의 파형이 도시된다.

센스앰프(3)의 활성화기간을 규정하는 제어신호 ϕ SAEB가 로우레벨의 활성화레벨로 변화되면, 우선 제어신호 ϕ SAP1B가 로우레벨(접지전위VSS의 레벨)로 변화되어 MOS 트랜지스터 Q41을 거쳐서 드라이브라인SDP에 전원전압VDD가 공급된다. 이것에 의해 센스앰프(3)의 P채널형 MOS 트랜지스터 Q13, Q14에 공급되는 전류는 비교적크므로, 메모리셀의 선택동작에 의해서 상보 데이타선DL0, DL0B에 나타나는 미소전위차는 빠르게 증폭된다. 다음에, 제어신호 ϕ SAP1B가 하이레벨(전원전압VDD의 레벨)로 반전됨과 동시에 제어신호 ϕ SAN2가 하이레벨(승압전압VPP의 레벨)로 되는 것에 의해 MOS 트랜지스터 Q42'를 거쳐서 드라이브라인SDP에 강압전압VDL이 공급된다. 제어신호 ϕ SAN은 제어신호 ϕ SAEB의 로우레벨기간에 동기해서 하이레벨 로 된다. 이것에 의해 센스앰프(3)에 의해서 구동되는 상보 데이타선의 도달레벨은 한쪽이 접지전위VSS, 다른쪽이 강압전압VDL로 규정된다.

이 때, MOS 트랜지스터 Q42'는 N채널형이고, 그것을 온상태로 제어하는 제어신호 ϕ SAN2의 하이레벨은 그 드레인전압(강압전압VDL)보다 큰 전압, 예를 들면 워드선 승압전압VPP로 되어 있으므로, 상기 MOS 트랜지스터 Q42'의 게이트 소오스간 전압은 비교적 크게 되어 있다. 또, 캐리어 이동도는 P채널형 MOS 트랜지스터에 비해 N채널형 MOS 트랜지스터가 3배 정도 크다. 따라서, 도 1의 실시예와 같이 P채널형 MOS 트랜지스터 Q42를 사용해서 접지전위VSS에 의해 그것을 온상태로 제어하는 경우에 비해 MOS 트랜지스터 Q42'에 비교적 큰 전류공급능력을 얻을 수 있다. 그 결과, 동작전압이 저전압화된 상황에 있어서도 센스앰프(3)을 고속동작시킬 수 있다.

N채널형 MOS 트랜지스터 Q42'의 게이트전압이 만약 드레인전압(강압전압VDL)과 동일한 경우에는 이 MOS 트랜지스터 Q42'의 소오스전압온 게이트전압보다 MOS 트랜지스터 Q42'의 임계값 전압만큼 저하된다. 이, 전압저하를 적게하기 위해 본 발명의 실시예에서는 상기 게이트전압은 상기 드레인전압보다 높게 설정되어 있다. 상기 게이트전압을 드레인전압과 상기 임계값전압의 합 이상의 전압으로 하면, 상기 임계값전압의 저하만큼을 완전히 없앨 수 있으므로, 센스앰프에 대한 저전압화된 전압(VDL)의 공급능력의 저하를 한층 효과적으로 방지할 수 있다.

예를 들면, VSS=0V, VDD=3, 3V, VDL=2.2V, VPP=4.0V로 하면, N채널형 MOS 트랜지스터 Q42'를 VPP=4.0V의 게이트전압에서 온상태로 할 때의 게이트 소오스간 전 압은 1.8V로 되고, 만약 MOS 트랜지스터 Q42'를 P채널형으로 하고 0V의 게이트전압에서 온상태로 한 경우 게이트 소오스간 전압은 2.2V로 된다. 외관상 P채널형 MOS 트랜지스터의 게이트 소오스간 전압이 크지만, 그 경우에도 캐리어 이동도의 차를 고려하면, MOS 트랜지스터 Q42'를 N채널형으로 구성한 것이 상대적으로 큰 전류공급능력을 얻을 수 있다. 특히, MOS 트랜지스터 Q42'를 P채널형으로 해서 접지전위VSS에서 온상태로 하는 경우, 게이트 소오스간 전압(VGS)=강압전압VDL로 되고, 센스앰프(3)의 동작전압이 저전압화될수록 VGS가 작게 되는 경향을 취한다. 이것에 대해서 본 실시예와 같이 N채널형 MOS 트랜지스터 Q42'를 승압전압VPP에서 온상태로 하는 구성에 있어서는 N채널형 MOS 트랜지스터 Q42'를 온상태로 하기 위한 게이트 소오스간 전압은 상기 MOS 트랜지스터 Q42'의 게이트산화막의 내압 등외 요인에 따라서 결정할 수 있고, 동작전압의 저전압화에 따라서 VGS가 작게 되는 경향을 갖지 않는다. 따라서, 동작전압의 저전압화가 이후 진행되면 예상되는 상황에 있어서 MOS 트랜지스터 Q42'를 N채널형으로 하고, 그것을 승압전압에 의해서 온상태로 제어하는 구성은 센스앰프의 고속화로의 대응에 우수하다. 또, 워드선 선택레벨을 형성하는 승압회로(2)의 출력VPP를 이용해서 MOS 트랜지스터 Q42'의 스위치 제어신호 QSAN2을 생성하는 것에 의해 센스앰프(3)의 동작속도의 고속화시에 회로규모의 증대를 극력 억제할 수 있다.

도 5의 예에 있어서도 상기 도 1의 실시예와 마찬가지로 지연회로(12)를 구성하는 인버터의 전원전압으로서 오버드라이브용의 전압(VDD)을 사용하는 것에 의해 간단한 구성으로 확실하게 오버드라이브시간을 제어할 수 있다.

따라서, 도 5에 도시한 예에 의하면, 오버드라이브기술에 있어서 오버드라이브시간을 오버드라이브용의 전압(VDD)에 따라서 제어할 수 있음과 동시에 강압전압 공급용의 MOS 트랜지스터 Q42'의 전류공급능력이 높으므로 데이타선의 레벨을 고속이고 또한 확실하게 원하는 레벨까지 증폭할 수 있다.

도 7에는 센스앰프(3)의 드라이브라인SDP에 강압전압VDL을 공급하기 위한 다른 예가 도시된다. 이 예에서는 상기 MOS 트랜지스터 Q42' 대신에 P채널형 MOS 트랜지스터 Q43을 채용하고 그것을 스위치제어하는 신호진폭을 기판바이어스전압VBB와 전원전압VDD의 범위로 하는 것에 의해 상기 MOS 트랜지스터 Q43의 게이트 소오스간 전압을 비교적 크게 하고자 하는 것이다. 도 4에 있어서 MOS 트랜지스터 Q43의 스위칭제어신호는 QSAP2B로 되고, 그 신호진폭은 전원전압VDD와 기판바이어스전압VBB사이의 전위차로 된다.

도 7에 있어서, (7)은 레벨변환회로이다. 이 레벨변환회로(7)은 상기 제어신호 QSA2를 CMOS인버터(19)에 의해 반전해서 입력하고, 입력신호의 신호진폭을 확대해서 출력으로 전달하는 회로로서, P채널형 MOS 트랜지스터 Q70과 N채널형 MOS 트랜지스터 Q71, Q72의 직렬회로, P채널형 MOS 트랜지스터 Q73과 N채널형 MOS 트랜지스터 Q74, Q75의 직렬회로가 전원전압VDD와 기판바이어스전압VBB 사이에 병렬배치되어 있다. MOS 트랜지스터 Q70, Q71의 게이트에는 입력신호 ΦSA2의 반전신호가 공급되고, MOS 트랜지스터 Q73, Q74의 게이트에는 입력신호 ϕ SA2가 CMOS인버터(19), (20)을 거쳐서 공급된다. MOS 트랜지스터 Q70과 Q71의 결합점은 MOS 트랜지스터 Q75의 게이

트에, MOS 트랜지스터 Q73과 Q74의 결합점은 MOS 트랜지 스터 Q72의 게이트에 결합된다. 입력신호 ϕ SA2의 신호진폭은 접지전위VSS와 전원전압VDD의 전위차로 되고(인버터 19, 20의 동작전원은 VSS, VDD이다), 제어신호 ϕ SA2가 전원전압VDD의 레벨로 되어 있을 때에는 MOS 트랜지스터 Q70의 온상태, MOS 트랜지스터 Q73의 오프상태, MOS 트랜지스터 Q74, Q75의 온상태에 의해서 제어신호 ϕ SAP2B는 기판바이어스 전압VBB의 레벨로 된다. 제어신호 ϕ SA2가 접지전위VSS의 레벨로 되면, MOS 트랜지스터 Q70의 오프상태, MOS 트랜지스터 Q71의 온상태, MOS 트랜지스터 Q73, Q72의 온상태, MOS 트랜지스터 Q75의 오프상태에 의해서 제어신호 ϕ SAP2B는 전원전압VDD의 레벨로 된다. 따라서, 신호진폭이 접지전위VSS와 전원전압VDD의 전위차로 되고 입력신호 ϕ SA2는 논리값이 반전되고 신호진폭이 기판바이어스전압VBB와 전원전압VDD의 전위차로 되는 출력신호 ϕ SAP2B로 변환된다.
도 7의 구성에 의해 드라이브라인SDP로의 강압전압VDL의 공급에 P채널형 MOS 트랜지스터 Q43을 채용해도 그것을 스위치제어하는 신호진폭을 기판바이어스전압VBB와 전원전압VDD의 범위로 하는 것에 의해서 상기 MOS 트랜지스터 Q43의 게이트 소오스간 전압을 비교적 크게할 수 있고 그 결과, 동작전압이 저전압화된 상황에 있어서도 센스앰프(3)을 고속동작시킬 수 있다. 단, 동작전압의 저전압화가 진행하는 상황에 있어서 강압전압VDL이 저전압화됨에 따라서 MOS 트랜지스터 Q43의 게이트 소오스간 전압은 작게 되는 경향을 갖게 된다. 기판바이어스전압VBB로서 기판바이어스전압이 형성하는 부전압을 이용하는 것에 의해 센스앰프(3)의 동작속도의 고속화시에 회로규모의 증대를 극력 억제할 수 있다.
상기의 예에 대해서도 본 발명의 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다. 예를 들면, 상기의 예에서는 센스앰프를 오버드라이브하는 경우에 대해서 설명했지만, 오버드라이브를 채용하지 않는 경우에 센스앰프의 고전위측의 드라이브라인에 동작전압을 공급하는 MOS 트랜지스터에 대해서도 Q42, Q43에 관한 구성을 마찬가지로 채용할 수 있다. 또, 오버드라이브를 채용하는 경우에 MOS 트랜지스터 Q41에 대해서도 Q42, Q43에 관한 구성을 마찬가지로 채용할 수 있다. 또, DRAM의 메모리매트구성, 매트선택의 논리구성, 데이타의 병렬 입출력비트수 등은 상기 실시예에 한정되지 않고 적절히 변경가능하다. 또, 센스앰프제어를 위한 제어신호 ϕ SAN, ϕ SAP1B, ϕ SAN2를 생성하는 회로의 논리구성은 도 1에 한정되지 않고 적절히 변경가능하다.
이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 요지로 된 이용분야인 DRAM에 적용한 경우에 대해서 설명했지만, 본 발명은 그것에 한정되는 것은 아니고 클럭신호에 동기동작되는 동기 DRAM, 의사스테이틱 RAM, 더 나아가서는 마이크로컴퓨터 등의 데이타처리LSI에 온칩된 그들 메모리 등, 데이타전송을 위한 리시버용의 차동증폭회로를 구비한 반도체집적회로 등에 널리 적용할 수 있다.

발명의 효과

본원에 있어서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.
즉, 센스앰프와 같은 차동증폭회로의 구동방식으로서 오버드라이브기술이 채 용되고 있을 때, 오버드라이브시간을 규정하는 지연수단의 지연시간이 외부전원전압에 대해서 부의 의존성을 갖는 것에 의해 공급되는 외부전원전압이 허용범위의 상한레벨이거나, 전원전압측의 동작마진 테스트 등을 위해 특히 높은 외부전원전압이 공급된 경우에는 지연수단의 지연시간은 상대적으로 짧아지고, 즉 오버드라이브시간(ODT)이 상대적으로 짧아지고, 상대적으로 레벨이 높은 외부전원전압이 차동증폭회로의 드라이브라인(SDP)에 공급되는 시간이 짧아진다. 이것에 의해 상대적으로 레벨이 높은 외부전원전압에 의해서 차동증폭회로가 과잉으로 오버드라이브되는 것을 방지할 수 있다.
차동증폭회로에 대한 오버드라이브가 과잉으로 되는 것을 방지할 수 있는 것에 의해 여러개의 차동증폭회로에서 강압전압을 향해서 전류가 역류하는 사태의 발생을 방지할 수 있고 이것에 의해 동작전압이 저전압화된 회로, 예를 들면 DRAM의 메모리 어레이에 공급되는 강압전압(VDL)이 바람직하지 않게 레벨상승되는 사태를 방지할 수 있다. 따라서, 동작전압의 저전압화가 목적으로 하는 적합한 회로의 신뢰성이 강압전압이 바람직하지 않게 레벨상승되는 것에 의해서 저하되는 사태를 저지할 수 있다. 예를 들면, 센스앰프와 같은 차동증폭회로의 증폭동작에 의한 데이타선의 도달전압이 강압전압의 상승에 의해서 높아지는 것에 의해 워드선의 선택레벨과 데이타선의 하이레벨의 전위차가 작게 되어 메모리셀로의 하이레벨 라이트에 있어서 축적용량에는 데이타선의 상기 하이레벨의 전압을 인가할 수 없게 되는 사태를 방지할 수 있다. 또, 강압전압의 바람직하지 않은 레벨상승에 의해서 센스앰프와 같은 차동증폭회로에 의한 데이타선의 도달전압이 상승되면 그것에 따라서 이 퀄라이즈되는 데이타선의 프리챠지레벨도 상승하고, 그와 같은 상태에서 라이트된 데이타가 리드된 경우, 프리챠지레벨에 대한 하이레벨의 리드전압마진도 작게 되는 것을 방지 할 수 있다. 또, 워드선선택레벨을 형성하는 승압회로가 상기 강압전압을 이용하는 경우에는 강압전압의 바람직하지 않은 레벨상승이 워드선 선택 레벨을 상승시켜서 메모리 셀 선택 트랜지스터의 게이트산화막을 파손시킬 우려도 발생시키지 않는다.
지연시간에 강압전압의 존성이 없는 CR지연회로와 같은 수동소자로 이루어지는 지연요소를 MOS 트랜지스터 회로와 병용해서 상기 지연수단을 구성하는 것에 의해 CMOS인버터 와 같은 MOS 트랜지스터 회로만으로 필요한 지연시간을 확보하고자 하는 경우에 지연시간의 전원전압의존성이 너무 크게 될 때에도 대처할 수 있어 필요한 지연시간과 지연시간의 전원전압 의존성의 쌍방을 최적화하기 쉽게 된다.
차동증폭회로의 고전위측 드라이브라인에 전원 전압 또는 강압전압을 공급하는 MOS 트랜지스터를 N채널형으로 하고, 그 스위칭제어신호의 진폭을 전원전압보다 승압된 전압으로 하는 것에 의해 동작전압이 저전압화됨에 따라서 고전위측 드라이브라인으로의 동작전원공급용 MOS 트랜지스터의 게이트 소오스간 전압이 작게 되는 것을 회피 할 수 있어 동작전압이 저전압화되는 상황에 있어서도 차동증폭회로를 고속동작시킬 수 있다.

또, 차동증폭회로의 고전위측의 드라이브라인에 동작전원을 공급하는 MOS 트랜지스터를 P채널형으로 하는 경우에도 그것을 스위치 제어하는 신호진폭이 부전압과 전원전압의 범위로 하면, 상기 MOS 트랜지스터의 게이트 소오스간 전압을 비교 적 크게 할 수 있고 그 결과, 동작전압이 저전압화된 상황에 있어서도 차동증폭회로를 고속동작시킬 수 있다.
상기 고전위측의 드라이브라인에 동작전원을 공급하는 N채널형 MOS 트랜지스터를 스위치 제어하는 신호진폭을 규정하기 위한 승압전압으로서 워드선 선택레벨을 형 성 하는 승압회로의 출력을 이용하고, 또 상기 드라이브라인에 동작전원을 공급하는 P채널형 MOS 트랜지스터를 스위치제어하는 신호진폭을 규정하기 위한 부전압으로서 기판바이어스전압 발생회로가 형성하는 부전압을 이용하는 것에 의해 상기 차동증폭회로의 동작속도의 고속화시에 회로규모의 증대를 극력 억제할 수 있다.

(57) 청구의 범위

청구항 1.
상보신호선의 전위차를 증폭하는 차동증폭회로 및
상기 차동증폭회로의 동작전원으로서 제1 구동전압을 공급하는 제1 구동제어신호를 형성함과 동시에 제1 구동제어신호가 활성화된 후에 상기 제1 구동제어신호가 비활성화되는 것에 호응해서 활성화되고 상기 제1 구동전압보다 레벨이 낮은 제2 구동전압을 상기 차동증폭회로의 동작전원으로서 공급시키는 제2 구동제어신호를 형성하는 제어회로를 구비하고,
상기 제어회로는 제1 구동제어신호가 활성화되고 있는 기간을 규정하는 지연회로를 포함하고,
상기 지연회로는 상기 제1 구동전압을 동작전원으로서 받는 인버터회로를 포함하고, 상기 제1 구동제어신호가 활성화되어 있는 기간이 상기 제1 구동전압에 대해서 부의 의존성을 갖는 것을 특징으로 하는 반도체집적회로.

청구항 2.
제1항에 있어서,
상기 인버터회로는 CMOS 인버터회로인 것을 특징으로 하는 반도체집적회로.

청구항 3.
선택단자가 워드선에 결합된 여러개의 메모리셀,
메모리셀의 데이타 입출력단자에 접속되는 상보신호선,
상보신호선의 전위차를 증폭하는 차동증폭회로,
외부에서 공급되는 외부전원전압을 강압해서 상기 워드선의 선택레벨 이하의 강압전압을 형성하는 강압회로 및
상기 차동증폭회로의 활성화 타이밍에 있어서 최초로 상기 외부전원전압을 동작전원으로서 상기 차동증폭회로에 공급시키는 제1 구동제어신호를 형성함과 동시에 제1 구동제어신호가 활성화된 후에 상기 제1 구동제어신호가 비활성화되는 것에 호응해서 활성화되고 상기 강압회로에 의해 생성되는 강압전압을 차동증폭회로의 동작전원으로서 공급시키는 제2 구동제어신호를 형성하는 제어회로를 구비하고,
상기 제어회로는 상기 제1 구동제어신호가 활성화되어 있는 기간을 규정하는 지연회로를 포함하고,
상기 지연회로는 동작전원으로서 상기 외부전원전압을 받는 인버터회로를 포함하고, 상기 제1 구동제어신호가 활성화되어 있는 기간이 상기 외부전원전압에 대해 부의 의존성을 갖는 것을 특징으로 하는 반도체집적회로.

청구항 4.
제3항에 있어서,
상기 강압회로는 전류원과 고저항의 직렬 접속점에 상기 강압전압을 형성하는 회로인 것을 특징으로 하는 반도체집적회로.

청구항 5.
제4항에 있어서,
상기 메모리셀은 다이나믹형의 메모리셀이고,
상기 강압회로의 출력단자의 전압의 대략 1/2의 전압을 상기 상보신호선의 프리챠지전압으로서 형성하는 회로,
상기 상보신호선을 선택적으로 도통시키는 이퀄라이즈회로 및
상기 이퀄라이즈회로에 의한 상보신호선의 도통타이밍에 호응해서 상보신호선에 상기 프리챠지전압을 공급하는 프리챠지회로를 구비해서 이루어지는 것을 특징으로 하는 반도체집적회로.

청구항 6.
1쌍의 데이타선,
1쌍의 P채널형 MOS 트랜지스터와 1쌍의 N채널형 MOS 트랜지스터를 구비하는 CMOS래치회로로서 상기 1쌍의 데이타선의 전위차를 증폭하는 센스앰프,
제1 전압을 받는 제1 단자,
상기 제1 전압보다 낮은 제2 전압을 받는 제2 단자,
상기 1쌍의 P채널형 MOS 트랜지스터에 있어서 공통결합되는 1쌍의 소오스와 상기 제1 단자 사이에 마련되는 제1 스위치 MOS 트랜지스터,
상기 공통결합되는 1쌍의 소오스와 상기 제2 단자 사이에 마련되는 제2 스위치 MOS 트랜지스터 및
제1 기간에 상기 제1 스위치 MOS 트랜지스터가 온상태로 되고, 상기 제1 기간후의 제2 기간에 상기 제1 스위치 MOS 트랜지스터가 오프상태 또한 상기 제2 스위치 MOS 트랜지스터가 온상태로 되도록 상기 제1 및 제2 스위치 MOS

트랜지스터를 제어하는 제어회로를 포함하고,
상기 제어회로는 상기 제1 기간을 규정하는 지연회로를 포함하고,
상기 지연회로는 상기 제1 전압을 동작전원으로서 받는 인버터회로를 포함하는 것을 특징으로 하는 반도체집적회로.

청구항 7.

제6항에 있어서,
상기 제1 및 제2 스위치 MOS 트랜지스터는 병렬형태로 결합되고, 상기 제1 기간에 상기 제2 스위치 MOS 트랜지스터가 오프상태로 되는 것을 특징으로 하는 반도체집적회로.

청구항 8.

제7항에 있어서,
상기 인버터회로는 CMOS 인버터회로인 것을 특징으로 하는 반도체집적회로,

청구항 9.

제8항에 있어서,
상기 제1 단자는 외부전원전압인 것을 특징으로 하는 반도체집적회로.

청구항 10.

제9항에 있어서,
상기 1쌍의 P채널형 MOS 트랜지스터는 상기 1쌍의 데이타선의 전위를 받는 1쌍의 게이트와 1쌍의 드레인을 갖고,
상기 1쌍의 P채널형 MOS 트랜지스터의 한쪽의 MOS 트랜지스터의 드레인과 다른쪽의 게이트를 서로 각각 결합해서 이루어지고,
상기 1쌍의 N채널형 MOS 트랜지스터는 공통결합되는 1쌍의 소오스와 상기 1쌍의 데이타선의 전위를 받는 1쌍의 게이트 및 1쌍의 드레인을 갖고 상기 1쌍의 N 채널형 MOS 트랜지스터의 한쪽의 MOS 트랜지스터의 드레인과 다른쪽의 게이트를 서로 각각 결합해서 이루어지는 것을 특징으로 하는 반도체집적회로.

청구항 11.

상보신호선의 전위차를 증폭하는 차동증폭회로,
상기 차동증폭회로의 고전위측의 드라이브라인에 제1 구동전압을 공급하는 제1 스위칭 MOS 트랜지스터,
상기 드라이브라인에 상기 제1 구동전압보다 레벨이 낮은 제2 구동전압을 공급하는 제2 스위칭 MOS 트랜지스터 및
상기 차동증폭회로의 활성화기간에 있어서 최초로 상기 제1 스위칭 MOS 트랜지스터를 거쳐서 제1 구동전압을 드라이브라인에 공급시키고 다음에 제2 스위칭 MOS 트랜지스터를 거쳐서 제2 구동전압을 드라이브라인에 공급시키는 스위칭 제어신호의 발생수단을 구비하고,
상기 제1 스위칭 MOS 트랜지스터는 P채널형으로서 그 스위칭제어신호의 하이레벨전위는 제1 구동전압의 전위로 되고,
상기 제2 스위칭 MOS 트랜지스터는 N채널형으로서 그 스위칭제어신호의 하이레벨전위는 제2 구동전압보다 승압된 전위인 것을 특징으로 하는 반도체집적회로.

청구항 12.

외부에서 공급되는 전원전압을 강압해서 강압전압을 형성하는 강압회로,
선택단자가 워드선에 결합된 여러개의 메모리셀,
상기 메모리셀의 데이타 입출력단자에 접속되는 상보신호선,
상보신호선의 전위차를 증폭하는 차동증폭회로,
상기 차동증폭회로의 고전위측의 드라이브라인에 상기 전원전압을 공급하는 제1 스위칭 MOS 트랜지스터,
상기 드라이브라인에 상기 강압전압을 공급하는 제2 스위칭 MOS 트랜지스터 및
상기 차동증폭회로의 활성화기간에 있어서 최초로 상기 제1 스위칭 MOS 트랜지스터를 거쳐서 전원전압을 드라이브라인에 공급시키고 다음에 제2 스위칭 MOS 트랜지스터를 거쳐서 강압전압을 드라이브라인에 공급시키는 스위칭 제어신호의 발생수단을 구비하고,
상기 제1 스위칭 MOS 트랜지스터는 P채널형으로서 그 스위칭 제어신호의 하이레벨전위는 상기 외부에서 공급되는 전원전압의 전위로 되고,
상기 제2 스위칭 MOS 트랜지스터는 N채널형으로서 그 스위칭 제어신호의 하이레벨전위는 상기 강압전압보다 승압된 전위인 것을 특징으로 하는 반도체집적회로.

청구항 13.

제12항에 있어서,
상기 승압된 전위는 상기 강압전압보다 상기 제2 스위칭 MOS 트랜지스터의 임계값전압만큼 높은 전위와 동일 또는 그것보다 높은 전위로 되는 것을 특징으로 하는 반도체집 적회로.

청구항 14.

제13항에 있어서,
상기 강압전압을 받아서 상기 승압된 전위를 출력하는 승압회로를 구비하고, 상기 승압회로의 출력레벨이 워드선 선택레벨로 되는 것을 특징으로 하는 반도체집적회로.

청구항 15.

외부에서 공급되는 전원전압을 강압해서 강압전압을 형성하는 강압회로,
선택단자가 워드선에 결합된 여러개의 메모리셀,
상기 메모리셀의 데이타 입출력단자에 접속되는 상보신호선,

상보신호선의 전위차를 증폭하는 차동증폭회로,
상기 차동증폭회로의 고전위측의 드라이브라인에 상기 전원전압을 공급하는 제1 스위칭 MOS 트랜지스터,
상기 드라이브라인에 상기 강압전압을 공급하는 제2 스위칭 MOS 트랜지스터,
상기 차동증폭회로의 활성화기간에 있어서 최초로 상기 제1 스위칭 MOS 트랜지스터를 거쳐서 전원전압을 드라이브라인에 공급시키고 다음에 제2 스위칭 MOS 트랜지스터를 거쳐서 강압전압을 드라이브라인에 공급시키는 스위칭 제어신호의 발생수단 및
상기 외부에서 공급되는 전원전압에 대해서 부의 극성을 갖는 부전압의 발생회로를 구비하고,
상기 제1 스위칭 MOS 트랜지스터는 P채널형으로서 그 스위칭 제어신호의 하이레벨전압은 상기 외부에서 공급되는 전원전압의 레벨로 되고,
상기 제2 스위칭 MOS 트랜지스터는 P채널형으로서 그 스위칭 제어신호의 로우레벨전압은 상기 부전압의 레벨로 되는 것을 특징으로 하는 반도체집적회로.

청구항 16.

제15항에 있어서,
상기 부전압의 발생회로는 기판 바이어스전압의 발생회로인 것을 특징으로 하는 반도체집적회로.

청구항 17.

1쌍의 데이타선,
1쌍의 P채널형 MOS 트랜지스터와 1쌍의 N채널형 MOS 트랜지스터를 구비하는 CMOS래치회로로서 상기 1쌍의 데이타선의 전위차를 증폭하는 센스앰프,
제1 전압을 받는 제1 단자,
상기 제1 전압보다 낮은 제2 전압을 받는 제2 단자,
상기 1쌍의 P채널형 MOS 트랜지스터에 있어서 공통결합되는 1쌍의 소오스와 상기 제1 단자 사이에 마련되는 제1 스위치 MOS 트랜지스터,
상기 공통결합되는 1쌍의 소오스와 상기 제2 단자 사이에 마련되는 N채널형의 제2 스위치 MOS 트랜지스터 및
제1 기간에 상기 제1 스위치 MOS 트랜지스터가 온상태로 되고, 상기 제1 기간후의 제2 기간에 상기 제1 스위치 MOS 트랜지스터가 오프상태 또한 상기 제2 스위치 MOS 트랜지스터가 온상태로 되도록 상기 제1 및 제2 스위치 MOS 트랜지스터의 게이트로 신호를 출력하는 제어회로를 포함하고,
상기 제2 기간에 있어서 상기 제2 스위치 MOS 트랜지스터의 게이트전압은 상기 제2 전압보다 높은 전압으로 되는 것을 특징으로 하는 반도체집적회로.

청구항 18.

제17항에 있어서,
상기 제어회로는 상기 제1 기간을 규정하는 지연회로를 포함하고, 상기 제1 기간의 변동은 상기 제1 전압의 변동에 대해서 부의 의존성을 갖는 것을 특징으로 하는 반도체집적회로.

청구항 19.

제18항에 있어서,
상기 지연회로는 상기 제1 전압을 동작전원으로서 받는 인버터회로를 포함하는 것을 특징으로 하는 반도체집적회로.

청구항 20.

제19항에 있어서,
상기 제2 기간에 있어서 상기 제2 스위치 MOS 트랜지스터의 게이트전압은 상기 제2 전압과 상기 제2 스위치 MOS 트랜지스터의 임계값전압의 합의 전압과 동일 또는 그것보다 높은 전압으로 되는 것을 특징으로 하는 반도체집적회로.

청구항 21.

제 20항에 있어서,
상기 제1 및 제2 스위치 MOS 트랜지스터는 병렬형태로 결합되고, 상기 제1 기간에 상기 제2 스위치 MOS 트랜지스터가 오프상태로 되는 것을 특징으로 하는 반 도체집 적회로.

청구항 22.

1쌍의 데이타선,
여러개의 워드선,
상기 1쌍의 데이타선의 한쪽과 상기 여러개의 워드선의 1개에 각각 결합되는 여러개의 다이나믹형 메모리셀,
1쌍의 P채널형 MOS 트랜지스터와 1쌍의 N채널형 MOS 트랜지스터를 구비하는 CMOS래치회로로서 상기 1쌍의 데이타선의 전위차를 증폭하는 센스앰프,
제1 전압을 받는 제1 단자,
상기 제1 전압보다 낮은 제2 전압을 받는 제2 단자,
상기 제1 전압을 강압해서 상기 제2 전압을 출력하는 강압회로,
상기 1쌍의 P채널형 MOS 트랜지스터에 있어서 공통결합되는 1쌍의 소오스와 상기 제1 단자 사이에 마련되는 제1 스위치 MOS 트랜지스터,
상기 공통결합되는 1쌍의 소오스와 상기 제2 단자 사이에 마련되는 N채널형의 제2 스위치 MOS 트랜지스터,
제1 기간에 상기 제1 스위치 MOS 트랜지스터가 온상태로 되고 상기 제1 기간후의 제2 기간에 상기 제1 스위치 MOS 트랜지스터가 오프상태 또한 상기 제2 스위치 MOS 트랜지스터가 온상태로 되도록 상기 제1 및 제2 스위치 MOS 트

랜지스터의 게이트로 신호를 출력하는 제어회로 및
상기 제2 전압을 승압해서 승압전압을 출력하는 승압회로를 포함하고,
상기 제2 기간에 있어서 상기 승압전압이 상기 제2 스위치 MOS 트랜지스터의 게이트에 공급되는 것을 특징으로 하는 반도체집적회로.

청구항 23.

제22항에 있어서,
상기 승압전압이 선택워드선에 공급되는 것을 특징으로 하는 반도체집적회로.

청구항 24.

제23항에 있어서,
상기 승압전압은 상기 제2 전압에서 상기 제2 스위치 MOS 트랜지스터의 임계값만큼 승압된 전압과 동일 또는 그것보다 높은 전압으로 되는 것을 특징으로 하는 반도체집 적회로.

청구항 25.

제24항에 있어서,
상기 제1 단자는 외부전원전압단자인 것을 특징으로 하는 반도체집적회로.

청구항 26.

제25항에 있어서,
상기 제어회로는 상기 제1 기간을 규정하는 지연회로를 포함하고, 상기 제1 기간의 변동은 상기 제1 전압의 변동에 대해서 부의 의존성을 갖는 것을 특징으로 하는 반도체집적회로.

청구항 27.

제26항에 있어서,
상기 지연회로는 상기 제1 전압을 동작전원으로서 받는 인버터회로를 포함하는 것을 특징으로 하는 반도체집적회로.

청구항 28.

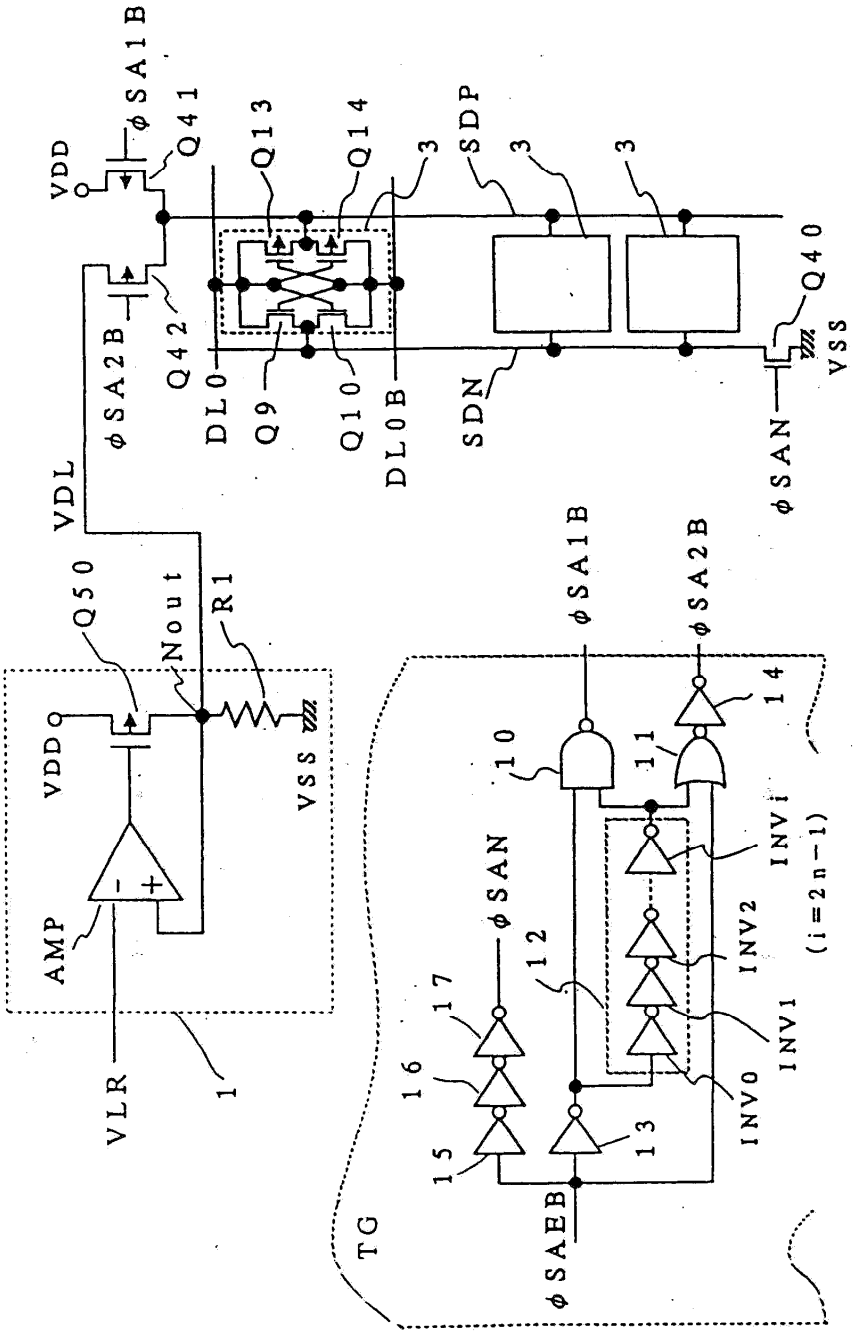
제27항에 있어서,
상기 제1 및 제2 스위치 MOS 트랜지스터는 병렬형태로 결합되고, 상기 제1 기간에 상기 제2 스위치 MOS 트랜지스터가 오프상태로 되는 것을 특징으로 하는 반도체집적회로.

청구항 29.

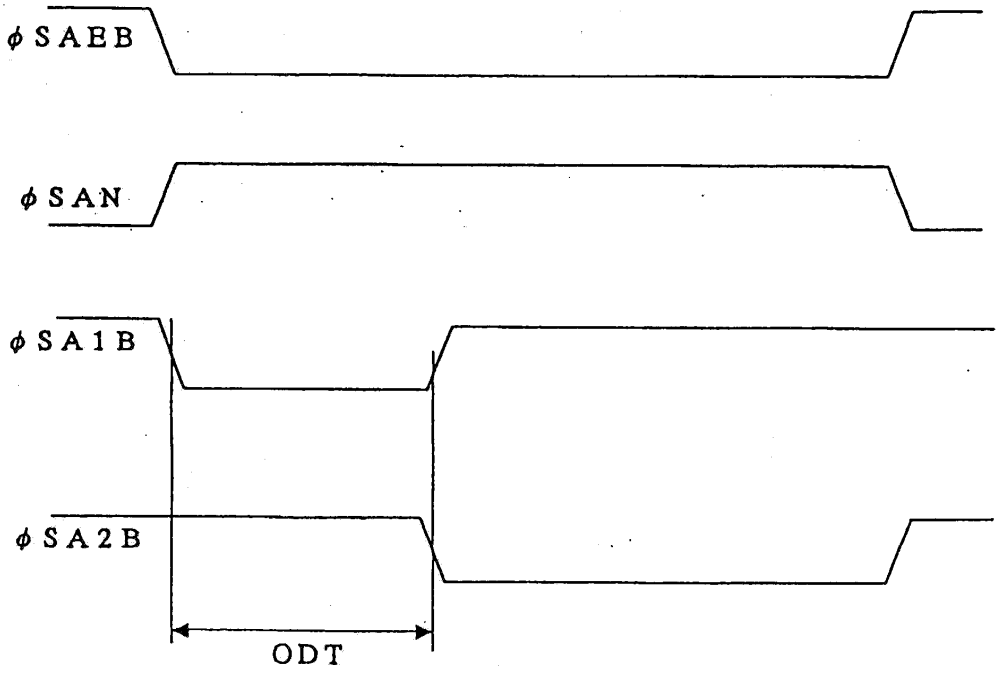
제28항에 있어서,
상기 1쌍의 P채널형 MOS 트랜지스터는 상기 1쌍의 데이타선의 전위를 받는 1쌍의 게이트와 1쌍의 드레인을 갖고,
상기 1쌍의 P채널형 MOS 트랜지스터의 한쪽의 MOS 트랜지스터의 드레인과 다른쪽의 게이트를 서로 각각 결합해서 이루어지고,
상기 1쌍의 N채널형 MOS 트랜지스터는 공통결합되는 1쌍의 소오스와 상기 1쌍의 데이타선의 전위를 받는 1쌍의 게이트와 1쌍의 드레인을 갖고, 상기 1쌍의 N채널형 MOS 트랜지스터의 한쪽의 MOS 트랜지스터의 드레인과 다른쪽의 게이트를 서로 각각 결합해서 이루어지는 것을 특징으로 하는 반도체집적회로.

도면

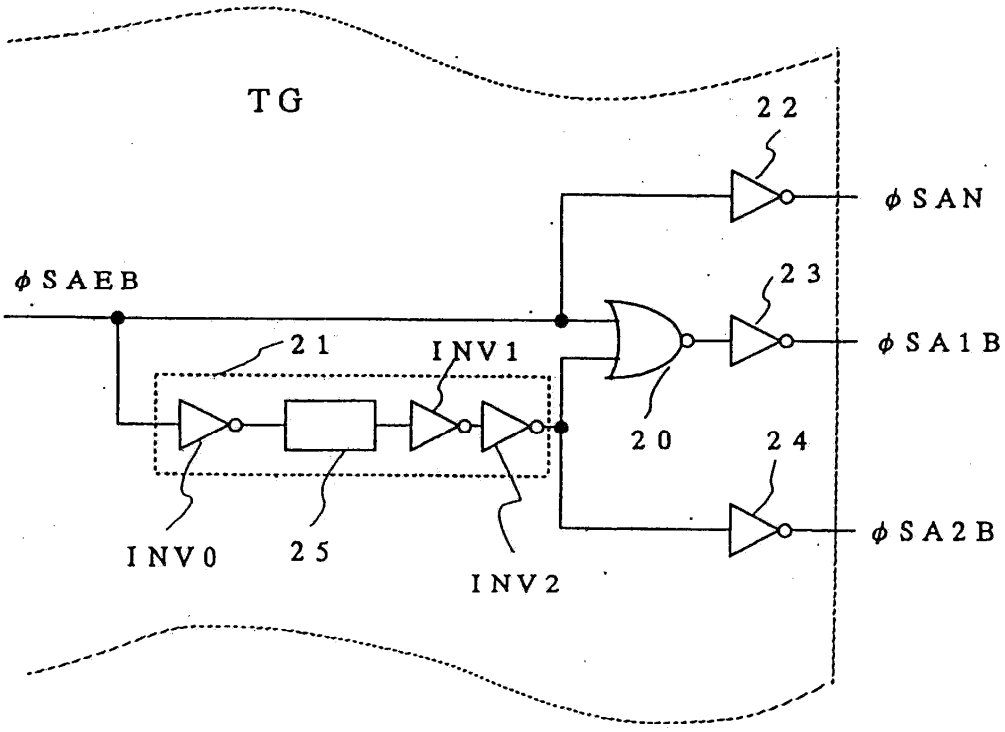
도면1


VDD
φSA1B
Q41
Q13
Q14
3
SDP
3
3
φSA2B
Q42
DL0
Q9
Q10
DL0B
SDN
Q40
VSS
φSAN
VDL
Q50
Nout
R1
VDD
VSS
AMP
VLR
1
φSA1B
φSA2B
10
11
14
φSAN
12
17
16
15
13
INVi
INV2
INV1
INV0
(i=2n-1)
TG
φSAEB

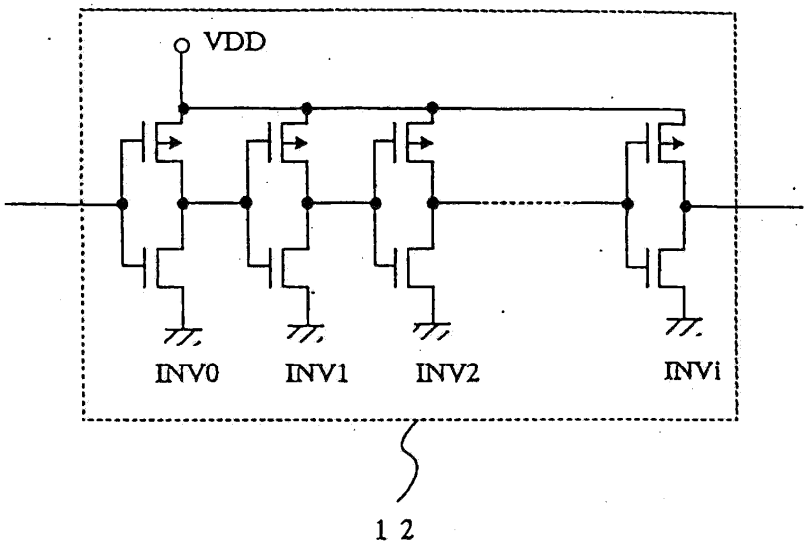
도면2


φSAEB
φSAN
φSA1B
φSA2B
ODT

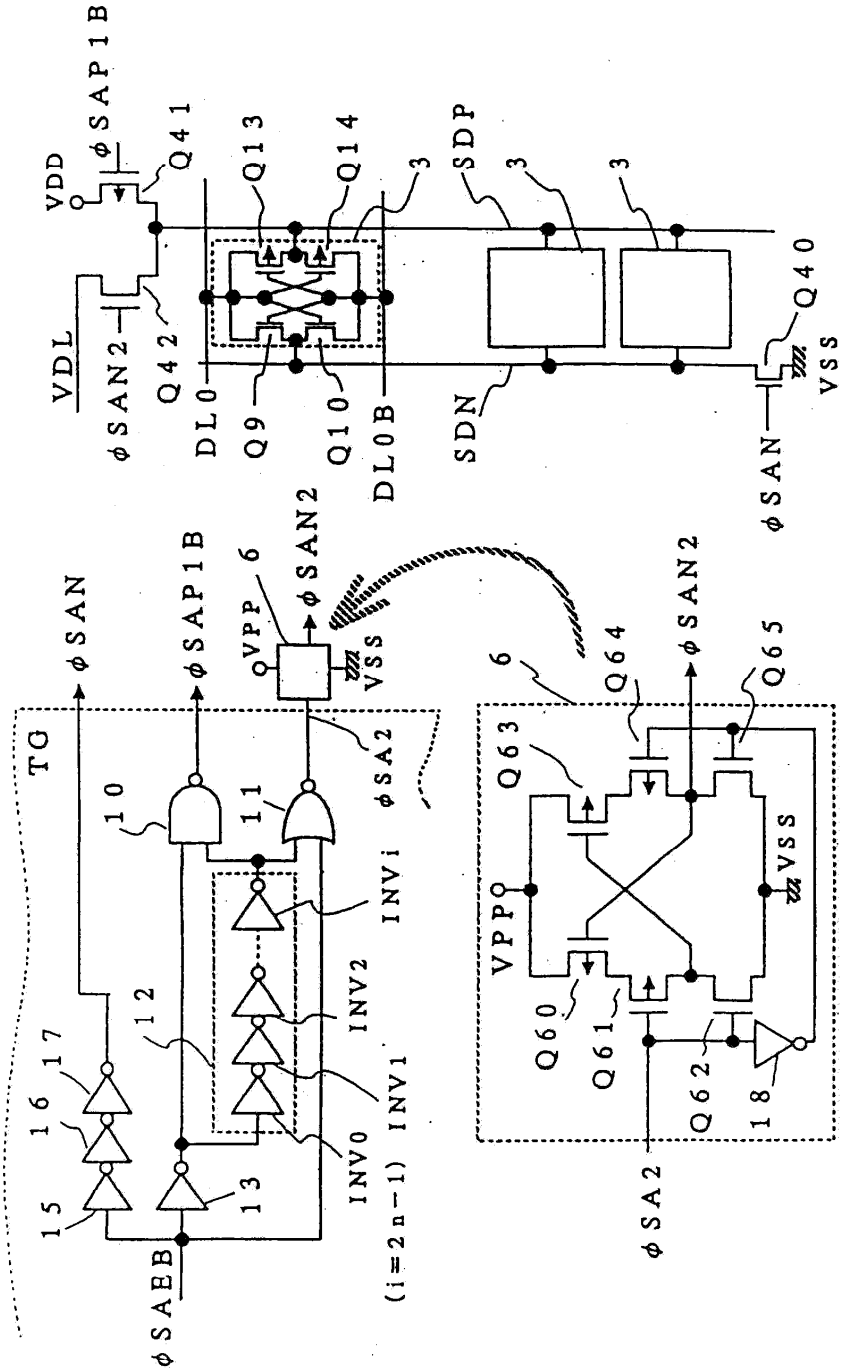
도면3


TG
22
φSAN
φSAEB
23
φSA1B
21
INV1
20
24
φSA2B
INV0
25
INV2

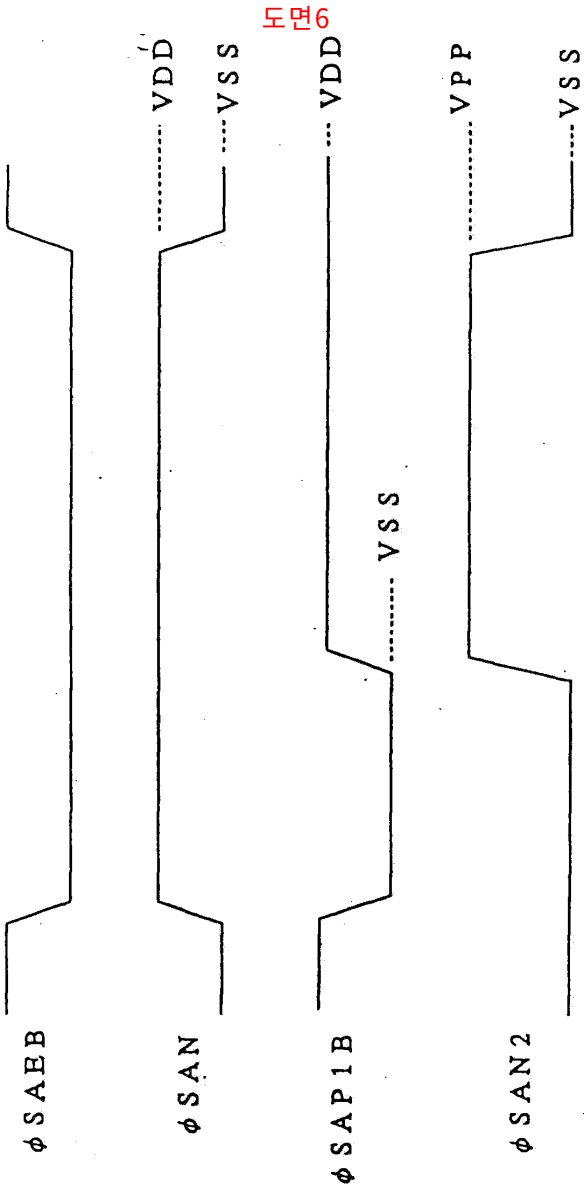
도면4



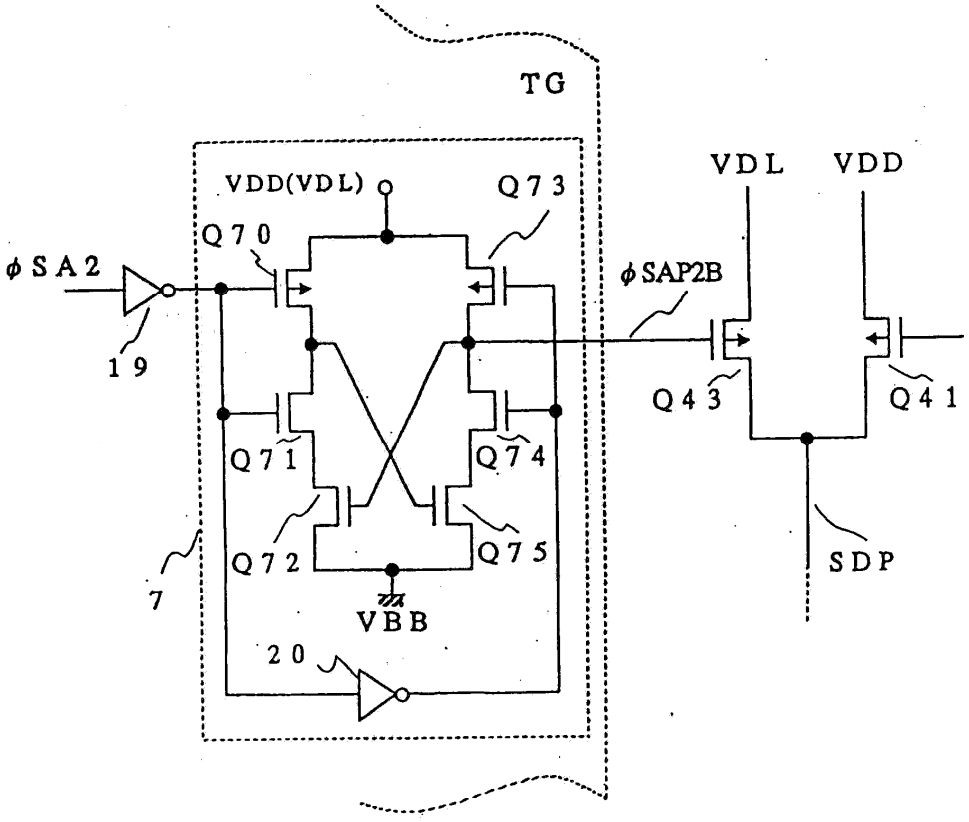
도면5


VDD
φSAP1B
Q41
Q13
Q14
3
SDP
3
3
VDL
φSAN2
Q42
DL0
Q9
Q10
DL0B
SDN
Q40
VSS
φSAN
φSAN
φSAP1B
VPP
6
φSAN2
VSS
TG
10
11
φSA2
INVi
INV2
INV1
INV0
(i=2n-1)
12
17
16
15
13
φSAEB
6
Q64
φSAN2
Q65
Q63
VPP
VSS
Q60
Q61
Q62
18
φSA2

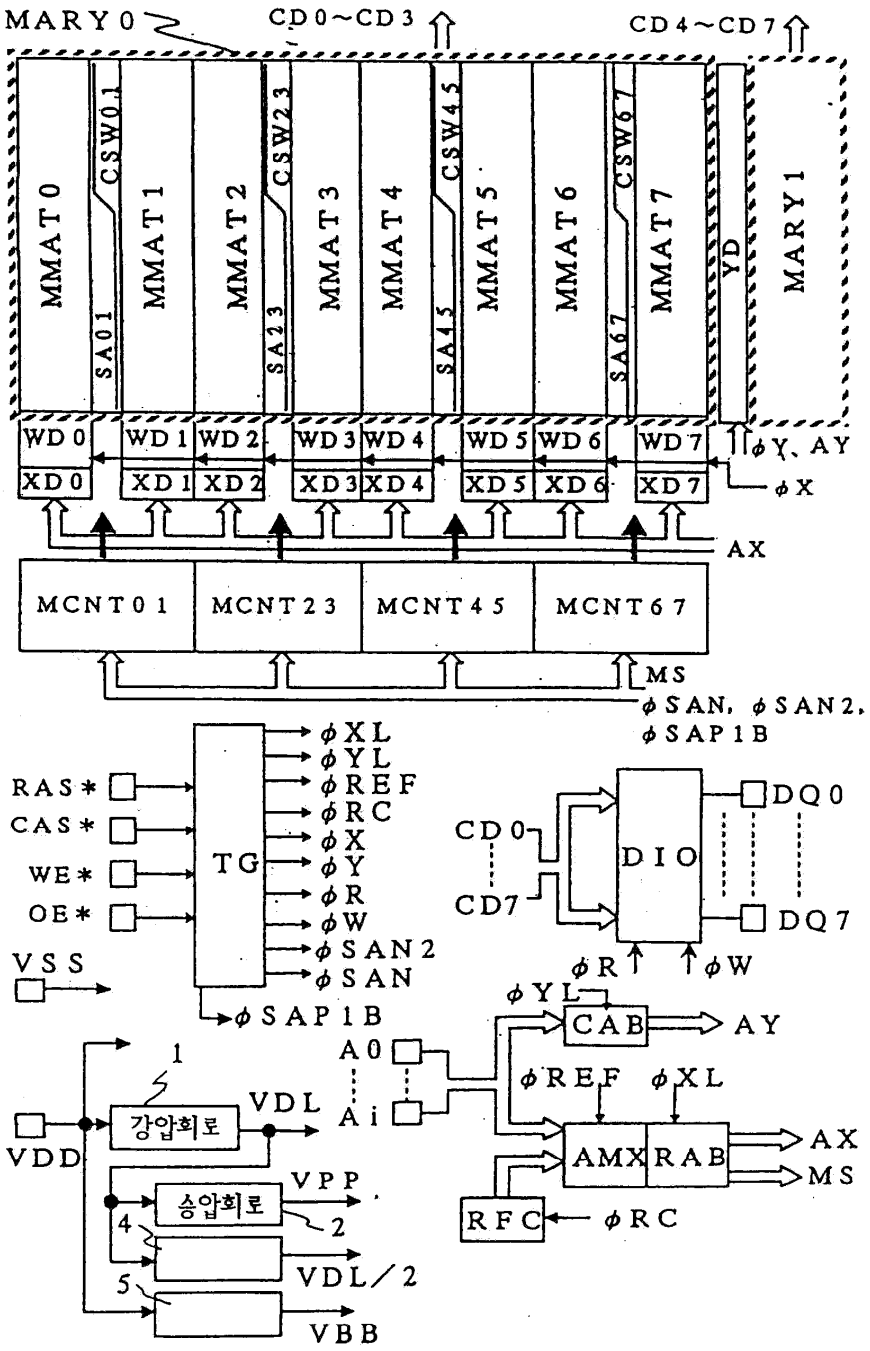
도면6



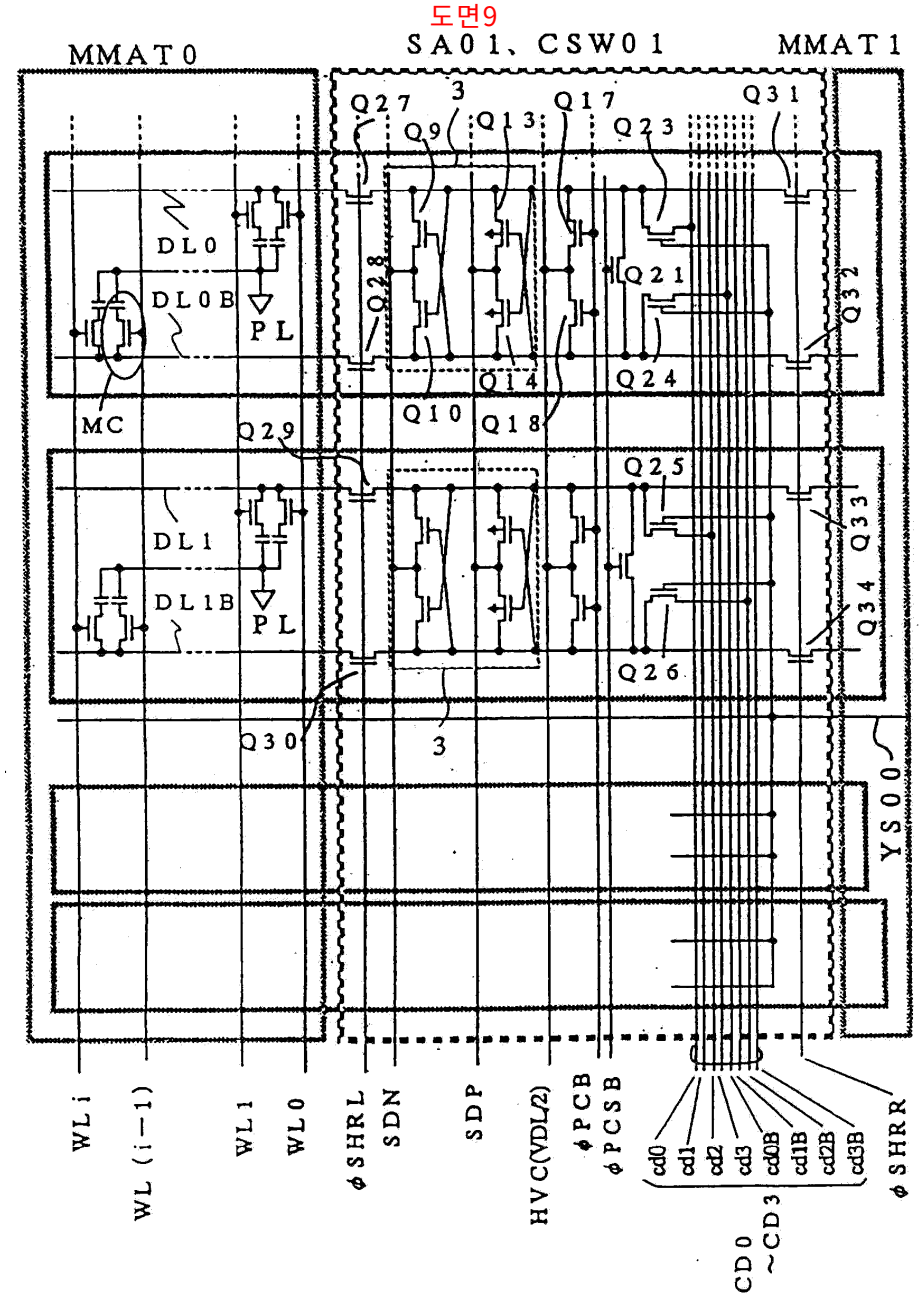
도면7


TG
VDD(VDL)
Q73
Q70
φSA2
19
φSAP2B
VDL
VDD
Q43
Q41
Q71
Q74
Q72
Q75
7
VBB
20
SDP

도면8


MARY0
CD0~CD3
CD4~CD7
MMAT0
CSW01
MMAT1
MMAT2
CSW23
MMAT3
MMAT4
CSW45
MMAT5
MMAT6
CSW67
MMAT7
YD
MARY1
SA01
SA23
SA45
SA67
WD0
WD1
WD2
WD3
WD4
WD5
WD6
WD7
XD0
XD1
XD2
XD3
XD4
XD5
XD6
XD7
φY、AY
φX
AX
MCNT01
MCNT23
MCNT45
MCNT67
MS
φSAN, φSAN2,
φSAP1B
RAS*
CAS*
WE*
OE*
VSS
TG
φXL
φYL
φREF
φRC
φX
φY
φR
φW
φSAN2
φSAN
φSAP1B
CD0
CD7
DIO
DQ0
DQ7
φR
φW
φYL
CAB
AY
A0
Ai
φREF
φXL
AMX
RAB
AX
MS
RFC
φRC
VDD
1
강압회로
VDL
VPP
승압회로
2
4
5
VDL/2
VBB

도면9


MMAT0
SA01、CSW01
MMAT1
Q27
3
Q9
Q13
Q17
Q23
Q31
DL0
DL0B
PL
Q28
Q21
Q32
MC
Q14
Q24
Q10
Q18
Q29
Q25
DL1
DL1B
PL
Q33
Q34
Q26
Q30
3
YS00
WLi
WL(i−1)
WL1
WL0
φSHRL
SDN
SDP
HVC(VDL/2)
φPCB
φPCSB
cd0
cd1
cd2
cd3
cd0B
cd1B
cd2B
cd3B
φSHRR
CD0
~CD3