

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4106376号  
(P4106376)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.		F I	
HO 1 P	1/15	(2006.01)	HO 1 P 1/15
HO 4 B	1/44	(2006.01)	HO 4 B 1/44
HO 1 P	5/10	(2006.01)	HO 1 P 5/10 C

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2005-287721 (P2005-287721)	(73) 特許権者	000005223
(22) 出願日	平成17年9月30日(2005.9.30)		富士通株式会社
(65) 公開番号	特開2007-104021 (P2007-104021A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成19年4月19日(2007.4.19)	(74) 代理人	100090273
審査請求日	平成18年9月25日(2006.9.25)		弁理士 園分 孝悦
		(72) 発明者	井上 雄介
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	儀同 孝信

最終頁に続く

(54) 【発明の名称】 スイッチ回路及び集積回路

(57) 【特許請求の範囲】

【請求項1】

一端が入力端子に接続された不平衡線路と、  
上記不平衡線路の他端と第1の出力端子との間に接続された第1の平衡線路と、  
上記不平衡線路の上記他端と第2の出力端子との間に接続された第2の平衡線路とを備え、

上記第1及び第2の平衡線路のそれぞれは、  
縦続接続された複数の4分の1波長伝送線路と、

上記縦続接続された4分の1波長伝送線路の相互接続点毎に上記平衡線路を構成する1組の伝送線路対間に接続され、外部よりインピーダンスを制御可能な複数の被制御回路とを有することを特徴とするスイッチ回路。

10

【請求項2】

上記被制御回路は、制御電極に供給される制御電圧によりインピーダンス制御されるトランジスタ素子であることを特徴とする請求項1記載のスイッチ回路。

【請求項3】

上記被制御回路は、ゲート電極に制御電圧が供給され、上記1組の伝送線路対の一方の伝送線路にドレイン電極が接続されるとともに他方の伝送線路にソース電極が接続された電界効果トランジスタであることを特徴とする請求項1記載のスイッチ回路。

【請求項4】

上記トランジスタ素子は、HEMT (high electron mobility transistor) であるこ

20

とを特徴とする請求項 2 記載のスイッチ回路。

【請求項 5】

上記トランジスタ素子は、HBT (hetero-junction bipolar transistor) であることを特徴とする請求項 2 記載のスイッチ回路。

【請求項 6】

上記被制御回路は、2 端子のダイオードと容量とを有し、

上記ダイオードは、上記 1 組の伝送線路対の一方の伝送線路にカソードが接続され、他方の伝送線路にアノードが上記容量を介して接続されるとともに、上記アノードに制御電圧が供給されることを特徴とする請求項 1 記載のスイッチ回路。

【請求項 7】

上記第 1 の平衡線路と上記第 1 の出力端子との間、及び上記第 2 の平衡線路と上記第 2 の出力端子との間の少なくとも一方に、平衡・不平衡変換を行う変換回路をさらに備えたことを特徴とする請求項 1 記載のスイッチ回路。

【請求項 8】

中間周波数信号を高周波数信号に変換して増幅しアンテナに対して出力する送信信号処理回路と、

上記アンテナで受信した高周波信号が供給され、当該高周波信号を増幅して中間周波数信号に変換する受信信号処理回路と、

上記送信信号処理回路又は上記受信信号処理回路を選択的に上記アンテナに対して信号を送信可能なように接続するスイッチ回路とを備え、

上記スイッチ回路は、一端が上記アンテナに接続された不平衡線路と、

上記不平衡線路の他端と上記送信信号処理回路との間に接続された第 1 の平衡線路と、

上記不平衡線路の上記他端と上記受信信号処理回路との間に接続された第 2 の平衡線路とを備え、

上記第 1 及び第 2 の平衡線路のそれぞれは、

縦続接続された複数の 4 分の 1 波長伝送線路と、

上記縦続接続された 4 分の 1 波長伝送線路の相互接続点毎に上記平衡線路を構成する 1 組の伝送線路対間に接続され、外部よりインピーダンスを制御可能な複数の被制御回路とを有することを特徴とする集積回路。

【請求項 9】

請求項 2 記載のスイッチ回路の上記トランジスタ素子を集積した半導体チップと、当該スイッチ回路の上記伝送線路を集積した誘電体基板とを備えることを特徴とする集積回路。

【請求項 10】

請求項 2 記載のスイッチ回路の上記トランジスタ素子と上記伝送線路を同一の半導体基板上に集積したことを特徴とする集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチ回路及び集積回路に関し、特に、高周波帯域で用いられる高周波スイッチ回路に用いて好適なものである。

【背景技術】

【0002】

近年、高度情報化社会の到来に伴って、高周波無線通信技術を用いた無線 LAN、携帯電話などの通信システムが実用化されるに至っている。そのような通信システムを構成するにあたって高性能なマイクロ波コンポーネントに対する需要が高まっている。例えば、無線 LAN による通信システムを低コストで実現するために送信器と受信器とを一体化したモジュールの開発が進められているが、大きな電力を取り扱うことができる SPDT (Single Pole Dual Throw: 単極双投) スイッチの実現が待たれている。また、第 3 世代携帯電話の基地局に用いられる DUPLEXER (送受共用器) によような極めて大きな出力

10

20

30

40

50

を持つ高周波信号を取り扱う装置については、高耐圧かつ低損失なスイッチ素子が求められている。

#### 【0003】

従来、そのようなスイッチにはMEMS (Micro Electro Mechanical Systems) などの機械的なスイッチが使用されてきた。しかし、機械的なスイッチは磨耗するため、信頼性やコスト等を考慮すると、機械的なスイッチから高い耐圧を有する半導体素子を用いたスイッチ回路に移行していくものと考えられる。近年、これらアプリケーションの要求に応えるため、SiC (炭化ケイ素) やGaN (窒化ガリウム) を用いたHEMT (high electron mobility transistor: 高電子移動度トランジスタ) などの耐高電圧特性に優れた半導体素子の開発が進められている。また、同時にマイクロ波帯などの高い周波数で動作し、無線LAN、携帯電話などの無線通信システムで使用できるような低歪みの半導体素子を用いた高周波スイッチ回路の開発も進められている。

10

#### 【0004】

例えば、高い周波数帯で使用されるスイッチ回路としては、4分の1波長の伝送線路を縦続接続し、それらの接点にFET (field effect transistor: 電界効果トランジスタ) を並列接続する構成を各経路に使用したインピーダンス変成型スイッチ回路が知られている (例えば、非特許文献1参照。)。また、平衡・不平衡変換機能を有するスイッチ回路が提案されている (例えば、特許文献1、2参照。 )。

#### 【0005】

高周波スイッチ回路は、無線LAN、携帯電話などのアプリケーションの要求に応えるために良好な歪み特性が要求される。しかし、従来の高周波スイッチ回路において、十分低い歪み特性を得ることは困難であった。

20

#### 【0006】

図10は、従来の高周波スイッチ回路の回路構成を示す図である。高周波スイッチ回路100は、入力端子(IN)1から2つの経路に分岐し、送信側出力端子(TXOUT)2及び受信側出力端子(RXOUT)3に接続される。送信側経路(入力端子1-送信側出力端子2間の経路)においては、4分の1波長( $\lambda/4$ )の線路長を有する伝送線路4a、4bが入力端子1と送信側出力端子2の間に縦続接続(直列に接続)され、それらの接点にFET5a、5bが並列接続されている。同様に、受信側経路(入力端子1-受信側出力端子3間の経路)においては、4分の1波長の線路長を有する伝送線路4c、4dが入力端子1と受信側出力端子3の間に縦続接続され、それらの接点にFET5c、5dが並列接続されている。

30

#### 【0007】

FET5a~5dは、スイッチとして機能し、高周波スイッチ回路100において経路の切替制御を行うために設けられている。FET5a、5bのドレイン端子は、伝送線路4aと4bの相互接続点、伝送線路4bと送信側出力端子2の相互接続点にそれぞれ接続されている。FET5c、5dのドレイン端子は、伝送線路4cと4dの相互接続点、伝送線路4dと受信側出力端子3の相互接続点にそれぞれ接続されている。また、FET5a~5dのソース端子はそれぞれ接地され、FET5a~5dのゲート端子はそれぞれ制御端子(CONT)6a~6dに接続されている。制御端子6a~6dから制御電圧をFET5a~5dのゲート端子に印加することで、FET5a~5dのインピーダンスをそれぞれ変化させ、高周波スイッチ回路100での経路切替を行う。

40

#### 【0008】

図11は、図10に示した従来の高周波スイッチ回路100の送信切替時の等価回路を示す図である。送信切替時には、制御端子6a~6dを介して供給される制御電圧によりFET5a、5bがオフされ、FET5c、5dがオンされる(使用されているFETのオフ容量値を $C_{off}$ とし、オン抵抗値を $R_{ON}$ とする。 )。

#### 【0009】

このとき、図11に示したように、受信側経路においては、オン抵抗 $R_{ON}$ は十分小さい値になるように選ばれるため、ノードN21からノードN22を見たときのインピーダン

50

スは大きくなり、高周波信号は受信側出力端子3に到達することができない。一方、送信側経路においては、オフ容量  $C_{off}$  は十分小さい値になるように選ばれるため、ノード  $N_{11}$  からグラウンドを見たときのインピーダンスは大きくなり、高周波信号は損失なく送信側出力端子2に到達する。

【0010】

図12は、従来技術において一般的に使用されるFETの模式的な断面図を示す図である。図12において、120は基板(例えばInP)、121はバッファ層、122は(高純度)チャネル層、123はキャリア供給層である。また、Sはソース電極、Gはゲート電極、Dはドレイン電極である。ここで、マイクロ波以上の高い周波数でトランジスタを使用するためには、オン抵抗  $R_{ON}$  を小さくするため、ソース電極Sとゲート電極Gとの間の距離  $L_{sg}$ 、及びゲート電極Gとドレイン電極Dとの間の距離  $L_{gd}$  を十分短くする必要がある。

10

【0011】

しかし、距離  $L_{sg}$  及び  $L_{gd}$  をそれぞれ短くすると、トランジスタのブレイクダウン電圧が小さくなり、以下のような問題が生じる。図13は、図10に示した高周波スイッチ回路100において、FET5aがオフ状態であるときに大電力の高周波信号が送信側出力端子2から供給されてきた場合のFET5aのゲート-ドレイン(GD)間電圧  $V_{gd}$  の変動と、それに伴うFET5aよりノード  $N_{11}$  に流れる電流  $I_{N11}$  との関係を示す図である。

【0012】

距離  $L_{sg}$  及び  $L_{gd}$  がそれぞれ短いとFETのブレイクダウン電圧  $V_{br}$  が小さいために、制御端子を介してゲート端子に供給する制御電圧  $V_{CONT}$  を大きくすることができない。そのため、図13に示したように、大電力の高周波信号入力時には、FET5aのGD間電圧  $V_{gd}$  が正側にふれてしまい(図13に示す破線部130)、FET5aのドレイン-ソース(DS)間に電流が流れてしまう。

20

【0013】

すなわち、図10に示したような高周波スイッチ回路100において、FETはオフ状態にしているときには直流的には電流が流れないことが望ましいが、大電力の高周波信号入力時には直流的な電流が流れてしまう。これは高周波スイッチ回路の歪み特性を大幅に悪化させるため、従来の高周波スイッチ回路においては良好な歪み特性を得ることができなかった。

30

【0014】

【特許文献1】特開2003-143033号公報

【特許文献2】特開2003-142931号公報

【非特許文献1】Y.Ayasli, R.A.Pucel, J.L.Vorhaus, and W.Fabian, "A monolithic X-band single-pole, double-throw bi-directional GaAs FET switch", Proc.IEEE GaAs IC Symp., paper no.21,1980

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、耐高電圧特性及び良好な歪み特性を有するスイッチ回路を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明のスイッチ回路は、入力端子に一端が接続された不平衡線路の他端と第1の出力端子との間に接続された第1の平衡線路と、上記不平衡線路の他端と第2の出力端子との間に接続された第2の平衡線路とを備える。各平衡線路は、複数の4分の1波長伝送線路が縦続接続され、かつインピーダンスを制御可能な複数の被制御回路が伝送線路の相互接続点毎に平衡線路を構成する1組の伝送線路対間に接続される。

40

上記構成によれば、各平衡線路では、従来のように不平衡線路を用いた場合と比較して

50

、信号の電力が1対の伝送線路の双方に分配され、入力される電力が正味半分になる。

【発明の効果】

【0017】

本発明によれば、各平衡線路においては従来のように不平衡線路を用いた場合と比較して入力される電力が半分になるので、大電力の高周波信号が入力されても、スイッチ回路のFETがオフ状態であるときに直流的に電流が流れることを防止し、良好な歪み特性を得ることができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態を図面に基づいて説明する。

10

図1は、本発明の実施形態によるスイッチ回路の一例である高周波スイッチ回路の回路構成例を示す図である。本実施形態における高周波スイッチ回路10は、高周波領域で動作可能なスイッチ回路であり、図1に示すように、平衡伝送線路4a、4a'、4b、4b'、4c、4c'、4d、及び4d'と電界効果トランジスタ(FET)5a、5b、5c、及び5dとを有する。

【0019】

また、高周波スイッチ回路10は、入力端子(IN)1と、送信側出力端子(TXOUT、/TXOUT)2a、2b及び受信側出力端子(RXOUT、/RXOUT)3a、3bとを有する。入力端子1は、不平衡線路を経て、分岐された2つの経路(2つの平衡線路)を介して送信側出力端子2a、2b及び受信側出力端子3a、3bに接続される。一方の経路では、入力端子1は、不平衡線路及び平衡伝送線路4a、4a'、4b、4b'を介して送信側出力端子2a、2bに接続される。また、他方の経路では、入力端子1は、不平衡線路及び平衡伝送線路4c、4c'、4d、4d'を介して受信側出力端子3a、3bに接続される。

20

【0020】

具体的には、一方の経路においては、4分の1波長( $\lambda/4$ )の電気長(線路長)を有する伝送線路4a、4bが入力端子1(より詳細には入力端子1に一端が接続された不平衡線路)と送信側出力端子2aの間に縦続接続(直列に接続)され、( $\lambda/4$ )の電気長を有する伝送線路4a'、4b'が送信側出力端子2bに対して縦続接続される。伝送線路4a、4a'、4b、4b'により構成される平衡伝送線路の線路対間にFET5a、5bが接続される。詳細には、FET5aのドレイン電極は平衡線路対の一方の線路を構成する伝送線路4aと4bの相互接続点に接続され、FET5bのドレイン電極は平衡線路の一方の伝送線路4bと送信側出力端子2aとの相互接続点に接続される。FET5aのソース電極は平衡線路対の他方の線路を構成する伝送線路4a'と4b'の相互接続点に接続され、FET5bのソース電極は平衡線路の他方の伝送線路4b'と送信側出力端子2bとの相互接続点に接続される。また、FET5a、5bのゲート電極は、制御電圧が供給される制御端子(CONT)6a、6bにそれぞれ接続される。

30

【0021】

また、他方の経路においては、( $\lambda/4$ )の電気長を有する伝送線路4c、4dが受信側出力端子3aに対して縦続接続され、( $\lambda/4$ )の電気長を有する伝送線路4c'、4d'が入力端子1(より詳細には入力端子1に一端が接続された不平衡線路)と受信側出力端子3bの間に縦続接続される。伝送線路4c、4c'、4d、4d'により構成される平衡伝送線路の線路対間にFET5c、5dが接続される。FET5c、5dのドレイン電極は、平衡線路対の一方の線路に係る伝送線路4cと4dの相互接続点、伝送線路4dと受信側出力端子3aとの相互接続点にそれぞれ接続される。FET5c、5dのソース電極は、平衡線路対の他方の線路に係る伝送線路4c'と4d'の相互接続点、伝送線路4d'と受信側出力端子3bとの相互接続点に接続される。また、FET5c、5dのゲート電極は、制御電圧が供給される制御端子(CONT)6c、6dにそれぞれ接続される。

40

【0022】

50

F E T 5 a ~ 5 d は、高周波スイッチ回路 1 0 において経路の切替制御を行うためスイッチとして機能する。図 1 に示した高周波スイッチ回路 1 0 は、制御端子 6 a ~ 6 d より F E T 5 a ~ 5 d のゲート電極に印加する制御電圧を制御して、F E T 5 a ~ 5 d におけるゲート電圧を基に F E T 5 a ~ 5 d のインピーダンスを切り替えることで、高周波スイッチ回路 1 0 での経路切替を選択することができる。

#### 【 0 0 2 3 】

例えば、図 1 に示した高周波スイッチ回路 1 0 において送信側経路に切り替えた場合、高周波スイッチ回路 1 0 の等価回路は図 2 に示される。

すなわち、F E T 5 a、5 b は制御端子 6 a、6 b を介して供給される制御電圧によりともオフされ、容量素子（オフ容量値  $C_{off}$ ）とみなすことができる。この場合、容量値  $C_{off}$  が十分小さければ、高周波領域においてもノード N 1 1 からノード N 1 1 ' を見たときのインピーダンスは十分大きくなり送信側経路を通過する高周波信号は損失なく入力端子 1 まで到達する。

#### 【 0 0 2 4 】

また、F E T 5 c、5 d は制御端子 6 c、6 d を介して供給される制御電圧によりともオンされ、抵抗素子（オン抵抗値  $R_{ON}$ ）とみなすことができる。この場合、抵抗値  $R_{ON}$  が十分小さければ、高周波領域においてもノード N 2 1 からノード N 2 1 ' を見たときのインピーダンスは十分小さくなる。ここで、伝送線路 4 c、4 c ' の電気長はそれぞれ 4 分の 1 波長である。したがって、入力端子 1 に入力された信号は受信側経路に入る前に反射される。以上のようにして、図 1 に示した高周波スイッチ回路 1 0 において送信側経路に切り替えた場合には、不平衡・平衡の伝送モードの切替が行われるとともに、すべての信号は送信側回路に送られ伝送される。

なお、同様に図 1 に示した高周波スイッチ回路 1 0 において送信側経路に切り替えた場合には、F E T 5 a、5 b はオンされて抵抗素子とみなし、F E T 5 c、5 d はオフされて容量素子とみなすことができるので、不平衡・平衡での伝送モードの切替が行われるとともに、すべての信号は受信側回路により伝送される。

#### 【 0 0 2 5 】

ここで、図 1 に示した高周波スイッチ回路 1 0 において送信側経路に切り替え、送信側経路を大電力の高周波信号が通過する場合について考える。図 1 に示した高周波スイッチ回路 1 0 は、図 1 0 に示したような従来の高周波スイッチ回路とは異なり、平衡線路を構成する 1 対の伝送線路の両側に電力が分配される。したがって、ノード N 1 1 における高周波信号による電圧振幅の大きさは、従来と比較して正味半分の大きさになる。

#### 【 0 0 2 6 】

図 3 は、図 1 に示した高周波スイッチ回路 1 0 において、F E T 5 a がオフ状態であるときに大電力の高周波信号が送信側出力端子 2 a、2 b から供給されてきた場合の F E T 5 a のゲート - ドレイン ( G D ) 間電圧  $V_{gd}$  の変動と、それに伴う F E T 5 a よりノード N 1 1 に流れる電流  $I_{N11}$  との関係を示す図である。図 3 において横軸は電流  $I_{N11}$  であり、縦軸は F E T 5 a の G D 間電圧  $V_{gd}$  である。

#### 【 0 0 2 7 】

上述したように、本実施形態における高周波スイッチ回路 1 0 では、従来の高周波スイッチ回路とは異なり、ノード N 1 1 における電圧振幅の大きさは半分の大きさとなる。そのため、大電力の高周波信号が入力されても、F E T 5 a の G D 間電圧  $V_{gd}$  が正側にふれてしまうことを抑制することができ、オフ状態にしているときに直流的な電流が流れることを防止することができる。したがって、本実施形態の高周波スイッチ回路 1 0 によれば、高周波スイッチ回路の歪み特性が悪化することを防止し、良好な歪み特性を得ることができる。

#### 【 0 0 2 8 】

本実施形態の高周波スイッチ回路 1 0 によれば、高い周波数帯で使用するために高周波スイッチ回路に使用する F E T のソース電極 S とゲート電極 G との間の距離  $L_{sg}$ 、及びゲート電極 G とドレイン電極 D との間の距離  $L_{gd}$  をたとえ短くしても、F E T の G D 間電圧

10

20

30

40

50

V g d が正側にふれてしまうことを抑制して良好な歪み特性を得ることができる。

【 0 0 2 9 】

次に、図 1 に示した本実施形態における高周波スイッチ回路 1 0 の各特性について説明する。

まず、ミリ波帯における通過特性（損失特性）とアイソレーション特性について、図 4 を参照して説明する。図 4 においては、本実施形態における高周波スイッチ回路 1 0 の特性と、比較参照するために図 1 0 に示した従来の高周波スイッチ回路 1 0 0 の特性とを示している。

【 0 0 3 0 】

図 4 において、横軸は信号の周波数であり、縦軸は損失及びアイソレーションである。また、S 1 1 及び S 2 1 は、本実施形態における高周波スイッチ回路 1 0 の損失特性及びアイソレーション特性をそれぞれ示しており、S 1 2 及び S 2 2 は、従来の高周波スイッチ回路 1 0 0 の損失特性及びアイソレーション特性をそれぞれ示している。

【 0 0 3 1 】

図 4 に示されるように、本実施形態における高周波スイッチ回路 1 0 の通過特性（損失特性）及びアイソレーション特性は、従来技術とほぼ同等の性能を有していることが分かる。

【 0 0 3 2 】

次に、大電力の信号を入力した場合の特性について、図 5 ( A ) を参照して説明する。図 5 ( A ) においても、本実施形態における高周波スイッチ回路 1 0 の特性と、比較参照するために従来の高周波スイッチ回路 1 0 0 の特性とをそれぞれ示している。

【 0 0 3 3 】

図 5 ( A ) において、横軸は信号の入力パワー（入力電力）であり、縦軸は信号の出力パワー（出力電力）及び損失量（出力パワーと入力パワーとの差分）である。また、図 5 ( A ) において、O P 1 1 及び L 1 1 は本実施形態における高周波スイッチ回路 1 0 の特性を示しており、O P 1 1 は入力パワーに応じた出力パワーを示し、L 1 1 は入力パワーに応じた損失量を示している。同様に O P 1 2 及び L 1 2 は従来の高周波スイッチ回路 1 0 0 の特性を示しており、O P 1 2 は入力パワーに応じた出力パワーを示し、L 1 2 は入力パワーに応じた損失量を示している。

【 0 0 3 4 】

図 5 ( A ) から分かるように、入力される電力が小さいときには、本実施形態と従来技術との間で通過特性（損失特性）について違いは見つけれないが、電力が大きくなっていくにつれてその違いは顕著になる。大電力の信号が入力された時の利得コンプレッションは、本実施形態の高周波スイッチ回路よりも従来技術の方が大きいことが確認できる。歪み特性を表す指標の 1 つである P i 1 d B （低電力の信号入力時の損失よりも 1 d B だけ損失が増える入力パワー）でいえば、本実施形態では従来技術と比較して 3 d B 改善している。

【 0 0 3 5 】

次に、大電力を入力した場合の高調波特性について、図 5 ( B ) を参照して説明する。図 5 ( B ) においても、本実施形態における高周波スイッチ回路 1 0 の高調波特性と、比較参照するために従来の高周波スイッチ回路 1 0 0 の高調波特性とをそれぞれ示している。

【 0 0 3 6 】

図 5 ( B ) において、横軸は信号の入力パワー（入力電力）であり、縦軸は信号の出力パワー（出力電力）である。また、図 5 ( B ) において、O P 1 1、O P 2 1、O P 3 1 は本実施形態における高周波スイッチ回路 1 0 の高調波特性（それぞれ基本波、2 倍高調波、3 倍高調波）を示しており、O P 1 2、O P 2 2、O P 3 2 は従来の高周波スイッチ回路 1 0 0 の高調波特性（基本波、2 倍高調波、3 倍高調波）を示している。なお、基本波の周波数は、6 0 G H z である。

図 5 ( B ) から明らかなように、本実施形態における高周波スイッチ回路 1 0 は、2 倍

10

20

30

40

50

高調波、3倍高調波ともに従来と比較して小さくなっていることが確認できる。

【0037】

図5(A)及び(B)に示したように、本実施形態における高周波スイッチ回路10は、大電力の信号入力時の歪み特性が従来技術に比べて改善していることが分かる。

【0038】

次に、本実施形態における高周波スイッチ回路の他の構成例について説明する。

図6は、本実施形態における高周波スイッチ回路の他の回路構成例を示す図である。この図6において、図1に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

【0039】

図6に示す高周波スイッチ回路20は、FET5a、5b、5c、5dに換えてダイオード11a、11b、11c、11dを用いた点が図1に示した高周波スイッチ回路10とは異なる。

【0040】

具体的には、高周波スイッチ回路20において、ダイオード11aのカソードは平衡線路対の一方の線路に係る伝送線路4aと4bの相互接続点に接続され、アノードは容量12aの一方の電極に接続される。容量12aの他方の電極は、平衡線路対の他方の線路に係る伝送線路4a'と4b'の相互接続点に接続される。また、ダイオード11aのアノードと容量12aの一方の電極との相互接続点が、抵抗13aを介して、制御電圧が供給される制御端子(CONT)14aに接続される。

【0041】

なお、高周波スイッチ回路20において、高周波スイッチ回路10のFET5b、5c、5dに対応するダイオード11b、11c、11dが用いられる部分も、それぞれ1組のダイオード、容量、及び抵抗がダイオード11aに係る部分と同様に接続されて構成されるので詳細な説明は省略する。また、動作原理等については、図1に示した高周波スイッチ回路10と同様であるので説明は省略する。

【0042】

図7は、本実施形態における高周波スイッチ回路のその他の構成例を示す図である。この図7において、図1に示した構成要素と同一の機能を有する構成要素には同一の符号を付し、重複する説明は省略する。

【0043】

図7に示す高周波スイッチ回路30は、出力側端子をBALUN(バルン)回路に接続していることが図1に示した高周波スイッチ回路10とは異なる。図7に示す高周波スイッチ回路30は、平衡・不平衡変換を行う変換回路であるバルン回路を接続したことで出力側において不平衡の信号を得ることができる。

【0044】

高周波スイッチ回路30の送信側経路においては、伝送線路4bとFET5bのドレインとの相互接続点と、伝送線路4b'とFET5bのソースとの相互接続点との間に( / 4 )の電気長を有する伝送線路21a、21bが直列に接続(縦続接続)される。また、伝送線路4b'と21bの相互接続点が送信側出力端子(TXOUT)2に接続される。ここで、伝送線路21a、21bの電気長は足し合わせると半波長になるため、平衡伝送線路4a、4a'、4b、4b'を伝送されてきた信号(平衡信号)は不平衡信号に変換される。

【0045】

一方、受信側経路においては、伝送線路4d'とFET5dのソースとの相互接続点と、伝送線路4dとFET5dのドレインとの相互接続点との間に( / 4 )の電気長を有する伝送線路22a、22bが直列に接続される。また、伝送線路4dと22bの相互接続点が受信側出力端子(RXOUT)3に接続される。伝送線路22a、22bの電気長は足し合わせると半波長になるため、平衡伝送線路4c、4c'、4d、4d'を伝送されてきた信号(平衡信号)は不平衡信号に変換される。

10

20

30

40

50

## 【 0 0 4 6 】

なお、高周波スイッチ回路 30 の動作原理等については、図 1 に示した高周波スイッチ回路 10 と同様であるのでここでは説明は省略する。

## 【 0 0 4 7 】

図 1、図 7 に示した本実施形態における高周波スイッチ回路 10、30 に用いる F E T 5 a ~ 5 d として適用可能なトランジスタの一覧を図 8 に示している。図 8 において、例示したトランジスタに付してある記号は、丸、三角、バツの順に適性が低くなるものとする。図 8 に示すように本実施形態におけるスイッチ回路においては、トランジスタ素子として、H E M T (high electron mobility transistor : 高電子移動度トランジスタ) や H B T (hetero-junction bipolar transistor : ヘテロ接合バイポーラトランジスタ) など適用可能である。

10

## 【 0 0 4 8 】

図 9 は、上述した本実施形態における高周波スイッチ回路を用いて構成した R F (高周波信号) トランシーバ装置の構成例を示す図である。

図 9 において、81 は高出力電圧制御発振器 (V C O)、82 はミキサ (アップコンバータ)、83 はドライバ、84 はバンドパスフィルタ (B P F)、85 は可変アッテネータ、86 は高出力増幅器 (A M P)、87 は送受信アンテナである。また、88 は低雑音増幅器 (L N A)、89 はバンドパスフィルタ (B P F)、90 は可変アッテネータ、91 はミキサ (ダウンコンバータ)、S W 1 及び S W 2 は S P D T スイッチである。

## 【 0 0 4 9 】

20

送信信号入力端子 S S より入力される送信 I F 信号 (中間周波信号) は、スイッチ S W 1 (S P D T 1) を介して供給される高出力 V C O 81 の発振信号を基に、アップコンバータ 82 にて送信 R F 信号 (高周波信号) に変換される。アップコンバータ 82 から出力された送信 R F 信号は、ドライバ 83 を介して B P F 84 にてフィルタ処理が施され不要な周波数成分がカットされる。

## 【 0 0 5 0 】

そして、B P F 84 から出力された送信 R F 信号は、可変減衰器 85 にて所定の減衰量で減衰されて出力レベル調整され、さらに高出力増幅器 86 にて増幅される。高出力増幅器 86 で増幅された送信 R F 信号は、スイッチ S W 2 (S P D T 2) を介して送受信アンテナ 87 に供給され、送受信アンテナ 87 より送信される。

30

## 【 0 0 5 1 】

ここで、送信信号には大きな電力と小さな歪みとが要求されるため、本実施形態における高周波スイッチ回路は、送受信アンテナ 87 の直近に配置されるスイッチ S W 2 (S P D T 2) に適用される。なお、さらに本実施形態における高周波スイッチ回路をスイッチ S W 1 (S P D T 1) に適用しても良い。

## 【 0 0 5 2 】

また、送受信アンテナ 87 で受信された受信 R F 信号は、スイッチ S W 2 (S P D T 2) を介して低雑音増幅器 88 に供給され、低雑音増幅器 88 にて増幅される。低雑音増幅器 88 で増幅された受信 R F 信号は、B P F 84 にてフィルタ処理が施された後、ダウンコンバータ 91 に供給される。

40

ダウンコンバータ 91 に供給された受信 R F 信号は、高出力 V C O 81 の発振信号に基づくローカル発振信号を基に、ダウンコンバータ 91 にて受信 I F 信号に変換され、受信信号出力端子 R S より出力される。

## 【 0 0 5 3 】

なお、上述した本実施形態におけるスイッチ回路は、それを構成する F E T (トランジスタ) と ( / 4 ) の伝送線路とを同一の半導体基板上にモノリシックに集積したモノリシック集積回路として構成可能である。また、スイッチ回路における F E T などの能動素子を半導体基板上に集積し、伝送線路などの受動素子を誘電体基板上に集積し、能動素子を集積した半導体基板と受動素子を集積した誘電体基板とを実装したハイブリッド集積回路としても構成可能である。

50

## 【 0 0 5 4 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

## 【 0 0 5 5 】

(付記 1) 一端が入力端子に接続された不平衡線路と、  
 上記不平衡線路の他端と第 1 の出力端子との間に接続された第 1 の平衡線路と、  
 上記不平衡線路の上記他端と第 2 の出力端子との間に接続された第 2 の平衡線路とを備え、

上記第 1 及び第 2 の平衡線路のそれぞれは、

縦続接続された複数の 4 分の 1 波長伝送線路と、

上記縦続接続された 4 分の 1 波長伝送線路の相互接続点毎に上記平衡線路を構成する 1 組の伝送線路対間に接続され、外部よりインピーダンスを制御可能な複数の被制御回路とを有することを特徴とするスイッチ回路。

(付記 2) 上記被制御回路は、制御電極に供給される制御電圧によりインピーダンス制御されるトランジスタ素子であることを特徴とする付記 1 記載のスイッチ回路。

(付記 3) 上記被制御回路は、ゲート電極に制御電圧が供給され、上記 1 組の伝送線路対の一方の伝送線路にドレイン電極が接続されるとともに他方の伝送線路にソース電極が接続された電界効果トランジスタであることを特徴とする付記 1 記載のスイッチ回路。

(付記 4) 上記トランジスタ素子は、H E M T (high electron mobility transistor) であることを特徴とする付記 2 記載のスイッチ回路。

(付記 5) 上記トランジスタ素子は、H B T (hetero-junction bipolar transistor) であることを特徴とする付記 2 記載のスイッチ回路。

(付記 6) 上記被制御回路は、上記 1 組の伝送線路対間に接続された 2 端子のダイオードを有することを特徴とする付記 1 記載のスイッチ回路。

(付記 7) 上記被制御回路は、2 端子のダイオードと容量とを有し、

上記ダイオードは、上記 1 組の伝送線路対の一方の伝送線路にカソードが接続され、他方の伝送線路にアノードが上記容量を介して接続されるとともに、上記アノードに制御電圧が供給されることを特徴とする付記 1 記載のスイッチ回路。

(付記 8) 上記第 1 の平衡線路と上記第 1 の出力端子との間、及び上記第 2 の平衡線路と上記第 2 の出力端子との間の少なくとも一方に、平衡・不平衡変換を行う変換回路をさらに備えたことを特徴とする付記 1 記載のスイッチ回路。

(付記 9) 中間周波数信号を高周波数信号に変換して増幅しアンテナに対して出力する送信信号処理回路と、

上記アンテナで受信した高周波数信号が供給され、当該高周波数信号を増幅して中間周波数信号に変換する受信信号処理回路と、

上記送信信号処理回路又は上記受信信号処理回路を選択的に上記アンテナに対して信号を伝送可能なように接続するスイッチ回路とを備え、

上記スイッチ回路は、一端が上記アンテナに接続された不平衡線路と、

上記不平衡線路の他端と上記送信信号処理回路との間に接続された第 1 の平衡線路と、

上記不平衡線路の上記他端と上記受信信号処理回路との間に接続された第 2 の平衡線路とを備え、

上記第 1 及び第 2 の平衡線路のそれぞれは、

縦続接続された複数の 4 分の 1 波長伝送線路と、

上記縦続接続された 4 分の 1 波長伝送線路の相互接続点毎に上記平衡線路を構成する 1 組の伝送線路対間に接続され、外部よりインピーダンスを制御可能な複数の被制御回路とを有することを特徴とする集積回路。

(付記 10) 付記 2 記載のスイッチ回路の上記トランジスタ素子を集積した半導体チップ

と、当該スイッチ回路の上記伝送線路を集積した誘電体基板とを備えることを特徴とする集積回路。

(付記 1 1) 付記 2 記載のスイッチ回路の上記トランジスタ素子と上記伝送線路を同一の半導体基板上に集積したことを特徴とする集積回路。

【図面の簡単な説明】

【0056】

【図 1】本発明の実施形態における高周波スイッチ回路の回路構成例を示す図である。

【図 2】図 1 に示す高周波スイッチ回路の送信切替時における等価回路を示す図である。

【図 3】図 1 に示す高周波スイッチ回路で使用されるトランジスタに与えられる電圧とトランジスタに流れる電流との関係を示す図である。

10

【図 4】本実施形態における高周波スイッチ回路の特性（アイソレーション及び損失）を示す図である。

【図 5】本実施形態における高周波スイッチ回路の大電力信号入力時の特性を示す図である。

【図 6】本実施形態における高周波スイッチ回路の他の回路構成例を示す図である。

【図 7】本実施形態における高周波スイッチ回路の他の回路構成例を示す図である。

【図 8】本実施形態における高周波スイッチ回路に適用可能なトランジスタの一例を示す図である。

【図 9】本実施形態における高周波スイッチ回路を用いたトランシーバ装置の構成例を示す図である。

20

【図 10】従来の高周波スイッチ回路の回路構成を示す図である。

【図 11】図 10 に示す高周波スイッチ回路の送信切替時における等価回路を示す図である。

【図 12】高周波スイッチ回路で使用されるトランジスタを模式的に示す断面図である。

【図 13】図 10 に示す高周波スイッチ回路で使用されるトランジスタに与えられる電圧とトランジスタに流れる電流との関係を示す図である。

【符号の説明】

【0057】

10、20、30 高周波スイッチ回路

1 入力端子

2 a、2 b 送信側出力端子

3 a、3 b 受信側出力端子

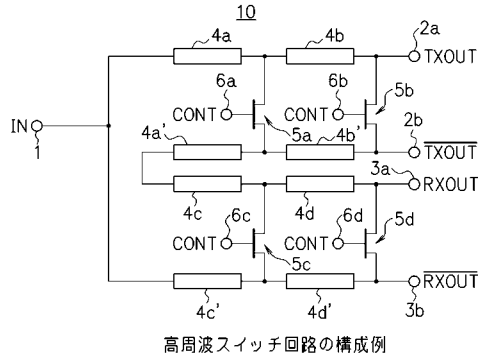
4 a、4 a'、4 b、4 b'、4 c、4 c'、4 d、4 d' 伝送線路

5 a、5 b、5 c、5 d トランジスタ (FET)

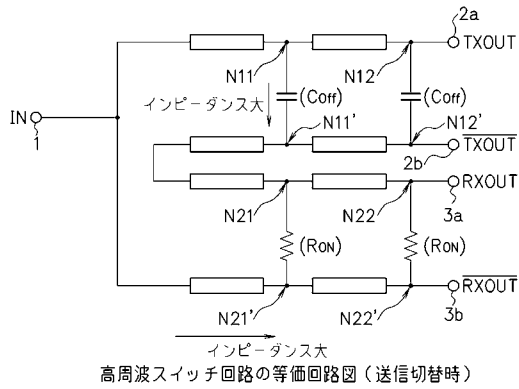
6 a、6 b、6 c、6 d 制御端子

30

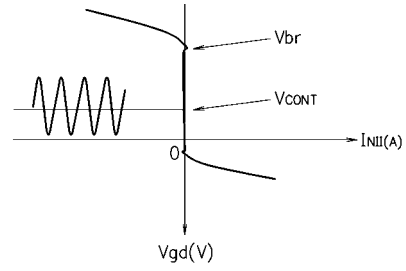
【図1】



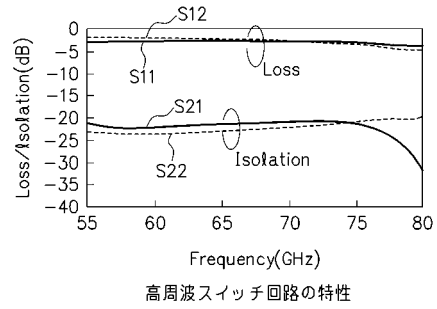
【図2】



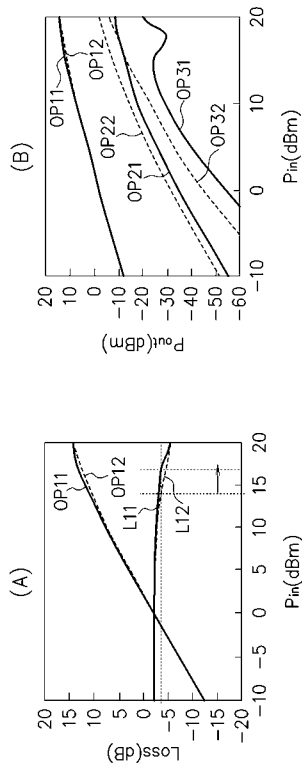
【図3】



【図4】

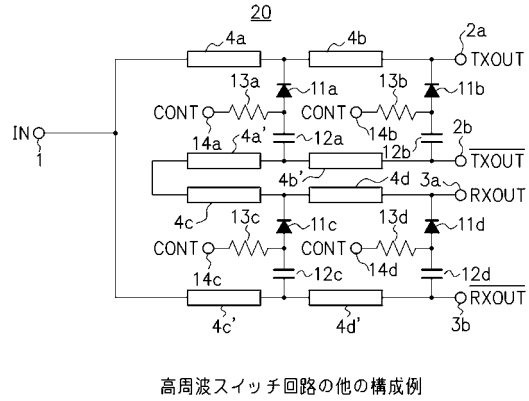


【図5】

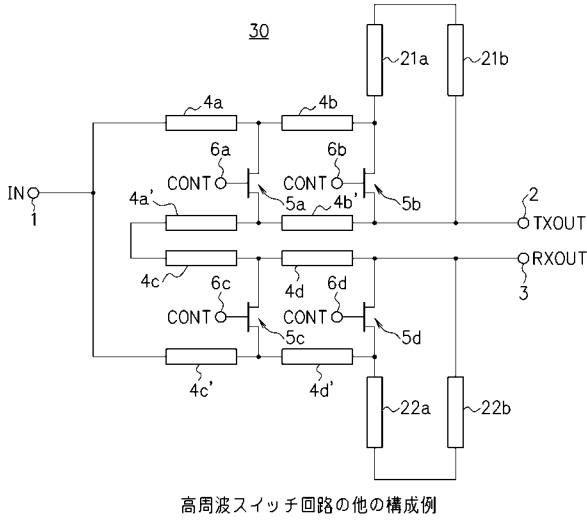


高周波スイッチ回路の特性

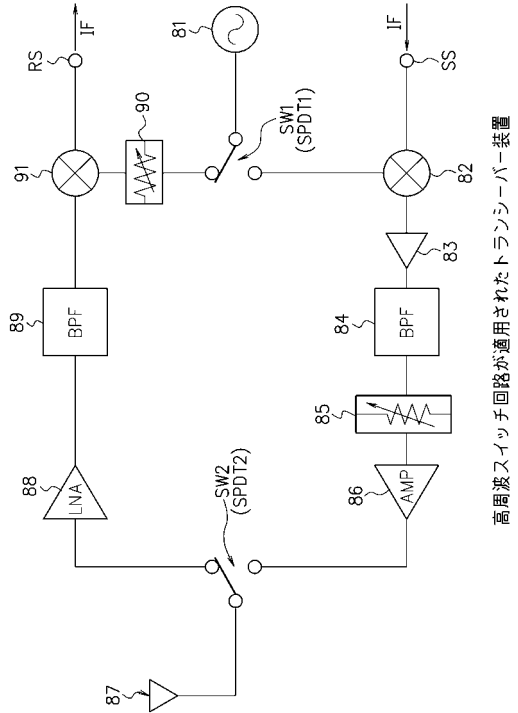
【図6】



【図7】



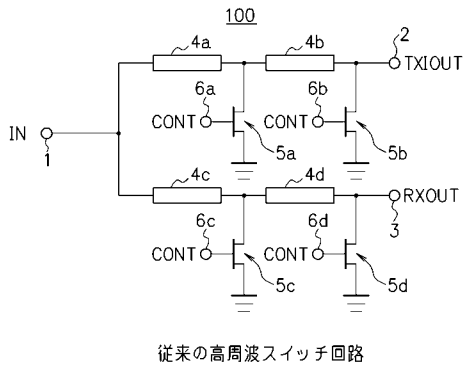
【図9】



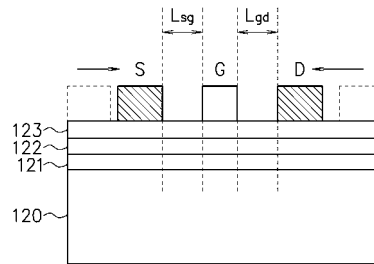
【図8】

	高周波動作	高耐圧動作
InP HEMT	○	×
InP HBT	○	△
SiGe HBT	○	△
CMOS	△	×
GaN HEMT	△	○
GaAs pHEMT	△	△

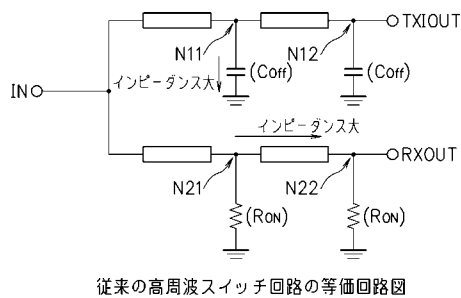
【図10】



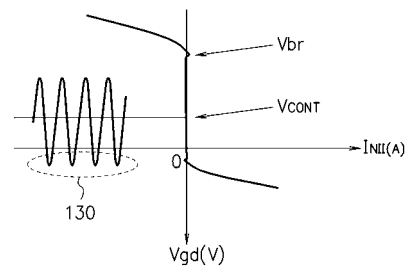
【図12】



【図11】



【図13】



## フロントページの続き

- (56)参考文献 特開平06-232601(JP,A)  
特開平08-070245(JP,A)  
特開平10-093302(JP,A)  
特開平10-093471(JP,A)  
特開平08-330930(JP,A)  
特開平07-235802(JP,A)  
特開平06-334506(JP,A)  
特開平10-135715(JP,A)  
特開平11-136011(JP,A)

## (58)調査した分野(Int.Cl., DB名)

- H01P 1/10 - 1/195、 5/00 - 5/22、  
H03F 1/00 - 3/45、 3/50 - 3/52、  
3/62 - 3/64、 3/68 - 3/72、  
H04B 1/38 - 1/58