

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95133726

※ 申請日期：95.9.12

※IPC 分類：H05K 1/18 (2006.01)

一、發明名稱：(中文/英文)

H01G 2/04 (2006.01)

電容元件及其形成方法與形成埋入式電容核板的方法

EMBEDDED CAPACITOR CORE HAVING A
MULTIPLE-LAYER STRUCTURE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人：(中文/英文) 蔡清彥 Ching-Yen Tsay

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路4段195號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu 31040, Taiwan,
R. O. C.

國籍：(中文/英文)

中華民國 / REPUBLIC OF CHINA

三、發明人：(共4人)

姓名：(中文/英文)

1. 吳仕先 / WU, SHIN-HSIEN

2. 李明林 / LEE, MIN-LIN

3. 賴信助 / LAY, SHINN-JUH

4. 張致豪 / CHANG CHIH-HAO

國籍：(中文/英文)

1-4 均中華民國 / REPUBLIC OF CHINA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、2005/9/19、60/718,382

2. 美國、2006/9/6、11/470,435

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明關於一種具有多層結構之埋入式電容核板，以及一具有多層結構之埋入式電容核板的製造方法，尤指一種可以埋入在一印刷電路板內的埋入式電容核板。

【先前技術】

電容為能夠儲存或吸收電荷的電子裝置，由於具有電荷充電及儲存的特質，使得電容在包括積體電路(IC)等電子電路的設計與運作當中具有廣泛的應用。例如，IC 本身內部可能包含許多連結於外部其它組件的電容以供 IC 整體運作所需，例如在信號處理方面。除了自建於 IC 內部的電容之外，IC 亦可依賴外部電容來穩定電源供應、吸收不想要的電源擾動、或是降低信號干擾或雜訊。舉例而言，佈植於印刷電路板(PCB)表層上的 IC 可以與同樣佈植於 PCB 表層上的陶瓷電容相連接來達成穩定電源供應、吸收不想要的電源擾動、或是降低信號干擾或雜訊的目的，而這些電容可使用已知的表面黏著技術(SMT)來進行佈值。另外，其它種類的電容同樣地也可以藉由佈值於電路板表層上或是電路板板內而與 IC 相接連，來達到與上述 SMT 電容相同的功效。

IC 與外部電容之間的連接通常是透過外部導體線路來達成，其相較於 IC 本身內部線路的連接而言明顯較長，在某些特定的應用中，過寬或過窄的導體線路都會在線路路徑上產生特定的電感值，因而形成電感效應，造成不必要電源擾動現象而影響 IC 上的信號或運作。此外，SMT 電容雖然尺寸較小，但其電容範圍或是其所能夠處理的信號頻率一樣會有限制，或是兩者皆受限。由於電子電路及其它相關組件的速度越來越快，且元件的尺寸以及 PCB 空間越來越小，要找出能夠滿足高速設計所需之 SMT 電容

便成為一項愈來愈困難的事情。此外，佈植於 PCB 上的 SMT 電容需佔用相當程度的電路板空間，因而可能會使其它元件可使用的電路板空間受到限制。此外，由於 IC 的接腳越來越多且接腳排列越來越密，用於連接 IC 到外部電容之導體線路的設計也成為另一項日趨複雜的問題。

因此，能提供一種電容元件，使其能夠被埋入到其它結構中(例如一電路板)的需求愈來愈明確。亦需要提供一種具有多個電容元件的設計，這些電容元件具有不同的共振頻率以提供用於抑制具有相當頻寬的雜訊訊號，或是可實施於其它相關的應用。此外，減少由 IC 到外部裝置(例如電容或電容-電感網路)之導體線路路徑以降低電感效應的需求會伴隨著高速電容元件的需求而成長。

【發明內容】

本發明之範例提供一種埋入式電容元件。該埋入式電容元件可包括由一載板轉換的一第一導電膜之第一導電圖案；由一第二載板轉換的一第二導電膜之第二導電圖案；以及該第一及第二導電膜之間的一第一介電層。該第一導電圖案與該第二導電圖案皆嵌入到該第一介電膜當中，且該第一介電膜之部份可夾在該第一導電圖案與該第二導電圖案之間。

本發明之另一範例提供一種形成一電容元件之方法。該方法可包括：提供一第一載板，其中包含一第一金屬基板；在該第一金屬基板的一部份之上形成一第一導電圖案，其中該第一導電圖案比該第一金屬基板要薄；提供一第二載板，其中包含一第二金屬基板；在該第二金屬基板的一部份之上形成一第二導電圖案，其中該第二導電圖案比該第二金屬基板要薄；結合該第一載板與該第二載板，且在至少該第一導電圖案與該第二導電圖案之間具有一第一介電膜；以及移除該第一載板與該第二載板而提供該電容元件。

根據本發明之範例之一埋入式電容核板可包括第一組電容元件、第二組電容元件，及在該第一組電容元件與該第二組電容元件之間的一層間介電膜。該第一組電容元件包括：一第一導電圖案，其包含至少兩個導電電極；以及一第二導電圖案，其包含至少兩個導電電極，其對應於該第一導電圖案之兩個導電電極。該第一導電圖案與該第二導電圖案皆嵌入到該第一介電膜當中，且該第一介電膜之部份可夾在該第一導電圖案與該第二導電圖案之間。該第二組電容元件包括：一第三導電圖案，其包含至少兩個導電電極；以及一第四導電圖案，其包含至少兩個導電電極，其對應於該第三導電圖案之兩個導電電極。該第三導電圖

案與該第四導電圖案皆嵌入到該第二介電膜當中，且該第二介電膜之部份可夾在該第三導電圖案與該第四導電圖案之間。在一範例中，該埋入式電容核板係埋入在一電路板之內，且該第一或第二導電圖案之導電電極當中至少一電極係電氣耦合到該第三或第四導電圖案之導電電極當中至少一電極。

本發明之範例提供一種形成一埋入式電容核板之方法。該方法包括：形成一第一導電圖案，其包含在一第一載板上至少兩個導電電極；形成一第二導電圖案，其包含在一第二載板上至少兩個導電電極，其中該第二導電圖案之兩個導電電極對應於該第一導電圖案之兩個導電電極；藉著該第一導電圖案與該第二導電圖案之間的一第一介電膜結合該第一載板與該第二載板；移除該第一載板與該第二載板；形成一第三導電圖案，其包含在一第三載板上至少兩個導電電極；形成一第四導電圖案，其包含在一第四載板上至少兩個導電電極，其中該第四導電圖案之兩個導電電極對應於該第三導電圖案之兩個導電電極；藉著該第三導電圖案與該第四導電圖案之間一第二介電膜結合該第三載板與該第四載板；移除該第三載板與該第四載板；以及結合該第一、第二、第三及第四導電圖案，該第二導電圖案與該第三導電圖案在其間具有一層間介電膜。在一範例中，該埋入式電容核板係埋入在一電路板之內，且該第一或第二導電圖案之導電電極當中至少一電極係電氣耦合到該第三或第四導電圖案之導電電極當中至少一電極。

本發明之範例可允許導體被嵌入並固定在一介電層中，並可提供一薄型電容核板。本發明之範例亦可允許該電容核板被放置在靠近或鄰接於電路板的一電源佈線層與一接地佈線層。本發明另一範例提供了一具有至少一埋入式電容核板之印刷電路板。該埋入式電容核板包括一第一

組電容、一第二組電容、及該第一組電容與該第二組電容之間一層間介電膜。該第一組電容包括：一第一導電圖案，其包含至少兩個導電電極；以及一第二導電圖案，其包含至少兩個導電電極，其對應於該第一導電圖案之兩個導電電極；以及一第一介電膜，其位於該第一導電圖案及該第二導電圖案之間的一第一介電膜。該第二組電容包括：一第三導電圖案，其包含至少兩個導電電極；一第四導電圖案，其包含對應於該第三導電圖案之兩個導電電極之至少兩個導電電極；以及位於該第三導電圖案及該第四導電圖案之間的一第二介電膜。在一範例中，該埋入式電容核板係埋入在一電路板之內，且該第一或第二導電圖案之導電電極當中至少一電極係電氣耦合到該第三或第四導電圖案之導電電極當中至少一電極。

本發明另一範例提供了一包括至少一埋入式電容核板之印刷電路板。每個埋入式電容核板包括複數層之導電圖案，其每一個具有複數導電電極，以及被固定於一或多介電層。尤其是該複數層導電圖案可以堆疊在一起，以提供一或多個電容。

【實施方式】

本發明之範例包括一埋入式電容核板，其可包括由導電圖案所形成的一多層電容結構。該埋入式核板可以埋入在一 PCB 之內，做為一埋入式解耦電容(EDC, "Embedded Decoupling Capacitor")。本發明之範例亦包括形成一埋入式電容核板之方法。在某些範例中，一或多個埋入式電容核板的每一個皆包含一或多個電容，而可做為一 IC 之 EDC，以於某些應用中降低 IC 之電源/接地雜訊或信號雜訊。本發明之範例亦可包括在一 PCB 中加入一或多個埋入式電容核板，例如放置一或多個埋入式電容核板在具有多層佈線網路之 PCB 的某些位置中。

此外，本發明之範例提供一種電容元件，其具有一高介電常數之介電層，導體則由該介電層的兩相反側嵌入，藉此使電容元件在該等導體之間有一短距離以及高電容。在一些範例中，該電容元件可以埋入基板或印刷電路板中做為電容核板以供種種應用。本發明之範例亦可提供多個具有不同共振頻率之電容，以提供廣範圍的頻率頻寬來做雜訊抑制或其它應用。本發明之範例亦提供一其可將導體由一高介電常數介電層之相反側嵌入並可埋入在一電路基板或一印刷電路板中之電容，以減少由一或多個 IC 到外部裝置(例如電容或電容-電感網路)之佈線路徑。

在 IC 的設計中，電流流經電源、接地及其它信號接點。然而，由於電源/接地雜訊及電壓/電流切換雜訊之故，可能會造成信號的傳遞錯誤。適當的外部電路(例如解耦電容電路)可以分散或解耦在電源接點處的雜訊或信號雜訊，以將電路運作中不必要的雜訊效應降至最低。降低或移除不必要的電源接點雜訊或信號雜訊也可以降低由 IC 或系統所造成、會對其它周遭電路或系統造成影響的電磁干擾(EMI)。

圖 1 所示為 IC 2 之外部解耦電容組態之範例，其可安裝在 PCB 4 之上。請參考圖 1，IC 2 的一或多組電源或信號接點可以耦合到一或多外部電容迴路。例如，IC 2 的一電源接點 VDD 可以連線到連接於 PCB 4 之下方佈線層之一電容節點，而 IC 2 的一接地接點 VG 可以連線到連接於 PCB 4 之上方佈線層之另一電容節點。但是，對於某些應用而言，所例示的組態會因連接到電容之長佈線路徑而造成過高的電感，而電感效應會影響外部電容在某些情況下降低不必要之接地或電源雜訊的效果。

下表 1 所示為一範例性 PCB 之規格。

表 1 範例性 PCB 電氣規格

參數	最小	最大	單位
導線上信號傳播速度 S0 (外層)	1.6	2.2	ns/ft
導線上信號傳播速度 S0 (內層)	2.0	2.2	ns/ft
導線阻抗 Z0 (所有層)	54	66	ohms

如所例示，通過該 PCB 之佈線路徑的阻抗之範圍在約 54 到 60 歐姆之間。但是，為了達到適當的阻抗控制，該 PCB 佈線路徑或疊層必須適當地設計來保持適當的阻抗位準。傳統的多層佈線以控制阻抗之設計對於一般的電路信號為恰當，但對於電源電流則否。圖 2 所示為在一 PCB 內形成導電層之範例性結構。請參考圖 2，一接地層可加入到該 PCB 之上方部份以耦合該接地接點，而一電壓層可加入到該 PCB 之下方部份以耦合於該等電源接點之一。

圖 3 所示為埋入式電容核板 100 的範例。如此範例中所示，埋入式電容核板 100 可包括多重子結構，其每一個

可包含一組電容。例如，埋入式電容核板 100 可包括第一組電容 10、第二組電容 20，一直到第 N 組電容 90，在此範例中其每一個皆包含一組電容。請參考圖 3，第一組電容 10 可包括第一導電圖案 12，其具有兩個或多個導電電極 120、122 與 124，而第二導電圖案 14，其亦具有兩個或多個導電電極 140、142 與 144，其可對應於第一導電圖案 12 的那兩個導電電極。於兩個導電圖案 12 與 14 之間有一第一介電膜 16，其可包含一有機材料。在某些範例中，術語「對應於」係涵蓋一功能性對應，例如兩個電極之間的互動，或一實體對應，例如兩個電極之實體位置或大小。類似於第一組電容 10，第二組電容 20 可包括一第三導電圖案 22，其具有兩個或多個導電電極，及一第四導電圖案 24，其亦具有兩個或多個導電電極，其可對應於第三導電圖案 22 的那兩個導電電極。類似地，於兩個導電圖案 22 與 24 之間有一第二介電膜，其可包含一有機材料。

為了堆疊上述的兩組或多組電容，層間介電膜 10a 可提供在第一組電容 10 與第二組電容 20 之間。如上所述，埋入式電容核板 100 可埋入到一 PCB 之內。另外，要注意到圖 4 所示的導電圖案僅為例示性範例，且每一層的導電圖案及介電膜在不同的設計考量(例如電容、操作頻率、IC 接點位置等)之下可具有不同的形狀、大小及厚度。在一範例中，該第一或第二導電圖案 10 之導電電極中至少一電極可以電性耦合到該第三或第四導電圖案之導電電極中至少一電極，以形成一第三組電容或多個電容。在某些範例中，該第一、第二、第三及第四導電圖案中每一圖案之厚度在約 5 μm 到約 30 μm 之間；該介電膜中每一個之厚度在約 10 μm 到約 50 μm 之間；而該層間介電膜之厚度在約 5 μm 到約 50 μm 之間。因此，即使利用兩組或多組電容之堆疊結構(類似組合 10 及 20)，在某些範例中仍可提供一非常薄

的埋入式電容核板。

為了提供該等電極，該第一、第二、第三及第四導電圖案 12, 14, 22 及 24 包含有導電材料，例如金屬，在一範例中為銅。不同的介電材料可以做為介電膜 16 及 26。在一範例中，該第一及第二介電膜 16, 26 中至少一介電膜可為一有機材料，且其介電常數之數值在 10 到 500 之間。在一範例中，該介電常數為不小於 10。有機材料的使用可以造成埋入式電容核板之形成，並提供適當的介電特性。在一範例中，該第一及第二介電膜中至少一介電膜可包含一環氧樹脂材料，其含有 BaTiO_3 。在某些範例中，一黏結層可以做為或被包含成為圖 3 中層間介電膜 10a 的一部份，以結合該第一組電容 10 與第二組電容 20。此外，該黏結層可以具有一高介電常數，例如其介電常數數值在 3 與 500 之間，以做為一介電膜，並結合於相鄰的電極提供一適當位準的電容。在一範例中，使用一有機黏結材料，且其介電常數不小於 3。

在該第一、第二、第三及第四導電圖案的電極之間形成電容有非常高的可能性。根據該電極耦合與組態，圖 3 所示之埋入式電容核板 100 可提供一單一電容，其可與所有電極共同形成，或是與電極配對獨立形成一些獨立的電容。圖 4 所示為如何可以耦合獨立的電極組合 10, 20 之範例。在某些範例中，該等電極可以「交錯」耦合以提供一或多個電容。例如，組合 10 與組合 20 可提供多個電容，其共同形成為一單一電容或兩或多個電容。在一範例中，電極 A1 到 A6 可以共同耦合成為一個接點，而電極 B1 到 B6 可共同耦合成為另一個接點，藉此至少在每個 A1-B1, A2-B2, A3-B3, A4-B4, A5-B5, A6-B6, A1-B2, B2-A3, B1-A2, A2-B3, B1-A4, A2-B5, B3-A6, A4-B5, B5-A6, B4-A5, 與 A5-B6 電極配對之間形成電容。

在另一範例中，電極 A1 到 A3 可共同耦合成一第一接點，而電極 B1 到 B3 可共同耦合到一第二接點，藉此至少在每個 A1-B1, A2-B2, A3-B3, A1-B2, B2-A3, B1-A2, 與 A2-B3 電極配對之間形成電容。因此，組合 10 可提供一單一電容耦合在一對接點之間。此外，電極 A4 到 A6 可共同耦合成一第三接點，而電極 B1 到 B3 可共同耦合成一第四接點，藉此至少在每個 A4-B4, A5-B5, A6-B6, A2-B5, B3-A6, A4-B5, B5-A6, B4-A5 與 A5-B6 電極配對之間形成電容。因此，組合 20 可提供一單一電容耦合在另一 IC 接點之配對之間。因此該埋入式電容核板在此組態之下可提供兩個獨立的電容。

因此，該等導電圖案與那些導電圖案中電極的耦合可用多種方式設計，以符合不同的設計需求，其可做為埋入式解耦電容或其它電容元件。以上的範例僅為例示性，本技藝專業人士可基於本申請案之揭示內容進行多種設計改變來用於不同的應用。

圖 5A 至圖 5G 所示為形成一埋入式電容核板之範例。請參考圖 5A，形成埋入式電容組合 10 之方法可包括形成第一導電圖案 12，其包含在第一載板 12c 上至少兩個導電電極，並形成第二導電圖案 14，其包含在第二載板 14c 上至少兩個導電電極。在一範例中，第二導電圖案 14 之兩個導電電極可對應於第一導電圖案 12 之兩個導電電極。請參考圖 5B，該方法即包括將第一載板 12c 與第二載板 14c 結合於至少第一導電圖案 12 與第二導電圖案 14 之間的第一介電膜 16。請參考圖 5C，然後即可移除第一載板 12c 與該第二載板 14c，藉此提供第一電容核板組合 10。

換言之，藉由使用上述的處理，即可提供具有一或多個電容之電容元件，其具有一薄結構與一較高的電容。在一範例中，這種電容元件可包括由一載板轉換的一第一導

電膜之第一導電圖案，且該第一導電膜之厚度為數微米到數百微米，其係依據應用、電容設計、以及製程而定。該電容元件亦可包括由一第二載板轉換的一第二導電膜之第二導電圖案，且該第二導電膜之厚度為數微米到數百微米，其係依據應用、電容設計、以及製程而定。在一些範例中，不小於 5 微米之導電膜(例如為 5, 30 或 50 微米厚)，其可做為該第一導電膜、第二導電膜或兩者。以及，該第一導電圖案與該第二導電圖案皆可嵌入到該第一介電膜當中，且該第一介電膜之部份可夾在該第一導電圖案與該第二導電圖案之間。

在一些範例中，該第一載板、該第二載板或兩者皆可包括一金屬基板，用於在其上形成該第一導電圖案、該第二導電圖案或兩者，並嵌入該第一與第二導電圖案到該第一介電膜當中，例如藉由上述的處理。該第一及第二導電圖案或其中之一可以藉由一導電圖案嵌入處理或其它導電圖案轉換處理而被嵌入在該第一介電膜中。該第一與第二導電圖案或其中之一可包括銅，例如電鍍或塗佈的銅膜。在一些範例中，該第一介電膜可包括一有機介電膜，例如具有不小於 10 的介電常數之有機介電膜。

類似的處理可以用於提供圖 5F 中的第二電容組合 20。請參考圖 5D，形成嵌入式電容組合 20 之方法可包括形成第三導電圖案 22，其包含在第三載板 22c 上至少兩個導電電極，並形成第四導電圖案 24，其包含在第四載板 24c 上至少兩個導電電極。在一範例中，第四導電圖案 24 之兩個導電電極可對應於第三導電圖案 22 之兩個導電電極。請參考圖 5E，該方法即包括將第三載板 22c 與第四載板 24c 結合於至少第三導電圖案 22 與第四導電圖案 24 之間的第二介電膜 26。請參考圖 5F，然後即可移除第三載板 22c 與該第四載板 24c。

請參考圖 5G，第一電容組合 10 即可堆疊在第二電容組合 20 之上，它們之間具有層間介電膜 10a。換言之，第一、第二、第三及第四導電圖案 12, 14, 22 與 24 被結合在一起，在所示的範例中該第二導電圖案與第三導電圖案之間具有一層間介電膜。如上所述，一埋入式電容核板，其可具有兩組或多組電容組合(類似電容組合 10, 20)，即可埋入在一電路板當中。此外，該第一或第二導電圖案 12 或 14 之導電電極中至少一導電電極可以電氣耦合到該第三或第四導電圖案 22 或 24 之導電電極中至少一導電電極。

如上所述，在一些範例中，該埋入式電容核板可以加入印刷電路板中，以提供一埋入式解耦電容。為了提供該等電極，該第一、第二、第三及第四導電圖案 12, 14, 22 及 24 包含有導電材料，例如金屬，其中包括銅。在一些範例中，一嵌入銅圖案或含銅圖案可以透過一載板形成在一高介電常數之介電層中。該載板可做為一基板，用於在一電容組合的形成過程期間支撐該導電圖案，並在稍後移除。因此，該載板可由在稍後移除的材料所製成，並保留該導電圖案，或至少其大部份。在一些範例中，一載板與一導電圖案可由不同的銅或具有不同品質或特性之銅所製成。例如，一厚金屬或銅層可以做為一載板來進行材料的輸送。以及一電鍍或被覆的銅膜可做為一薄導電圖案膜，其可將其圖案由已知的處理來定義，例如微影及蝕刻處理的組合。在一些範例中，一電容元件之導電圖案膜之厚度範圍可以很廣。例如，一導電圖案膜之厚度可為 5, 10 數十或甚至數微米或數百微米。在一範例中，一導電圖案膜不小於 5 微米。符合於本發明之範例可提供一高電容，並具有埋入電容之薄結構。在定義該電極圖案之後，該載板銅可由一蝕刻或其它處理來移除。

如上關於埋入式電容核板所述，不同的介電材料，包

括有機材料，皆可做為該等介電膜 16 與 26。在一範例中，該第一及第二介電膜 16 與 26 中至少一介電膜之介電常數不小於 10。使用有機材料可以構成埋入式電容元件的形成，並提供適當的介電特性。例如，請參考圖 5B 及圖 5E，於結合兩個載板或兩組導電圖案的處理期間，一有機介電材料能夠稍微流動或成為足夠地有彈性而覆蓋該導電圖案，而不會產生太多的空隙，且不需要一非常高的處理溫度。例如，用於製作傳統陶瓷電容之處理的高到 800°C 之高溫處理即可被避免，而可使用約 200°C 之低溫處理，或是溫度範圍在約 150°C 到 400°C 之間。在一範例中，該第一及第二介電膜中至少一介電膜可包含一環氧樹脂材料，其含有 BaTiO_3 。在某些範例中，一黏結層可以做為或被包含成為圖 5G 中該層間介電膜 10a 的一部份，以結合該第一組電容 10 與第二組電容 20。如上述，該黏結層可以具有一高介電常數，例如其介電常數不小於 3，以做為一介電膜，並結合於相鄰的電極提供一適當位準的電容。在一範例中，可使用一有機黏結材料。

圖 6 所示為提供了耦合於 PCB 4 中 IC 2a 與 2b 之電容的範例。所例示的設計具有四個佈線層，其堆疊在預浸板 (P.P.)，FR4 核，P.P.，FR4 核及 P.P. 層之間。在這些佈線層之間，上方層 6a 耦合於 IC 2a 及 2b 之電源接點，而底層 6b 耦合於 IC 2a 及 2b 之接地接點。使用這些佈線層，該等電源與接地接點能夠耦合到一或多個電容。但是，這種組態會造成該電源到電容以及該接地到電容佈線路徑之長度並不相等。例如，對於 IC 2a，該電源到電容佈線路徑會短於該接地到電容佈線路徑。該設計在某些狀況下會造成 IC 2a 之某種不必要的接地雜訊。相反地，對於 IC 2b，該電源到電容佈線路徑即會長於該接地到電容佈線路徑。該設計在某些狀況下會造成 IC 2b 之某種不必要的電源雜

訊。此外，IC 2a 之明顯較長的接地到電容佈線路徑、IC 2b 之明顯較長的電源到電容佈線路徑皆會行經一明顯的垂直路徑，例如一貫穿通道，其亦會造成不必要的電感，其會在某些情況下產生電源或接地雜訊。

為了避免上述在某些情況下的問題，利用一系統組態可將一或多個埋入式電容核板埋入在一 PCB 內。埋入式電容核板之多層設計可以提供所想要的電容效應，而在某些範例中不需要顯著的空間或 PCB 厚度。圖 7 所示為提供埋入式電容核板耦合於 PCB 200 內的 IC 400a 及 400b 之範例。在此例中，埋入式電容核板 210 埋入在靠近或位在 PCB200 的中心層。電源與接地連線層 210a 與 210b 可以放置在靠近或鄰接，並單獨地耦合於該埋入式電容核板 210 之接點。

除了那兩個佈線層，PCB 200 在 IC 400a 與 400b 之間可包含額外的佈線層，例如圖 7 所示的其它兩層或四層的佈線層。在此組態之下，由 IC 400a 到埋入式電容核板 210 之電源與接地層連接具有大約相等的長度。同理，由 IC 400b 到埋入式電容核板 210 之電源與接地層連接具有大約相等的長度。這種組態在電容耦合中可具有較佳的均勻性，藉此提供較佳的降低雜訊效果，並在某些案例中可避免不必要的電感。例如，該埋入式電容核板本身可為並聯、串聯或其組合之耦合一些電容的組合。該埋入式電容核板亦可設計成具有超過兩個外部耦合，以提供兩組或多組的獨立電容。

圖 8 所示為提供埋入式電容核板耦合到 PCB 300 內的 IC 400a 及 400b 之另一個範例。在此範例中，兩個埋入式電容核板 310 與 320 皆可埋入在 PCB 300 中，一個靠近 PCB300 的上方，另一個則接近其底部。電源及接地佈線層 310a 與 310b 可以放置成靠近或鄰接，並獨立地耦合於

埋入式電容核板 310 之接點，而電源及接地佈線層 320a 與 320b 可以放置成靠近或鄰接，並獨立地耦合於埋入式電容核板 320 之接點。在一範例中，電源及接地佈線層 310a 及 310b 即耦合到 IC 400a，且電源及接地佈線層 320a 及 320b 即耦合到 IC 400b。此組態可提供短的佈線路徑到該 IC 之電容，並可降低由於由 IC 到電容之長的佈線路徑造成的電感效應。類似於圖 7 之組態，圖 8 之組態亦提供一對稱結構，其在某些案例中可降低系統設計或信號中不平衡或干擾。

除了那四個佈線層，PCB 200 在佈線層 310a 與 320b 之間可包含額外的佈線層，例如圖 8 所示的其它兩層。在此組態之下，來自 IC 400a 到埋入式電容核板 310 之電源與接地層連接具有大約相等的長度。同理，由 IC 400b 到埋入式電容核板 320 之電源與接地層連接具有大約相等的長度。此外，核板 310 到 IC 400a 與核板 320 到 IC 400b 之鄰近性亦會縮短由該等接點到該等埋入式電容核板之佈線路徑。在某些範例中，來自 IC 之接點可直接連接到埋入於位在 IC 之下的 PCB 之區域中的電容。圖 8 中所示的這種組態及其它組態皆可提供電容耦合中較佳的均勻性，藉此在某些案例中提供較佳的雜訊降低效果，並避免不必要的電感。例如，該埋入式電容核板 310 及 320 中每一核板本身可為並聯、串聯或其組合之耦合一些電容的組合。該埋入式電容核板亦可設計成具有超過兩個外部耦合，以提供兩組或多組的獨立電容。

由於上述的揭示，一 PCB 的組態可用多種方式設計以包括一或多個埋入式電容核板，並提供一或多個電容，即可用於電路或 IC 耦合到 PCB 之一或多個功能。例如，厚度、電容、電容數目、電極設計、與一埋入式電容核板內的電極圖案可被改變，以容納多種應用之需求。同理，埋

入式電容核板、疊層數目、連線或內連線層之數目、連線圖案、耦合到電容及不同疊層的厚度亦可被改變來符合多種應用的需求。

如上所述，符合於本發明之範例可提供一電容元件，其具有低表面平整度、薄型的平面導體，其可嵌入到一介電膜中，並具有一適當或較高的介電常數。在某些範例中，該等導體之低表面平整度、薄型的平面組態可以降低短路現象可能發生之機會，此短路現象一般會在當該介電膜較薄時、或是當該等導體不具有平滑或平坦表面時發生。該電容元件由於這種設計即可具有一非常薄的結構，並可輕易地埋入到一 PCB 中，而不會顯著地改變該疊層結構或是該 PCB 的厚度。該埋入式設計亦可提供了簡易性來配置佈線路徑及/或允許該接地及電源佈線及電容元件可以彈性地配置，以滿足多種需求，例如表 1 中所示的範例性規格。

如上所述，本發明提供了埋入式電容核板、其組態、其形成、及相關應用之範例。熟習此項技藝者應即瞭解可對上述各項具體實施例進行變化，而不致悖離其廣義之發明性概念。因此，應瞭解本發明並不限於本揭之特定具體實施例，而係為涵蓋歸屬如後載各請求項所定義之本發明精神及範圍內的修飾。

【圖式簡單說明】

當併同各隨附圖式而閱覽時，即可更佳瞭解本發明之前揭摘要以及上文詳細說明。為達本發明之說明目的，各圖式裏圖繪有現屬較佳之各具體實施例。然應瞭解本發明並不限於所繪之精確排置方式及設備裝置。在各圖式中：

圖 1 所示為用於耦合一 IC 到一外部解耦電容之範例性組態的橫截面圖；

圖 2 所示為在一 PCB 內形成導電層之範例性結構的橫截面圖；

圖 3 所示為一埋入式電容核板之範例的橫截面圖；

圖 4 所示為兩個獨立核之獨立電極的橫截面圖；

圖 5A 至圖 5G 所示為形成一埋入式電容核板之範例的橫截面圖；

圖 6 所示為提供電容耦合到 IC 之範例的橫截面圖；

圖 7 所示為提供埋入式電容核板耦合到 IC 之範例的橫截面圖；以及

圖 8 所示為提供埋入式電容核板耦合到 IC 之另一範例的橫截面圖。

【主要元件符號說明】

2	積體電路
2a	積體電路
2b	積體電路
4	印刷電路板
6a	上方層

6b	底層
10	第一組電容
10a	層間介電膜
12	第一導電圖案
12c	第一載板
14	第二導電圖案
14c	第二載板
16	介電膜
20	第二組電容
22	第三導電圖案
22c	第三載板
24	第四導電圖案
24c	第四載板
26	介電膜
90	第 N 組電容
100	埋入式電容核板
120、122、124	第一導電電極
140、142、144	第二導電電極
200	印刷電路板
210	埋入式電容核板
210a	電源佈線層

210b	接地佈線層
300	印刷電路板
310	埋入式電容核板
310a	電源佈線層
310b	接地佈線層
320	埋入式電容核板
320a	電源佈線層
320b	接地佈線層
400a	積體電路
400b	積體電路

五、中文發明摘要：

本發明揭示一種埋入式電容核板，其包括一第一組電容、一第二組電容、及該第一組電容與該第二組電容之間一層間介電膜。該第一組電容包括：一第一導電圖案，其包含至少兩個導電電極；以及一第二導電圖案，其包含至少兩個導電電極，其對應於該第一導電圖案之兩個導電電極；以及一第一介電膜，其位於該第一導電圖案及該第二導電圖案之間。該第二組電容包括：一第三導電圖案，其包含至少兩個導電電極；一第四導電圖案，其包含至少兩個導電電極，其對應於該第三導電圖案之兩個導電電極；以及位於該第三導電圖案及該第四導電圖案之間的一第二介電膜。

六、英文發明摘要：

An embedded capacitor core including a first set of capacitors, a second set of capacitors, and an inter-layer dielectric film between the first set of capacitors and the second set of capacitors. The first set of capacitors includes: a first conductive pattern comprising at least two conductive electrodes; a second conductive pattern comprising at least two conductive electrodes corresponding to the two conductive electrodes of the first conductive pattern; and a first dielectric film between the first conductive pattern and the second conductive pattern. The second set of capacitors includes: a third conductive pattern comprising at least two conductive electrodes; a fourth conductive pattern comprising at least two conductive electrodes corresponding to the two conductive electrodes of the third conductive pattern; and a second dielectric film between the third conductive pattern and the fourth conductive pattern.

十、申請專利範圍：

1.一種電容元件，其包含：

複數個具有第一導電圖案之第一導電膜；

複數個具有第二導電圖案第二導電膜；以及

一第一介電膜，其中該第一導電圖案與該第二導電圖案嵌入到該第一介電膜當中，且該第一介電膜之部份即夾在該第一導電圖案與該第二導電圖案之間，該第一介電膜之其他部分包圍第一導電圖案與第二導電圖案之周邊；

於該第一介電膜中構成上下配對、左右配對之電容，且於該第一介電膜中第一導電圖案與第二導電圖案未電性接觸。

2.如申請專利範圍第 1 項所述之電容元件，其中該第一與第二導電圖案係形成於一包含金屬基板之載板上，並經由一導電膜嵌入處理埋入該導電圖案到該第一介電膜中。

3.如申請專利範圍第 1 項所述之電容元件，其中該第一與第二導電膜中至少一膜經由導電膜嵌入處理被埋入到該第一介電膜當中。

4.如申請專利範圍第 1 項所述之電容元件，其中該第一與第二導電圖案中至少一圖案包含銅，且該第一與第二導電膜中至少一導電膜之厚度不小於 5 微米。

5.如申請專利範圍第 1 項所述之電容元件，其中該第一介電膜包含一有機介電膜，其介電常數不小於 10。

6.一種埋入式電容核板，其包含：

一第一組電容，其包含：

一第一導電圖案，其包含至少兩個導電電極；

一第二導電圖案，其包含至少兩個導電電極，其係對應於該第一導電圖案的兩個導電電極；以及

一第一介電膜位在該第一導電圖案與該第二導電圖案之間，該第一導電圖案與該第二導電圖案嵌入到該第一介電膜當中，且該第一介電膜之部份夾在該第一導電圖案與該第二導電圖案之間；

一第二組電容，其包含：

一第三導電圖案，其包含至少兩個導電電極；

一第四導電圖案，其包含至少兩個導電電極，其係對應於該第三導電圖案的兩個導電電極；以及

一第二介電膜位在該第三導電圖案與該第四導電圖案之間，該第三導電圖案與該第四導電圖案嵌入到該第二介電膜當中，且該第一介電膜之部份夾在該第一導電圖案與該第二導電圖案之間；以及

一層間介電膜位在該第一組電容與該第二組電容之間，其中該埋入式電容核板係埋入在一電路板之內，且該

第一或第二導電圖案之導電電極中至少一電極為電氣耦合到該第三或第四導電圖案之導電電極中至少一電極。

7.如申請專利範圍第 6 項所述之埋入式電容核板，其中該埋入式電容核板係加入到一印刷電路板內，以提供一埋入式解耦電容。

8.如申請專利範圍第 6 項所述之埋入式電容核板，其中該埋入式電容核板係加入到位於或接近於該印刷電路板之中央層的一印刷電路板。

9.如申請專利範圍第 8 項所述之埋入式電容核板，其中該印刷電路板具有一電源佈線層與一接地佈線層，其位置靠近或鄰接於該埋入式電容核板。

10.如申請專利範圍第 6 項所述之埋入式電容核板，其中兩個這種埋入式電容核板被加入到一印刷電路板中，該第一個接近於該印刷電路板之上方部份，而該第二個接近於該印刷電路板之底部部份。

11.如申請專利範圍第 6 項所述之埋入式電容核板，其中該第一、第二、第三與第四導電圖案中至少一圖案包含銅。

12.如申請專利範圍第 6 項所述之埋入式電容核板，其中該第一與第二介電膜中至少一介電膜之介電常數不小於 10。

13.如申請專利範圍第6項所述之埋入式電容核板，其中該第一與第二介電膜中至少一介電膜包含一含有 BaTiO_3 之環氧樹脂材料。

14.如申請專利範圍第6項所述之埋入式電容核板，其中該層間介電膜包含一介電常數不小於3之黏結層。

15.一種包含一埋入式電容核板之印刷電路板，其中該埋入式電容核板包含：

- 一第一組電容，其包含：

- 一第一導電圖案，其包含至少兩個導電電極；

- 一第二導電圖案，其包含至少兩個導電電極，其係對應於該第一導電圖案之兩個導電電極；以及

- 一位在該第一導電圖案與該第二導電圖案之間的第一介電膜，該第一導電圖案與該第二導電圖案係嵌入在該第一介電膜當中，而該第一介電膜之部份即夾在該第一導電圖案與該第二導電圖案之間；

- 一第二組電容，其包含：

- 一第三導電圖案，其包含至少兩個導電電極；

- 一第四導電圖案，其包含至少兩個導電電極，其係對應於該第三導電圖案之兩個導電電極；以及

- 一位在該第三導電圖案與該第四導電圖案之間的第二介電膜，該第三導電圖案與該第四導電圖案係嵌入在該

第二介電膜當中，而該第二介電膜之部份可夾在該第三導電圖案與該第四導電圖案之間；

一位在該第一組電容與該第二組電容之間的層間介電膜，其中該埋入式電容核板係埋入在一電路板當中，且該第一或第二導電圖案之導電電極中至少一電極電氣耦合到該第三或第四導電圖案之導電電極中至少一電極。

16.如申請專利範圍第 15 項所述之印刷電路板，其中該埋入式電容核板被加入到該印刷電路板中，而位在或靠近該印刷電路板之中央層。

17.如申請專利範圍第 16 項所述之印刷電路板，其中該印刷電路板具有一電源佈線層及一接地佈線層，其位置靠近或鄰接於該埋入式電容核板。

18.如申請專利範圍第 15 項所述之印刷電路板，另包含一第二埋入式電容核板，其加入到該印刷電路板內，該第一埋入式電容核板係靠近該印刷電路板之上方部份，而該第二埋入式電容核板係靠近該印刷電路板之底部部份。

19.一種印刷電路板，其包含：

至少一埋入式電容核板，每個埋入式電容核板包括複數層的導電圖案，其每個圖案具有複數導電電極，並被埋入到至少一介電層中，該複數層的導電圖案被堆疊在一起而提供至少一電容，於該介電膜中構成上下配對、左右配

對之電容，且於該第一介電膜中第一導電圖案與第二導電圖案未電性接觸。

20.一種用以形成一電容元件的方法，該方法包含：

提供包含一第一金屬基板的一第一載板；

形成一第一導電圖案在該第一金屬基板上的一部份，其中該第一導電圖案比該第一金屬基板要薄；

提供包含一第二金屬基板的一第二載板；

形成一第二導電圖案在該第二金屬基板上的一部份，其中該第二導電圖案比該第二金屬基板要薄；

將該第一載板與該第二載板結合於至少該第一導電圖案與該第二導電圖案之間一第一介電膜，其中該第一與第二導電圖案被埋入到該第一介電膜當中，該第一介電膜之其他部分包圍第一導電圖案與第二導電圖案之周邊，於該第一介電膜中構成上下配對、左右配對之電容，且於該第一介電膜中第一導電圖案與第二導電圖案未電性接觸；以及

移除該第一載板與該第二載板而提供該電容元件。

21.如申請專利範圍第 20 項所述之方法，其中該第一導電圖案包含在該第一載板上至少兩個導電電極。

22.如申請專利範圍第 20 項所述之方法，其中該第二導電圖案包含在該第二載板上至少兩個導電電極。

23.如申請專利範圍第 20 項所述之方法，另包含加入該電容元件在一印刷電路板之內，以提供一埋入式解耦電容。

24.如申請專利範圍第 20 項所述之方法，其中該第一與第二載板中至少一載板，以及該第一與第二導電圖案包含銅。

25.一種用以形成一埋入式電容核板的方法，該方法包含：

形成一第一導電圖案，其包含在一第一載板上至少兩個導電電極；

形成一第二導電圖案，其包含在一第二載板上至少兩個導電電極，其中該第二導電圖案之兩個導電電極係對應於該第一導電圖案之兩個導電電極；

將該第一載板與該第二載板結合於位在至少該第一導電圖案與該第二導電圖案之間的一第一介電膜；

移除該第一載板與該第二載板；

形成一第三導電圖案，其包含在一第三載板上至少兩個導電電極；

形成一第四導電圖案，其包含在一第四載板上至少兩個導電電極，其中該第四導電圖案之兩個導電電極係對應於該第三導電圖案之兩個導電電極；

將該第三載板與該第四載板結合於位在至少該第三導電圖案與該第四導電圖案之間的一第二介電膜；

移除該第三載板與該第四載板；以及

結合該第一、第二、第三與第四導電圖案，該第二導電圖案與該第三導電圖案在其間具有一層間介電膜，其中該埋入式電容核板係埋入在一電路板當中，且該第一或第二導電圖案之導電電極中至少一電極係電氣耦合到該第三或第四導電圖案之導電電極中至少一電極。

26.如申請專利範圍第 25 項所述之方法，另包含加入該埋入式電容核板在一印刷電路板之內，以提供一埋入式解耦電容。

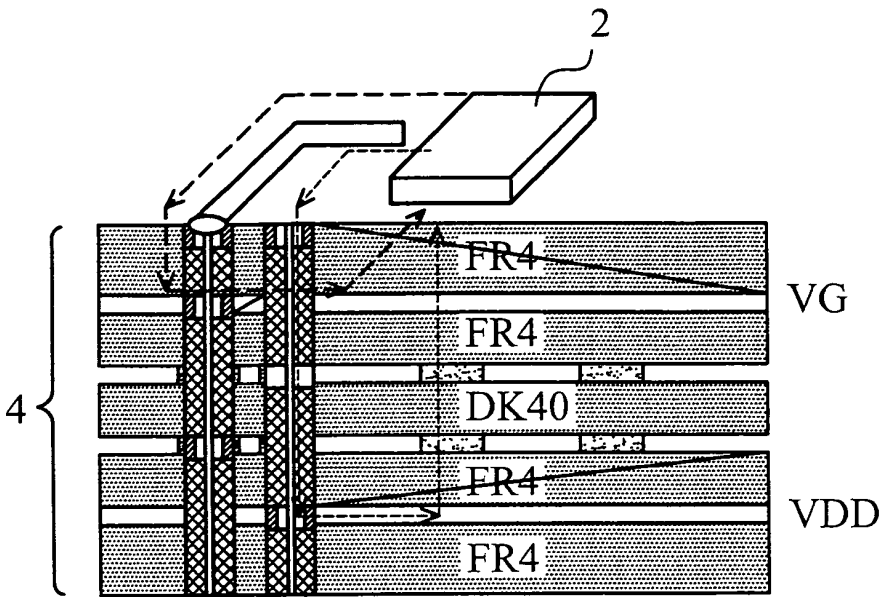
27.如申請專利範圍第 25 項所述之方法，其中該第一、第二、第三與第四導電圖案中至少一圖案包含銅。

28.如申請專利範圍第 25 項所述之方法，其中該第一與第二介電膜中至少一介電膜之介電常數不小於 10。

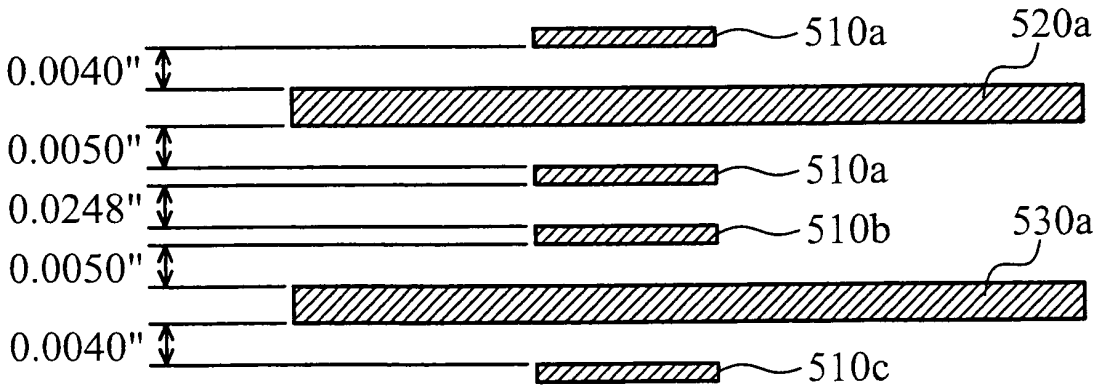
29.如申請專利範圍第 25 項所述之方法，其中該第一與第二介電膜中至少一介電膜包含一含有 BaTiO_3 之環氧樹脂材料。

30.如申請專利範圍第 25 項所述之方法，其中該層間介電膜包含一介電常數不大於 10 之黏結層。

98 年 8 月 10 日 替換頁

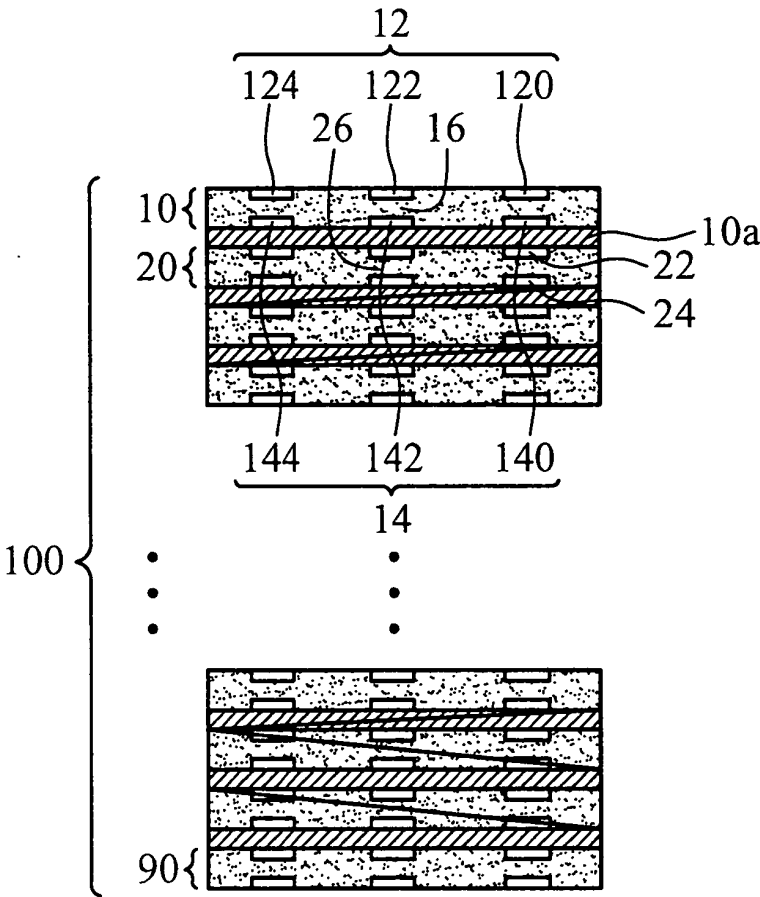


第 1 圖

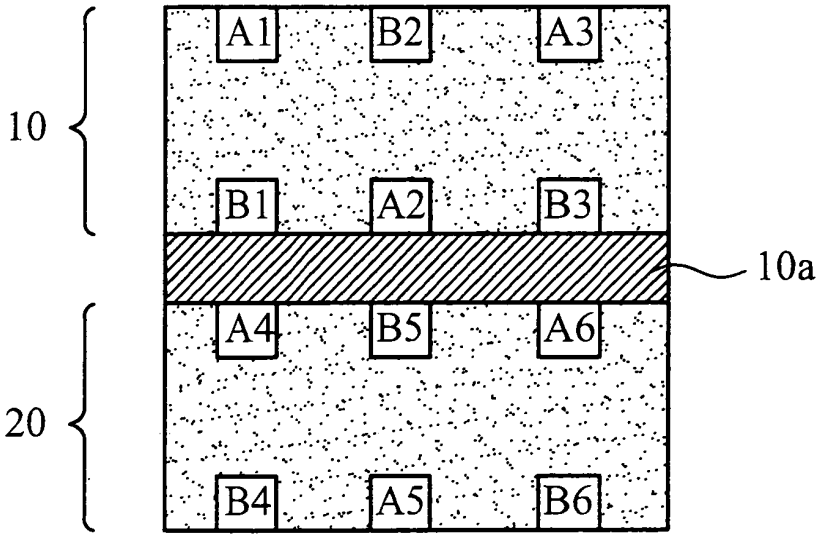


第 2 圖

98 年 11 月 10 日 替換頁

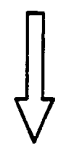
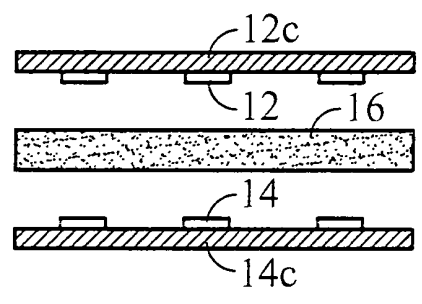


第 3 圖

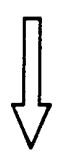
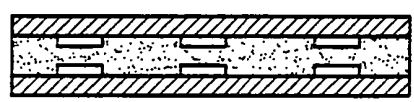


第 4 圖

98年8月10日修(更)正替換頁



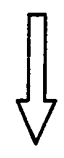
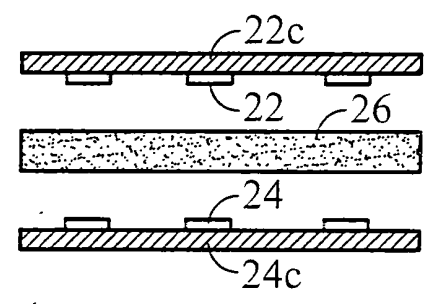
第 5A 圖



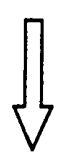
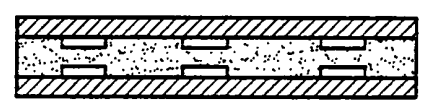
第 5B 圖



第 5C 圖



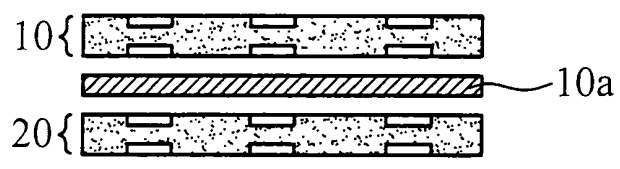
第 5D 圖



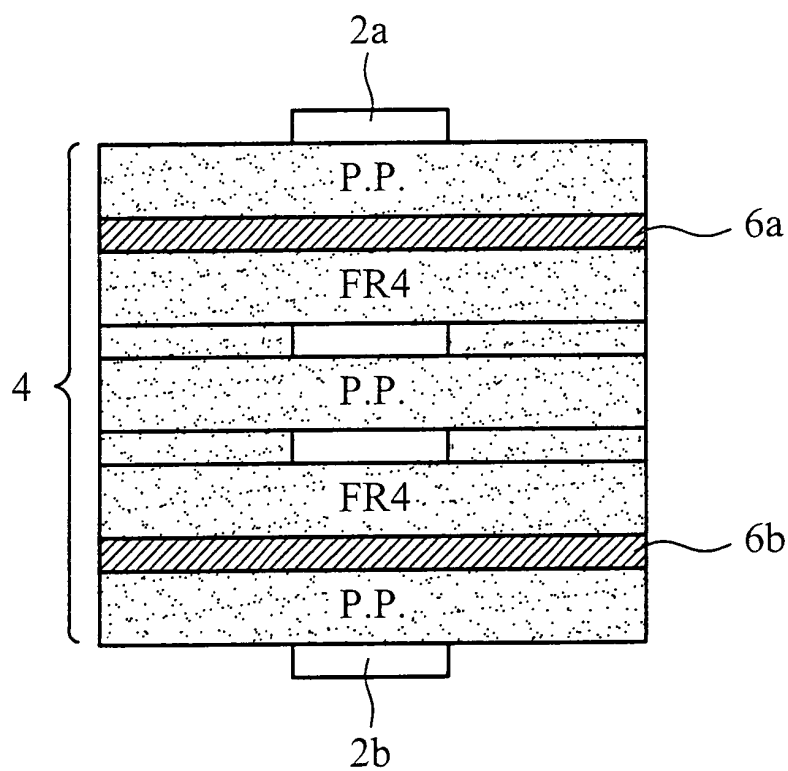
第 5E 圖



第 5F 圖

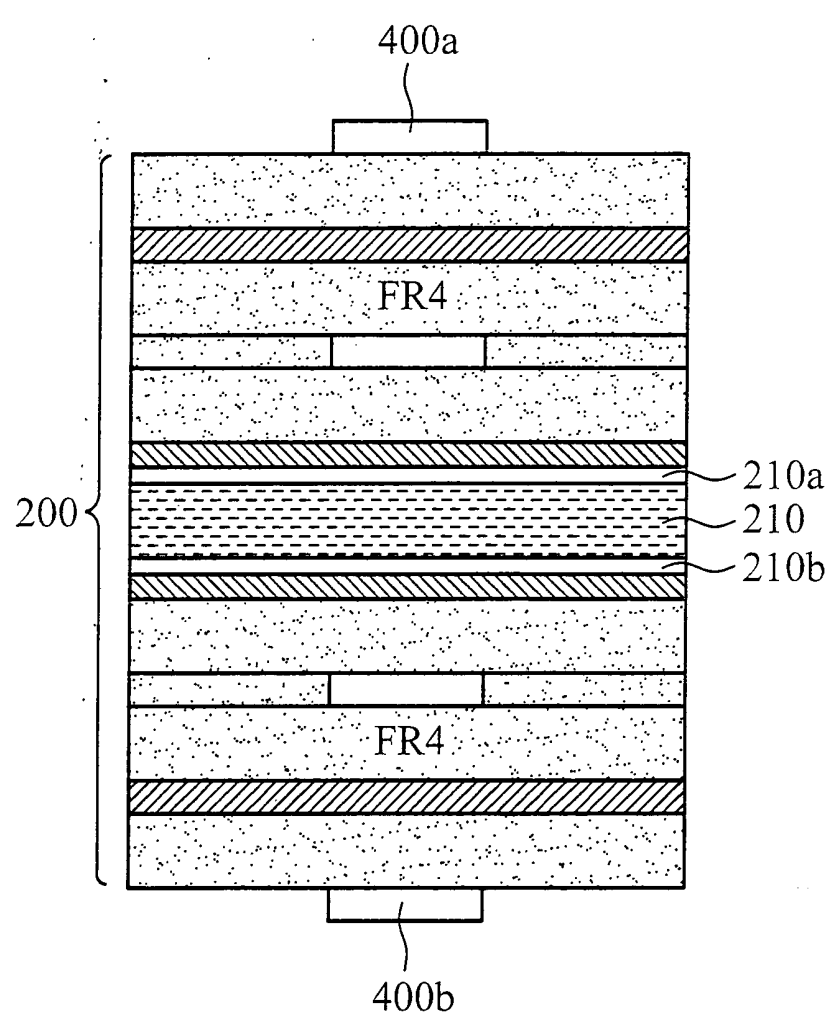


第 5G 圖



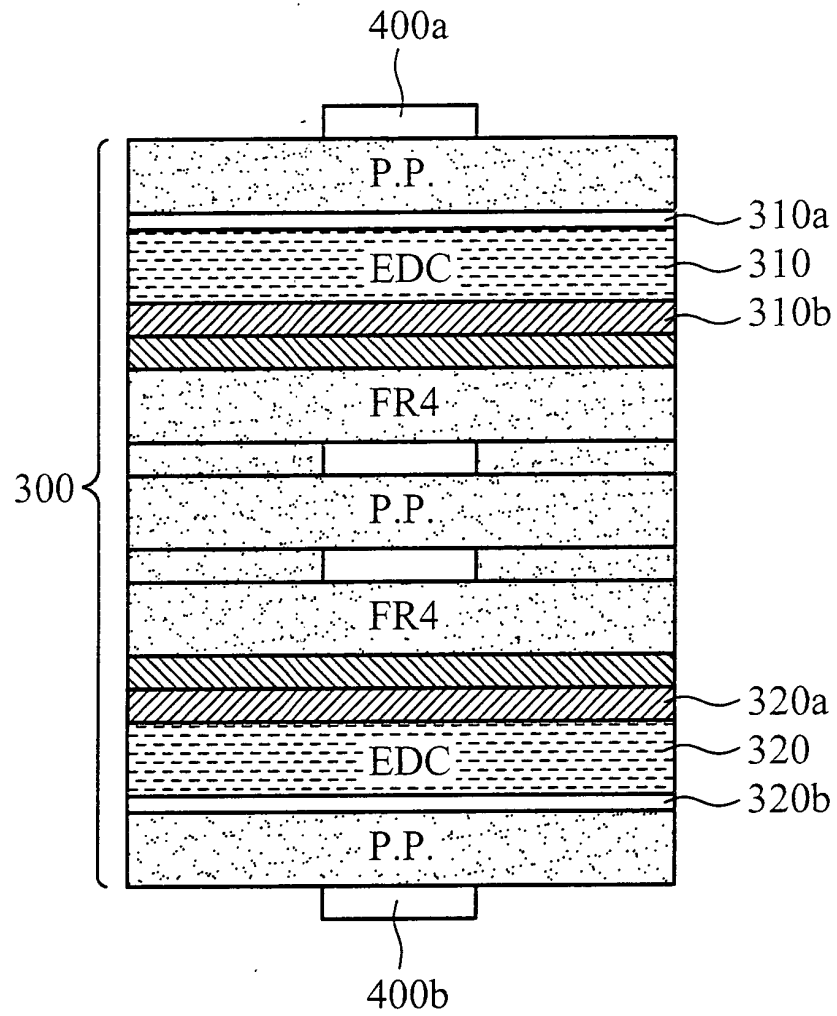
第 6 圖

98年8月10日修(更)正替換頁



第 7 圖

98-8-10



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10	第一組電容
10a	層間介電膜
12	第一導電圖案
14	第二導電圖案
16	介電膜
20	第二組電容
22	第三導電圖案
24	第四導電圖案
26	介電膜
90	第N組電容
100	埋入式電容核板

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無