(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 2 月 9 日 (09.02.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/020322 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2015/086334

(22) 国际申请日: 2015 年 8 月 7 日 (07.08.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510464845.0 2015 年 7 月 31 日 (31.07.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(72) 发明人: **徐向阳 (XU, Xiangyang)**; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所（普通合伙） (ESSEN PATENT & TRADEMARK AGENCY)**; 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) **Title**: FFS ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) **发明名称** : 一种 FFS 阵列基板及其制造方法和显示装置

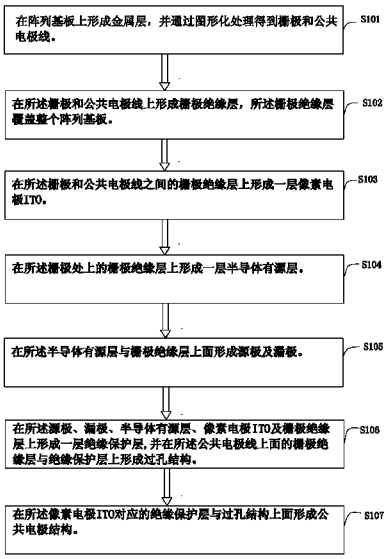

图 1

S101 FORM A METAL LAYER ON AN ARRAY SUBSTRATE, AND OBTAIN A GATE AND A COMMON ELECTRODE LINE BY MEANS PATTERNING PROCESSING
S102 FORM A GATE INSULATION LAYER ON THE GATE AND THE COMMON ELECTRODE LINE, THE GATE INSULATION LAYER COVERING THE WHOLE ARRAY SUBSTRATE
S103 FORM A PIXEL ELECTRODE ITO ON THE GATE INSULATION LAYER BETWEEN THE GATE AND THE COMMON ELECTRODE LINE
S104 FORM A SEMICONDUCTOR ACTIVE LAYER ON THE GATE INSULATION LAYER WHEREIN THE GATE IS LOCATED
S105 FORM A SOURCE AND A DRAIN ON THE SEMICONDUCTOR ACTIVE LAYER AND THE GATE INSULATION LAYER
S106 FORM AN INSULATION PROTECTIVE LAYER ON THE SOURCE, THE DRAIN, THE SEMICONDUCTOR ACTIVE LAYER, THE PIXEL ELECTRODE ITO AND THE GATE INSULATION LAYER, AND FORM A VIA-HOLE STRUCTURE ON THE GATE INSULATION LAYER ON THE COMMON ELECTRODE LINE AS WELL AS ON THE INSULATION PROTECTIVE LAYER
S107 FORM A COMMON ELECTRODE LAYER STRUCTURE ON THE INSULATION PROTECTIVE LAYER CORRESPONDING TO THE PIXEL ELECTRODE ITO AS WELL AS ON THE INSULATION PROTECTIVE LAYER

(57) **Abstract**: An FFS array substrate manufacturing method, an FFS array substrate, and a display device. The display device comprises the FFS array substrate. The method comprises: forming a gate (2) and a common electrode line (3) on an array substrate (1); forming a gate insulation layer (4); forming a pixel electrode layer ITO (5); forming a semiconductor active layer (6); forming a source (7) and a drain (8); forming an insulation protective layer (9) and forming a via-hole structure; and forming a common electrode layer (10) structure.

(57) **摘要**: 一种 FFS 阵列基板的制造方法、一种 FFS 阵列基板和一种显示装置，该显示装置包括上述 FFS 阵列基板。该方法包括：在阵列基板（1）上形成栅极（2）与公共电极线（3）；形成栅极绝缘层（4）；形成一层像素电极 ITO（5）；形成一层半导体有源层（6）；形成源极（7）及漏极（8）；形成一层绝缘保护层（9）并形成过孔结构；形成公共电极（10）结构。

WO 2017/020322 A1

(84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

发明名称: 一种FFS阵列基板及其制造方法和显示装置

技术领域

[1] 本发明涉及液晶显示器技术领域，特别涉及一种FFS阵列基板及其制造方法和显示装置。

背景技术

[2] 边缘场开关（Fringe Field Switching，简称FFS）技术，是目前的一种液晶显示器技术，是液晶界为解决大尺寸，高清晰桌面显示器和液晶电视应用而开发的一种广视角技术。FFS液晶面板具有响应时间快、光透过率高，宽视角等优点，但是由于FFS液晶面板采用两层氧化铟锡(Indium tin oxide,简称ITO)来制作，它本身的制作流程要比一般的液晶面板要多一到两道掩膜工艺。为了提升像素ITO与金属间的接触电导性，减少掩膜工艺，现有改进技术将像素 ITO直接制作在源漏极金属上，从而减少了一层绝缘保护层的制作工艺，但是由于半导体层会直接与ITO刻蚀液接触，因此半导体层有源层容易受到ITO刻蚀液的损伤，进而影响到半导体有源层的导电特性。

对发明的公开

技术问题

[3] 本发明的目的在于提供一种FFS阵列基板的制造方法，该制造方法在不增加制作工艺的基础上，克服了现有技术的像素电极ITO刻蚀对半导体有源层的损伤。本发明另外提供一种FFS阵列基板和一种显示装置。

问题的解决方案

技术解决方案

[4] 本发明的技术方案如下：

[5] 一种FFS阵列基板的制造方法，包括以下步骤：

[6] （1）在阵列基板上形成金属层，并通过图形化处理得到栅极与公共电极线；

[7] （2）在所述栅极和公共电极线上形成栅极绝缘层，所述栅极绝缘层覆盖整个阵列基板；

[8] （3）在所述栅极和公共电极线之间的栅极绝缘层上形成一层像素电极ITO；

[9] (4)在所述栅极处上的栅极绝缘层上形成一层半导体有源层，且所述半导体有源层的截面宽度小于所述栅极的截面宽度；

[10] (5)在所述半导体有源层与栅极绝缘层上面形成源极及漏极，且所述漏极与所述像素电极ITO的一部分重叠接触且漏极在所述像素电极ITO上面；

[11] (6)在所述源极、漏极、半导体有源层、像素电极ITO及栅极绝缘层上形成一层绝缘保护层，并在所述公共电极线上面的栅极绝缘层与绝缘保护层上形成过孔结构，且过孔结构的截面宽度小于所述公共电极线的截面宽度；

[12] (7)在所述像素电极ITO对应的绝缘保护层与过孔结构上面形成公共电极结构。

[13] 优选地，所述步骤1的栅极与公共电极线的厚度为3000～5000am。

[14] 优选地，所述步骤1的栅极与公共电极线是通过物理溅射沉淀Al或Cu金属形成的。

[15] 优选地，所述步骤2的栅极绝缘层厚度为2000～5000am。

[16] 优选地，步骤2的栅极绝缘层是通过等离子体增强化学气相沉积法沉淀SiNx形成的。

[17] 优选地，所述步骤3的像素电极ITO厚度为300～1000am。

[18] 优选地，所述步骤3的像素电极ITO是通过物理溅射ITO材料形成的。

[19] 优选地，所述步骤4的半导体有源层的厚度为1300～2000am。

[20] 优选地，所述步骤4的半导体有源层是通过等离子体增强化学气相沉积法沉淀非晶硅或掺杂非晶硅材料所形成的。

[21] 优选地，所述绝缘保护层的厚度为2000～5000am。

[22] 优选地，所述绝缘保护层的制作材料为SiNx。

[23] 优选地，所述公共电极的厚度为300～1000am。

[24] 优选地，所述公共电极的制作材料为ITO。

[25] 一种FFS阵列基板，包括：

[26] 基板；

[27] 栅线，形成于所述基板上；

[28] 栅极，形成于所述基板上；

[29] 公共电极线，形成于所述基板上；

[30] 栅极绝缘层，形成在所述基板上，并覆盖所述栅线、栅极与公共电极线；

[31] 数据线，形成在所述栅极绝缘层上面；

[32] 像素电极ITO，形成在栅极与公共电极线之间的所述栅极绝缘层上面；

[33] 半导体有源层，形成在所述栅极对应的所述栅极绝缘层上，且所述半导体有源层的截面宽度小于所述栅极的截面宽度；

[34] 源极与漏极，均形成在所述栅极绝缘层上面，所述源极和漏极分别与所述半导体有源层两端相接触，形成TFT沟道，所述漏极与所述像素电极ITO一部分重叠接触且漏极在所述像素电极ITO上面；

[35] 绝缘保护层，所述绝缘保护层覆盖在所述像素电极ITO、半导体有源层、源极、漏极与栅极绝缘层上；

[36] 过孔结构，形成在所述公共电极线上面的所述栅极绝缘层与绝缘保护层上，且过孔结构的截面宽度小于所述公共电极线的截面宽度；以及

[37] 公共电极ITO，所述公共电极ITO形成在所述像素电极对应的绝缘保护层与过孔结构的上面。

[38] 优选地，所述栅极与公共电极线的厚度为3000～5000am，所述栅极绝缘层厚度为2000～5000am。

[39] 优选地，所述像素电极ITO厚度为300～1000am，所述半导体有源层的厚度为1300～2000am。

[40] 优选地，所述绝缘保护层的厚度为2000～5000am，所述公共电极的厚度为300～1000am。

[41] 优选地，所述栅极绝缘层与绝缘保护层的制作材料为SiNx，所述半导体有源层的制作材料为非晶硅或掺杂非晶硅。

[42] 优选地，所述像素电极与公共电极的制作材料为ITO。

[43] 一种显示装置，其包括上述的FFS阵列基板。

发明的有益效果

有益效果

[44] 本发明一种FFS阵列基板的制造方法，将像素电极ITO的制作工艺提到半导体

有源层的制作工艺之前，在不增加制作工艺的基础上，克服了现有技术的像素电极ITO刻蚀对半导体有源层的损伤。本发明的一种FFS阵列基板，像素电极ITO处于漏极的下面，结构更加简单。

对附图的简要说明

附图说明

[45] 图1为本发明的FFS阵列基板的制造方法流程图；

[46] 图2为本发明的基板上形成栅极与公共电极线的结构示意图；

[47] 图3为本发明的基板上形成栅极绝缘层与像素电极ITO的结构示意图；

[48] 图4为本发明的基板上形成半导体有源层的结构示意图；

[49] 图5为本发明的基板上形成源极和漏极的结构示意图；

[50] 图6为本发明的基板上形成绝缘保护层和过孔结构的示意图；

[51] 图7 为本发明的基板上形成公共电极后的完整结构示意图；

[52] 图8 为现有技术的FFS阵列基板的结构示意图；

[53] 图9为现有技术的FFS阵列基板形成半导体有源层时的结构示意图；

[54] 图10为现有技术的FFS阵列基板形成源极和漏极时的结构示意图；

[55] 图11为现有技术的FFS阵列基板形成像素电极ITO时的结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[56] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是以相同标号表示。

[57] 实施例1

[58] 如图1所示，为本发明的一种FFS阵列基板的制造方法的流程图，图2至图7为本发明一种FFS阵列基板的制造工艺顺序图，从图1至图7可以看出，本发明的一种FFS阵列基板的制造方法包括以下几个步骤：

[59] 步骤S101：在基板1上通过物理溅射沉淀一层膜厚为3000～5000am的Mo/Al/Cu

等金属或金属合金，然后通过涂布、曝光、显影、湿蚀刻和剥离等方法形成栅极2与公共电极线3，如图2所示。

[60] 步骤S102：在所述栅极2和公共电极线3上，通过等离子体增强化学气相沉积法沉淀一层厚度为2000～5000am的SiNx栅极绝缘层4，所述栅极绝缘层4覆盖整个基板1。

[61] 步骤S103：然后通过物理溅射沉淀一层300～1000am的ITO等透明导电材料，通过涂布、曝光、显影、湿蚀刻和剥离等方法形成像素电极结构5，如图3所示。

[62] 本步骤与现有技术存在很大的不同，如图8为现有技术的FFS阵列基板的结构示意图，图9至图11是该现有技术的FFS阵列基板的制造工艺顺序图的一部分，从图9可以看出，现有技术的FFS阵列基板在完成栅极绝缘层4后，不是像本发明那样直接在栅极绝缘层4上形成本发明的像素电极ITO 5，而是在栅极2对应的栅极绝缘层4形成半导体有源层6，然后形成源极7和漏极8，接着才是形成现有技术的像素电极ITO 5。现有技术的这种制造方法，由于半导体有源层6会直接与像素电极ITO 5的刻蚀液相接触，会导致半导体有源层6受到像素电极ITO 5的刻蚀液的损伤，进而影响到半导体有源层6的导电特性。而本发明的本步骤的做法恰恰相反，在完成栅极绝缘层4后，直接在栅极绝缘层4上形成像素电极ITO 5，然后再形成半导体有源层6以及源极7和漏极8，这样就避免了像素电极ITO 5的刻蚀液对半导体有源层6的损伤。

[63] 步骤S104：在所述栅极2处上的栅极绝缘层4上，用等离子体增强化学气相沉积法沉淀一层膜厚为1300A～2000am的非晶硅和掺杂非晶硅，然后通过涂布、曝光、显影、干蚀刻和剥离等方法形成半导体有源层6结构，且所述半导体有源层6的截面宽度小于所述栅极2的截面宽度，这样有利于使TFT沟道处于栅极2的范围之内，如图4所示；

[64] 步骤S105：在所述半导体有源层6与栅极绝缘层4上面，通过物理溅射沉淀一层膜厚为3000～5000am的Mo/Al/Cu等金属或金属合金，然后通过涂布、曝光、显影、湿蚀刻、沟道n+刻蚀和剥离等方法形成源极7和漏极8的金属结构，且所述漏极8与所述像素电极ITO 5的一部分重叠接触且漏极8在所述像素电极ITO 5的上

面，如图5所示。

[65] 步骤S106：在所述源极7、漏极8、半导体有源层6、像素电极ITO 5及栅极绝缘层4上，通过等离子体增强化学气相沉积法沉淀一层厚度为2000～5000am的SiNx绝缘保护层9材料，然后通过涂布、曝光、显影、干蚀刻和剥离等方法，在所述公共电极线3上面的栅极绝缘层4与绝缘保护层9上形成过孔结构，且过孔结构的截面宽度小于所述公共电极线3的截面宽度，这样做有利于后面的公共电极10和公共电极线3更好地接触，如图6所示。

[66] 步骤S107：在所述像素电极ITO 5对应的绝缘保护层9与过孔结构上面通过物理溅射沉淀一层300～1000am的ITO等透明导电材料，然后通过涂布、曝光、显影、湿蚀刻和剥离等方法形成公共电极10结构，如图7所示。

[67] 至此，本发明的FFS阵列基板的制造方法的各个步骤全部完成。

[68] 实施例2

[69] 如图2至图7所示，本发明的一种FFS阵列基板，包括基板1、栅线（图中未标出）、栅极2、公共电极线3、栅极绝缘层4、数据线（图中未标出）、像素电极ITO 5、半导体有源层6、源极7、漏极8、绝缘保护层9和公共电极10。所述基板1上形成有栅线、栅极2和公共电极线3。所述基板1上形成有栅极绝缘层4，所述栅极绝缘层4覆盖所述栅线、栅极2与公共电极线3，所述栅极绝缘层4上面还形成有数据线。

[70] 本发明的FFS阵列基板的像素电极ITO 5，形成在栅极2与公共电极线3之间的所述栅极绝缘层4上面，半导体有源层6，形成在所述栅极2对应的所述栅极绝缘层4上，且所述半导体有源层6的截面宽度小于所述栅极2的截面宽度，这样有利于使TFT沟道处于栅极2的范围之内，如图4所示。

[71] 本发明的FFS阵列基板的源极7与漏极8，均形成在所述栅极绝缘层4上面，所述源极7和漏极8分别与所述半导体有源层6两端相接触，形成TFT沟道，所述漏极8与所述像素电极ITO 5的一部分重叠接触且漏极8在所述像素电极ITO 5上面。

[72] 本发明的FFS阵列基板在所述像素电极ITO 5、半导体有源层6、源极7、漏极8与栅极绝缘层4上，覆盖有一层绝缘保护层9，且在所述公共电极线3上面的所述栅极绝缘层4与绝缘保护层9上形成有过孔结构，过孔结构的截面宽度小于所述

公共电极线3的截面宽度，这样做有利于后面的公共电极10和公共电极线3更好地接触，如图6所示。所述公共电极ITO形成在所述像素电极对应的绝缘保护层与过孔结构的上面。

[73] 另外，本实施例优选所述栅极2与公共电极线3的厚度为3000～5000am，栅极绝缘层4的厚度为2000～5000am，像素电极ITO 5的厚度为300～1000am，半导体有源层6的厚度为1300～2000am，所述绝缘保护层9的厚度为2000～5000am，所述公共电极10的厚度为300～1000am，所述栅极绝缘层4与绝缘保护层9的制作材料为SiNx，所述半导体有源层6的制作材料为非晶硅或掺杂非晶硅，所述像素电极ITO 5与公共电极10的制作材料为ITO。

[74] 实施例3

[75] 一种显示装置，包括上述实施例1和实施例2所述的FFS阵列基板。

[76] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种FFS阵列基板的制造方法，其包括以下步骤：

（1）在阵列基板上形成金属层，并通过图形化处理得到栅极与公共电极线；

（2）在所述栅极和公共电极线上形成栅极绝缘层，所述栅极绝缘层覆盖整个阵列基板；

（3）在所述栅极和公共电极线之间的栅极绝缘层上形成一层像素电极ITO；

（4）在所述栅极处上的栅极绝缘层上形成一层半导体有源层，且所述半导体有源层的截面宽度小于所述栅极的截面宽度；

（5）在所述半导体有源层与栅极绝缘层上面形成源极及漏极，且所述漏极与所述像素电极ITO的一部分重叠接触且漏极在所述像素电极ITO上面；

（6）在所述源极、漏极、半导体有源层、像素电极ITO及栅极绝缘层上形成一层绝缘保护层，并在所述公共电极线上面的栅极绝缘层与绝缘保护层上形成过孔结构，且过孔结构的截面宽度小于所述公共电极线的截面宽度；

（7）在所述像素电极ITO对应的绝缘保护层与过孔结构上面形成公共电极结构。

[权利要求 2] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤1的栅极与公共电极线的厚度为3000～5000am。

[权利要求 3] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤1的栅极与公共电极线是通过物理溅射沉淀Al或Cu金属形成的。

[权利要求 4] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤2的栅极绝缘层厚度为2000～5000am。

[权利要求 5] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤2的栅极绝缘层是通过等离子体增强化学气相沉积法沉淀SiNx形成的。

[权利要求 6] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤3的像素电极ITO厚度为300～1000am。

[权利要求 7] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤3的像素电极ITO是通过物理溅射ITO材料形成的。

[权利要求 8] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤4的半导体有源层的厚度为1300～2000am。

[权利要求 9] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述步骤4的半导体有源层是通过等离子体增强化学气相沉积法沉淀非晶硅或掺杂非晶硅材料所形成的。

[权利要求 10] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述绝缘保护层的厚度为2000～5000am。

[权利要求 11] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述绝缘保护层的制作材料为SiNx。

[权利要求 12] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述公共电极的厚度为300～1000am。

[权利要求 13] 根据权利要求1所述的FFS阵列基板的制造方法，其中所述公共电极的制作材料为ITO。

[权利要求 14] 一种FFS阵列基板，其包括：

基板；

栅线，形成于所述基板上；

栅极，形成于所述基板上；

公共电极线，形成于所述基板上；

栅极绝缘层，形成在所述基板上，并覆盖所述栅线、栅极与公共电极线；

数据线，形成在所述栅极绝缘层上面；

像素电极ITO，形成在栅极与公共电极线之间的所述栅极绝缘层上面；

半导体有源层，形成在所述栅极对应的所述栅极绝缘层上，且所

述半导体有源层的截面宽度小于所述栅极的截面宽度；

源极与漏极，均形成在所述栅极绝缘层上面，所述源极和漏极分别与所述半导体有源层两端相接触，形成TFT沟道，所述漏极与所述像素电极ITO一部分重叠接触且漏极在所述像素电极ITO上面；

绝缘保护层，所述绝缘保护层覆盖在所述像素电极ITO、半导体有源层、源极、漏极与栅极绝缘层上；

过孔结构，形成在所述公共电极线上面的所述栅极绝缘层与绝缘保护层上，且过孔结构的截面宽度小于所述公共电极线的截面宽度；以及

公共电极ITO，所述公共电极ITO形成在所述像素电极对应的绝缘保护层与过孔结构的上面。

[权利要求 15] 根据权利要求14所述的FFS阵列基板，其中所述栅极与公共电极线的厚度为3000～5000am，栅极绝缘层厚度为2000～5000am。

[权利要求 16] 根据权利要求14所述的FFS阵列基板，其中所述像素电极ITO厚度为300～1000am，半导体有源层的厚度为1300～2000am。

[权利要求 17] 根据权利要求14所述的FFS阵列基板，其中所述绝缘保护层的厚度为2000～5000am，所述公共电极的厚度为300～1000am。

[权利要求 18] 根据权利要求14所述的FFS阵列基板，其中所述栅极绝缘层与绝缘保护层的制作材料为SiNx，所述半导体有源层的制作材料为非晶硅或掺杂非晶硅。

[权利要求 19] 根据权利要求7所述的FFS阵列基板，其中所述像素电极与公共电极的制作材料为ITO。

[权利要求 20] 一种显示装置，其包括权利要求14～19所述的FFS阵列基板。

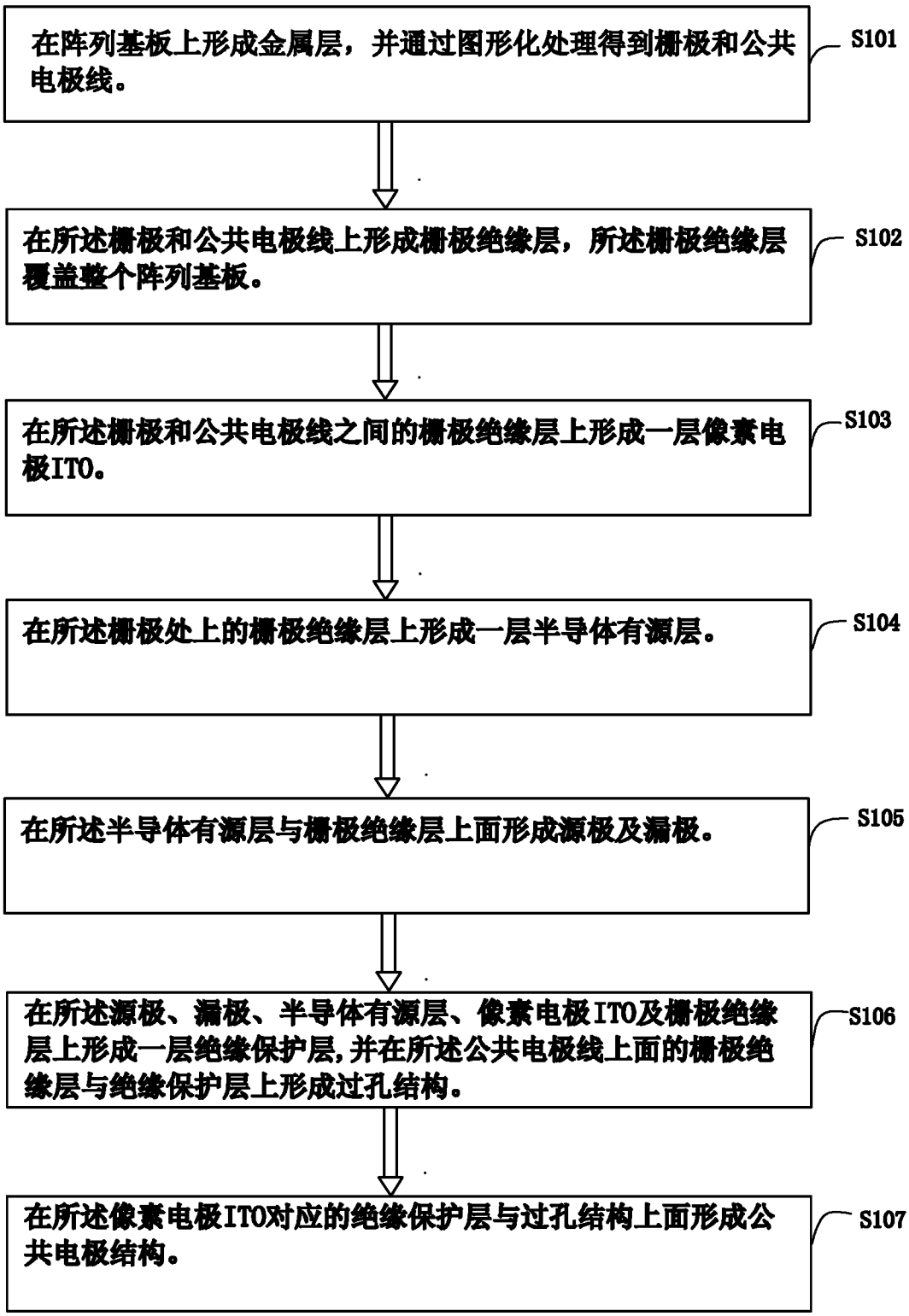
在阵列基板上形成金属层，并通过图形化处理得到栅极和公共电极线。
S101
在所述栅极和公共电极线上形成栅极绝缘层，所述栅极绝缘层覆盖整个阵列基板。
S102
在所述栅极和公共电极线之间的栅极绝缘层上形成一层像素电极ITO。
S103
在所述栅极处上的栅极绝缘层上形成一层半导体有源层。
S104
在所述半导体有源层与栅极绝缘层上面形成源极及漏极。
S105
在所述源极、漏极、半导体有源层、像素电极ITO及栅极绝缘层上形成一层绝缘保护层，并在所述公共电极线上面的栅极绝缘层与绝缘保护层上形成过孔结构。
S106
在所述像素电极ITO对应的绝缘保护层与过孔结构上面形成公共电极结构。
S107

图 1

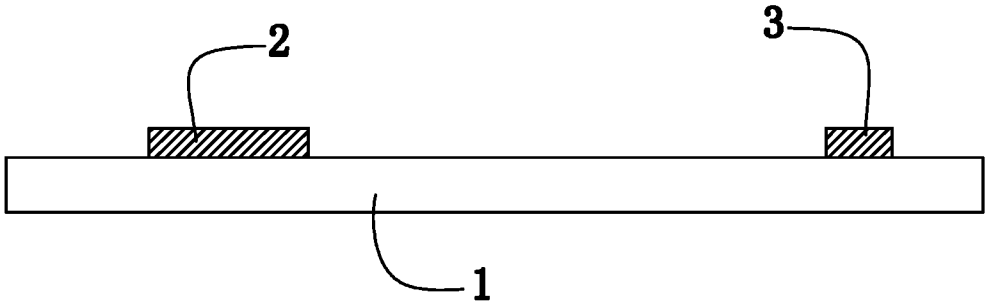

图 2

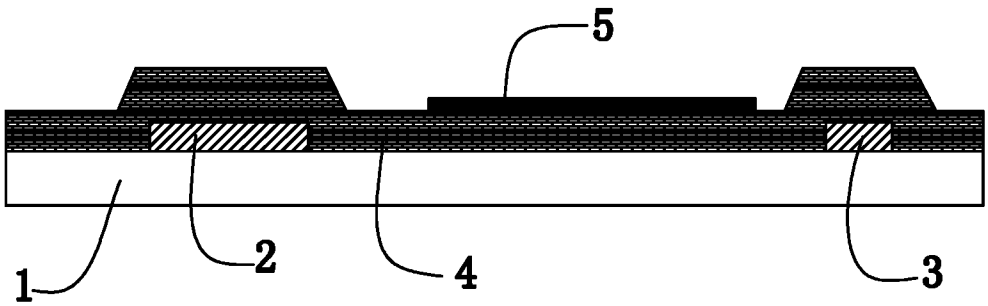

图 3

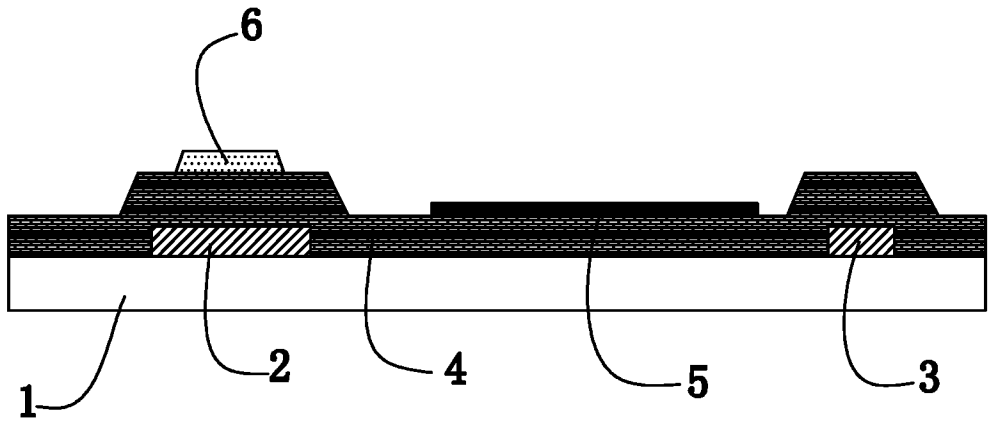

图 4

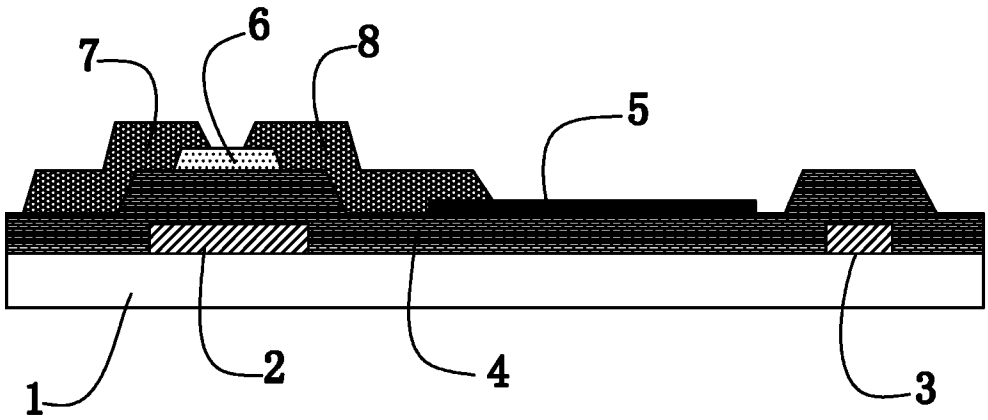

图 5

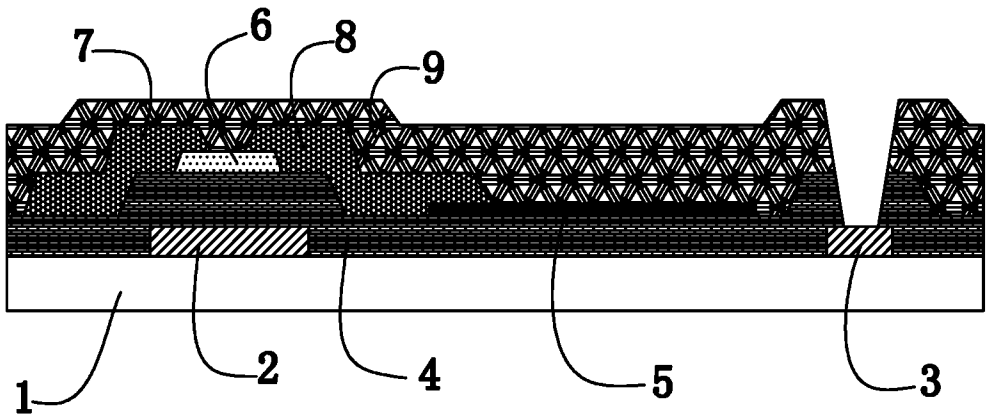

图 6

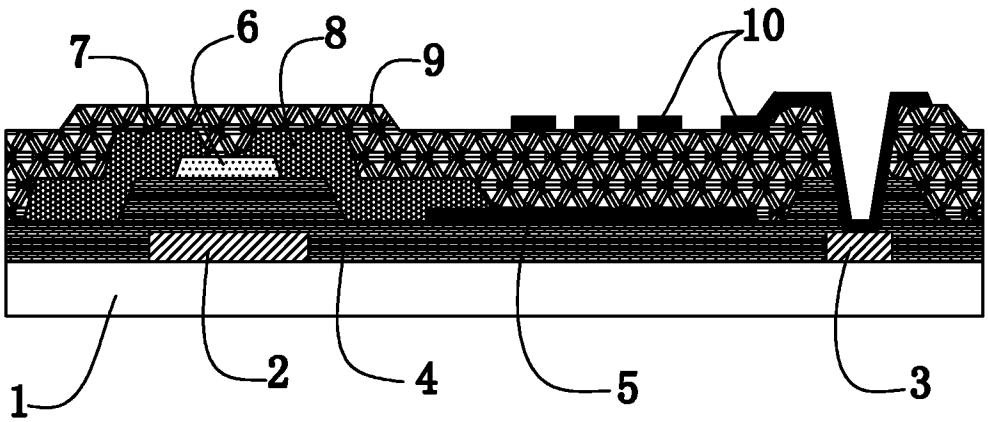

图 7

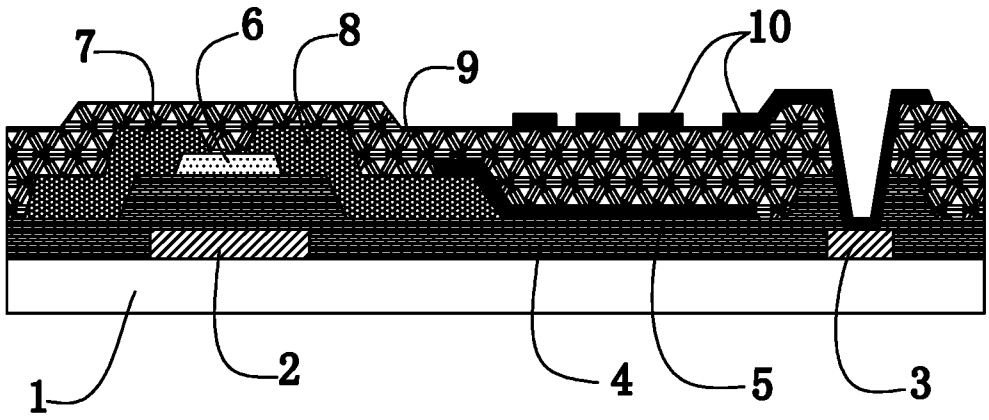

图 8

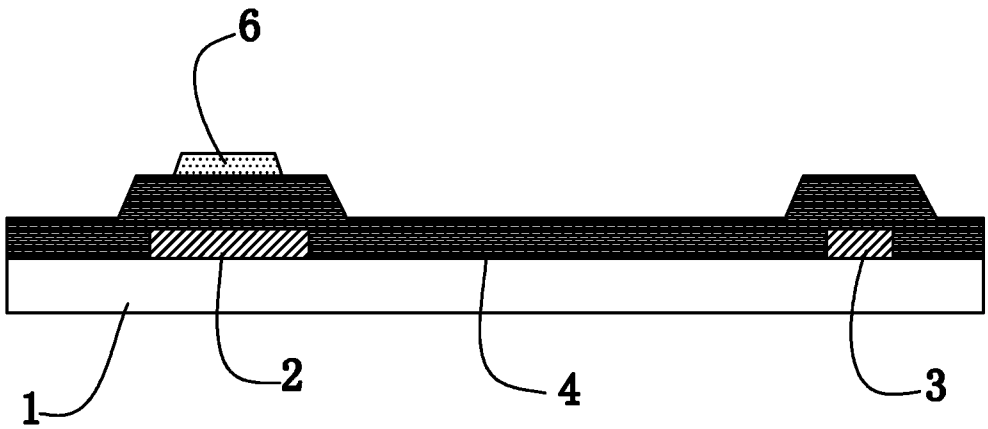

图 9

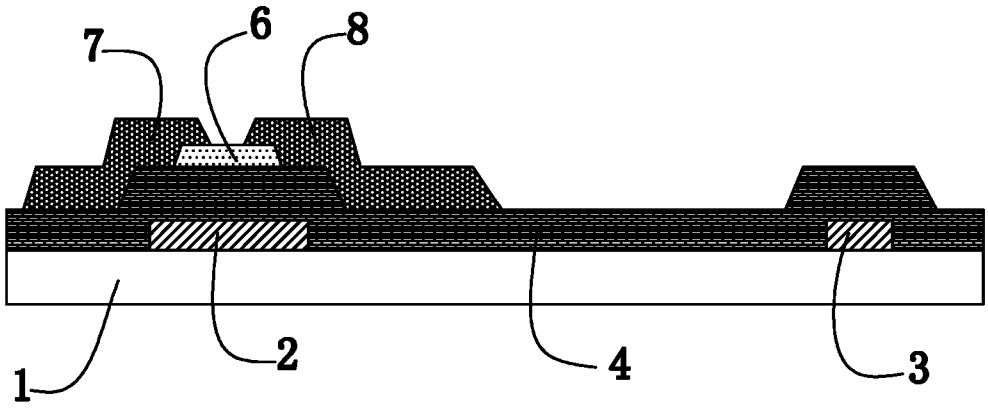

图 10

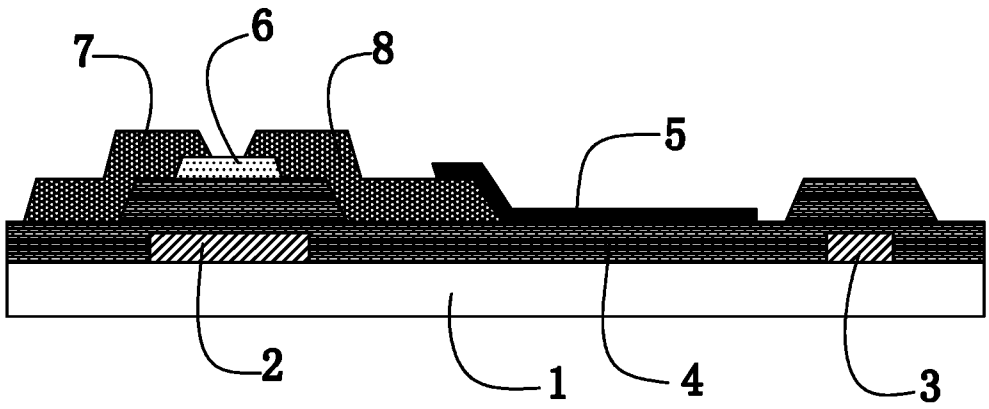

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/086334

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; G02F 1/1362 (2006.01) i; G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODOC, WPI: liquid 1w crystal 1w display, LCM?, LCD?, LCP, (liquid w crystal) s(display+ or panel?), manufactur+, method?, process+, FFS, fringe 1w field?, (through or con tac t i) 1w hole?, array 1w substrate, hoaxing, xu xiangyang

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102790012 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 November 2012 (21.11.2012) description, paragraphs [0051]-[0081] and figures 3-14	1-20
A	CN 101150091 A (AU OPTRONICS CORP.) 26 March 2008 (26.03.2008) the whole document	1-20
A	CN 102629570 A (BOE TECHNOLOGY GROUP CO., LTD.) 08 August 2012 (08.08.2012) the whole document	1-20
A	CN 104037126 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 September 2014 (10.09.2014) the whole document	1-20
A	US 2011216278 A1 (MITSUBISHI ELECTRIC CORP.) 08 September 2011 (08.09.2011) the whole document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
31 March 2016	26 April 2016

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
FANG, Yuanfeng
Telephone No. (86-10) 62413825

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/086334

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102790012 A	21 November 2012	JP 2015529012 A	01 October 2015
		US 2014167031 A1	19 June 2014
		WO 2014012334 A1	23 January 2014
		US 9040344 B2	26 May 2015
		KR 101522481 B1	21 May 2015
		EP 2876676 A1	27 May 2015
		KR 20140037808 A	27 March 2014
CN 101150091 A	26 March 2008	CN 100590854 C	17 February 2010
CN 102629570 A	08 August 2012	None	
CN 104037126 A	10 September 2014	US 2015333182 A1	19 November 2015
US 2011216278 A1	08 September 2011	JP 5585127 B2	10 September 2014
		JP 2011186138 A	22 September 2011
		US 8488092 B2	16 July 2013
		JP 2014197232 A	16 October 2014
		JP 5800070 B2	28 October 2015

国际检索报告

国际申请号
PCT/CN2015/086334

A. 主题的分类

H01L 21/77(2006.01)i；G02F 1/1362(2006.01)i；G02F 1/1368(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L,G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI,CNPAT,EPODOC,WPI：华星,徐向阳,液晶,液晶显示,液晶面板,液晶模块,制造,方法,散射场,边缘场,过孔,通孔,穿孔,贯通孔,贯穿孔,接触孔,阵列基板,liquid lw crystal lw display,LCM?,LCD?,LCP,(liquid w crystal) s (display+ or panel?),manufactur+, method?,process+,FFS,fringe lw field?,(through or contact+) lw hole?,array lw substrate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 102790012 A (京东方科技集团股份有限公司) 2012年 11月 21日 (2012-11-21) 说明书第51-81段、附图3-14	1-20
A	CN 101150091 A (友达光电股份有限公司) 2008年 3月 26日 (2008-03-26) 全文	1-20
A	CN 102629570 A (京东方科技集团股份有限公司) 2012年 8月 8日 (2012-08-08) 全文	1-20
A	CN 104037126 A (京东方科技集团股份有限公司 等) 2014年 9月 10日 (2014-09-10) 全文	1-20
A	US 2011216278 A1 (MITSUBISHI ELECTRIC CORP.) 2011年 9月 8日 (2011-09-08) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 3月 31日	2016年 4月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 房元锋 电话号码 (86-10)62413825

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/086334

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102790012	A	2012年 11月 21日	JP	2015529012	A	2015年 10月 1日
				US	2014167031	A1	2014年 6月 19日
				WO	2014012334	A1	2014年 1月 23日
				US	9040344	B2	2015年 5月 26日
				KR	101522481	B1	2015年 5月 21日
				EP	2876676	A1	2015年 5月 27日
				KR	20140037808	A	2014年 3月 27日
CN	101150091	A	2008年 3月 26日	CN	100590854	C	2010年 2月 17日
CN	102629570	A	2012年 8月 8日		无		
CN	104037126	A	2014年 9月 10日	US	2015333182	A1	2015年 11月 19日
US	2011216278	A1	2011年 9月 8日	JP	5585127	B2	2014年 9月 10日
				JP	2011186138	A	2011年 9月 22日
				US	8488092	B2	2013年 7月 16日
				JP	2014197232	A	2014年 10月 16日
				JP	5800070	B2	2015年 10月 28日