

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3829088号

(P3829088)

(45) 発行日 平成18年10月4日(2006.10.4)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int. Cl.

G 1 1 C 16/04 (2006.01)

F I

G 1 1 C 17/00 6 2 2 E

請求項の数 38 (全 64 頁)

(21) 出願番号	特願2001-383554 (P2001-383554)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成13年12月17日(2001.12.17)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2002-358792 (P2002-358792A)	(74) 代理人	100092820 弁理士 伊丹 勝
(43) 公開日	平成14年12月13日(2002.12.13)		
審査請求日	平成15年6月25日(2003.6.25)	(72) 発明者	野口 充宏 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内
(31) 優先権主張番号	特願2001-95512 (P2001-95512)	(72) 発明者	合田 晃 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内
(32) 優先日	平成13年3月29日(2001.3.29)	(72) 発明者	松永 泰彦 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝 横浜事業所内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントであるM I S F E Tとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

前記データ読み出しモードにおいて、前記M I S F E Tの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて、電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスより小さい状態に設定されるようにした

ことを特徴とする半導体記憶装置。

【請求項2】

保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子

10

20

の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子をデータ転送線に接続する第1の選択スイッチングエレメントであるMISFETと、前記第2の端子を電氣的に基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

10

前記データ読み出しモードにおいて、前記MISFETの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて、電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスより小さい状態に設定されるようにした

ことを特徴とする半導体記憶装置。

【請求項3】

前記データ読み出しモードは、前記データ転送線から前記メモリセルユニットを介して前記基準電位線に読み出し電流を流すものであって、前記第2の選択スイッチングエレメントのMISFETの制御電極の電圧は、前記パス電圧より低く且つ、前記第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されている

20

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項4】

前記データ読み出しモードは、前記基準電位線から前記メモリセルユニットを介して前記データ転送線に読み出し電流を流すものであって、前記第2の選択スイッチングエレメントのMISFETの制御電極の電圧は、前記パス電圧より低く且つ、前記第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されている

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

前記データ読み出しモードは、前記基準電位線から前記メモリセルユニットを介して前記データ転送線に読み出し電流を流すものであって、前記第1の選択スイッチングエレメントのMISFET制御電極の電圧は、前記パス電圧より低く且つ、前記第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されている

30

ことを特徴とする請求項2記載の半導体記憶装置。

【請求項6】

前記データ読み出しモードは、前記データ転送線から前記メモリセルユニットを介して前記基準電位線に読み出し電流を流すものであって、前記第1の選択スイッチングエレメントのMISFETの制御電極の電圧は、前記パス電圧より低く且つ、前記第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されている

ことを特徴とする請求項2記載の半導体記憶装置。

【請求項7】

40

前記メモリセルは、半導体基板に少なくとも一つの電荷蓄積層と制御電極とを有するトランジスタ構造を有し、

前記データ読み出しモードにおいて、前記メモリセルのドレイン電流係数を μ_{cell} 、前記MISFETのドレイン電流係数を μ_{SL} 、前記メモリセルの書き込みしきい値を V_{thw} 、前記MISFETのしきい値を V_{th} 、前記パス電圧を V_{read} 、前記MISFETの制御電極の電圧を V_{GSL} として、 $(\mu_{SL})^{0.5} \times (V_{GSL} - V_{th})$ が $(\mu_{cell})^{0.5} \times (V_{read} - V_{thw})$ より小さくなるようにした

ことを特徴とする請求項3乃至6のいずれかに記載の半導体記憶装置。

【請求項8】

前記メモリセルは、半導体基板に少なくとも一つの電荷蓄積層と制御電極とを有するトラ

50

ンジスタ構造を有し、

前記データ読み出しモードにおいて、前記メモリセルのドレイン電流係数を μ_{cell} 、前記 M I S F E T のドレイン電流係数を μ_{SL} 、前記メモリセルの書き込みしきい値を V_{thw} 、前記 M I S F E T のしきい値を V_{th} 、前記パス電圧を V_{read} 、前記 M I S F E T の制御電極の電圧を V_{GSL} として、 $(\mu_{SL}) \times (V_{GSL} - V_{th})$ が $(\mu_{cell}) \times (V_{read} - V_{thw})$ より小さくなるようにした

ことを特徴とする請求項 3 乃至 6 のいずれかに記載の半導体記憶装置。

【請求項 9】

保持するデータによって電流端子間のコンダクタンスが変化し、第 1 の端子と第 2 の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第 1 の端子を電氣的にデータ転送線に接続する第 1 の選択スイッチングエレメントと、前記第 2 の端子を基準電位線に接続する第 2 の選択スイッチングエレメントである M I S F E T とを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第 1 及び第 2 の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

前記データ読み出しモードにおいて、前記第 2 の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第 1 の選択スイッチングエレメントの制御電極の電圧より低い第 1 の設定値に設定されている

ことを特徴とする半導体記憶装置。

【請求項 10】

保持するデータによって電流端子間のコンダクタンスが変化し、第 1 の端子と第 2 の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第 1 の端子をデータ転送線に接続する第 1 の選択スイッチングエレメントである M I S F E T と、前記第 2 の端子を電氣的に基準電位線に接続する第 2 の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第 1 及び第 2 の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

前記データ読み出しモードにおいて、前記第 1 の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第 2 の選択スイッチングエレメントの制御電極の電圧より低い第 1 の設定値に設定されている

ことを特徴とする半導体記憶装置。

【請求項 11】

前記メモリセルは、半導体基板に少なくとも一つの電荷蓄積層と制御電極とを有するトランジスタ構造を有し、

前記データ読み出しモードにおいて、前記メモリセルのドレイン電流係数を μ_{cell} 、前記 M I S F E T のドレイン電流係数を μ_{SL} 、前記メモリセルの書き込みしきい値を V_{thw} 、前記 M I S F E T のしきい値を V_{th} 、前記パス電圧を V_{read} 、前記 M I S F E T の制御電極の電圧を V_{GSL} として、 $(\mu_{SL}) \times (V_{GSL} - V_{th})$ が $(\mu_{cell}) \times (V_{read} - V_{thw})$ より小さくなるようにした

ことを特徴とする請求項 9 又は 10 記載の半導体記憶装置。

【請求項 12】

保持するデータによって電流端子間のコンダクタンスが変化し、第 1 の端子と第 2 の端子

10

20

30

40

50

の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントであるMISFETとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

10

前記データ読み出しモードにおいて、

前記メモリセルユニット内で前記基準電位線から数えて所定個数の範囲内のメモリセルが選択された場合に、前記第2の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定され、

前記基準電位線から数えて所定個数の範囲外のメモリセルが選択された場合に、前記第2の選択スイッチングエレメントの制御電極の電圧は、前記第1の設定値よりも高い第2の設定値に設定されるようにした

ことを特徴とする半導体記憶装置。

【請求項13】

20

保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子をデータ転送線に接続する第1の選択スイッチングエレメントであるMISFETと、前記第2の端子を電氣的に基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出し

30

モードを有し、

前記データ読み出しモードにおいて、

前記メモリセルユニット内で前記データ転送線から数えて所定個数の範囲内のメモリセルが選択された場合に、前記第1の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定され、

前記データ転送線から数えて所定個数の範囲外のメモリセルが選択された場合に、前記第1の選択スイッチングエレメントの制御電極の電圧は、前記第1の設定値よりも高い第2の設定値に設定されるようにした

ことを特徴とする半導体記憶装置。

40

【請求項14】

前記データ読み出しモードにおいて、前記第1のスイッチングエレメントの制御電極の電圧が、前記パス電圧に等しい

ことを特徴とする請求項1, 3, 4, 9, 12のいずれかに記載の半導体記憶装置。

【請求項15】

前記データ読み出しモードにおいて、前記第2のスイッチングエレメントの制御電極の電圧が、前記パス電圧に等しい

ことを特徴とする請求項2, 5, 6, 10, 13のいずれかに記載の半導体記憶装置。

【請求項16】

前記データ読み出しモードにおいて、前記パス電圧は、電源電圧より高い電圧である

50

ことを特徴とする請求項 1 乃至 15 のいずれかに記載の半導体記憶装置。

【請求項 17】

前記データ読み出しモードにおいて、前記第 1 の設定値は、電源電圧より低い電圧であることを特徴とする請求項 3 乃至 15 のいずれかに記載の半導体記憶装置。

【請求項 18】

前記データ読み出しモードにおいて、前記第 2 の設定値は、電源電圧より高い電圧であることを特徴とする請求項 12 又は 13 に記載の半導体記憶装置。

【請求項 19】

前記データ読み出しモードにおいて、複数のメモリセルの制御電極と第 1 及び第 2 のスイッチングエレメントの制御電極は、それぞれ 0 V 以上の電圧を有する電圧ノードに接続されている

10

ことを特徴とする請求項 1 乃至 18 のいずれかに記載の半導体記憶装置。

【請求項 20】

前記メモリセルの電荷蓄積層と前記半導体基板との間のゲート絶縁膜と、前記 MISFET のゲート絶縁膜とは実質的に同じ膜厚を有することを特徴とする請求項 7, 8, 11 のいずれかに記載の半導体記憶装置。

【請求項 21】

前記メモリセルのゲート長を、前記メモリセルの制御電極と電荷蓄積層との間の容量の全容量に対する比で割った値よりも、前記 MISFET のゲート長が小さい

ことを特徴とする請求項 20 に記載の半導体記憶装置。

20

【請求項 22】

互いに平行な複数のデータ転送線とこれらのデータ転送線と交差する複数の基準電位線との間にそれぞれ接続された複数のメモリセルユニットを有し、前記基準電位線の方向に並ぶ複数のメモリセルユニットの第 1 及び第 2 の選択スイッチングエレメントの制御電極がそれぞれ共通に第 1 及び第 2 の選択制御線に、前記基準電位線の方向に並ぶ複数のメモリセルユニットのメモリセルの制御電極が共通にデータ制御線に接続されて、メモリセルアレイが構成され、

前記複数の基準電位線を短絡する、データ転送線方向が長手方向となるように形成された導電体領域が前記データ転送線より少ない線密度で配設されている

ことを特徴とする請求項 1 乃至 19 のいずれかに記載の半導体記憶装置。

30

【請求項 23】

保持するデータによって電流端子間のコンダクタンスが変化し、第 1 の端子と第 2 の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第 1 の端子を電氣的にデータ転送線に接続する第 1 の選択スイッチングエレメントと、前記第 2 の端子を基準電位線に接続する第 2 の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第 1 及び第 2 の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記

40

データ読み出しモードは、前記データ転送線から前記メモリセルユニットを介して前記基準電位線に電流を流すものであって、前記基準電位線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第 1 のパス電圧が、前記データ転送線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第 2 のパス電圧よりも低く設定される

ことを特徴とする半導体記憶装置。

【請求項 24】

保持するデータによって電流端子間のコンダクタンスが変化し、第 1 の端子と第 2 の端子

50

の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

10

前記データ読み出しモードは、前記基準電位線から前記メモリセルユニットを介して前記データ転送線に電流を流すものであって、前記データ転送線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第1のパス電圧が、前記基準電位線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第2のパス電圧よりも低く設定される

ことを特徴とする半導体記憶装置。

【請求項25】

前記読み出しモードにおいて、前記第2のパス電圧と第1のパス電圧の差は、前記データ転送線と基準電位線との電位差の絶対値の最大値より小さく設定される

ことを特徴とする請求項23又は24記載の半導体記憶装置。

20

【請求項26】

互いに平行な複数のデータ転送線とこれらのデータ転送線と交差する複数の基準電位線との間にそれぞれ接続された複数のメモリセルユニットを有し、前記基準電位線の方向に並ぶ複数のメモリセルユニットの第1及び第2の選択スイッチングエレメントの制御電極がそれぞれ共通に第1及び第2の選択制御線に、前記データ転送線の方向に並ぶ複数のメモリセルの制御電極が共通にデータ制御線に接続されて、メモリセルアレイが構成され、前記複数の基準電位線を短絡する導電体領域が前記データ転送線より少ない線密度で配設されている

ことを特徴とする請求項23乃至25のいずれかに記載の半導体記憶装置。

【請求項27】

前記データ読み出しモードにおいて、前記第2の選択スイッチングエレメントの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスよりも小さい状態に設定される

ことを特徴とする請求項23記載の半導体記憶装置。

30

【請求項28】

前記データ読み出しモードにおいて、前記第1の選択スイッチングエレメントの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスよりも小さい状態に設定される

ことを特徴とする請求項24記載の半導体記憶装置。

40

【請求項29】

前記複数のデータ転送線に対して、データ転送線の数より少ない数のセンスアンプが配置され、データ転送線が選択的にセンスアンプに接続されるようにした

ことを特徴とする請求項22又は26記載の半導体記憶装置。

【請求項30】

前記データ読み出しモードにおいて、センスアンプに接続されたデータ転送線に隣接する非選択状態のデータ転送線に固定電位が与えられるようにした

ことを特徴とする請求項29記載の半導体記憶装置。

【請求項31】

50

保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、

前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外の非選択メモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、

10

前記データ読み出しモードにおいて、前記選択されたメモリセルの前記メモリユニット内の位置に応じて、前記非選択メモリセルの制御電極に与えるパス電圧が切り換えられるようにした

ことを特徴とする半導体記憶装置。

【請求項32】

前記データ読み出しモードは、前記データ転送線から前記メモリセルユニットを介して前記基準電位線に電流を流すものであって、前記選択されたメモリセルより前記データ転送線側にある非選択メモリセルの数が増えるにつれて、前記パス電圧が高く設定されるようにした

20

ことを特徴とする請求項31記載の半導体記憶装置。

【請求項33】

前記データ読み出しモードは、前記基準電位線から前記メモリセルユニットを介して前記データ転送線に電流を流すものであって、前記選択されたメモリセルより前記基準電位線側にある非選択メモリセルの数が増えるにつれて、前記パス電圧が高く設定されるようにした

ことを特徴とする請求項31記載の半導体記憶装置。

【請求項34】

前記パス電圧を発生するパス電圧発生回路は、電源電圧より高く且つ、参照電圧に応じて異なるパス電圧を発生する昇圧回路と、前記メモリセルユニット内のメモリセル選択を行うアドレスデータにตอบสนองして前記参照電圧を発生させる参照電圧発生回路とを有する

30

ことを特徴とする請求項31乃至33のいずれかに記載の半導体記憶装置。

【請求項35】

前記参照電圧発生回路は、テスト結果に応じて発生するパス電圧を調整するためのトリミング設定値と前記アドレスデータとを入力して前記参照電圧に対応するデジタルデータを生成する論理回路と、この論理回路の出力デジタルデータをアナログ値に変換して前記参照電圧を発生する回路とを有する

ことを特徴とする請求項34記載の半導体記憶装置。

40

【請求項36】

前記メモリセルユニットを一括してデータ消去した後、読み出し電流の最も下流側のメモリセルから順にデータ書き込みを行うデータ書き込みモードを有する

ことを特徴とする請求項31乃至35のいずれかに記載の半導体記憶装置。

【請求項37】

前記メモリセルは、半導体基板にトンネル絶縁膜を介して浮遊ゲートが形成され、浮遊ゲート上に絶縁膜を介して制御ゲート電極が形成された浮遊ゲート型トランジスタ構造を有する

ことを特徴とする請求項1, 2, 9, 10, 12, 13, 23, 24, 31のいずれかに記載の半導体記憶装置。

50

【請求項38】

前記メモリセルは、半導体基板にトンネル絶縁膜、窒素を含む電荷蓄積層、及びシリコン酸化膜が積層された積層絶縁膜が形成され、この積層絶縁膜上に制御ゲート電極が形成されたMONOS型トランジスタ構造を有することを特徴とする請求項1, 2, 9, 10, 12, 13, 23, 24, 31のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電氣的書き換え可能なメモリセルを用いた半導体記憶装置に係り、特に複数のメモリセルを直列接続してメモリセルユニットを構成する半導体記憶装置に関する。

10

【0002】

【従来の技術】

EEPROMのメモリセルは通常、半導体基板に電荷蓄積層と制御ゲートを積層したMISFET構造を有する。このメモリセルは、電荷蓄積層に電荷を注入した状態と、その電荷を放出した状態とのしきい値の差によりデータを不揮発に記憶する。電荷の注入、放出は、電荷蓄積層と基板チャネルとの間のトンネル絶縁膜を介してトンネル電流によって行われる。

EEPROMのなかで、複数のメモリセルを直列接続してNANDセルユニットを構成する、いわゆるNAND型EEPROMは、NOR型EEPROMと比べて選択トランジスタ数が少なく済むことから、高密度化が可能である。

20

【0003】

NAND型EEPROMのデータ読み出しは、NANDセル内の選択されたメモリセルの制御ゲートにしきい値判定を行うための読み出し電圧を印加し、残りの非選択メモリセルの制御ゲートには、データによらずメモリセルをオンさせる、読み出し電圧より高いパス電圧を印加して、NANDセルを貫通する電流を検出することにより行われる。従って、非選択メモリセルのデータ状態、及び選択メモリセルのNANDセル内の位置によって、同じデータが書き込まれている場合でも読み出し電流に差が生じる。また、メモリセルの電流端子を通過した電荷量の多寡によってデータ読み出しを行うために、メモリセルの見かけ上のしきい値が変化してしまうという問題がある。

【0004】

30

まず、選択メモリセルのデータ状態と選択メモリセルの位置に応じて読み出し電流に差が生じることを、図41～図43を用いて具体的に説明する。図41と図42は、16個のメモリセルM0～M15を直列接続して構成されるNANDセルユニットについて、それぞれ異なる読み出し条件を示している。NANDセルの一端は、選択トランジスタS1を介してデータ転送線(ビット線)BLに接続され、他端は選択トランジスタS2を介して基準電位となる共通ソース線SLに接続されている。各メモリセルM0～M15の制御ゲートはそれぞれ別のデータ制御線(ワード線)WL0～WL15に接続され、選択トランジスタS1, S2のゲートはブロック選択を行うための選択ゲート線SSL, GSSLにそれぞれ接続されている。

【0005】

40

図41, 図42では、一つのNANDセルユニットのみ示しているが、通常この様なNANDセルユニットがビット線方向、およびワード線方向に複数個配列されてメモリセルアレイが構成される。また、ビット線BLには、センスアンプ/データラッチが接続される。フラッシュメモリの場合では、ワード線方向に並んだ複数のNANDセルユニットの範囲がデータを一括消去する単位となるブロックとなる。以下では、電荷蓄積層の電子を放出したしきい値の低い状態を“1”データ(消去状態)とし、電荷蓄積層に電子を注入したしきい値の高い状態を“0”データ状態として、説明する。

【0006】

図41(a)(b)では、メモリセルM0～M15のうちビット線BLに最も近いメモリセルM0を選択したときの読み出し電圧関係を示している。この場合、共通ソース線SL

50

は接地電位 GND とし、ビット線 BL には例えば、 $1V$ 程度の正電圧 V_{BL} を与え、選択されたワード線 WL_0 には、しきい値判定を行うための読み出し電圧 V_r を、残りの非選択ワード線 $WL_1 \sim WL_{15}$ にはデータによらずセルをオンさせるに必要なパス電圧 V_{read} を与える。選択ゲート線 SSL , GSL にもパス電圧 V_{read} を与える。

【0007】

図43は、2値データを記憶する場合のメモリセルのしきい値分布例である。“0”データのしきい値の上限 V_{thw} としては、例えば $2V$ 、“1”データ(消去状態)のしきい値の上限 V_{the} としては $-1V$ 、またパス電圧 V_{read} としては、 $4V$ から $5V$ の間の電圧が用いられる。読み出し電圧 V_r としては例えば $0V$ が用いられる。図43には選択トランジスタ S_1 , S_2 のしきい値を示したが、これらはメモリセルの書き込みしきい値上限 V_{thw} よりも低い。従って、パス電圧 V_{read} を与えることにより、選択トランジスタ S_1 , S_2 はコンダクタンスがメモリセルよりも大きくなり、十分導通状態を保つ。

10

【0008】

図41(a)は、選択メモリセル M_0 が“1”データであり、残りの非選択メモリセル $M_1 \sim M_{15}$ も全て“1”データである場合を示しており、一方図41(b)では、選択メモリセル M_0 が“1”データであるが、残りの非選択メモリセル $M_1 \sim M_{15}$ が全て“0”データである場合を示している。この二つのケースで、NANDセルユニットに流れる読み出し電流 ID_1 , ID_2 の関係は、 $ID_1 > ID_2$ となる。図41(b)の場合の方が図41(a)の場合よりも非選択メモリセル $M_1 \sim M_{15}$ でのソース・ドレイン間の抵抗が高いためである。

20

【0009】

図42(a)(b)は、NANDセルの共通ソース線 SL に最も近いメモリセル M_{15} が選択された場合について、同様の読み出し電圧関係を示している。図42(a)では、全てのメモリセル $M_0 \sim M_{15}$ が“1”データの場合であり、図42(b)は、選択メモリセル M_{15} が“1”データで、残りの非選択メモリセル $M_0 \sim M_{14}$ が“0”データの場合である。この場合、メモリセル $M_0 \sim M_{14}$ は、 V_{BL} が $V_{read} - V_{thw}$ より小さいと活性領域(線形領域)で動作するが、図42(b)の場合の方が図42(a)の場合より直列抵抗が大きくなる。またメモリセル M_{15} も線形領域で動作し、ドレイン・ソース間電圧は小さい。従って、図42(a) , (b)の読み出し電流 ID_3 , ID_4 の関係は、 $ID_3 > ID_4$ となる。

30

【0010】

また、各メモリセルの基板バイアス効果を考慮すると、データ転送線 BL に近いメモリセル M_0 には、共通ソース線 SL に近いメモリセル M_{15} より高い基板バイアスがかかり、しきい値が高くなる。従って ID_2 は ID_4 より小さく、 ID_1 は ID_3 よりも小さくなる。

【0011】

次に、同じデータを書き込んだ場合でも、例えば、図44(a) , (b)に示す消去、書き込みおよび読み出しシーケンスを経ることにより、消去状態のしきい値が上昇して観測される問題が生ずることを説明する。

40

【0012】

図44(a)では、まず、NANDセルユニットの全メモリセル $M_0 \sim M_{15}$ が一括消去され、“1”データ状態に設定される(SE_1)。その後、ステップ SE_2 では、図41(a)の電圧関係でメモリセル M_0 のデータを読み出して、一定の電流レベル I_{th} でデータが“0”か“1”かを判断する。一定電流値 I_{th} での判定ではなく、例えばデータ転送線を V_{BL} にプリチャージして、浮遊状態にした後、読み出しを行って、データ転送線の電位変動をセンスアンプで検出する方法でもよい。更に、メモリセル M_1 から M_{15} までに“0”データを書き込み、それらのしきい値を上昇させる(SE_3)。次いで、ステップ SE_4 で、図41(b)の電圧関係でメモリセル M_0 のデータを読み出し、一定の電流レベル I_{th} でデータが“0”か“1”かを判断する。

50

【0013】

このようにすると、同じ消去状態のメモリセルM0でも、ステップSE2とSE4では、図41(a)、(b)で説明した読み出し電流ID1、ID2の差があるから、ステップSE4では読み出し電流ID2が判定電流I_{th}以下となり、ステップSE2では読み出し電流ID1が判定電流I_{th}より大きいという事態が生じ得る。これは言い換えれば、ステップSE4の方がSE2よりも同じ電流しきい値で見た場合のしきい値分布がよりしきい値が正の方に上昇することを示しており、図43の点線と実線の状況が生じる。

【0014】

図44(b)では、まず、NANDセルユニットの全メモリセルM0~M15が一括消去され、“1”データ状態に設定される(SE1)。その後、ステップSE2'では、図42(a)の電圧関係でメモリセルM15のデータを読み出して、一定の電流レベルI_{th}でデータが“0”か“1”かを判断する。更に、メモリセルM0からM14までに“0”データを書き込み、それらのしきい値を上昇させる(SE3')。次いで、ステップSE4'で、図42(b)の電圧関係でメモリセルM15のデータを読み出し、一定の電流レベルI_{th}でデータが“0”か“1”かを判断する。

10

【0015】

このようにすると、同じ消去状態のメモリセルM15でも、ステップSE2'とSE4'では、図42(a)、(b)で説明した読み出し電流ID3、ID4の差があるから、ステップSE4'では読み出し電流ID4が判定電流I_{th}以下となり、ステップSE2'では読み出し電流ID3が判定電流I_{th}より大きいという場合が生じる。従ってこの場合も、ステップSE4'の方がSE2'よりも同じ電流しきい値で見た場合のしきい値分布がよりしきい値が正の方に上昇し、やはり図43の点線と実線の状況が生じることになる。

20

【0016】

一方、同じ論理値データを読む場合に、メモリセルの読み出し電流がメモリセルの位置と、非選択メモリセルのデータによって大きく変化すると、読み出し時間の最大値を短くし、かつ、セル電流によって生ずる電磁ノイズの最大値を削減することが困難になる。これは、読み出し時間の最大値が、選択セルの読み出し電流が最も小さくなる条件で決定され、電磁ノイズの最大値は、選択セルの読み出し電流が最も大きくなる条件で決定されるからである。

30

【0017】

さらに、読み出しセルの電流が大きくなると、共通ソース線SLの電位の浮き上がりが大きくなり、書き込みとベリファイ読み出しを繰り返したとき、“0”データ書き込みが十分に行われなくなるという不良が生ずる(例えば、特開平11-260076号公報参照)。また、データ転送線に流れる最大電流も増大するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇や信頼性劣化、および、発熱増大によるトランジスタのしきい値変化やリーク電流の増大も問題となる。

【0018】

さらに、“1”データの判定しきい値が高くなると、“0”データのしきい値分布の下限と“1”データのしきい値分布の上限の差が小さくなる。この結果例えば“1”データを誤って“0”データとして読み出す誤読み出しの確率が増加する。この様な誤読み出しをなくすためには、例えば“0”データのしきい値分布をより高い方まで広げる必要が生ずる。しかしこれは、別の問題を招来する。即ち蓄積電荷の自己電界によって、高いしきい値のデータの保持特性は、低いしきい値のデータの保持特性に比べて悪いので、“0”データのしきい値分布をあまり高くすることは、十分なデータ保持特性を得ることを困難にする。またNANDセルユニットでは、非選択メモリセルにはしきい値分布の最大値よりも高い電圧を印加する必要があるため、読み出し動作を繰り返すことによって、電荷蓄積層に負の電荷が注入されてしきい値が上昇し、消去状態のしきい値の上限がより増大する。これは、データ破壊や誤読み出しの原因となる。

40

【0019】

50

【発明が解決しようとする課題】

以上述べたように、従来のNAND型EEPROMでは、データ読み出し時に、非選択メモリセルのデータ状態、および選択メモリセルのNANDセルユニット内の位置によって、読み出し電流に差があり、これが誤読み出しやデータ破壊等、EEPROMの高性能化にとって種々の問題をもたらす。

【0020】

この発明は、上記問題を解決すべくなされたもので、その目的とするところは、非選択メモリセルのデータ状態や選択メモリセルの位置による読み出し電流のばらつきを低減した半導体記憶装置を提供することにある。

【0021】**【課題を解決するための手段】**

この発明に係る半導体記憶装置は、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントであるMISFETとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記MISFETの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて、電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスより小さい状態に設定されるようにしたことを特徴とする。

【0022】

この発明に係る半導体記憶装置はまた、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子をデータ転送線に接続する第1の選択スイッチングエレメントであるMISFETと、前記第2の端子を電氣的に基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記MISFETの電流端子間のコンダクタンスが、前記選択されたメモリセル以外の少なくとも一つのメモリセルについて、電流端子間のコンダクタンスを最も小さくなる状態に設定した場合のコンダクタンスより小さい状態に設定されるようにしたことを特徴とする。

【0023】

この発明によれば、データ読み出し時に一方の選択スイッチングエレメントのコンダクタンスを、非選択メモリセルのコンダクタンスの最小値より小さい状態に設定することによって、メモリセルユニットの非選択メモリセルのデータ状態や、選択メモリセルのメモリセルユニット内の位置によって生ずる読み出し電流のばらつき小さくすることができる。同時に、直列接続されるメモリセルの状態によるしきい値上昇量を、ほぼ0にすることができる。以上の結果、電磁ノイズ起因の誤読み出しの確率が低減され、高速読み出しが可能になる。

【0024】

この発明におけるデータ読み出しモードには具体的に、次のような態様がある。

(1) データ転送線からメモリセルユニットを介して基準電位線に読み出し電流を流すものとして、第2の選択スイッチングエレメントの制御電極の電圧を、パス電圧より低く且つ、第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定する態様。

(2) 基準電位線からメモリセルユニットを介してデータ転送線に読み出し電流を流すものとして、第1の選択スイッチングエレメントの制御電極の電圧を、パス電圧より低く且つ、第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定する態様。

(3) データ転送線からメモリセルユニットを介して基準電位線に読み出し電流を流すものとして、第1の選択スイッチングエレメントの制御電極の電圧を、パス電圧より低く且つ、第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定する態様。

10

(4) 基準電位線からメモリセルユニットを介してデータ転送線に読み出し電流を流すものとして、第2の選択スイッチングエレメントの制御電極の電圧を、パス電圧より低く且つ、第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定する態様。

【0025】

この発明において、メモリセルは例えば、半導体基板に少なくとも一つの電荷蓄積層と制御電極とを有するトランジスタ構造を有するものとする。この場合、上述したデータ読み出しモードにおけるコンダクタンスの関係は、選択スイッチングエレメント及びメモリセルを5極管動作領域で動作させる場合には、次の様に表される。即ちメモリセルのドレイン電流係数を β_{cell} 、選択スイッチングエレメントのMISFETのドレイン電流係数を β_{SL} 、メモリセルの書き込みしきい値を V_{thw} 、選択スイッチングエレメントのMISFETのしきい値を V_{th} 、パス電圧を V_{read} 、選択スイッチングエレメントのMISFETの制御電極の電圧を V_{GSL} として、 $(\beta_{SL})^{0.5} \times (V_{GSL} - V_{th})$ が $(\beta_{cell})^{0.5} \times (V_{read} - V_{thw})$ より小さくなるようにする。

20

また、選択スイッチングエレメント及びメモリセルを3極管動作領域で動作させる場合には、 $(\beta_{SL}) \times (V_{GSL} - V_{th})$ が $(\beta_{cell}) \times (V_{read} - V_{thw})$ より小さくなるようにする。

【0026】

この発明に係る半導体記憶装置はまた、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントであるMISFETとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記第2の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されていることを特徴とする。

30

40

【0027】

この発明に係る半導体記憶装置は更に、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子をデータ転送線に接続する第1の選択スイッチングエレメントであるMISFETと、前記第2の端子を電氣的に基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニッ

50

トが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記第1の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定されていることを特徴とする。

【0028】

具体的にメモリセルは、例えば半導体基板に少なくとも一つの電荷蓄積層と制御電極とを有するMISFET構造を有するものとする。この場合、データ読み出しモードにおいて、メモリセルのドレイン電流係数を β_{cell} 、選択スイッチングエレメントのMISFETのドレイン電流係数を β_{SL} 、メモリセルの書き込みしきい値を V_{thw} 、選択スイッチングエレメントのMISFETのしきい値を V_{th} 、パス電圧を V_{read} 、選択スイッチングエレメントのMISFETの制御電極の電圧を V_{GSL} として、 $(\beta_{SL}) \times (V_{GSL} - V_{th})$ が $(\beta_{cell}) \times (V_{read} - V_{thw})$ より小さくなるようにする。この様な電圧関係に設定すれば、選択スイッチングエレメントのドレイン電流係数がメモリセルのそれより大きい場合でも、選択スイッチングエレメントの一方をメモリセルよりコンダクタスの小さい状態で動作させることが可能になる。これにより、非選択メモリセルのデータ状態や選択メモリセルの位置による読み出し電流のばらつきを小さくすることができる。

【0029】

この発明に係る半導体記憶装置は更に、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントであるMISFETとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記メモリセルユニット内で前記基準電位線から数えて所定個数の範囲内のメモリセルが選択された場合に、前記第2の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第1の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定され、前記基準電位線から数えて所定個数の範囲外のメモリセルが選択された場合に、前記第2の選択スイッチングエレメントの制御電極の電圧は、前記第1の設定値よりも高い第2の設定値に設定されるようにしたことを特徴とする。

【0030】

この発明に係る半導体記憶装置は更に、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に再書き込み可能な複数のメモリセルと、前記第1の端子をデータ転送線に接続する第1の選択スイッチングエレメントであるMISFETと、前記第2の端子を電氣的に基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出する

10

20

30

40

50

データ読み出しモードを有し、前記データ読み出しモードにおいて、前記メモリセルユニット内で前記データ転送線から数えて所定個数の範囲内のメモリセルが選択された場合に、前記第1の選択スイッチングエレメントの制御電極の電圧は、前記パス電圧より低く且つ、前記第2の選択スイッチングエレメントの制御電極の電圧より低い第1の設定値に設定され、前記データ転送線から数えて所定個数の範囲外のメモリセルが選択された場合に、前記第1の選択スイッチングエレメントの制御電極の電圧は、前記第1の設定値よりも高い第2の設定値に設定されるようにしたことを特徴とする。

【0031】

この様に選択メモリセルの位置に応じて、一方の選択スイッチングエレメントの制御電極の電圧を切り換えることによって、選択メモリセルの位置に依存して生じる読み出し電流の最大値と最小値の差を小さいものとすることができる。

10

【0032】

この発明に係る半導体記憶装置は更に、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外のメモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードは、(1)前記データ転送線から前記メモリセルユニットを介して前記基準電位線に電流を流すものであって、前記基準電位線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第1のパス電圧が、前記データ転送線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第2のパス電圧よりも低く設定されるか、或いは(2)前記基準電位線から前記メモリセルユニットを介して前記データ転送線に電流を流すものであって、前記データ転送線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第1のパス電圧が、前記基準電位線と前記選択されたメモリセルの間にある非選択メモリセルの制御電極に与える第2のパス電圧よりも低く設定されることを特徴とする。

20

30

【0033】

この様に、選択メモリセルよりデータ転送線側にある非選択メモリセルと基準電位線側にある非選択メモリセルに与えるパス電圧を異ならせ、読み出し電流の方向に応じてそのパス電圧の大小関係を設定することによって、非選択メモリセルでのパス電圧によるストレスを緩和することができる。また、選択メモリセルが線形動作する程度にそのしきい値が判定しきい値より大きい場合には、選択メモリセルの下流にある非選択メモリセルのコンダクタンスが低下するため、読み出し電流の最大値を抑えることができる。

【0034】

この発明に係る半導体記憶装置は更に、保持するデータによって電流端子間のコンダクタンスが変化し、第1の端子と第2の端子の間に複数個電流端子が直列接続された、データを電氣的に書き込み可能な複数のメモリセルと、前記第1の端子を電氣的にデータ転送線に接続する第1の選択スイッチングエレメントと、前記第2の端子を基準電位線に接続する第2の選択スイッチングエレメントとを備えてメモリセルユニットが構成され、前記メモリセルユニットの第1及び第2の選択スイッチングエレメントを導通状態にし、選択されたメモリセルにそのデータに応じてその電流端子間を導通又は遮断状態にさせる読み出し電圧をその制御電極に印加し、前記選択されたメモリセル以外の非選択メモリセルにそのデータによらず電流端子間を導通状態とするパス電圧をその制御電極に印加して、前記データ転送線と基準電位線との間の電流の有無又は電流の大小を検出するデータ読み出しモードを有し、前記データ読み出しモードにおいて、前記選択されたメモリセルの前記

40

50

メモリユニット内の位置に応じて、前記非選択メモリセルの制御電極に与えるパス電圧が切り換えられるようにしたことを特徴とする。

【0035】

具体的に、データ読み出しモードは、(1)データ転送線からメモリセルユニットを介して基準電位線に電流を流すものである場合には、選択されたメモリセルよりデータ転送線側にある非選択メモリセルの数が増えるにつれて、パス電圧が高くなるようにし、(2)基準電位線からメモリセルユニットを介してデータ転送線に電流を流すものである場合には、選択されたメモリセルより基準電位線側にある非選択メモリセルの数が増えるにつれて、パス電圧が高くなるようにする。

【0036】

この様に、選択メモリセルの位置に応じて、非選択メモリセルに与えるパス電圧を切り換えることによって、選択メモリセルのしきい値が論理判定しきい値より大きい場合に、非選択メモリセルでのパス電圧によるストレスを低減することができる。

【0037】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

なお、以下で、トランジスタの on 状態とは、トランジスタのしきい値よりも大きな電圧をゲート電極に加えて、MISFETのソース電極とドレイン電極の間が導通状態になることを示し、トランジスタの off 状態とは、トランジスタのしきい値よりも小さな電圧をゲート電極に加えて、MISFETのソース電極とドレイン電極の間が遮断状態となっていることを示す。なお、しきい値としては、ソース電極とドレイン電極とに流れる電流が、例えば、 $40 \text{ nA} \times (\text{チャネル幅 } W) / (\text{ゲート長さ } L)$ となる値になったときのゲート電圧とする。また実施の形態では、通常のCMOSロジック回路の構成が簡単なため、しきい値が正であるトランジスタを例として説明し、特に言及しない場合には、例えば 0.5 V から 6 V の範囲の V_{cc} となる正の電圧を制御電圧として与えた場合には、論理は“H”とし、回路が on 状態となり、例えば 0 V となる電圧 GND を与えた場合には、論理は“L”とし、回路が off 状態になるとする。また、論理回路の“H”に相当する値を V_{cc} と記し、“L”に相当する値を GND と便宜的に例として記しているが、これらはそれぞれ、電源電圧 V_{cc} に対して $V_{cc} / 2$ 以上、及び $V_{cc} / 2$ 以下の 0 V 以上の電圧であれば、CMOS回路が動作するのでかまわない。もちろん、しきい値が負のトランジスタを用いても、ゲート電圧の可変範囲にしきい値が含まれるようにすればよいことは自明であろう。

【0038】

[実施の形態1]

図1は、実施の形態1によるNAND型EEPROMの構成を示し、図2はそのメモリセルアレイ1の構成を示している。セルアレイ1は、図2に示すように、直列接続された複数のメモリセルを含むメモリセルユニット(即ちNANDセルユニット)20をロウ方向及びカラム方向にそれぞれ複数個ずつ配列して構成される。NANDセルユニット20は、カラム方向に連続するデータ転送線(以下、ビット線という)BLとロウ方向に連続する基準電位線(以下、共通ソース線という)SLの間に接続される。メモリセルアレイ1のビット線のデータをセンスし、あるいは書き込みデータを保持するためにセンスアンプ回路4が設けられている。センスアンプ回路4はデータレジスタを兼ねており、例えばフリップフロップ回路を主体として構成される。

【0039】

センスアンプ回路4は、データ入出力バッファ7に接続されている。これらの接続は、アドレスバッファ6からのアドレス信号をデコードするカラムデコーダ5の出力によって制御され、データ入出力I/Oに与えられたデータをメモリセルアレイ1に書き込み、またメモリセルアレイ1のデータをI/Oへ読み出し可能となっている。

【0040】

メモリセルアレイ1のメモリセル選択を行うため、具体的にはデータ制御線(以下、ワー

10

20

30

40

50

ド線という)WL及び選択ゲート線SSL, GSLの制御をするために、ロウデコーダ3とデータ制御線ドライバ2が設けられている。データ制御線ドライバ2は、ロウデコーダ3のデコード出力により、選択されたデータ制御線及び選択ゲート線に必要な制御電圧を与える。

【0041】

基板電位制御回路9は、セルアレイ1が形成される基板領域(通常p型ウェル)の電位を制御するために設けられている。具体的に基板電位制御回路9は、制御回路8により制御されて、データ書き込み時及びデータ読み出し時は、接地電位GNDを発生し、データ消去時に10V以上の消去電圧を発生するように構成される。

【0042】

内部電圧発生回路11は、制御回路8により制御されて、データ書き込み或いは読み出し時に、メモリセルアレイ1の選択されたメモリセルに必要な電圧を与えるための種々の内部電圧を発生するように設けられている。具体的に内部電圧発生回路11は、書き込み電圧(Vpgm)を発生するVpgm発生回路11a、書き込み時のパス電圧(Vpass)を発生するVpass発生回路11b、読み出し時のパス電圧(Vread)を発生するVread発生回路11c、読み出し時選択メモリセルに与えられる読み出し電圧(Vr)を発生するVr発生回路11d、選択トランジスタに与える制御電圧(VGSL)を発生するVGSL発生回路11eを有する。

【0043】

Vpgm発生回路11aは、データ書き込み時に選択メモリセルの制御ゲートに与えるための、電源電圧よりも昇圧された書き込み電圧Vpgmを発生する。Vpass発生回路11bは、データ書き込み時に非選択メモリセルの制御ゲートに与えるための、書き込み電圧Vpgmより低く、電源電圧より高いパス電圧Vpassを発生する。Vread発生回路11cは、データ読み出し時に非選択メモリセルの制御ゲートに与えるための、電源電圧より高いパス電圧Vreadを発生する。Vr発生回路11dは、データ読み出し時に選択メモリセルの制御ゲートに与えるしきい値判定のための読み出し電圧Vrを発生する。

【0044】

VGSL発生回路11eは、この発明において特徴的なものであり、データ読み出し時に選択トランジスタのゲートに与えるための、選択電圧VGSLを発生する。この電圧VGSLは、非選択メモリセルに与えられるパスVreadよりも低く設定される。特に、電圧VGSLを電源電圧Vcc以下にすれば、VGSL発生回路11eとして昇圧回路を必要とせず、回路面積を削減することができ、また選択トランジスタの電界ストレスを低減し、信頼性を向上することができる。

【0045】

このVGSL発生回路11eは、チップ形成後プログラム可能な電源回路として構成することが好ましい。これは、チップ間のしきい値ばらつきが存在しても、電圧VGSLをチップ毎に補正することができるためである。例えば、VGSL発生回路11eに、幾つかの電圧値に対応するヒューズ回路や不揮発性メモリ素子を内蔵し、出荷時にチップ毎のしきい値上昇量を測定し、そのデータを用いてヒューズ切断または不揮発性メモリ素子にプログラムする。これにより、ウェハダイシングを行った後でも、電圧VGSLを補正をすることができる。或いはまた、電圧VGSLを内部電源回路ではなく、外部から供給するように構成することも、チップのばらつきに対応するためには有効である。

【0046】

具体的に、書き込み電圧Vpgmは、6V以上30V以下の電圧である。書き込み時のパス電圧Vpassは、3V以上15V以下の電圧である。読み出し時のパス電圧Vreadは、1V以上9V以下の電圧である。このパス電圧Vreadは、書き込みしきい値の上限よりも1Vから3V程度高い値に設定することが、読み出し電流を十分確保し且つ、データ破壊等を防止する上で望ましい。読み出しVrは、“0”、“1”データのしきい値分布の分離幅の中間に設定する。

10

20

30

40

50

【0047】

ソース電圧制御回路10は、制御回路8の制御によって、メモリセルアレイ1の基準電位線である共通ソース線の電圧を書き込み、消去および読み出しに応じて制御する。図1では省略しているが、制御回路8により、センスアンプ4の活性化を制御する制御信号やビット線選択信号 $se11$ 、 $se12$ 等が出力される。

【0048】

図2に示すメモリセルアレイ1では、ワード線 $WL0 \sim WL15$ 、及び選択ゲート線（ブロック選択線） SSL 、 GSL は省略しているが、破線で示すロウ方向に並ぶ全 $NAND$ セルユニット20（この範囲がデータの一括消去の範囲となるブロックとなる）で共有されている。また図2では、カラム方向（ビット線方向）、およびロウ方向（ワード線方向）にそれぞれ3つ、 2×512 ずつの $NAND$ セルユニット20が配置された構造を示したが、これは一般に複数個であればよく、アドレスデコードの関係で好ましくは、 2^i 個（ i は正の整数）とする。

10

【0049】

カラム方向に複数の $NAND$ セルユニット20で共有されるビット線 BLx_a 、 BLx_b （ $x = 1, 2, \dots, 512$ ）は、図3に示すようにトランジスタ Qx_a および Qx_b を介して、センスアンプ回路4の1つのセンスアンプ SAx に接続されている。センスアンプ回路4においては、メモリセル1つよりも大きなトランジスタを必要とするため、1つのセンスアンプ SAx を複数のビット線で共有し、センスアンプの占める面積を縮小している。図3では、一つのセンスアンプに接続されるビット線 BL はそれぞれ2本の場合を示したが、例えば1本や4本でもよく、 2^n 本（ n は自然数）であることがアドレスデコード回路が簡略化でき望ましい。

20

【0050】

センスアンプ回路4は、前述のようにメモリセルのデータを読み出す働きと共に、メモリセルへの書き込みデータを一時保持するデータレジスタを兼ねている。さらに、センスアンプ回路4は、トランジスタ $Qa_x a$ 、 $Qa_x b$ を介して、データ入出力バッファ7に接続されるデータ線 I/O および I/OB と接続されている。データ線 I/O および I/OB は、その電圧変動によるビット線 BL への容量結合ノイズを減らすためには、セルの列方向に形成されることが望ましい。トランジスタ $Qa_x a$ および $Qa_x b$ のゲートは、カラムデコーダ5の出力により制御され、これにより、データ線 I/O または I/OB に与えられたデータをセンスアンプ回路4に読み込み、またセンスアンプ回路4からデータ線 I/O または I/OB にデータを出力できるようになっている。

30

【0051】

図2において、共通ソース線 SL は、セルアレイ1のロウ方向に、複数の $NAND$ セルユニット20に共通に配設されている。更にこの共通ソース線 SL をカラム方向に短絡する配線 SLy が設けられて、共通ソース線 SL と共に網目構造をなしている。これにより、共通ソース線 SL の読み出し電流による電位上昇を抑えている。配線 SLy は、メモリセルアレイ1の半導体基板上の拡散領域やデータ転送線と同層の配線層で形成されているため、その領域にはメモリセルを配置することはできない。よって、ビット線 BL の線密度を配線 SLy の線密度よりも大きくすることにより、セルの占有面積を確保するようにしている。

40

【0052】

図2の例では、 512 本のビット線 BL 毎に1つの短絡用配線 SLy がされているが、配線 SLy の1本あたりのビット線の本数は複数であれば構わない。この共通ソース線 SL は、ソース線電圧制御回路10に電氣的に接続されている。このソース線電圧制御回路10は、データ読み出し時には接地電位 GND を出力する回路である。

【0053】

センスアンプ回路4は、制御回路40から与えられる活性化信号により同時に活性化され、複数のビット線のデータを同時に読み出すことが可能となっている。トランジスタ Qx_a のゲートは、ロウ方向に共通に制御線 $se11$ に接続され、トランジスタ Qx_b のゲート

50

とも同様に口ウ向に共通に制御線 $s e l 2$ に接続されている。これにより、稠密に配置されたメモリセルアレイ 1 の選択を選択信号 $s e l 1$ および $s e l 2$ を用いて小さな配線面積で行うことができる。

【 0 0 5 4 】

図 4 (a) , (b) は、それぞれ、一つの N A N D セルユニット 2 0 の等価回路と 3 つの N A N D セルユニット分の平面図を示している。N A N D セルユニット 2 0 は、電荷蓄積層である浮遊ゲート 2 6 を有する M I S F E T 構造の不揮発性メモリセル $M 0 \sim M 1 5$ が直列に接続され、その一端が M I S F E T からなる選択トランジスタ $S 1$ を介してビット線に $B L$ に接続され、他端が M I S F E T からなる選択トランジスタ $S 2$ を介して共通ソース線 $S L$ に接続されている。メモリセル $M 0 \sim M 1 5$ の制御ゲートは、ワード線 2 8 ($W L 0 \sim W L 1 5$) に接続されている。ビット線 $B L$ に沿った複数の N A N D セルユニットから 1 つの N A N D セルユニットを選択してビット線 $B L$ に接続するため、選択トランジスタ $S 1$, $S 2$ のゲート電極はそれぞれ選択ゲート線 2 8 ($S S L$) , 2 8 ($G S L$) (ブロック選択線) $S S L$, $G S L$ に接続されている。

10

【 0 0 5 5 】

選択トランジスタ $S 1$, $S 2$ のゲートが接続される選択ゲート線 $S S L$ および $G S L$ は、メモリセルの制御ゲートが接続されるワード線 $W L 0 \sim W L 1 5$ の浮遊ゲート 2 6 と同じ層の導電体によって、メモリセルアレイの口ウ方向に連続的に形成される。なお、N A N D セルユニット 2 0 には、選択ゲート線 $S S L$ および $G S L$ は少なくとも 1 本以上あればよい。この実施の形態では、N A N D セルユニット 2 0 として $1 6 = 2^4$ 個のメモリセルが接続されている例を示したが、ビット線およびワード線に接続されるメモリセルの数は複数であればよく、 2^n 個 (n は正の整数) であることがアドレスデコードをする上で望ましい。

20

【 0 0 5 6 】

図 5 及び図 6 は、図 4 (b) の A - A ' , B - B ' , C - C ' 断面を示している。セルアレイは、p 型シリコン基板 2 1 の n 型ウェル 2 2 に形成された p 型ウェル 2 3 内に形成されている。p 型ウェル 2 3 は例えば、ボロン濃度が $1 0^{14} \text{ cm}^{-3}$ から $1 0^{19} \text{ cm}^{-3}$ の間に設定されている。p 型ウェル 2 3 は、n 型ウェル 2 2 によって p 型シリコン基板 2 1 とは分離されて、独立に電圧印加できるようになっており、これが消去時の昇圧回路負荷を減らし消費電力を抑える。

30

【 0 0 5 7 】

p 型ウェル 2 3 の表面に、3 nm から 1 5 nm の厚さのシリコン酸化膜またはオキシナイトライド膜からなるゲート絶縁膜 2 5 を介して、例えばリンまたは砒素を濃度 $1 0^{18} \text{ cm}^{-3}$ から $1 0^{21} \text{ cm}^{-3}$ の範囲で添加したポリシリコンにより、各メモリセルの浮遊ゲート 2 6 及びこれと同時に形成された選択トランジスタ $S 1$, $S 2$ のゲート電極 2 6 ($S S L$) , 2 6 ($G S L$) が 1 0 nm から 5 0 0 nm の厚さで形成されている。ゲート絶縁膜 2 5 は、メモリセル $M 0 \sim M 1 5$ と選択トランジスタ $S 1$, $S 2$ とが同じ膜厚のものを用いている。

【 0 0 5 8 】

浮遊ゲート 2 6 は、シリコン酸化膜からなる素子分離絶縁膜 2 4 により区画された素子形成領域に形成されている。これは例えば、p 型ウェル 2 3 上に全面的にゲート絶縁膜 2 5 を介して浮遊ゲート 2 6 の材料膜を堆積した後、これをパターニングし、更に p 型ウェル 2 3 を例えば 0 . 0 5 ~ 0 . 5 μm の深さエッチングし、素子分離絶縁膜 2 4 を埋め込むことで形成することができる。これにより浮遊ゲート 2 6 を段差のない平面に全面形成できる。

40

但し浮遊ゲート 2 6 と同じ材料を用いて形成されるゲート電極 2 6 ($S S L$) , 2 6 ($G S L$) は、セルアレイ 1 の口ウ方向に連続的に形成されて、これらが選択ゲート線 $S S L$, $G S L$ となる。

【 0 0 5 9 】

浮遊ゲート 2 6 上には厚さ 5 nm から 3 0 nm の間のシリコン酸化膜またはオキシナイト

50

ライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるブロック絶縁膜27を介して、例えばリン、砒素、またはボロンを $10^{17} \sim 10^{21} \text{ cm}^{-3}$ の濃度で添加したポリシリコン、または、 WSi (タングステンシリサイド)とポリシリコンとのスタック構造、または、 NiSi , MoSi , TiSi , CoSi とポリシリコンのスタック構造からなる制御ゲート28, 28 (SSL), 28 (GSL)が10nmから500nmの厚さで形成されている。この制御ゲート28は、セルアレイの口ウ方向に連続的に形成されて、ワード線 $\text{WL0} \sim \text{WL15}$ となる。また制御ゲート28 (SSL), 28 (GSL)は同様に口ウ方向に連続的に形成されて、ゲート電極26 (SSL), 26 (GSL)と短絡されて、選択ゲート線SSL, GSLを構成する。

【0060】

この実施の形態のゲート形状では、p型ウェル23の素子形成領域の側壁が絶縁膜24で覆われているので、浮遊ゲート26を形成する前のエッチングでp型ウェル23が露出することがなく、浮遊ゲート26がp型ウェル23よりも下に来ることを防ぐことができる。よって、p型ウェル23と絶縁膜24との境界での、ゲート電界集中やしきい値低下した寄生トランジスタが生じにくい。さらに、電界集中に起因する書き込みしきい値の低下現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0061】

図5に示すように、ゲート構造の上面はシリコン窒化膜29aで覆われ、両側面も例えば5nmから200nmの厚さのシリコン窒化膜(またはシリコン酸化膜)からなる側壁絶縁膜29bが形成される。そしてゲート電極に自己整合的にソース、ドレインとなるn型拡散層30が形成されている。これら拡散層30、浮遊ゲート26、および制御ゲート28により、浮遊ゲート26に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、 $0.5 \mu\text{m}$ 以下 $0.01 \mu\text{m}$ 以上とする。ソース、ドレインのn型拡散層30としては、例えばリンや砒素、アンチモンを表面濃度が 10^{17} cm^{-3} から 10^{21} cm^{-3} となるように深さ10nmから500nmの間で形成されている。さらに、これらn型拡散層30は隣接するメモリセル同士共有され、NANDセルユニットが実現されている。

【0062】

この実施の形態において、選択トランジスタS1, S2のゲート電極26 (SSL), 26 (GSL)のゲート長(チャンネル長)は、メモリセルのゲート長よりも長く、例えば、 $1 \mu\text{m}$ 以下 $0.02 \mu\text{m}$ 以上として形成している。これによりブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。また、これら選択トランジスタS1, S2は、メモリセルと同じゲート絶縁膜25を有することが工程を削減しコストを低下させるのに望ましい。

【0063】

NANDセルユニットの両端部のn型拡散層30d, 30sのうち、n型拡散層30dは、層間絶縁膜31aに埋め込まれたコンタクトプラグ32を介して中継電極33aに接続され、これが更に層間絶縁膜31bを介してビット線34に接続される。ビット線34は、タングステンやタングステンシリサイド、チタン、チタンナイトライド、アルミニウム等により形成され、セルアレイのカラム方向に連続的に配設される。もう一方のn型拡散層30sはコンタクトプラグ32を介して、中継電極33aと同時に形成された、セルアレイの口ウ方向に連続する共通ソース線33bに接続されている。共通ソース線33bには、ビット線34と同じ材料を用いることができる。コンタクトプラグ32には、不純物がドーブされた多結晶シリコン、タングステン、タングステンシリサイド、アルミニウム、アルミニウム、チタン、チタンナイトライド等が用いられる。

【0064】

但し、n型拡散層30sをセルアレイ1の口ウ方向に連続的に形成して、これを共通ソース線SLとすることもできる。ビット線BLの上は SiO_2 、 SiN 、ポリイミド等の絶縁膜保護層35で覆われる。また、図には示していないが、ビット線BL上に、W, AlやCuからなる上部配線が形成されている。

10

20

30

40

50

【 0 0 6 5 】

この様に構成されたNAND型EEPROMにおいて、この発明はデータ読み出し法に特徴を有し、これについては後に詳細に説明する。データ消去及び書き込みについては従来と同様に、例えば特開2000-76882に開示されている方法で行われる。簡単に説明すれば、データ消去は、図2に破線で示す、ワード線を共有するNANDセルブロック単位で一括消去が行われる。このとき、基板電位制御回路9から発生される昇圧された消去電圧 V_{era} がメモリセルアレイのp型ウェルに与えられ、選択されたNANDセルブロックの全ワード線を0Vとする。これにより、そのNANDセルブロック内で全メモリセルの浮遊ゲートの電子がトンネル電流により基板に放出され、しきい値の低いオール“1”状態（消去状態）になる。

10

【 0 0 6 6 】

データ書き込みは、ビット線BLに書き込むべきデータに応じて例えば、 V_{cc} （“1”データの場合、即ち書き込み禁止の場合）、 V_{ss} （“0”データの場合）を与え、これによりNANDセルチャネルをプリチャージする。高レベルにプリチャージされたNANDセルチャネルは、ビット線側選択トランジスタS1がオフになることで、フローティングになる。その後、選択されたワード線に昇圧された書き込み電圧 V_{pgm} を与え、非選択ワード線にはパス電圧 V_{pass} を与える。

【 0 0 6 7 】

これにより、選択ワード線と低レベルに設定されたチャネルとの間には高電界がかかって浮遊ゲートに電子が注入されて、しきい値の高い“0”データが書かれる。フローティングの高レベルにプリチャージされたチャネルは、容量カップリングにより電位上昇して電子注入が生ぜず、“1”データ状態（消去状態）を維持する。パス電圧が与えられた非選択ワード線に沿うメモリセルでも、電子注入は生ぜず、“1”データを保持する。

20

【 0 0 6 8 】

データ消去及び書き込み時には通常、消去及び書き込みを確認するためのベリファイ読み出しが行われる。即ち消去パルス印加と消去ベリファイ読み出しとを繰り返して、一定の消去しきい値範囲に追い込む。データ書き込みの場合にも、書き込みパルス印加と書き込みベリファイ読み出しとを繰り返すことにより、一定の書き込みしきい値範囲に追い込む。

【 0 0 6 9 】

この実施の形態でのデータ読み出し動作を次に具体的に説明する。

図7は、ワード線WL0を選択して、読み出し電流がビット線BLから共通ソース線SL側に流れるようにした場合のデータ読み出しタイミング図を示す。図8は、図7におけるビット線ディスチャージ期間及び引き続くセンス期間の間、選択された一つのNANDセル20に着目して、これに印加される電圧関係を示している。

30

【 0 0 7 0 】

ここでは、NANDセル内のビット線BLに最も近いメモリセルM0が選択された場合を示しているが、図7及び図8では、括弧内にメモリセルM0の代わりに共通ソース線SL側のメモリセルM15が選択された場合を示している。

【 0 0 7 1 】

データ読み出し時、データを読み出すブロックに対応するロウデコーダ3およびデータ制御線ドライバ2が活性化され、選択ゲート線SSLにパス電圧 V_{read} 、ワード線WL0に読み出し V_r 、残りの非選択ワード線WL1~WL15にパス電圧 V_{read} 、選択ゲート線GSLには接地電位GNDが印加される（時刻 t_0 ）。なお、非選択のブロックの選択ゲート線SSL、GSL及びワード線WL0~WL15は、読み出し期間中フローティング又は0Vに維持され、データの誤読み出しや破壊が生じないようにする。

40

【 0 0 7 2 】

読み出し電圧 V_r は、図9に示す、“0”データ書き込み後のしきい値分布の下限値を V_{thw2} 、データ消去後の“1”データのしきい値分布の上限値を V_{the} として、 V_{thw2} と V_{the} との範囲内となる値である。読み出しマージンを考慮すると、 $V_r =$ （

50

$V_{thw2} + V_{the}$) / 2 程度とすることが、最も望ましく、例えば - 0.5 V から 4 V の間に設定される。特に、 V_{the} が負で、 V_{thw2} が正となるように設定すれば、読み出し電圧 V_r を接地電位 GND に設定でき、この場合には V_r 発生回路 11d が不要となるので望ましい。

【0073】

また読み出し電圧 V_r としては、接地電位 GND 以上の電圧となるように設定することが望ましい。これにより、データ制御線ドライバ 2 のワード線 $WL_0 \sim WL_{15}$ に接続されたトランジスタの拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。よって、データ制御線ドライバ 2 の n チャネル MISFET が形成された p 型ウェルを接地電位 GND として、 p 型基板 21 と n 型領域で分離することなく形成することができる。これにより、データ制御線ドライバ 2 の回路面積を減少させることができる。さらに、負電圧が印加されないので、拡散層が順バイアスされることによる少数キャリア注入がなくなり、ラッチアップを防ぐことが可能になる。更にワード線 $WL_0 \sim WL_{15}$ とメモリセルアレイ 1 内で短絡不良が生じて、メモリセルアレイ 1 の p 型ウェル 23 や n 型拡散層 30 に負電圧が印加されることがないので、少数キャリア注入による読み出しデータ破壊が生じることもない。

10

【0074】

非選択ワード線 $WL_1 \sim WL_{15}$ 及び選択ゲート線 SSL に与えられるパス電圧 V_{read} は、 V_{read} 発生回路 11c から出力され、メモリセルの “0” データのしきい値分布の上限値 V_{thw} よりも高い電圧に設定される。

20

【0075】

この実施の形態では、図 5 に示したように、選択トランジスタ S_1, S_2 のゲート長 (チャンネル長) は、メモリセル $M_0 \sim M_{15}$ の制御ゲートのゲート長よりも大きくなっている。一方、これらのゲート材料である $CoSi$ や $TiSi$ では、線幅が小さくなると抵抗が上昇する細線効果が存在することが知られている。よって、選択トランジスタ S_1, S_2 のゲート電極の方がメモリセル $M_0 \sim M_{15}$ の制御ゲートよりも低抵抗となり、選択トランジスタ S_1 のゲートの方がメモリセル $M_0 \sim M_{15}$ の制御ゲートより高速にパス電圧 V_{read} まで昇圧される。また、ワード線 $WL_0 \sim WL_{15}$ よりも抵抗の小さい選択ゲート線 GSL をビット線ディスチャージ期間に駆動することによって、並列に接続されたメモリセルの読み出しタイミングのばらつきを低減することができる。

30

【0076】

以上のワード線 $WL_0 \sim WL_{15}$ 、選択ゲート線 SSL の立ち上げに少し遅れて、ビット線 BL をセンスアンプ回路 4 に内蔵された電源ノードを用いて VBL に充電する (時刻 t_1)。ここで VBL としては、接地電位 GND 以上電源電位 V_{cc} 以下となることがセンスアンプ回路 4 を構成するトランジスタの信頼性を V_{cc} 程度で保証すればよいので望ましい。

【0077】

また、VBL は、センスアンプトランジスタとして n チャネル MISFET を用いた場合には、そのしきい値以上とすることがセンスアンプ感度を向上させるのに望ましく、例えば 1 V 程度とする。このようにすることにより、メモリセル M_0 が “1”、すなわち消去状態の場合には、選択トランジスタ S_1 からメモリセル $M_0 \sim M_{15}$ までのソース、ドレイン及びチャンネル領域を VBL に充電する。即ちここまでは、ビット線 BL および NAND セルユニットを充電する、ビット線 (BL) プリチャージ期間である。

40

【0078】

この BL プリチャージ期間は、非選択ワード線が十分にパス電圧 V_{read} に昇圧するまでの時間以上必要であり、例えば 100 ns から 10 μ s の間の時間とする。ついで、共通ソース線 SL 側の選択ゲート線 GSL を、正の制御電圧 V_{GSL} にする (時刻 t_2)。制御電圧 V_{GSL} は、図 9 に示すように、選択トランジスタ S_1, S_2 のしきい値電圧上限 V_{th} 以上で、パス電圧 V_{read} 以下の電圧とする。これにより、メモリセル M_0 のしきい値が V_r 以下ならば、NAND セルユニットが導通状態となり、ビット線 BL の電

50

位は低下する。

【0079】

メモリセルM0のしきい値が読み出し電圧 V_r より高いならば、即ち“0”データならば、メモリセルM0はオフとなり、ビット線BLの電位低下はない。つまりビット線BLは、メモリセルM0のデータ状態に応じて放電され、これがビット線(BL)ディスチャージ期間になる。このBLディスチャージ期間は、ビット線BLが十分放電するまでの時間以上必要であり、例えば100nSから100uSの間の時間とする。

【0080】

ついで、ビット線BLの電位変化を、センスアンプ回路4で判定し、データをデータラッチ内に読み出す(時刻 t_3)。この際、センスアンプ回路4内にビット線に対する電圧クランプ回路を備えれば、BL電位を大幅に変化させなくてもデータを高感度で読み出すことができる。センスアンプ回路は電流センス型でもよい。

10

【0081】

センス期間が終了した後、時刻 t_4 で選択ゲート線 G_{SL} 、 S_{SL} 、ワード線 $W_{L0} \sim W_{L15}$ 、及びビット線BLの電位を初期値に戻すための、リカバリ期間に入る。

【0082】

この実施の形態では、従来例と異なり、共通ソース線SL側の選択トランジスタ S_2 のゲートを駆動する制御電圧を、非選択ワード線に与えるパス電圧 V_{read} より低い電圧 V_{GSL} を用いている点がポイントである。これにより、選択トランジスタ S_2 のコンダクタンスは、選択メモリセルM0以外の非選択メモリセル $M_1 \sim M_{15}$ 内の最も高いしきい値を有するメモリセルのコンダクタンスより小さくなる。

20

【0083】

以下にこの点を詳細に説明する。

図9は、この実施の形態でのしきい値関係を示したものである。この実施の形態では、前述したコンダクタンスの大小関係を実現するために、選択ゲート線 G_{SL} の電圧 V_{GSL} と、選択トランジスタ S_2 のしきい値の上限($=V_{th}$)との差 V_2 を、パス電圧 V_{read} とメモリセルの書き込みしきい値分布の上限 V_{thw} との差 V_1 よりも小さくする。

【0084】

図10は、そのゲート電圧条件において、ソースを接地した場合のメモリセルと選択トランジスタ S_2 とのドレイン電流 I_D とドレイン電圧 V_D の特性の典型特性を示す。太い実線がメモリセルの特性を示すが、メモリセルにおいては、 $V_{read} - V_{thw}$ 以上にドレイン電圧 V_D が上昇したところでピンチオフ領域(5極管動作領域、即ちドレイン電流が飽和する飽和領域)となる。一方、細い実線は選択トランジスタ S_2 の特性を示すが、選択トランジスタ S_2 においては、 $V_{GSL} - V_{th}$ 以上にドレイン電圧が上昇したところで飽和領域となり、それ以下のドレイン電圧では、3極管動作領域即ち線形領域となる。

30

【0085】

図10の破線で示しているのは、ゲートに V_{read} が与えられている従来例の選択トランジスタ S_2 のドレイン電流とドレイン電圧の特性である。従来例では、0以上の任意の電流値で観測した場合のドレイン電圧は、読み出しメモリセル以外のメモリセルの方が選択トランジスタよりも大きい。これは、図43で説明したように、 $V_{thw} > V_{th}$ であること、および、選択トランジスタ S_2 のドレイン電流係数を β_{SL} とし、メモリセルのドレイン電流定数 β_{cell} とすると、 $\beta_{SL} > \beta_{cell}$ であることによる。

40

【0086】

ここで、ドレイン電流係数 β は導電係数とも呼ばれ、MISFETのゲート長を L 、チャネル幅を W 、チャネル中のキャリアの平均移動度を μ とし、制御ゲートから見たチャネルに対する単位面積当たりのゲート容量を C_{gate} とした場合に、周知のように、 $\beta = (W \times \mu) / (C_{gate} \times L)$ となる。メモリセルにおいては、制御ゲートと浮遊ゲート間容量の全容量に対する比、すなわち、カップリング比を c_r 、浮遊ゲートと制御ゲート

50

ト間の単位面積あたりの容量を C_{ox} とすると、メモリセルにおける制御ゲートから見たチャンネルに対する単位面積当たりのゲート容量 C_{gate} はほぼ、 C_{ox} / c_r となると考えればよい。

【0087】

一方、この実施の形態の構成では、選択トランジスタ S_2 におけるゲート電極は浮遊ゲートと短絡されており、そのゲート電極から見たチャンネルに対する単位面積当たりのゲート容量は C_{ox} となる。一般に、NANDフラッシュメモリでは、図4(b)で示すように、チャンネル幅 W はメモリセルと選択トランジスタで等しく、 L_{gate} をメモリセルのゲート長、 L_{SL} を選択トランジスタ S_2 のゲート長として、 $L_{SL} < L_{gate} / c_r$ が成立し、チャンネル中のキャリアの平均移動度 μ は、同一のゲート絶縁膜電界ではほぼ等しいので、選択トランジスタ S_2 とメモリセルのドレイン電流係数の関係は、下記数1となる。この実施の形態の場合、選択トランジスタ S_1 とメモリセルの関係も同様である。

10

【0088】

【数1】

$$I_{SL} > I_{cell}$$

【0089】

一方、図10に細い実線で示す選択トランジスタ S_2 について、ある電流値 I_0 で観測した場合のドレイン電圧 V_a は、太い実線で示すメモリセルの場合の電圧 V_b より高い。言い換えれば、 I_0 の電流を流した場合のコンダクタンスは、選択トランジスタ S_2 の方が I_0 / V_a であり、メモリセルの I_0 / V_b よりも小さくなる。よって、メモリセル M_{15} と選択トランジスタ S_2 との直列接続部分を考えると、従来例では、メモリセル M_{15} のドレインと選択トランジスタ S_2 のソースとの間の電流は、メモリセル M_{15} によって制限されるのに対して、この実施の形態の条件では、選択トランジスタ S_2 によって制限される。つまりこの実施の形態では、メモリセル M_{15} のしきい値状態によらず、選択トランジスタ S_2 によってNANDセルの読み出し電流が支配的に制限され、均一なセル電流をメモリセルに流すことができる。

20

【0090】

ここで、線形領域に関しては、選択トランジスタ S_2 のコンダクタンス I_D / V_D は、 $I_{SL} \times (V_{GSL} - V_{th} - V_D / 2)$ に比例し、飽和領域においては、 $(I_{SL} / 2) \times (V_{GSL} - V_{th})^2 / V_D$ に比例する。よって、選択トランジスタ S_2 のドレイン電圧 V_D が上昇するほど、コンダクタンスが小さくなる。つまり、読み出し電流が増加すると、より選択トランジスタ S_2 による電圧低下量が増大し、従来例よりもデータを読み出すセルの電流端子間の電圧が減少する負帰還がかかる。

30

【0091】

さらに、この効果は、単にコンダクタンスが一定である抵抗成分がメモリセルに直列に接続されているよりも大きい。よって、読み出しメモリセル以外の非選択メモリセルのデータや、読み出しセルの位置によって生ずる読み出し電流のばらつきを従来例よりも小さく抑えることができ、しきい値の上昇量の最大値を抑えることができる。

【0092】

飽和領域について選択トランジスタ S_2 のコンダクタンスが、メモリセルのコンダクタンスよりも小さくなれば、選択トランジスタ S_2 を飽和領域で用いることによりこの実施の形態の効果を得ることができる。その条件は、先の数1に拘わらず、下記数2を満たせばよいことになる。

40

【0093】

【数2】

$$(I_{SL})^{0.5} \times (V_{GSL} - V_{th}) < (I_{cell})^{0.5} \times (V_{read} - V_{thw})$$

【0094】

また、線形領域を用いた場合にも、選択トランジスタ S_2 のコンダクタンスがメモリセルのそれより小さくなるためには、下記数3の条件を満たせばよい。

【0095】

50

【数3】

$$(\gamma_{SL}) \times (V_{GSL} - V_{th}) < (\gamma_{cell}) \times (V_{read} - V_{thw})$$

【0096】

即ち、数2及び数3の条件を満たせば、読み出し時にどのようなトランジスタ動作領域で動作させた場合にも、この実施の形態の効果が得られる。

数1に示したようにこの実施の形態の場合、 $\gamma_{SL} > \gamma_{cell}$ としているが、にも拘わらず数2又は数3を成立させるためには、下記数4の条件を満たすことがこの実施の形態の効果をj得る上で必要となる。

【0097】

【数4】

$$(V_{GSL} - V_{th}) < (V_{read} - V_{thw})$$

【0098】

図11は、 $V_{BL} = 1V$ 、 $V_{read} = 5V$ 、 $V_r = GND$ 、 $V_{thw} = 2V$ 、 $V_{the} = -1V$ 、 $V_{SSL} = 5V$ とし、選択トランジスタS1とS2のソース接地時で基板バイアスが0Vの場合のしきい値を0.5Vとし、 $\gamma_{SL} = 2.5 \gamma_{cell}$ とした場合の、電圧 V_{GSL} に対する、図41及び図42で説明した4つの読み出し状態の読み出し電流 $ID1 \sim ID4$ を示したものである。但し、基板バイアス効果定数を $0.5 [V^{0.5}]$ 、ドレイン電圧に対するしきい値低下量(Drain Induced Barrier Lowering定数)を $0.49 [V/V]$ としている。

【0099】

図11の右軸は、 $ID1 \sim ID4$ の間での、最大電流/最小電流の比を示している。従来例は、図11の $V_{GSL} = 5V$ の場合に相当する。電圧 V_{GSL} を V_{read} より低下させることにより、最大電流/最小電流の比は小さくなり上述の効果が判ることが判る。さらに、図中に矢印で、この実施の形態の効果が生じる電圧 V_{GSL} に対する $(\gamma_{SL})^{0.5} \times (V_{GSL} - V_{th}) < (\gamma_{cell})^{0.5} \times (V_{read} - V_{thw})$ の条件を示している。

【0100】

最大電流/最小電流比が減少する効果は、ほぼ、 $(\gamma_{SL})^{0.5} \times (V_{GSL} - V_{th}) < (\gamma_{cell})^{0.5} \times (V_{read} - V_{thw})$ が成立する条件、すなわち、 $V_{GSL} < 2.4 [V]$ で大きく増加しており、この条件で臨界的な振る舞いをする判ることが判る。また、従来、フラッシュNANDメモリの電源電圧 V_{cc} は2.5V以上なので、 V_{GSL} を電源電圧以下の設定にすることにより、最大電流/最小電流の比は小さくなり上述の効果が大きくなることが判る。

【0101】

図12は、図44(a)のシーケンスによるメモリセルM0の消去しきい値上昇を実線で、図44(b)のシーケンスによるメモリセルM15の消去しきい値上昇を点線で示す。これら電圧関係は、図11と同じものを用いている。電圧 V_{GSL} をパス電圧 V_{read} より低下させることにより、メモリセルM0およびM15のしきい値上昇量とも減少していることが明らかである。最大電流/最小電流の比を小さくする効果としきい値上昇量を小さくできる効果が両立することがわかる。

【0102】

図11の電流変化は、読み出しメモリセル以外の非選択メモリセルのデータパターンとして、最も電流値が大きなパターンと最も電流値が小さなパターンを選んでおり、他の任意のデータパターンではこの電流の最大値と最小値の間になることは明らかである。さらに、最もビット線BLに近いメモリセルM0と、最も共通ソース線SLに近いメモリセルM15の場合のみ示したが、その他のメモリセルM1~M14についても、図11の電流の最大値と最小値の間になることも明らかであろう。言い換えれば、図11は、ランダムな順番でワード線WL0~WL15に書き込み/読み出した場合の最悪の読み出し電流変化量を示している。

【0103】

10

20

30

40

50

比較のために、電圧 V_{GSL} をパス電圧 V_{read} とし、読み出し電圧 V_r のみを変化させることによって最大電流/最小電流の比を調整した従来例を、図13及び図14に示す。これらは図11および図12にそれぞれ対応し、 V_{GSL} と V_r 以外の条件は同じである。従来例では、図13のように、読み出し電圧 V_r のみを上昇させると、最大電流/最小電流の比は小さくなるが、 V_r に対して単調に変化し、臨界的に変化する特性は示さない。

【0104】

また、図14のように、 V_r のみを上昇させると、メモリセル M_0 のしきい値上昇量は増加量してしまうため、メモリセル M_0 および M_{15} のしきい値上昇量を減少させることと、最大電流/最小電流比を小さくすることは、すべて満たすことはできない。また、図13のように、読み出し電圧 V_r のみを上昇させると、 $ID_1 \sim ID_4$ のなかで最大電流となる ID_3 が上昇するため、セル電流によって生ずる電磁ノイズの最大値を削減することが困難になる。

10

【0105】

さらに、読み出しセルの電流が大きくなると、例えば、特開平11-260076で指摘されているように、共通ソース線 SL の電位の浮き上がりが大きくなり、ペリファイ書き込み時に“1”データが“0”データに十分書き込まれない不良が生ずる。勿論、データ転送線に流れる最大電流も増大するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇や信頼性劣化、および、発熱増大によるトランジスタのしきい値変化やリーク電流の増大が問題となる。

20

【0106】

これに対してこの実施の形態では、電圧 V_{GSL} を低下させると、図11のように、 $ID_1 \sim ID_4$ のなかで最大の電流となる ID_3 を減少させることができる。これにより、読み出し時間の最大値を一定としたままで、セル読み出し電流によって生ずる電磁ノイズの最大値を削減することができる。よって、より小さなセル電流を用いても電磁ノイズ、例えば、隣接するデータ転送線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができ、高速でデータ判定をすることができ、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

【0107】

また、読み出しセルの最大電流を小さく保つことができるので、共通ソース線 SL の電位の浮き上がりが小さくなり、ペリファイ書き込み時に“1”データが“0”データに十分書き込まれない不良が生じにくくなる。また、データ転送線に流れる最大電流も増大するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。さらに、発熱増大によるトランジスタのしきい値変化やリーク電流の増大の問題も小さくすることができる。

30

【0108】

本発明者等は、特に、図12に黒丸で示すように、メモリセル M_{15} を読み出す場合において、例えば電圧 V_{GSL} を低下させることにより、読み出し電圧 V_r を GND に保ったままでしきい値の上昇を0とすることができることを発見した。従来例ではしきい値の上昇を0とするには、図14から明らかなように、 $0.3V$ より遥かに高い読み出し電圧 V_r でしか実現できず、ゲート判定しきい値が上昇する弊害があり、“0”データと判定しきい値との分離が困難となる。この実施の形態では、メモリセルに対する読み出し電圧 V_r は GND のままなので、メモリセルの“0”データとの分離が困難となる事態は発生せず、しきい値分布を、 V_{GSL} を V_{read} とした場合と同じ状態に設定したままで、安定してデータ検出することができる。

40

【0109】

さらに、本発明者等は、メモリセル例えば、 M_{15} のしきい値上昇の成分を詳細検討の上分析し、基板バイアス効果によって読み出し電流が減少した場合、しきい値を低下させる効果があることを発見した。例えば従来例では、図42(a)から同図(b)の状態に移り読み出し電流が低下すると、選択トランジスタ S_2 のコンダクタンスが、読み出し

50

メモリセル以外の非選択メモリセルのコンダクタンスより大きいので、メモリセルM15のソース電位はほとんど変化しない。従って従来例で説明したように、ある一定の電流レベル I_{th} でのメモリセルM15のしきい値が増大する。

【0110】

一方、本実施の形態では、選択トランジスタS2のコンダクタンスが、読み出しメモリセル以外の非選択メモリセルのコンダクタンスより小さいので、読み出し電流が低下すると、読み出しメモリセルM15のソース電位は大きく低下する。これにより、読み出し電流が減少すると、(ソース電位の減少分) + (基板バイアス効果の減少分)だけ、メモリセルM15のゲートから測定したしきい値は低下する。よって、図7, 8において、選択ゲート線SSLの電圧が($V_{GSL} + V_{BL}$)より高ければ、ビット線側の選択トランジスタS1のコンダクタンスが共通ソース線側の選択トランジスタS2のコンダクタンスより大きくなり、本実施の形態の効果を得られる。従って選択トランジスタS1のゲートをパス電圧 V_{read} まで昇圧する必要は必ずしも生じないことが、この解析結果から判明した。

10

【0111】

以上に説明した実施の形態の効果を一列記すれば、次のようになる。

(a) 選択トランジスタのゲート制御電圧を低くすることにより、選択メモリセルに直列接続された非選択メモリセルのデータ、および選択メモリセルの位置によって生ずる読み出し電流の変動を小さくでき、同時に、非選択メモリセルのデータ状態によるしきい値上昇を抑えることができる。

20

【0112】

(b) 読み出し電流の変動を小さくできることから、読み出し時間の最大値と最小値との差を小さくし、読み出しタイミングを揃えることができる。これにより、読み出し時間の最大値を一定としたままで、セル読み出し電流によって生ずる電磁ノイズの最大値を削減することができる。

【0113】

(c) 従ってまた、より小さなセル電流を用いて、隣接するデータ転送線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができ、高速でデータ判定をすることができるから、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

30

【0114】

(d) 読み出しセルの最大電流を小さく保つことができるので、共通ソース線SLの電位の浮き上がりが小さくなり、“0”データ書き込み時に、十分に書き込まれない不良が生じにくくなる。

【0115】

(e) ビット線に流れる最大電流も抑えられるため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。また、発熱増大によるトランジスタのしきい値変化やリーク電流の増大も抑えられる。

【0116】

(f) 読み出しセルの最大電流を小さく保つことができるので、ロウ方向に形成した共通ソース線に対して、これをカラム方向に短絡する配線の面積をセル面積より小さくしても、共通ソース線の浮きを小さくすることができる。また、カラム方向に短絡する配線の数を少なくして、メモリセルアレイのチップに対する占有率を向上させることができる。

40

【0117】

(g) “1”データのしきい値上限の増大が抑えられるため、“1”、“0”データのしきい値の分離電圧幅を従来より大きく確保できる。従って、電荷保持特性の劣化や温度変化によるしきい値シフトが生じても、異なるデータのしきい値分布が重なることを起因とするデータ破壊を減少させることができる。

【0118】

(h) “1”データのしきい値上限の増大が抑えられるため、その分“1”、“0”デー

50

タのしきい値の分離電圧幅を従来より小さくしても、異なるデータのしきい値分布が重なることを起因とするデータ破壊を減少させることができる。これにより、“0”データのしきい値を低下させ、従ってセルのしきい値分布の最大値を従来よりも低く設定でき、書き込みに要する時間を短縮することができる。

【0119】

(i) 書き込み電界を低下させても高速で書き込みが行えるので、書き込みを繰り返すことによるメモリセルのトンネル絶縁膜やONO膜の信頼性の劣化を小さくすることができる。蓄積電荷の自己電界も小さくなり、電荷の保持特性を良好に保つことができる。さらに、データを読み出す際、非選択メモリセルに印加する電圧を低下させることが可能となる。これにより、読み出し動作を繰り返すことによって電荷蓄積層に負の電荷が注入されてしきい値が上昇するという事態が抑制される。特に、“1”、“0”データのしきい値分離幅を良好に確保することができる。

10

【0120】

(j) 読み出しを行う場合の判定しきい値と記憶データのしきい値との分離電圧幅を大きく確保できるため、誤読み出し頻度を小さくすることができ、データ読み出し判定を行うゲート駆動電圧を大きく確保できる。よって、記憶データのしきい値が判定しきい値より高い場合のデータセルを流れる電流を一定としたままで、記憶データのしきい値が判定しきい値より低い場合のデータセルを流れる電流を増大させ、読み出し速度を高速化することができる。

【0121】

(k) 選択トランジスタは、チャンネル長がメモリセルよりも大きく、また実質的なゲート絶縁膜厚がメモリセルよりも小さいMISFETとすることで、選択トランジスタの短チャンネル効果を抑えることができる。従ってプロセス変動やドレイン電圧変動によるしきい値変動が小さく、より安定に最大電流と最小電流との比を小さくすることができる。

20

【0122】

(l) メモリセル数よりも選択トランジスタ数が少ないことから、メモリセルの制御ゲート幅よりも、ゲート長が長く、細線効果が小さく低抵抗の選択ゲート線を用いることができ、これが高速での読み出しを可能にする。

【0123】

(m) 選択トランジスタのゲート制御電圧を低下させることができるので、選択トランジスタのゲート絶縁膜の信頼性を向上させ、選択トランジスタのゲート電圧を充放電する電力と、選択トランジスタのゲート駆動回路の面積を削減することができる。

30

【0124】

[実施の形態1の変形例]

図15は、共通ソース線SLからビット線BL方向に電流を流すようにした変形例のデータ読み出し動作波形であり、図16はそのときの一つのNANDセルについてビット線チャージとセンス期間の電圧関係を示している。ここでは、ワード線WL0を選択した場合について示しており、括弧で示しているのは、メモリセルM0の代わりにメモリセルM15を読み出す場合であるが、他のメモリセルM1~M14も同様の動作で読み出せる。

【0125】

データ読み出し時、データを読み出すブロックのロウデコーダ3およびデータ制御線ドライバ2が活性化され、選択ワード線WL0に読み出し電圧 V_r 、非選択ワード線WL1~WL15にパス電圧 V_{read} 、選択ゲート線GSLにパス電圧 V_{read} がそれぞれ印加される(時刻 t_1)。なお、非選択のブロックのSSL、WL0~WL15、およびGSLは読み出し期間中フローティングまたは0Vに維持され、データの誤読み出しや破壊が生じないようにする。

40

【0126】

以上の電圧印加と同時に、又はこれに先立って、ソース電圧制御回路10を用いて、共通ソース線SLを例えば、GND以上 V_{cc} 以下の電圧、VSLに昇圧し、ビット線BLはGNDに放電してその後フローティングにする。ここでVSLとしては、GND以上 V_{cc}

50

c以下となることがセンスアンプ回路を構成するトランジスタの信頼性をV_{cc}程度で保証すればよいので望ましい。また、センスアンプトランジスタとしてnチャンネルMISFETを用いた場合には、そのしきい値以上とすることがセンスアンプ感度を向上させるのに望ましく、例えば、2V程度とする。

【0127】

読み出し電圧V_rは、例えば、“0”データ書込みのしきい値の下限値をV_{thw2}、消去後のしきい値の上限値をV_{the}として、V_{thw2}とV_{the}との範囲内となる値であり、(V_{thw2}+V_{the})/2程度となることが、最も読み出しマージンを得るのに望ましく、例えば-0.5Vから4Vの間に設定される。特に、V_{the}が負で、V_{thw2}が正となるように設定すれば、V_rをGNDに設定でき、V_r発生回路11dが不要となるので望ましい。

10

【0128】

読み出し電圧V_rとしては、GND以上の電圧となるように設定することが望ましい。これにより、データ制御線ドライバ2のワード線WL0~WL15に接続されたトランジスタ拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。よって、データ制御線ドライバ2のnチャンネルMISFETが形成されたp型ウェル電圧をGNDとしp型基板21とn型ウェルで分離することなく形成することができる。よって、データ制御線ドライバ2の回路面積を減少させることができる。さらに、負電圧が印加されないため、n型拡散層が順バイアスされることによる少数キャリア注入が生じなくなり、ラッチアップを防ぐことができる。また、ワード線WL0~WL15とメモリセルアレイ1

20

【0129】

非選択メモリセルにつながるワード線WL1~WL15は、V_{read}発生回路11cから出力される、メモリセルのしきい値の最大値よりも高い電圧V_{read}に設定され、共通ソース線SL側の選択ゲート線GSLにもVGSL発生回路11eからV_{read}が与えられる。

【0130】

本実施の形態では、選択トランジスタS1、S2のゲート電極幅は、メモリセルM0~M15の制御ゲート電極線幅よりも大きい。一方これらのゲート電極材料であるCoSiやTiSiでは、線幅が小さくなると抵抗が上昇する細線効果が存在することが知られている。よって、この場合、選択トランジスタS1、S2の方がメモリセルM0~M15よりもゲートが低抵抗となり、選択トランジスタS2の方がメモリセルM0~M15より高速にV_{read}まで昇圧することができる。

30

【0131】

また、ワード線WL0~WL15を駆動するよりも抵抗の小さい選択トランジスタS1をビット線チャージ期間に駆動することによって、並列に接続されたメモリセルの読み出しタイミングのばらつきを低減することができる。このようにすることにより、メモリセルM0が“1”、すなわち消去状態の場合には、選択トランジスタS2からメモリセルM0~M15までのソース、ドレイン及びチャネル領域をV_{SL}に充電する。時刻t0から時刻t1までは、共通ソース線SLおよびNANDセルユニット20を充電する共通ソース線(SL)プリチャージ期間に当たる。

40

【0132】

このSLプリチャージ期間は、ワード線WL1~WL15が十分V_{read}に昇圧するまでの時間以上必要であり、例えば100nsから10usの間の時間とする。ついで、ビット線BL側の選択ゲート線SSLをVGSLなる正の制御電圧にする(時刻t2)。ここで、VGSLは、選択トランジスタS1のしきい値電圧上限V_{th}以上で、V_{read}以下の電圧とする。これにより、メモリセルM0のしきい値がV_r以下ならば、共通ソース線SLとビット線BLが導通状態となり、ビット線BLの電位はGNDから上昇する。

50

【 0 1 3 3 】

メモリセルM0のしきい値がV_rより高いならばメモリセルM0は遮断状態となるため、ビット線BLの電位上昇はない。時刻t₂からt₃までは、ビット線BLをメモリセルM0のデータが“1”の場合に充電を行う、ビット線(BL)チャージ期間となる。このBLチャージ期間は、ビット線BLが充分充電するまでの時間以上必要であり、例えば100nSから100uSの間の時間とする。

【 0 1 3 4 】

時刻t₃の後、ビット線BLの電位をセンスアンプ回路4で判定し、データをデータラッチに読み出す。この際例えば、特開P2000-76882に示しているように、ビット線に対する電圧クランプ回路を用いれば、ビット線BLの電位を大幅に変化させなくてもデータを高感度で読み出すことができる。勿論、ここには、センスアンプに電流センス型の回路を用いても同様に読み出すことができるのは明らかである。時刻t₃からt₄までは、メモリセルM0のデータをセンスするセンス期間に当たる。さらに、SSL、WL0~WL15、GSL、BLの電位を初期値の例えばGNDに回復するリカバリ期間が存在する。

10

【 0 1 3 5 】

この変形例では、先の実施の形態と対照的に、読み出し電流の流れる方向が逆であるから、ビット線BL側の選択トランジスタS1について、そのゲート電圧を他のパス電圧V_{read}より低い値V_{GSL}にすることにより、先の実施の形態で説明したと同様の効果が得られる。

20

【 0 1 3 6 】

[実施の形態 2]

上記実施の形態1では、共通ソース線SL側の選択トランジスタS2を駆動する制御ゲート線GSLの印加電圧を、非選択メモリセルを駆動する非選択ワード線に印加するパス電圧V_{read}より低くした。これに対して、同じEEPROM構成を用いて、ビット線BL側の選択トランジスタS1のゲート電極を駆動する選択ゲート線SSLの電圧を、非選択メモリセルを駆動する非選択ワード線に印加するパス電圧V_{read}より低くした実施の形態2を次に説明する。

【 0 1 3 7 】

図17はこの実施の形態2において、メモリセルM0が選択された場合の読み出し動作波形を先の実施の形態の図7に対応させて示し、また図18は、先の実施の形態の図8に対応する電圧関係を示している。これらの電圧関係以外は先の実施の形態と同様とする。

30

【 0 1 3 8 】

データ読み出し時、データを読み出すブロックに対応するロウデコーダ3およびデータ制御線ドライバ2が活性化され、ビット線側の選択ゲート線GSLにパス電圧V_{read}、選択ワード線WL0に読み出し電圧V_r、残りの非選択ワード線WL1~WL15にパス電圧V_{read}、共通ソース線側の選択ゲート線SSLには接地電位GNDが印加される(時刻t₀)。非選択のブロックの選択ゲート線SSL、GSL及びワード線WL0~WL15は、読み出し期間中フローティング又は0Vに維持され、データの誤読み出しや破壊が生じないようにする。

40

【 0 1 3 9 】

読み出し電圧V_rは、図9に示す、“0”データ書き込み後のしきい値分布の最低値をV_{thw2}、データ消去後の“1”データのしきい値分布の最大値をV_{the}として、V_{thw2}とV_{the}との範囲内となる値である。読み出しマージを考慮すると、V_r=(V_{thw2}+V_{the})/2程度とすることが、最も望ましく、例えば-0.5Vから4Vの間に設定される。特に、V_{the}が負で、V_{thw2}が正となるように設定すれば、読み出し電圧V_rを接地電位GNDに設定でき、この場合にはV_r発生回路11dが不要となるので望ましい。

【 0 1 4 0 】

また読み出し電圧V_rとしては、接地電位GND以上の電圧となるように設定することが

50

望ましい。これにより、データ制御線ドライバ2のワード線WL0～WL15に接続されたトランジスタの拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。よって、データ制御線ドライバ2のnチャンネルMISFETが形成されたp型ウェルを接地電位GNDとして、p型基板21とn型領域で分離することなく形成することができる。これにより、データ制御線ドライバ2の回路面積を減少させることができる。さらに、負電圧が印加されないので、拡散層が順バイアスされることによる少数キャリア注入がなくなり、ラッチアップを防ぐことが可能になる。更にワード線WL0～WL15とメモリセルアレイ1内で短絡不良が生じて、メモリセルアレイ1のp型ウェル23やn型拡散層30に負電圧が印加されることがないので、少数キャリア注入による読み出しデータ破壊が生じることもない。

10

【0141】

非選択ワード線WL1～WL15及び選択ゲート線GSLに与えられるパス電圧Vreadは、Vread発生回路11cから出力され、メモリセルの“1”データのしきい値分布の最大値よりも高い電圧に設定される。

【0142】

この実施の形態では、図5に示したように、選択トランジスタS1、S2のゲート長(チャンネル長)は、メモリセルM0～M15の制御ゲートのゲート長(チャンネル長)よりも大きくなっている。一方、これらのゲート材料であるCosiやTisiでは、線幅が小さくなると抵抗が上昇する細線効果が存在することが知られている。よって、選択トランジスタS1、S2のゲート電極の方がメモリセルM0～M15の制御ゲートよりも低抵抗となり、選択トランジスタS2のゲートの方がメモリセルM0～M15の制御ゲートより高速にパス電圧Vreadまで昇圧される。また、ワード線WL0～WL15よりも抵抗の小さい選択ゲート線SSLをビット線ディスチャージ期間に駆動することによって、並列に接続されたメモリセルの読み出しタイミングのばらつきを低減することができる。

20

【0143】

以上のワード線WL0～WL15、選択ゲート線GSLの立ち上げに少し遅れて、ビット線BLをセンスアンプ回路4に内蔵された電源ノードを用いてVBLに充電する(時刻t1)。ここでVBLとしては、接地電位GND以上電源電位Vcc以下となることがセンスアンプ回路4を構成するトランジスタの信頼性をVcc程度で保証すればよいので望ましい。

30

【0144】

また、センスアンプトランジスタとしてnチャンネルMISFETを用いた場合には、そのしきい値以上とすることがセンスアンプ感度を向上させるのに望ましく、例えば、1V程度とする。このようにすることにより、メモリセルM0が“1”、すなわち消去状態の場合には、選択トランジスタS1からメモリセルM0～M15までのソース、ドレイン及びチャンネル領域をVBLに充電する。ここまでは、ビット線BLおよびNANDセルユニットを充電する、ビット線(BL)プリチャージ期間である。

【0145】

このBLプリチャージ期間は、非選択ワード線が十分にパス電圧Vreadに昇圧するまでの時間以上必要であり、例えば100nSから10uSの間の時間とする。ついで、ビット線側の選択ゲート線SSLを、正の制御電圧VSSLにする(時刻t2)。ここで、制御電圧VSSLは、選択トランジスタS1のしきい値電圧上限Vth以上で、パス電圧Vread以下の電圧とする。これにより、メモリセルM0のしきい値がVr以下ならば、NANDセルユニットが導通状態となり、ビット線BLの電位は低下する。一方、メモリセルM0のしきい値がVrより高いならば、メモリセルM0はオフとなるため、ビット線BLの電位低下はない。即ち、ビット線BLはメモリセルM0のデータに応じて放電され、これがビット線(BL)ディスチャージ期間になる。このBLディスチャージ期間は、ビット線BLが十分放電するまでの時間以上必要であり、例えば100nSから100uSの間の時間とする。

40

【0146】

50

ついで、ビット線 B L の電位変化を、センスアンプ回路 4 で判定し、データをデータラッチ内に読み出す (時刻 t_3)。この際、センスアンプ回路 4 内にビット線に対する電圧クランプ回路を備えれば、B L 電位を大幅に変化させなくてもデータを高感度で読み出すことができる。センスアンプ回路は電流センス型でもよい。

【0147】

センス期間が終了した後、時刻 t_4 で選択ゲート線 G S L , S S L、ワード線 W L 0 ~ W L 15、及びビット線 B L の電位を初期値に戻すための、リカバリ期間に入る。

【0148】

図 19 は、 $V_{BL} = 1V$ 、 $V_{read} = 5V$ 、 $V_r = GND$ 、 $V_{thw} = 2V$ 、 $V_{the} = -1V$ とし、選択トランジスタ S 1 と S 2 のソース接地時で基板バイアスが 0V の場合のしきい値を $0.5V$ とし、 $s_L = 2.5$ cell とした場合の、電圧 V S S L に対する、図 4 1 及び図 4 2 で説明した 4 つの読み出し状態の読み出し電流 I D 1 ~ I D 4 を示したものである。但し、基板バイアス効果定数を $0.5 [V^{0.5}]$ 、ドレイン電圧に対するしきい値低下量 (Drain Induced Barrier Lowering 定数) を $0.49 [V/V]$ としている。

10

【0149】

図 19 の右軸は、I D 1 ~ I D 4 の間での、最大電流 / 最小電流の比を示している。従来例は、 $V_{SSL} = 5V$ の場合に相当する。電圧 V S S L を V_{read} より低下させることにより、最大電流 / 最小電流の比は小さくなり実施の形態 1 と同様の効果があることが判る。さらに、最大電流 / 最小電流比が減少する効果は、 $V_{SSL} < 2.5 [V]$ で大きく増加しており、この条件で臨界的な振る舞いをする事が判る。また、従来、フラッシュ NAND メモリの電源電圧 V_{cc} は $2.5V$ 以上なので、 V_{GSL} を電源電圧以下の設定にすることにより、最大電流 / 最小電流の比は小さくなり上述の効果が大きくなる事が判る。

20

【0150】

図 20 は、図 4 4 (a) のシーケンスによるメモリセル M 0 の消去しきい値上昇を実線で、図 4 4 (b) のシーケンスによるメモリセル M 15 の消去しきい値上昇を点線で示す。これら電圧関係は、図 19 と同じものを用いている。電圧 V S S L をパス電圧 V_{read} より低下させても、メモリセル M 0 および M 15 のしきい値上昇量は殆ど変化がなく、従来のようなしきい値上昇量の増大という弊害はない。

30

【0151】

またこの実施の形態の場合、 V_{SSL} を低下させることにより、I D 1 から I D 4 のなかで最大の電流 I D 3 を減少させることができる。これにより、読み出し時間の最大値を一定としたままで、セル読み出し電流によって生ずる電磁ノイズの最大値を削減することができる。よって、より小さなセル電流を用いても電磁ノイズ、例えば、隣接するデータ転送線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができ、高速でデータ判定をすることができ、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

【0152】

さらに、読み出しセルの最大電流を小さく保つことができるので、共通ソース線 S L の電位の浮き上がりが小さくなり、ベリファイ書き込み時に " 1 " データが " 0 " データに十分書き込まれない不良が生じにくくなる。また、データ転送線に流れる最大電流も増大するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。さらに、発熱増大によるトランジスタのしきい値変化やリーク電流の増大の問題も小さくすることができる。

40

【0153】

なおこの実施の形態において、共通ソース線側の選択ゲート線 G S L の電圧は、ビット線側の選択ゲート線の電圧 V S S L より高ければ、選択トランジスタ S 2 のコンダクタンスが選択トランジスタ S 1 のそれより大きくなり、効果が得られることは明らかで、選択ゲート線 G S L をパス電圧 V_{read} まで昇圧する必要は必ずしもない。

50

【 0 1 5 4 】

[実施の形態 2 の変形例]

図 2 1 及び図 2 2 は、この実施の形態 2 の変形例として、共通ソース線側からビット線側に読み出し電流を流すようにした場合の動作波形と電圧関係を、図 1 5 及び図 1 6 に対応させて示している。ここでも、ワード線 W L 0 を選択した場合について示しており、括弧で示しているのは、メモリセル M 0 の代わりにメモリセル M 1 5 を読み出す場合であるが、他のメモリセル M 1 ~ M 1 4 も同様の動作で読み出せる。

【 0 1 5 5 】

データ読み出し時、データを読み出すブロックのロウデコーダ 3 およびデータ制御線ドライバ 2 が活性化され、選択ワード線 W L 0 に読み出し電圧 V_r 、非選択ワード線 W L 1 ~ W L 1 5 にパス電圧 V_{read} 、選択ゲート線 S S L にパス電圧 V_{read} がそれぞれ印加される (時刻 t_1)。なお、非選択のブロックの S S L、W L 0 ~ W L 1 5、および G S L は読み出し期間中フローティングまたは 0 V に維持され、データの誤読み出しや破壊が生じないようにする。

10

【 0 1 5 6 】

また以上の電圧印加と同時に、又はこれに先立って、ソース電圧制御回路 1 0 を用いて、共通ソース線 S L を例えば、G N D 以上 V_{cc} 以下の電圧、 V_{SL} に昇圧し、ビット線 B L は G N D に放電してその後フローティングにする。ここで V_{SL} としては、G N D 以上 V_{cc} 以下となるのがセンスアンプ回路を構成するトランジスタの信頼性を V_{cc} 程度で保証すればよいので望ましい。また、センスアンプトランジスタとして n チャネル M I S F E T を用いた場合には、そのしきい値以上とすることがセンスアンプ感度を向上させるのに望ましく、例えば、2 V 程度とする。

20

【 0 1 5 7 】

読み出し電圧 V_r は、例えば、“ 0 ” データ書込み後のしきい値下限値を V_{thw2} 、“ 1 ” データのしきい値上限値を V_{the} として、 V_{thw2} と V_{the} との範囲内となる値であり、 $(V_{thw2} + V_{the}) / 2$ 程度となるのが、最も読み出しマージンを得るのに望ましく、例えば - 0 . 5 V から 4 V の間に設定される。特に、 V_{the} が負で、 V_{thw2} が正となるように設定すれば、 V_r を G N D に設定でき、 V_r 発生回路 1 1 d が不要となるので望ましい。

【 0 1 5 8 】

また読み出し電圧 V_r としては、G N D 以上の電圧となるように設定することが望ましい。これにより、データ制御線ドライバ 2 のワード線 W L 0 ~ W L 1 5 に接続されたトランジスタ拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。よって、データ制御線ドライバ 2 の n チャネル M I S F E T が形成された p 型ウェル電圧を G N D とし p 型基板 2 1 と n 型ウェルで分離することなく形成することができる。よって、データ制御線ドライバ 2 の回路面積を減少させることができる。さらに、負電圧が印加されないので、n 型拡散層が順バイアスされることによる少数キャリア注入が生じなくなり、ラッチアップを防ぐことができる。また、ワード線 W L 0 ~ W L 1 5 とメモリセルアレイ 1 内で短絡不良が生じて、メモリセルアレイ 1 の p 型ウェル 2 3 や n 型拡散層 3 0 に負電圧が印加されることがないので、少数キャリア注入による読み出しデータ破壊が生じることもない。

30

40

【 0 1 5 9 】

非選択メモリセルにつながるワード線 W L 1 ~ W L 1 5 は、 V_{read} 発生回路 1 1 c から出力される、メモリセルのしきい値の最大値よりも高い電圧 V_{read} に設定され、ビット線 B L 側の選択ゲート線 S S L にも V_{read} が与えられる。

【 0 1 6 0 】

本実施の形態では、選択トランジスタ S 1 , S 2 のゲート電極幅は、メモリセル M 0 ~ M 1 5 の制御ゲート電極線幅よりも大きい。一方これらのゲート電極材料である C o S i や T i S i では、線幅が小さくなると抵抗が上昇する細線効果が存在することが知られている。よって、この場合、選択トランジスタ S 1 , S 2 の方がメモリセル M 0 ~ M 1 5 より

50

もゲートが低抵抗となり、選択トランジスタ S_1 の方がメモリセル $M_0 \sim M_{15}$ より高速に V_{read} まで昇圧することができる。

【0161】

また、ワード線 $WL_0 \sim WL_{15}$ を駆動するよりも抵抗の小さい選択トランジスタ S_1 をビット線チャージ期間に駆動することによって、並列に接続されたメモリセルの読み出しタイミングのばらつきを低減することができる。このようにすることにより、メモリセル M_0 が “1”、すなわち消去状態の場合には、選択トランジスタ S_2 からメモリセル $M_0 \sim M_{15}$ までのソース、ドレイン及びチャンネル領域を V_{SL} に充電する。即ち時刻 t_0 から時刻 t_1 までは、共通ソース線 SL および $NAND$ セルユニット 20 を充電する共通ソース線 (SL) プリチャージ期間に当たる。

10

【0162】

SL プリチャージ期間は、ワード線 $WL_1 \sim WL_{15}$ が十分 V_{read} に昇圧するまでの時間以上必要であり、例えば 100 nS から 10 uS の間の時間とする。ついで、共通ソース線 SL 側の選択ゲート線 G_{SL} を V_{SSL} なる正の電圧にする (時刻 t_2)。ここで、 V_{SSL} は、選択トランジスタ S_2 のしきい値電圧上限 V_{th} 以上で、 V_{read} 以下の電圧とする。これにより、メモリセル M_0 のしきい値が V_r 以下ならば、共通ソース線 SL とビット線 BL が導通状態となり、ビット線 BL の電位は GND から上昇する。

【0163】

メモリセル M_0 のしきい値が V_r より高い (“0” データ) ならばメモリセル M_0 は遮断状態となるため、ビット線 BL の電位上昇はない。時刻 t_2 から t_3 までは、ビット線 BL をメモリセル M_0 のデータが “1” の場合に充電を行う、ビット線 (BL) チャージ期間となる。この BL チャージ期間は、ビット線 BL が十分充電するまでの時間以上必要であり、例えば 100 nS から 100 uS の間の時間とする。

20

【0164】

時刻 t_3 の後、ビット線 BL の電位をセンスアンプ回路 4 で判定し、データをデータラッチに読み出す。この際例えば、特開 $P2000-76882$ に示しているように、データ転送線に対する電圧クランプ回路を用いれば、ビット線 BL の電位を大幅に変化させなくてもデータを高感度で読み出すことができる。勿論、ここには、センスアンプに電流センス型の回路を用いても同様に読み出すことができるのは明らかである。時刻 t_3 から t_4 までは、メモリセル M_0 のデータをセンスするセンス期間に当たる。さらに、 SSL 、 $WL_0 \sim WL_{15}$ 、 G_{SL} 、 BL の電位を初期値の例えば GND に回復するリカバリ期間が存在する。

30

【0165】

この変形例では、実施の形態 2 と対照的に、読み出し電流の流れる方向が逆であるから、共通ソース線 SL 側の選択トランジスタ S_2 について、そのゲート電圧を他のパス電圧 V_{read} より低い値にすることにより、上の実施の形態 2 で説明したと同様の効果が得られる。またこの場合、選択ゲート線 SSL の電圧は ($V_{GSL} + V_{SL}$) より高ければ、選択トランジスタ S_1 のコンダクタンスが選択トランジスタ S_2 のコンダクタンスより大きくなり、実施の形態 2 の効果が得られることは明らかで、選択ゲート線 SSL を V_{read} まで昇圧する必要は必ずしもない。

40

【0166】

[実施の形態 3]

図 23 及び図 24 は、この発明の実施の形態 3 によるメモリセルアレイの構造を示している。この実施の形態ではメモリセル構造として、浮遊ゲート型ではなく、 $MONOS$ 型を用いている。セルアレイの平面図は図 $4(b)$ と同じであり、図 23 及び図 24 はそれぞれ、図 $4(b)$ の $A-A'$ 断面及び $B-B'$ 断面を示している。

【0167】

セルアレイは、 p 型シリコン基板 21 の n 型ウェル 22 に形成された p 型ウェル 23 内に形成されている。 p 型ウェル 23 は例えば、ボロン濃度が 10^{14} cm^{-3} から 10^{19} cm^{-3} の間に設定されている。 p 型ウェル 23 は、 n 型シリコン領域 22 によって p 型シリコン

50

基板 2 1 とは分離されて、独立に電圧印加できるようになっており、これが消去時の昇圧回路負荷を減らし消費電力を抑える。

【 0 1 6 8 】

この実施の形態の場合、メモリセル M 0 ~ M 1 5 のゲート絶縁膜は、p 型ウェル 2 3 の表面に、1 nm から 1 0 nm の厚さのシリコン酸化膜又はオキシナイトライド膜からなるトンネル絶縁膜 2 5 を介して、例えば Si N、Si O N からなる電荷蓄積層 5 1 が 3 nm から 5 0 nm の厚さで形成されている。この上に、例えば、厚さ 2 nm から 1 0 nm の間のシリコン酸化膜からなる層間絶縁膜 5 2 を積層して、ONO 構造となっている。選択トランジスタ S 1 , S 2 については、メモリセルと異なる膜厚のゲート絶縁膜 2 5 (G S L) , 2 5 (S S L) を有する。

10

【 0 1 6 9 】

これらのゲート絶縁膜上に、多結晶シリコンからなるゲート電極 2 8 , 2 8 (G S L) , 2 8 (S S L) が形成されている。これらのゲート電極は、素子領域のみに配置された第 1 層多結晶シリコン膜と、これに重ねてワード線 W L 0 ~ W L 1 5 及び選択ゲート線 G S L , S S L として連続する第 2 層多結晶シリコン層の二層構造を有する。

【 0 1 7 0 】

この構造は、p 型ウェル 2 3 上に全面的にゲート絶縁膜 2 5 を介して第 1 層多結晶シリコン膜を堆積した後、これをパターニングし、更に p 型ウェル 2 3 を例えば 0 . 0 5 ~ 0 . 5 μ m の深さエッチングし、素子分離絶縁膜 2 4 を埋め込み、その後第 2 層多結晶シリコン膜の堆積とパターニングを行うことで得られる。

20

【 0 1 7 1 】

この実施の形態のゲート形状でも、上面はシリコン窒化膜 2 9 a で覆われ、両側面も例えば 5 nm から 2 0 0 nm の厚さのシリコン窒化膜(またはシリコン酸化膜)からなる側壁絶縁膜 2 9 b が形成される。そしてゲート電極に自己整合的にソース、ドレインとなる n 型拡散層 3 0 が形成されている。メモリセルのゲート長としては、0 . 5 μ m 以下 0 . 0 1 μ m 以上とする。ソース、ドレインの n 型拡散層 3 0 としては、例えばリンや砒素、アンチモンを表面濃度が $1 0^{17} \text{ cm}^{-3}$ から $1 0^{21} \text{ cm}^{-3}$ となるように深さ 1 0 nm から 5 0 0 nm の間で形成されている。さらに、これら n 型拡散層 3 0 は隣接するメモリセル同士共有され、NAND セルユニットが実現されている。

【 0 1 7 2 】

この実施の形態において、選択トランジスタ S 1 , S 2 のゲート電極 2 8 (S S L) , 2 8 (G S L) のゲート長(チャンネル長)は、メモリセルのゲート長よりも長く、例えば、1 μ m 以下 0 . 0 2 μ m 以上として形成している。これによりブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

30

【 0 1 7 3 】

NAND セルユニットの両端部の n 型拡散層 3 0 d , 3 0 s のうち、n 型拡散層 3 0 d は、層間絶縁膜 3 1 a に埋め込まれたコンタクトプラグ 3 2 を介して中継電極 3 3 a に接続され、これが更に層間絶縁膜 3 1 b を介してビット線 3 4 に接続される。ビット線 3 4 は、タングステンやタングステンシリサイド、チタン、チタンナイトライド、アルミニウム等により形成され、セルアレイのカラム方向に連続的に配設される。もう一方の n 型拡散層 3 0 s はコンタクトプラグ 3 2 を介して、中継電極 3 3 a と同時に形成された、セルアレイのロウ方向に連続する共通ソース線 3 3 b に接続されている。共通ソース線 3 3 b には、ビット線 3 4 と同じ材料を用いることができる。コンタクトプラグ 3 2 には、不純物がドーブされた多結晶シリコン、タングステン、タングステンシリサイド、アルミニウム、アルミニウム、チタン、チタンナイトライド等が用いられる。

40

【 0 1 7 4 】

但し、n 型拡散層 3 0 s をセルアレイ 1 のロウ方向に連続的に形成して、これを共通ソース線 S L とすることもできる。ビット線 B L の上は Si O₂、Si N、ポリイミド等の絶縁膜保護層 3 5 で覆われる。また、図には示していないが、ビット線 B 1 上に、W , A l や C u からなる上部配線が形成されている。

50

【 0 1 7 5 】

この実施の形態では、MONOS型セルを用いているため、先の実施の形態の浮遊ゲート型セルよりも書き込み電圧および消去電圧を低電圧化することができ、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。また、先の実施の形態と比較して、電荷蓄積層を形成するONO膜の厚さを20nm以下に小さくでき、よりゲート形成時のアスペクトを低減でき、ゲート電極の加工形状を向上させ、層間絶縁膜28のゲート間の埋め込みも向上させることができ、より耐圧を向上させることができる。

【 0 1 7 6 】

また、浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、製造プロセスを短くすることができる。また、電荷蓄積層が絶縁体であって、電荷トラップに電荷が捕獲されるので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。さらに、電荷蓄積層の側壁絶縁膜が薄膜化しても、捕獲された電荷がすべて抜けてしまうことはなく良好な保持特性を維持できる。さらに、電荷蓄積層と半導体素子領域とを合わせずれなく形成することができ、より均一な電荷蓄積層と半導体素子領域との容量を実現できる。これにより、メモリセルの容量ばらつきやメモリセル間の容量ばらつきを低減することができる。

【 0 1 7 7 】

この実施の形態のセルアレイ構造を用いた場合にも、先の実施の形態1, 2で説明したデータ読み出しを行うことにより、実施の形態1, 2と同様の効果が得られる。

この実施の形態では選択トランジスタS1およびS2はメモリセルと異なり、電荷蓄積層のないMISFETとしたが、メモリセルと同様のMONOS構造として形成してもよい。また、メモリセルの電荷蓄積層は絶縁体により形成されているので、メモリセル間を分離する側壁絶縁膜は必ずしも必要がない。

【 0 1 7 8 】

[実施の形態 4]

次に、データ読み出しに際して、NANDセル内の選択ワード線の位置に応じて、選択トランジスタS2のゲート電極(選択ゲート線GSL)に与える電圧VGSLを切り換えるようにした実施の形態を説明する。基本的なEEPROM構成は、実施の形態1或いは実施の形態3と同様であるが、選択ゲート線GSLに与える電圧を切り換えるために、図1の構成に加えて、図25に示すように、Vread/VGSL切り換え回路12が設けられる。

【 0 1 7 9 】

切り換え回路12の出力は、メモリセルアレイ1の選択ゲート線GSLに接続されるもので、アドレスバッファ6から出力される内部アドレスに応じて、ワード線WL15からWL(15-x)の範囲が選択された時には、電圧VGSLを出力し、ワード線WL(15-x-1)からWL0の範囲が選択された時には、電圧Vreadを出力する。ここで、xは、0以上で14以下の整数である。データ読み出し動作タイミングは、実施の形態1と変わらない。

【 0 1 8 0 】

図26は、この実施の形態による読み出しと従来例による読み出しの場合の読み出し電流変動のワード線位置依存性を示している。具体的な読み出し条件は、基本的には実施の形態1に準じて、VBL=1V、Vread=5V、Vr=GND、Vthw=2V、Vthe=-1V、VSSL=1.8Vとしている。選択トランジスタS1, S2のソース接地で基板バイアスが0Vの場合のしきい値は0.5Vである。

【 0 1 8 1 】

またこのデータは、共通ソース線SL側から順次書き込みと書き込みベリファイ読み出しを行った場合の、ベリファイ読み出し時の電流についてであり、とは従来通り、選択ゲート線GSLをVread=5Vに固定した場合である。とは、この実施の形態で

10

20

30

40

50

、 $x = 3$ とした場合、つまり、ワード線WL15 - WL12までが選択された場合には $V_{GSL} = 1.8V$ を与え、ワード線WL11 - WL0までが選択された場合には $V_{read} = 5V$ を与えた場合を示している。

【0182】

とは、選択セルより共通ソース線SL側のメモリセルがオール“1”の場合（最大セル電流）、とは、選択セルより共通ソース線SL側のメモリセルがオール“0”の場合（最小セル電流）である。

【0183】

図26から、ワード線WL0が選択された場合に、セル電流は最も小さくなる。これは、実施の形態で説明したように、選択セルのソース側に非選択セルが全て接続されて、大きな基板バイアスがかかるためである。そしてワード線WL15が選択された時にセル電流は最大になる。

10

【0184】

そしてこの実施の形態の場合、ワード線WL15を選択した場合には、選択ゲート線GSLには、 V_{cc} より低い $V_{GSL} = 1.8V$ を与えており、選択トランジスタS2のコンダクタンスを、 $V_{read} = 5V$ を与えた場合より低下させる結果、最大セル電流が低下している。ワード線WL0を選択した場合は、従来と同様に、選択ゲート線GSLには、 $V_{read} = 5V$ を与えており、従来と同じ最小セル電流を保っている。

【0185】

以上によりこの実施の形態によれば、図26に示したように、メモリセルに流れる最大電流と最小電流の差（最大電流変動幅）を小さくすることができる。これにより、読み出し時間の最大値を一定に保ったまま、読み出し電流により生じる電磁ノイズの最大値を低減することができる。よって、より小さなセル電流を用いても電磁ノイズ、例えば、隣接するデータ転送線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができ、高速でデータ判定をすることができ、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

20

【0186】

また、読み出しセルの最大電流を小さく保つことができるので、共通ソース線SLの電位の浮き上がりが小さくなり、ベリファイ書き込み時に“1”データが“0”データに十分書き込まれない不良が生じにくくなる。また、データ転送線に流れる最大電流も増大するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。さらに、発熱増大によるトランジスタのしきい値変化やリーク電流の増大の問題も小さくすることができる。読み出し電流の最小値は従来と同じに保つことができるので、読み出し時間の増大も生じない。

30

【0187】

図27は、同実施の形態での選択セル以外の非選択セルの状態による、選択セルのしきい値変動を、図26と対応させて示す。図から明らかなように、この実施の形態によると、ワード線位置によるしきい値変動の幅は、従来例より小さくなり、最小セル電流を従来例と同じに保ちながら最大セル電流を減少させる効果としきい値変動を抑える効果が両立できることがわかる。また、実施の形態では、読み出し電圧 V_r は従来と同じGNDであり、“0”書き込みデータとの分離が困難になることはなく、しきい値分布を従来と同じに設定しながら、安定したデータ読み出しが可能になる。

40

【0188】

図26及び図27は、 $x = 3$ とした場合のデータであるが、これらの図から、 $x = 1, 2, 3$ いずれの場合も同様の効果が得られることは明らかである。

また、実施の形態1の変形例として説明したように、ビット線側の選択トランジスタS1のゲート電圧 V_{SSL} をパス電圧 V_{read} より低くする場合にも、この実施の形態は有効である。この場合、図25の切り換え回路12は、その出力が選択ゲート線SSLに接続されることになる。また切り換え回路12の切り換え制御は、アドレスバッファ6からのアドレスに応じて、ワード線WL0 - WLxまでが選択されるときには、パス電圧 V_{read}

50

dより低いVSSLを出力し、ワード線WL(x+1)-WL15までが選択される時には、バス電圧Vreadが出力されるようにすればよい。

【0189】

またこの実施の形態4は、メモリセル構造として、実施の形態1,3のいずれを用いた場合にももちろん有効である。

【0190】

[実施の形態5]

NAND型EEPROMにおいては、前述のように、データ読み出し時、選択セルに直列に接続された非選択セルは、しきい値に依らず導通状態を保つ必要があり、書き込みしきい値上限より高い電圧とソース電位との和を、非選択セルの制御ゲートにバス電圧印加する必要がある。このとき、バス電圧のために、非選択セルには書き込みストレスがかかり、誤書き込みが生じてしまう。この現象は、read disturbと呼ばれる。

この実施の形態5は、データ読み出しモードにおける、read disturbを抑制するに好ましい非選択セルの制御ゲートの電圧関係を規定するものである。図28はこの実施の形態5のEEPROM構成を、図1の構成と対応させて示している。図1と対応する部分は、同一符号を付して詳細な説明は省く。また、セルレイアウトや回路構成、素子構造も、実施の形態1或いは実施の形態3と同じである。

【0191】

この実施の形態において、図1と異なる点は、第1に、内部電圧発生回路11が、Vread発生回路11fを有することである。即ち、データ読み出し時に非選択セルの制御ゲート(ワード線)に与えられるバス電圧Vreadを発生するVread発生回路11cとは別に、バス電圧Vreadよりも低いもう一つのバス電圧Vread2を発生するVread2発生回路11fが付加されている。

【0192】

第2に、図1におけるデータ制御線ドライバ2に対して、メモリセルアレイ1のブロック毎にデータ線ドライバブロック2a,2bを設けて、ロウデコーダ3は、ブロック選択を行うデコーダ3aと、ブロック内のデータ選択線制御を行うブロック内デコーダ(ブロック内データ選択線制御回路)3bにより構成していることである。ブロック内デコーダ3bは、その出力が複数のデータ選択線ドライバ2a,2bに並列に接続され、アドレスバッファ6からの入力によって、従来例でVreadを印加されていたデータ選択線の電圧を読み出し位置によって、VreadとVread2のどちらかの電圧を与えるようにする。具体的には、選択メモリセルよりソース線SL側に位置する非選択メモリセルの制御ゲート電極には、バス電圧Vread2を、選択メモリセルよりビット線BL側にある非選択メモリセルの制御ゲート電極に、バス電圧Vreadを与えるものとする。

【0193】

上述のように、ブロック内デコーダ3bの出力を複数のブロックで共有する構成を取ることにより、メモリブロックそれぞれにデータ選択線制御回路を設ける構成よりも、データ選択線制御回路の回路面積を縮小することができ、より高密度なメモリ回路が実現できる。図28では、わかりやすくするために、メモリセルアレイを破線で示すように2ブロックに分割した場合を示したが、これは2以上の勿論複数ブロックであればよく、それぞれにデータ制御線ドライバ2が形成される構成とすればよい。

【0194】

Vread2発生回路11fは、Vread発生回路11cと同様の構成とし、Vread-Vread2は、読み出し時のビット線BLと共通ソース線SLの最大電位差の絶対値であるVBL以下で且つ、0V(GND)以上とする。Vread-Vread2は、さらに望ましくは、選択メモリセルのセル電流の大小による基準電位線の電位変動の上限値、例えば0.1Vより大きく、VBL以下の範囲に設定する。これにより、共通ソース線の電位変動に依らずこの実施の形態の効果期待できる。

【0195】

図29は、この実施の形態のデータ読み出し動作時のメモリセルブロック内の電圧関係を

10

20

30

40

50

示す。メモリブロック内の構成については、実施の形態1と同様なので説明は省略する。ここで、16本のワード線 $WL0 \sim WL15$ のうち、あるワード線 WLx に接続されたメモリセルを読み出す場合を考える。データ読み出し時にビット線 BL から共通ソース線 SSL に電流を流す構成では、選択メモリセルのドレイン側にあるワード線 $WL0 \sim WL(x-1)$ には、パス電圧 V_{read} を与え、選択メモリセルのソース側にあるワード線 $WL(x+1) \sim WL15$ には、パス電圧 V_{read} よりも低いパス電圧 V_{read2} を与える。ここで、 x は1以上で14以下の整数とする。

【0196】

具体的に、 $x = 14$ 、即ちワード線 $WL14$ が選択され、メモリセル $M14$ が選択された場合の動作を、図29及び図30を用いて説明する。なお図29において、括弧内は、メモリセル $M1$ が選択された場合の電圧関係を示している。データ読み出し時、データを読み出すブロックに対応するロウデコーダ及びデータ制御線ドライバ2が活性化され、時刻 $t0$ でビット線側の選択ゲート線 SSL にパス電圧 V_{read} 、非選択ワード線 $WL0 \sim WL13$ にパス電圧 V_{read} 、選択ワード線 $WL14$ に読み出し電圧 V_r 、非選択ワード線 $WL15$ にパス電圧 V_{read2} が与えられ、時刻 $t1$ でビット線 BL が V_{BL} にプリチャージされる。この間、ソース側の選択ゲート線 GSL は GND であり、時刻 $t2$ で、共通ソース線側の選択ゲート線 GSL に、 V_{GSL} なる電圧が印加される。これにより、選択セルがデータ“0”の場合は、ビット線が放電されず、選択セルが“1”の場合はビット線放電が行われる。

【0197】

読み出し電圧 V_r は、例えば、書込み後のしきい値の最低値を V_{thw2} 、消去後のしきい値の最大値を V_{the} として、 V_{thw2} と V_{the} との範囲内となる値であり、 $(V_{thw2} + V_{the}) / 2$ 程度となること、最も読み出しマージンを得るのに望ましい。具体的には、 $V_r = -0.5V \sim 4V$ の間に設定される。なお、非選択のブロックの SSL 、 $WL0 \sim WL15$ 、および GSL は読み出し期間中フローティングまたは $0V$ に保持され、データの誤読み出しや破壊が生じないようにする。

【0198】

読み出し電圧 V_r は、消去しきい値 V_{the} が負で、書き込みしきい値 V_{thw2} が正となるように設定すれば、 GND に設定でき、 V_r 発生回路11dが不要となるので望ましい。また、読み出し電圧 V_r としては、 GND 以上の電圧となるように設定すれば、データ制御線ドライバ2のワード線 $WL0 \sim WL15$ に接続されたトランジスタの拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。このため、データ制御線ドライバ2のn型MISFETが形成されたp型Well電圧を GND としp型基板21とn型領域で分離することなく形成することができる。これにより、データ制御線ドライバ2の回路面積を減少させることができる。さらに、負電圧が印加されないので、拡散層が順バイアスされることによる少数キャリア注入が生じなくなり、ラッチアップを防ぐことができる。

【0199】

また、ワード線 $WL0 \sim WL15$ とメモリセルアレイ1内で短絡不良が生じて、メモリセルアレイ1のp型Well23やn型拡散層30に負電圧が印加されることがないので、少数キャリア注入による読み出しデータ破壊が生じることもない。残りの非選択メモリセルにつながるワード線 $WL0 \sim WL13$ は、図30に示したように、 V_{read} 発生回路11cから出力される、(メモリセルの書込みしきい値の最大値) + V_{BL} よりも高い電圧に設定され、ビット線側の選択線 SSL にも V_{read} が与えられる。

【0200】

この実施の形態で特徴的なことは、データを読み出す選択セルから電流が流れ出す方向、つまり選択セルのソース側に接続された非選択セルの制御ゲート、この場合ワード線 $WL15$ には、ドレイン側での非選択セルのパス電圧 V_{read} よりも低いパス電圧 V_{read2} が与えられることである。この様に非選択セルに与えるパス電圧を使い分けることによる効果を、以下、メモリセルのドレインコンダクタンスが小さい場合と大きい場合につ

10

20

30

40

50

いて説明する。

【0201】

選択セルのドレインコンダクタンスが非選択セルや選択トランジスタのドレインコンダクタンスよりも十分低く、選択セルが飽和領域で動作する場合には、ビット線と共通ソース線間の電圧の大部分が選択セルのソース電極とドレイン電極との間に印加される。このため、選択セルのソース電極の電位はドレイン電極の電位よりも大きく低下する。すなわち、選択メモリセルのソース側に接続された非選択メモリセルのソース、ドレインの電位は、選択メモリセルのドレイン側に接続された非選択メモリセルのソース、ドレインの電位よりも共通ソース線の電位GNDに近くなる。

【0202】

一方、最もビット線に近いメモリセルM0のソース電位はほぼVBLとなり、最も共通ソース線に近いメモリセルM15のソース電位はGNDである。従って、もし従来のように、パス電圧Vreadが全て同じであるとすると、非選択セルが全て消去状態にあるとしてその非選択セルの誤書き込みストレスは、メモリセルM0ではほぼVread - VBL、メモリセルM15ではVread - GNDとなり、メモリセルM15のセルの方が大きな誤書き込みストレスが印加される。

【0203】

これに対して、この実施の形態では、パス電圧Vread2を、パス電圧Vreadより低く、例えばVread - VBL以上と設定する。これにより、メモリセルM15の誤書き込みストレスを効果的に削減することができる。

【0204】

また、読み出しメモリセルのドレインコンダクタンスが直列非選択セルや選択スイッチングトランジスタのドレインコンダクタンスよりも十分低く、読み出しメモリセルが飽和領域で動作するものとする。この場合には、メモリセルM0に関するソースドレイン電極から測定したゲート電圧は従来例と同じくほぼVread - VBLとなり、M15よりも誤書き込みストレスが印加されることなく良好なデータ保持特性が保たれる。

【0205】

さらに、選択メモリセルのドレインコンダクタンスが非選択メモリセルのドレインコンダクタンスと同程度以上となった場合には、実施の形態1で説明したのと同様の方法によって、選択スイッチングトランジスタS2のドレインコンダクタンスを非選択セルのドレインコンダクタンスよりも小さくする。これにより、非選択メモリセルの記憶状態がいずれの場合でも、この実施の形態の構成で読み出しに伴う誤書き込みストレスをさらに削減できることを本発明者らは新たに見出した。以下にこれについて説明する。

【0206】

例えば、選択メモリセルがM14であり、非選択メモリセルM0～M12はデータ“0”（すなわち、書き込み状態）でドレインコンダクタンスが低く、メモリセルM13、M15はデータ“1”（すなわち、消去状態）でドレインコンダクタンスが高く、選択メモリセルM14も消去状態“1”でドレインコンダクタンスが高くなっているとする。このメモリ記憶パターンにおいて、選択メモリセルのドレインコンダクタンスが、非選択セルのドレインコンダクタンスと同程度以上で且つ線形領域で動作しているとして、共通ソース線側の選択ゲート線電圧VGS LをVreadに設定したとする。

【0207】

このとき、ビット線BLと共通ソース線SL（基準電位線）との間の電位差は、ドレインコンダクタンスの低いメモリセルセル部分、すなわちメモリセルM0からM12に集中的に印加される。これにより、図29に示す選択メモリセルM14のドレインノード（即ち非選択メモリセルM13のソースノード）の電位V1もほぼGNDとなる。この結果、非選択メモリセルM13の誤書き込みストレスはVread - GNDとなり、従来例と同じ高い誤書き込み電圧ストレスが非選択メモリセルM13に印加される。

【0208】

これに対してこの実施の形態において、実施の形態1で説明したと同様に、VGS LをV

10

20

30

40

50

c cよりも低く保つと、選択スイッチング素子(M I S F E T) S 2がセル電流が増加した場合の電流制限素子として動作する。このため、選択メモリセルのドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上となった場合、セル電流が増加し選択トランジスタS 2のドレインおよびソース間の電圧降下が増加するため、非選択メモリセルM 1 3のソースノード(図29のV 1ノード)がG N D以上V B L以下に上昇する。これにより、非選択メモリセルM 1 3の誤書き込みストレスはV r e a d - G N Dよりも小さくなる。

【0209】

図30には、上述した非選択メモリセルM 1 3のソースであるV 1ノードの電位変化を、併せて示した。図30の一点鎖線は、V G S LがV c c以上の場合で、実線がV G S LがV c c以下の場合である。メモリセルM 1 3よりも読み出し電流が流れる方向の上流に位置する非選択メモリセルM 0 - M 1 2の誤書き込みストレスも当然に、従来例よりも小さくなる。

10

【0210】

選択トランジスタS 2のドレインコンダクタンスを、選択セルのしきい値電流(しきい値電圧近傍でのセル電流)におけるドレインコンダクタンスよりも大きく、例えば3倍以上と設定すれば、しきい値電流と同程度のセル電流の場合には、ビット線B Lと共通ソース線S L(基準電位線)との間の電位差は、選択セルのドレインおよびソース間に7割以上印加される。従って選択トランジスタS 2によりセル電流が減少するという影響は、ごく僅かである。これは、選択トランジスタS 2が単なる線形抵抗ではなく、一定電流以上で等価抵抗が非常に大きく、一定電流以下では等価抵抗が非常に小さい抵抗素子として働くことによる。従って、読み出しの最小電流は、従来例とほぼ同じく保つことができる。

20

【0211】

特に、セル電流の大小を電流基準値(参照電流値)と比較してデータ判定するセンス方式を用いる場合には、選択メモリセルのドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上では、しきい値電流よりも大きなセル電流となることは明白である。よって、選択トランジスタのドレインコンダクタンスが本実施の形態のように従来例よりも小さくなくても、それが選択メモリセルの電流しきい値におけるドレインコンダクタンスよりも十分大きな場合には、読み出しデータが" 1 "の場合のセル電流の最小値が保持され、しきい値判定には問題が生じない。勿論、同時に、バックパターンによるセル電流の増大は抑えることができるので、セル電流の変動は従来よりも抑制することができる。

30

【0212】

一方、この実施の形態の方法を用いることにより、メモリセルに流れる最大電流と最小電流との差を小さくすることができる。従って、読み出し時間の最大値を一定としたままで、セル読み出し電流によって生ずる電磁ノイズの最大値を削減することができる。これにより、より小さなセル電流を用いても電磁ノイズ、例えば、隣接するビット線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができる。これは、高速でのデータ判定を可能とし、電磁ノイズ起因の誤読み出しの確率を減少させた高信頼性を得ることを可能とする。

40

【0213】

さらに、選択セルの最大電流を小さく保つことができるので、共通ソース線S Lの電位の浮き上がりが小さくなる。これは、ベリファイ書き込み時に" 1 "データが" 0 "データに十分書き込まれないという不良の発生を防止する。また、ビット線に流れる最大電流も減少するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。さらに、発熱増大によるトランジスタのしきい値変化やリーク電流の増大の問題も小さくすることができる。また、読み出し電流の最小値は従来と同じに保つことができるので、最小の読み出し電流が減少することによる読み出し時間の増大も生じない。

【0214】

50

さらに、選択メモリセルに直列に接続された非選択メモリセルの、読み出し時の誤書き込みストレスを低減することができるので、データの " 1 " データと " 0 " データとの電圧マージンを削減できる。よって、パス電圧 V_{read} をさらに下げることができるので、パス電圧 V_{read} を発生するための昇圧回路面積や昇圧時間を低減することができ、より信頼性の高いメモリを実現することができる。

選択ゲート線電圧 V_{GSL} を V_{cc} よりも低くした構成では、実施の形態 1 で説明した利点が同様に存在するのは言うまでもない。

【 0 2 1 5 】

[実施の形態 6]

図 3 1 は、本発明の実施の形態 6 のデータ読み出し動作時のメモリセルブロック内の構成、および電圧関係を示す。EEPROM 全体の構成は、先の実施の形態 5 の図 2 8 と同様である。また、セルレイアウトや回路構成、素子構造も、実施の形態 1 或いは実施の形態 3 と同じである。この実施の形態 6 では、実施の形態 5 とは読み出し電流の流れる方向が異なり、この点で実施の形態 1 の変形例と同じになっている。複数のビット線に対してビット線数より少ないセンスアンプが用いられる場合に、図 3 1 では、一つのセンスアンプを共有するビット線 BL_a , BL_b の部分が示されている。

10

【 0 2 1 6 】

ここでは、一方のビット線 BL_b に接続されたメモリセルをセンスアンプで読み出し、非選択状態の他方のビット線 BL_a は読み出し時に例えば、共通ソース線 SL と同じ電位に保つことによって、電位変動を抑制するシールド線として動作させることとする。図 3 1 では簡単のために、1つのセンスアンプに接続される2本のビット線 BL_a , BL_b のみ示しているが、複数本のビット線が配列されて、読み出しビット線以外のビット線の少なくとも一本をシールド線とすれば、この実施の形態の効果が生じる。

20

【 0 2 1 7 】

特に、シールド効果については、読み出しセルのつながった複数のビット線 BL_b について、それぞれの間に少なくとも1本のシールドビット線 BL_a が存在する、図 2 で示した構成が、読み出しに伴う、ビット線の容量結合ノイズを削減するには望ましい。そしてこの実施の形態では、シールドビット線に接続されたメモリセルの $read\ disturb$ も抑制することができる。

【 0 2 1 8 】

メモリブロック内の構成については、実施の形態 1 と同様であるので、説明は省略する。ここでは、16本のワード線 $WL_0 \sim WL_{15}$ のうち、ワード線 WL_x により駆動されてビット線 BL_b に接続されたメモリセルを読み出す場合を考える。データ読み出し時に共通ソース線 SL からビット線 BL へ電流を流すこの実施の形態では、選択メモリセルのドレイン側（先の実施の形態 5 と電流が逆であるから、共通ソース線 SL 側がドレインになる）にあるワード線 $WL(x+1) \sim WL_{15}$ には従来と同様にパス電圧 V_{read} を与え、選択メモリセルのソース側にあるワード線 $WL_0 \sim WL(x-1)$ には、パス電圧 V_{read} よりも低いパス電圧 V_{read2} を与える。

30

【 0 2 1 9 】

ここで、 x は 1 以上で 14 以下の整数である。図 3 1 では、 $x = 1$ の場合、即ちワード線 WL_1 によりメモリセル M_1 が選択された場合の電圧関係を示し、図 3 2 はその読み出し動作のタイミング図を示している。なお図 3 1 の括弧内は、メモリセル M_1 の代わりにメモリセル M_{14} が選択されたときの電圧関係を示している。他のメモリセルが選択された場合も、選択セルのドレイン側とソース側の非選択セルに与えられるパス電圧の関係は、同様に設定される。

40

【 0 2 2 0 】

データ読み出し時、ブロック選択デコーダ 3 a 及びブロック内選択デコーダ 3 b によって、データを読み出すブロックのデータ制御線ドライバ 2 が活性化される。まず時刻 t_0 で、共通ソース線側の選択ゲート線 GSL 、非選択ワード線 $WL_2 \sim WL_{15}$ にパス電圧 V_{read} を、選択ワード線 WL_1 に読み出し電圧 V_r を、非選択ワード線 WL_0 にはパス

50

電圧 V_{read} より低いパス電圧 V_{read2} をそれぞれ与える。そして、時刻 t_1 で、共通ソース線 S_L 及び非選択ビット線 B_{La} に電圧 V_{SL} を与える。その後、時刻 t_2 でビット線側の選択ゲート線 S_{SL} に電圧 V_{GSL} を与えることにより、選択ビット線 B_{Lb} は、読み出しデータに応じて、共通ソース線 S_L 側からの電流により充電され（データ“1”のとき）、或いは充電されない（データ“0”のとき）。

【0221】

なお非選択のブロックの S_{SL} 、 $WL_0 \sim WL_{15}$ 、および G_{SL} は読み出し期間中フローティングまたは $0V$ に保持され、データの誤読み出しや破壊が生じないようにする。読み出し電圧 V_r は、書込み後のしきい値の最低値を V_{thw2} 、消去後のしきい値の最大値を V_{the} として、 V_{thw2} と V_{the} との範囲内となる値であり、 $(V_{thw2} + V_{the}) / 2$ 程度となることが、最も読み出しマージンを得るのに望ましい。具体的に例えば読み出し電圧 V_r は、 $-0.5V$ から $4V$ の間に設定される。 V_{the} が負で、 V_{thw2} が正となるように設定すれば、読み出し電圧 V_r を GND に設定でき、 V_r 発生回路 $11d$ が不要となるので望ましい。

10

【0222】

また、読み出し電圧 V_r としては、 GND 以上の電圧となるように設定することが望ましい。これにより、データ制御線ドライバ2のワード線 $WL_0 \sim WL_{15}$ に接続されたトランジスタの拡散層に負電圧を印加されることが無くなり、負電圧発生回路が不要となる。更に、データ制御線ドライバ2の n 型 $MISFET$ が形成された p 型 $Well$ 電圧を GND とし p 型基板 21 と n 型領域で分離することなく形成することができる。この結果、データ制御線ドライバ2の回路面積を減少させることができる。また、負電圧が印加されないので、拡散層が順バイアスされることによる少数キャリア注入が生じなくなり、ラッチアップを防ぐことができる。

20

【0223】

また、ワード線 $WL_0 \sim WL_{15}$ とメモリセルアレイ1内で短絡不良が生じても、メモリセルアレイ1の p 型 $Well_{23}$ や n 型拡散層 30 に負電圧が印加されることがないので、少数キャリア注入による読み出しデータ破壊が生じることもない。残りの非選択メモリセルにつながるワード線 $WL_2 \sim WL_{15}$ は、図28に示したように、 V_{read} 発生回路 $11c$ から出力される、メモリセルの書込みしきい値の最大値よりも高い電圧に設定され、共通ソース線に接続された側の選択ゲート線 G_{SL} にもパス電圧 V_{read} が与えら

30

【0224】

この実施の形態で特徴的なことは、データを読み出す選択セルから電流が流れ出す方向、つまりソース側に接続された非選択セルのゲート電極、この場合ワード線 WL_0 には、パス電圧 V_{read} よりも低いパス電圧 V_{read2} が与えられることである。以下、メモリセルのドレインコンダクタンスが小さい場合と大きい場合に分けてこの実施の形態の効果を説明する。

【0225】

まず、データを読み出す選択メモリセルのドレインコンダクタンスが直列非選択セルや選択トランジスタのドレインコンダクタンスよりも十分低く、読み出しメモリセルが飽和領域で動作するものとする。このとき、ビット線と共通ソース線間の電圧の大部分が選択セルのソース電極とドレイン電極との間に印加され、選択メモリセルのソース電極の電位はドレイン電極の電位よりも大きく低下する。すなわち、選択メモリセルのソース側に接続された非選択メモリセルのソース、ドレイン電極の電位は、選択メモリセルのドレイン側に接続された非選択メモリセルのソース、ドレイン電極の電位よりも共通ソース線に与えられる電位 V_{SL} に近くなる。

40

【0226】

一方、最もビット線 B_L 側に配置された非選択メモリセル M_0 のソース電位はほぼ GND となり、最も共通ソース線 S_L 側に配置された非選択メモリセル M_{15} のソース電位は V_{SL} となる。もし、非選択セルが全て消去状態であるとして、これらに同じパス電圧 V_r

50

readが与えられたとすると、非選択セルの誤書き込みストレスは、メモリセルM15ではほぼVread - VSL、メモリセルM0ではVread - GNDとなり、メモリセルM0の方に大きな誤書き込みストレスがかかる。

【0227】

これに対して、この実施の形態では、例えばパス電圧Vread2を、パス電圧Vread以下でVread - VSL以上と設定することにより、非選択メモリセルM0での誤書き込みストレスを効果的に削減することができる。また、選択メモリセルのドレインコンダクタンスが直列非選択セルや選択トランジスタのドレインコンダクタンスよりも十分低く、且つ選択メモリセルが飽和領域で動作する場合には、非選択メモリセルM15に関するソース、ドレイン電極から測定したゲート電圧は従来例と同じくほぼVread - VSLとなり、従来以上に誤書き込みストレスが印加されることなく、良好なデータ保持特性が保たれる。

10

【0228】

さらに、選択メモリセルのドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上となった場合には、実施の形態1で説明したのと同様の方法によって、選択トランジスタS1のドレインコンダクタンスを非選択セルのドレインコンダクタンスよりも小さくするが有効である。これにより、非選択メモリセルの記憶状態がいずれの場合でも、この実施の形態の構成で誤書き込みストレスをさらに削減できることが明らかになった。以下これについて説明する。

【0229】

例えば、メモリセルM1が選択され、このとき非選択メモリセルM3 - M15がデータ“0”（書き込み状態）でドレインコンダクタンスが低く、非選択メモリセルM0とM2がデータ“1”（消去状態）でドレインコンダクタンスが高い場合を考える。選択メモリセルM1は消去状態“1”であるとし、ドレインコンダクタンスが高くなっているとする。更にこの記憶パターンにおいて、選択メモリセルM1のドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上となり線形領域で動作しているとする。

20

【0230】

このときもし、選択ゲート線電圧VGS Lをパス電圧Vreadとした場合には、ビット線BLと共通ソース線SL（基準電位線）との間の電位差は、ドレインコンダクタンスの低いセル部分、すなわち非選択セルM3 - M15に集中的に印加される。これにより、図31に示す選択セルM1のドレインノード（V2ノード）もほぼGNDとなる。このため、非選択メモリセルM2の誤書き込みストレスはVread - GNDとなり、従来例と同じ高い誤書き込み電圧ストレスがメモリセルM2に印加される。

30

【0231】

一方、この実施の形態では、実施の形態1の変形例で説明したように、選択ゲート線電圧VGS LをVccよりも低く保つことにより、選択トランジスタS1がセル電流が増加した場合の電流制限素子として動作する。このため、選択セルのドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上となった場合、セル電流が増加して選択トランジスタS1のドレインおよびソース間の電圧降下が増加する結果、メモリセルM2のソース電位がGND以上VBL以下に上昇する。これにより、非選択メモリセルM2のソースであるV2ノードも上昇し、非選択メモリセルM2の誤書き込みストレスは常にVread - GNDよりも小さくなる。

40

【0232】

図32は、上述したV2ノードの変化を示している。図32の一点鎖線は、VGS LがVcc以上の場合で、実線はVGS LがVcc以下の場合である。なお、メモリセルM2よりも読み出し電流が流れる方向の上流に位置するメモリセルM2 - M15の誤書き込みストレスも当然に、従来例よりも小さくなる。

【0233】

選択スイッチングトランジスタS1のドレインコンダクタンスを、データを読み出す選択セルのしきい値電流におけるドレインコンダクタンスよりも大きく、例えば3倍以上と設

50

定すれば、しきい値電流と同程度のセル電流の場合には、ビット線BLと共通ソース線SL（基準電位線）との間の電位差は、選択セルのドレインおよびソース間に7割以上印加される。従って、選択トランジスタS1によるセル電流の減少への影響はごく僅かである。これは、選択トランジスタS1が単なる線形抵抗ではなく、一定電流以上で等価抵抗が非常に大きく、一定電流以下では等価抵抗が非常に小さい抵抗素子として働くことによる。つまり、読み出しの最小電流は、従来例とほぼ同じく保つことができる。

【0234】

特に、セル電流の大小を基準電流値と比較してデータ判定するセンス方式を用いる場合には、選択メモリセルのドレインコンダクタンスが直列非選択セルのドレインコンダクタンスと同程度以上となった場合に、しきい値電流よりも大きなセル電流となることは明白である。よって、選択スイッチングトランジスタのドレインコンダクタンスがこの実施の形態のように従来例よりも小さくなくても、選択メモリセルの電流しきい値におけるドレインコンダクタンスよりも十分大きな場合には、読み出しデータが"1"の場合のセル電流の最小値を保持されるため、しきい値判定には問題が生じない。

10

【0235】

同時に、バックパターンによるセル電流の増大は抑えることができるので、セル電流の変動は従来よりも抑制することができる。ここでバックパターンとは、選択セルに直列接続された非選択セルのしきい値パターン、特にビット線側の非選択セルのしきい値のパターンをいう。ビット線側にある非選択セルの書き込み/消去のデータ状態により、選択セルのドレインとビット線との間に入るコンダクタンスが決定され、これにより選択セルの読み出し電流が決定されることを、本発明者等はバックパターンの影響と呼んでいる。

20

【0236】

さらに、この実施の形態では、図32のように、シールドビット線BLaには、読み出し時に電位基準線SLと同じ電位VSLが印加される。よって、非選択のシールドビット線BLaに接続されたメモリセルM0'-M15'の誤書き込み電圧ストレスは、最大Vread-VSLとなり、従来例のシールドビット線BLaに接続されたメモリセルに印加されるVread-GNDよりも常に抑制することができる。そして、読み出し時に共通ソース線SLと非選択ビット線BLaは同電位に保っているため、非選択ビット線BLaがシールド線として機能し、複数のビット線BLb間の容量結合ノイズを低減できることは明らかである。

30

【0237】

またこの実施の形態の方法を用いることにより、メモリセルに流れる最大電流と最小電流との差を小さくすることができ、読み出し時間の最大値を一定としたままで、セル読み出し電流によって生ずる電磁ノイズの最大値を削減することができる。よって、より小さなセル電流を用いても電磁ノイズ、例えば、隣接するビット線間の容量結合による電位変化の影響を受けることなく読み出しを行うことができ、高速でデータ判定をすることができ、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

【0238】

さらに、読み出しセルの最大電流を小さく保つことができるので、電位基準線SLの電位の変動が小さくなり、ドレイン電圧変動に伴うしきい値変動が生じにくくなる。また、ビット線に流れる最大電流も減少するため、電流ストレスによるエレクトロマイグレーションによる配線抵抗上昇が生じず、信頼性劣化も抑えられる。発熱増大によるトランジスタのしきい値変化やリーク電流の増大の問題も小さくすることができる。また、読み出し電流の最小値は従来と同じに保つことができるので、最小の読み出し電流が減少することによる読み出し時間の増大も生じない。

40

【0239】

さらに、選択メモリセルに直列に接続された非選択メモリセルの、読み出し時の誤書き込みストレスを低減することができるので、データの"1"データと"0"データとの電圧マージンを削減できる。よって、読み出し時のパス電圧Vreadをさらに下げることができるので、パス電圧Vreadを発生する昇圧回路の面積や昇圧時間を低減することが

50

でき、より信頼性の高いメモリセルを実現することができる。この実施の形態により、実施の形態1で説明した利点や実施の形態5で説明した利点は同様に存在するのは言うまでもない。

【0240】

[実施の形態7]

図33は、この発明の実施の形態7によるNAND型EEPROMのブロック構成を示す。セルアレイ構成は、図2-8に示したものと変わらない。また素子構造として実施の形態3のものをいう。図33は、先の実施の形態6の図28とほぼ同様の構成であるが、V_{SSL}発生回路の出力の切り換えを行う方式に代わって、V_{read}発生回路11cが、データ読み出し時に選択ページによって、少なくとも2つの異なるバス電圧V_{read}を選択出力できるようになっている点に特徴がある。

10

【0241】

この実施の形態では、データ読み出し時の非選択メモリセルでのしきい値変動を効果的に抑制する手法を提供する。データ読み出し時、選択メモリセルに直列に接続された非選択メモリセルのコンダクタンスが書き込み/消去状態に応じて変化し、その結果として選択メモリセルのしきい値が変化する問題に対しては、原理的には、非選択メモリセルの制御ゲート電圧を上昇させて、非選択メモリセルのドレインコンダクタンスを上昇させればよい。しかし、非選択メモリセルの制御ゲート電圧を余り高くすると、非選択メモリセルは書き込みストレスが印加され、誤書き込み(read disturb)が生じてしまう。

20

【0242】

この実施の形態は、選択メモリセルのドレイン側に多くの“0”データの非選択メモリセルが接続される状態でのドレインコンダクタンスは低下させずに、read disturbによる非選択メモリセルでの誤書き込みを防止しながら、選択メモリセルのしきい値上昇を減少させる。これは、選択メモリセルでのしきい値上昇を一定にする条件に変更すれば、非選択メモリセルのデータが全てデータ“0”という最悪時のドレインコンダクタンスを上昇させることができるため、従来の課題を解決することができる。

【0243】

この様な目的でこの実施の形態の図33の構成においては、内部電圧発生回路11のV_{read}発生回路11cに、その出力電圧を制御する制御入力として、アドレスバッファ6から選択ページが入力されている。ここで“ページ”とは、1つのNANDセルブロック内で、ワード線W_{L0}~W_{L15}のそれぞれに接続された複数のメモリセルのグループを指す。

30

【0244】

図34は、V_{read}発生回路11cの具体的な構成を示している。リングオシレータ回路101とその発振出力により駆動されるチャージポンプ回路102とが昇圧回路を構成しており、これにより電源電圧を昇圧した高電圧であるバス電圧V_{read}が発生される。チャージポンプ回路102の出力端子には、その昇圧動作を制限するための電圧(または電流)モニタ回路103が接続されている。このモニタ回路103は、バス電圧V_{read}が定められた値以上に上昇した場合に、チャージポンプ回路102を停止または、駆動力を低下させる制御を行う。このモニタ回路103によって、V_{read}出力電圧に対して負帰還が形成され、安定した出力電圧を得られるようになっている。

40

【0245】

リングオシレータ101、チャージポンプ回路102及びモニタ回路103の部分には、公知の回路が用いられる(例えば、特開2000-105998公報)。また、参照電圧(又は参照電流)に応じて異なる昇圧電圧を得るための回路方式として、例えば、複数のチャージポンプ回路を備えてこれを切り換え制御する方式を用いてもよい(例えば、特開平7-111095号公報)。

【0246】

モニタ回路103は、V_{read}出力を分圧した値と参照電圧とを比較する比較器により

50

構成される。モニタ回路103は、出力パス電圧Vreadを例えば抵抗によって、分圧または分流してから参照電圧や基準電圧と比較する回路を含んでもよい。このようにすることにより、例えば3V以上のVread電圧をフィードバックするモニタ回路103をVreadよりも低電圧の能動素子を用いた回路で構成することができ、より耐圧が小さく面積の小さい能動回路素子を用いることができる。よって、モニタ103の回路面積をより縮小することができる。

【0247】

参照電流を利用する場合には、モニタ回路103は、参照電流と、Vread出力を例えば抵抗分割によって分流した値とを比較器で比較することにより構成される。参照電圧発生回路は、デジタルデータが入力される論理回路105とその出力をアナログ値に変換するD/A変換回路104を備えて構成される。D/A変換回路104の出力が、Vread電圧を設定するための参照電圧（または参照電流）値となる。

10

【0248】

論理回路105は、読み出し時に選択したページアドレス信号と、配線層をすべて積層後にその論理値を設定可能なトリミング設定値の二つのデジタル信号を入力として、これらの論理和を作成し出力する。トリミング設定値は、昇圧電圧を最適値に調整するためのデータであって、ウェハテストの結果に応じて例えばフューズやアンチフューズその他の不揮発性メモリに書き込み保持され、メモリの電源投入時に自動的に読み出されて、内部電圧発生回路の調整に用いられるものである。出荷テスト時に、あるページに対するVreadを設定した後は、電源遮断によらず値が保たれるようにすることがVreadを調整後一定範囲に保つため望ましい。

20

【0249】

図35は、論理回路105の構成例であり、全加算器201を直列接続したいわゆるマンチェスタ型加算器を構成している。A3～A0は選択ページアドレス信号（デジタル信号）の信号線であり、B3～B0はトリミング設定値（デジタル信号）の信号線である。この様なマンチェスタ型加算器に選択ページアドレス信号とトリミング設定値を入力することにより、C4～C0には選択ページアドレスとトリミング設定値の和の値をデジタル出力することができる。

【0250】

この様に論理回路105の出力がデジタルで与えられているため、選択ページアドレスからアナログ信号を作成し、トリミング設定値デジタル入力からアナログ信号を作成し、それらをアナログ信号として足し合わせる場合よりも、ノイズの影響を受けにくくダイナミックレンジを広く確保することができる。また、D/A変換回路104は1つでよいので、選択ページアドレスとトリミング設定値の和に対して、容易に単調性（monotonicity）が保証され、温度変化による特性変化保証も容易である。これにより、設定する電圧ステップが小さくても精度良くVread電圧を設定することができる。

30

【0251】

なお論理回路105において、A1、A0に例えば、選択ページの上位アドレスのみを割り当て、A3、A2をGNDとすることにより、ワード線を、WL0～WL3、WL4～WL7、WL8～WL11、WL12～WL15のようにグループに分ければ、グループ毎に異なり、各グループ内では一定のVread電圧を得るようにすることができる。このようにして、選択ページアドレスの差による電圧ステップとトリミング入力の電圧ステップを変えて割り当てることも容易にできる。さらに、選択ページのデジタル値を割り算回路で割ることにより、トリミング入力ステップの任意の整数倍を選択ページのアドレスの差による電圧ステップに割り当てることもできる。

40

【0252】

次にこの実施の形態におけるデータ読み出し時のメモリセル部分の電圧関係と動作について、図36を用いて説明する。図36では、ワード線WLx（xは0～15の範囲の整数）が選択された場合のVread発生回路11cが出力するパス電圧を、Vreadxと表している。図36(a)は、最も共通ソース線SLに近いメモリセルM15が選択され

50

た場合、同図 (b) は、メモリセル M 2 が選択された場合、同図 (c) は最もビット線 B L に近いメモリセル M 0 が選択された場合である。またこの実施の形態では、ビット線 B L から共通ソース線 S L に読み出し電流を流す。

【 0 2 5 3 】

ワード線 W L 1 5 が選択された図 3 6 (a) の場合は、選択メモリセル M 1 5 よりビット線 B L 側に最も多く非選択メモリセルが存在し、ワード線 W L 0 が選択された図 3 6 (c) の場合は、選択メモリセル M 0 よりビット線側には非選択セルはない。そして、図 3 6 (a) のとき非選択セルに与えられるパス電圧 $V_{read 15}$ と、図 3 6 (c) のとき非選択セルに与えられるパス電圧 $V_{read 0}$ とは、 $V_{read 15} > V_{read 0}$ に設定される。

10

【 0 2 5 4 】

図 3 6 (b) は、ワード線 W L 2 が選択された場合であり、このとき非選択セルに与えられるパス電圧 $V_{read 2}$ は、 $V_{read 15} > V_{read 2} > V_{read 0}$ なる関係に設定される。即ちこの実施の形態では、データを読み出す選択セルよりもビット線 B L 側に存在する非選択セルの数の増加につれて、非選択セルに与えるパス電圧を上昇させることが特徴である。

より一般的に、ワード線 W L x の位置を表す整数 x について、その整数 x が任意の値 i , j をとるともものとして、 $i > j$ となる場合に、 $V_{read i} > V_{read j}$ となること、 $read\ disturb$ による消去しきい値上昇を抑制するためには望ましい。

【 0 2 5 5 】

この実施の形態は、書き込みベリファイ読み出し動作については、一括消去された後に、共通ソース線側のメモリセルから順にデータ書き込みを行う方式を採用した場合に特に有効である。共通ソース線側のメモリセルから順に書き込みを行うと、選択セルよりも後に書き込むデータによる非選択セルの抵抗変化をドレイン側 (ビット線側) のメモリセルだけ考えればよく、ソース側の非選択セルの電圧降下量は変化しないので、ソース電位変化によるしきい値変動を抑制し、選択セルのしきい値変動を小さくすることができるからである。なお、図 3 6 に示したように、選択スイッチングトランジスタ S 1 , S 2 の制御電極に与える電圧は $V_{read x}$ または V_{cc} と従来例と同じ値を用いてよいし、勿論、実施の形態 6 までで述べた方法も併用できる。

20

【 0 2 5 6 】

読み出し選択セルに直列に接続された非選択セルの書き込み / 消去状態 (即ちバックパターン) に依ってコンダクタンスが変化することに起因する、選択セルのしきい値の最大変化量を V_{th} 、しきい値電圧を定義する電流 (しきい値電流) を I_{th} としたとき、本発明者らは、選択セル位置を固定した場合に、図 3 8 に示すように、 I_{th} / V_{th} が $(V_{read} - V_{thw})$ のほぼ線形関数となることを初めて発見し、その解析モデルを構築した。図 3 8 は具体的に、読み出し選択セルを共通ソース線に最も近い M 1 5 とし、パス電圧 V_{read} とメモリセル M 0 ~ M 1 5 の書き込みしきい値 V_{thw} を様々に変化させた場合の I_{th} / V_{th} を示している。消去しきい値 V_{the} は - 2 V に固定し、 I_{th} は 1 0 p A 以上 2 u A 以下の範囲内の値を用いている。またパス電圧 V_{read} は 3 V から 6 V の範囲内の値を、 V_{thw} は 0 V から 4 V の範囲内の値を用いている。

30

40

【 0 2 5 7 】

図 3 8 の特性は、次のように説明することができる。選択セルのドレインコンダクタンスが直列非選択セルや選択スイッチングトランジスタのドレインコンダクタンスよりも十分低く且つ、選択セルが飽和領域で動作する場合には、ビット線と共通ソース線間の電圧の大部分が選択セルのドレインとソースとの間に印加されるため、選択セルのソース電極の電位はドレイン電極の電位よりも大きく低下する。選択セルよりビット線側に接続された非選択セルは、線形動作するものとする、その一つ当たりのコンダクタンスは、しきい値 V_{thw} の書き込み状態のとき最低であり、 V_0 を定数として、 $cell x (V_{read x} - V_{thw} - V_0)$ となる。ビット線側の非選択セルの全体のコンダクタンスは、ビット線側の非選択セルの数 n_k が増えるほど減少し、基板バイアス効果を無視すれば

50

、ほぼ $cell \times (V_{readx} - V_{thw} - V_0) / nk$ となる。

【0258】

非選択セルが消去状態では、そのしきい値は V_{the} であるから、選択セルに直列に接続されたビット線側の非選択セルの書き込み/消去状態によってコンダクタンスが変化することに起因する選択セルのドレイン電圧の変化量 V_D は、下記数5のように近似できる。

【0259】

【数5】

$$V_{th} - V_D = (I_{th} \cdot nk / cell) [1/(V_{readx} - V_{thw} - V_0) - 1/(V_{readx} - V_{the} - V_0)] \sim I_{th} \cdot nk / cell \cdot (V_{readx} - V_{thw} - V_0)$$

10

【0260】

即ち数5は、例えば、 $V_{thw} = 1V$ 、 $V_{the} = -2V$ としたとき、中括弧内の第1項に比べて小さい第2項を無視することができ、これによりしきい値変動 V_{th} が $(V_{readx} - V_{thw} - V_0)$ に逆比例するという近似式が得られることを示している。選択セルのソース側電位は、 I_{th} の一定電流を流している場合には変化しない。従って、ドレイン電圧によるしきい値低下効果 (Drain Induced Barrier Lowering) による選択セルのしきい値低下 V_{th} は、 V_D に比例するため、図38の実験特性を説明できることになる。

【0261】

図36において、選択セルよりも上流側の直列非選択セル数 nk が少ない場合には、数5から、 V_{th} が小さくなる。よって、数5より、選択セルの位置 x によって、 $(V_{readx} - V_{thw} - V_0) / nk$ を一定となるようにすれば、 V_{th} をより一定となるようにすることができる。図37(a)はその様なパス電圧設定例を示している。即ち、 $V_{read15} > V_{read14} > V_{read13} > \dots > V_{read1}$ とし、これらの間隔をほぼ等間隔として、数5より V_{th} が一定となるようにしている。ここで、 V_{readx} は、 $V_{thw} + V_{BL}$ 以上となるように設定されている。 V_{read0} については、選択セルよりもビット線側に非選択セルが存在しないため、等間隔に設定する必要はなく、 V_{thw} 以上となればよい。勿論、 V_{read0} を $V_{thw} + V_{BL}$ 以上に設定しても構わない。

20

【0262】

この実施の形態では、すべてのメモリセル $M_0 \sim M_{15}$ を一定回読み出すこととすると、 V_{read15} と同じ一定のパス電圧を用いてすべてのセル読み出しを行う従来例よりも、セルに流れる電流の最小値を確保しながら、非選択セルの V_{read} ストレスの総量を低減できる。ここで、あるパス電圧 V_{read} を与えた時の $read\ disturb$ による電荷蓄積層の蓄積量上昇を $Q(V_{read})$ とすると、すべてのメモリセル M_0 から M_{15} までを一定 kn 回読み出すこととしたときの全 V_{read} ストレスはほぼ $Q(V_{readx})$ に比例する。

30

この実施の形態の読み出しタイミングについては、実施の形態1と同様であるので、説明は省略する。

【0263】

図37(b)は、別のパス電圧設定例を示している。ここでは、選択セルの位置 x を $0 \sim 15$ の範囲で、 $15 \sim 13$ 、 $12 \sim 10$ 、 $9 \sim 7$ 、...のように連続する3位置ずつグループに分けて、各グループ内では同じパス電圧値を用いる。即ち、 $V_{read15} = V_{read14} = V_{read13}$ 、 $V_{read12} = V_{read11} = V_{read10}$ 、...、 $V_{read3} = V_{read2} = V_{read1}$ とする。

40

【0264】

このように、パス電圧 V_{read} をグループ化して与えても良い。一般に選択セルの位置 x に対応する整数 i 、 j を任意の1以上15以下の値として、 $i > j$ となる場合に、 $V_{readi} = V_{readj}$ となれば、従来例に比較して $read\ disturb$ による消去しきい値上昇を抑制可能である。

50

このように、パス電圧 V_{read} をグループ化して与えると、論理加算回路を含む論理回路 105 と D/A 変換回路 104 の信号ビット数を減らすことができ、より回路面積を縮小することができる。

【0265】

またこの実施の形態において、パス電圧 V_{readx} の設定を、 $read_disturb$ によるしきい値上昇を従来例と同じ条件にする条件、つまり $Q(V_{readx})$ を従来例と同じ条件にする条件にし、更に、選択セルの位置 x に対応する整数 i, j を任意の 1 以上 15 以下の値として、 $i > j$ の条件で $V_{readi} > V_{readj}$ とすれば、メモリセル M_{15} が選択された時の非選択セルのドレインコンダクタンスは従来例に比較して上昇させることができる。従って、メモリセルに流れる最大電流と最小電流との差を小さくことができ、高速でデータ判定をすることができ、電磁ノイズ起因の誤読み出しの確率を減少させ高信頼性を得ることができる。

10

【0266】

また、読み出し電流の最小値を削減できるので、最小の読み出し電流によって決まる読み出し時間の減少させることができる。さらに、選択セルに直列に接続された非選択セルの、読み出し時の誤書き込みストレスを低減することができるので、データの "1" データと "0" データとの電圧マージンを削減できる。よって、異なるデータのしきい値分布が重なることに起因するデータ破壊を減少させることができる。また、削減したマージン分 "0" しきい値を低下させることができ、書き込みに要する時間や、書き込み電圧、および V_{read} 電圧上限を削減できる。よって、書き込み電圧発生回路や V_{read} 電圧発生回路の面積をより削減することができる。

20

【0267】

[実施の形態7の変形例]

図39は、上記実施の形態7の変形例であり、読み出し電流方向を実施の形態7とは逆に、共通ソース線 SL からビット線 BL 側に流すようにした場合のパス電圧 V_{read} の設定例を、図36と対応させて、選択セルが M_{15} 、 M_2 、 M_0 の場合について示している。基本構成は、実施の形態7と同じであり、図33～図35の構成はそのまま用いることができる。

【0268】

図40は、しきい値とパス電圧 V_{readx} の関係の例を、実施の形態7の図37と対応させて示している。実施の形態7と逆に、データを読み出す選択セルよりも共通ソース線 SL 側に存在する非選択セルの数の増加につれて、非選択セルのパス電圧 V_{read} を上昇させる。すなわち少なくとも、最もビット線 BL 側のメモリセル M_0 が選択された場合のパス電圧 V_{read0} と、最も共通ソース線 SL 側のメモリセル M_{15} が選択されたときのパス電圧 V_{read15} の関係は、 $V_{read0} > V_{read15}$ と設定する。一般に、ワード線 WLx の位置を示す整数 x について、 i, j を任意の値として、 $i > j$ となる場合に、 $V_{readj} > V_{readi}$ とする。これにより、 $read_disturb$ による消去しきい値上昇を抑制することができる。

30

【0269】

この変形例の場合は、一括消去された後に、ビット線側のセルから順次書き込みを行う方式とした場合の書き込みペリファイ読み出し動作に特に有効である。これにより、読み出し選択セルよりも後に書き込むデータによる非選択セルの抵抗変化をドレイン側（共通ソース線側）のセルだけ考えればよく、ソース側（ビット線側）の非選択セルの電圧降下量は変化しないので、ソース電位変化によるしきい値変動を抑制し、選択セルのしきい値変動を小さくすることができる。

40

【0270】

なお、図39に示したように、選択トランジスタ S_1 、 S_2 の制御電極に与える電圧はパス電圧 V_{readx} または V_{cc} と従来例と同じ値を用いてよい。勿論、実施の形態6までで述べたように、選択トランジスタのコンダクタンスを制御する方法も併用できる。読み出しタイミングについては、実施の形態1と同様であるので、説明は省略する。

50

【0271】

このようにすることで、実施の形態7のすべての特徴に加えて、実施の形態6で述べたように、選択ビット線に隣接するビット線をシールドビット線とする方式を用いた場合には、シールドビット線に接続されたメモリセルでの $read\ disturb$ も抑制することができる。また、 V_{read0} と同じ電圧を V_{read} としてすべてのセル読み出しに用いた従来例よりも、セルに流れる電流の最悪値は悪化させずにセルの V_{read} ストレスの総量を低減できる。

【0272】

この発明は上記各実施の形態に限られない。例えば、上記実施の形態で説明したデータ読み出し手法は、書き込みデータのしきい値分布を揃えるためのペリファイ読み出し動作にも同様に適用することができ、これによって、書き込み直後のしきい値と読み出し時のしきい値を揃えることができ、より有効である。

10

【0273】

またこの発明は、読み出し電圧 V_r を変化させる従来方法と組み合わせて用いることもできる。特に、読み出し電圧 V_r をワード線毎に制御し、選択ゲート線 GSL の電圧を V_{read} よりも小さくすれば、読み出し電流の最大値を従来例よりも抑制したままで、図12に示したようなメモリセル $M0$ と $M15$ のしきい値上昇を、各メモリセル $M1 \sim M14$ についても小さくすることができる。特に、実施の形態1において、選択ゲート線 GSL 側から順番に書き込み/読み出しを行う場合、およびその変形例において、選択ゲート線 SGL 側から順番に書き込み/読み出しを行う場合には、読み出し V_r を変化させること

20

【0274】

また上記各実施の形態は、例えば4値のしきい値を1つのメモリセルに記憶する多値メモリについても同様に適用できる。この場合、例えば4値データをしきい値の高い方から第1, 第2, 第3, 第4のデータ状態とすれば、図9に示した“0”のしきい値上限値 V_{thw1} は、最も高いしきい値の第1データ状態のしきい値上限値と考え、しきい値 V_{thw2} は、第3データ状態のしきい値の下限値と考えればよい。さらに、 $NAND$ 型多値メモリ記憶装置の場合には、最も高いしきい値のデータ状態以外のしきい値分布について、すべてしきい値変化の問題が生じるので、2値記憶の場合よりしきい値分布間の分離幅を取る必要があるが、実施の形態1, 2, 3を適用することにより、より有効にしきい値分布幅を狭めることができる。

30

【0275】

またこの発明は、 $MISFET$ 構造の不揮発性メモリセルを用いた $EEPROM$ に限らず、原理的にメモリセルが電流の有無又は大小としてデータを不揮発に記憶するいわゆる電流読み出し型であって、これを複数個直列に接続した構成で用いられる場合に適用することが可能である。従って、残留分極によりデータを記憶する強誘電体メモリでも、或いは磁化の向きや強さでデータを記憶する強磁性体メモリでも、直列接続して同様の読み出しを行う場合には、この発明は有効である。

40

【0276】

また、素子分離絶縁膜や絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いてもかまわない。また、電荷蓄積層は、 TiO_2 や Al_2O_3 、タンタル酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛、或いはこれらのそれら積層膜を用いてもよい。

【0277】

実施の形態では、半導体基板として p 型 Si 基板を用いたが、 n 型 Si 基板や SOI 基板を用いてもよいし、 $SiGe$ 混晶、 $SiGeC$ 混晶など、シリコンを含む他の単結晶半導体基板でもよい。さらに、ゲート電極は、 $SiGe$ 混晶、 $SiGeC$ 混晶、 $TiSi$ 、 N

50

i S i、C o S i、T a S i、W S i、M o S iなどのシリサイドやポリサイド、T i、A l、C u、T i N、Wなどの金属を用いることができ、多結晶であってもよいし、これらの積層構造にしてもよい。また、ゲート電極にアモルファスS i、アモルファスS i G e、アモルファスS i G e Cを用いることができ、これらの積層構造にしてもよい。さらに、電荷蓄積層はドット状に形成されていてもよい。

更に実施の形態ではメモリセル及び選択トランジスタ共にnチャンネルの場合を説明したが、pチャンネルを用いても同様に適用できる。

【0278】

【発明の効果】

以上述べたようにこの発明によれば、電流読み出し型のメモリセルを複数個直列接続してメモリセルユニットが構成される不揮発性半導体記憶装置において、選択メモリセルに直列接続された非選択メモリセルのデータ、および選択メモリセルの位置によって生ずる読み出し電流の変動を小さくでき、同時に、非選択メモリセルのデータ状態によるしきい値上昇量を抑えることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態によるEEPROMの構成を示す図である。

【図2】同EEPROMのメモリセルアレイの等価回路である。

【図3】同EEPROMのセンスアンプ回路部の構成を示す図である。

【図4】同EEPROMのNANDセルユニットの等価回路とレイアウトである。

【図5】図4(b)のA-A'断面図である。

【図6】図4(b)のB-B'及びC-C'断面図である。

【図7】実施の形態によるデータ読み出し動作タイミングを示す図である。

【図8】同実施の形態によるデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

【図9】同実施の形態におけるデータしきい値分布と読み出し動作電圧の関係を示す図である。

【図10】同実施の形態における選択トランジスタとメモリセルのドレイン電流とドレイン電圧の関係を示す図である。

【図11】同実施の形態による読み出し電流と選択トランジスタのゲート電圧の関係を示す図である。

【図12】同実施の形態によるしきい値上昇と選択トランジスタのゲート電圧の関係を示す図である。

【図13】従来例による読み出し電流と選択トランジスタのゲート電圧の関係を示す図である。

【図14】従来例によるしきい値上昇と選択トランジスタのゲート電圧の関係を示す図である。

【図15】同実施の形態の変形例によるデータ読み出し動作タイミングを示す図である。

【図16】同変形例によるデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

【図17】他の実施の形態におけるデータしきい値分布と読み出し動作電圧の関係を示す図である。

【図18】同実施の形態における選択トランジスタとメモリセルのドレイン電流とドレイン電圧の関係を示す図である。

【図19】同実施の形態による読み出し電流と選択トランジスタのゲート電圧の関係を示す図である。

【図20】同実施の形態によるしきい値上昇と選択トランジスタのゲート電圧の関係を示す図である。

【図21】同実施の形態の変形例によるデータ読み出し動作タイミングを示す図である。

【図22】同変形例によるデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

10

20

30

40

50

【図23】他の実施の形態によるメモリセルアレイの断面構造を図5に対応させて示す図である。

【図24】同実施の形態のメモリセルアレイの断面構造を図6に対応させて示す図である。

【図25】他の実施の形態によるEEPROMの構成を図1に対応させて示す図である。

【図26】同実施の形態による読み出し電流のワード線位置依存性を従来例と共に示す図である。

【図27】同実施の形態によるしきい値のワード線位置依存性を従来例と共に示す図である。

【図28】他の実施の形態によるEEPROMの構成を示す図である。

10

【図29】同実施の形態のデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

【図30】同実施の形態の読み出し動作のタイミング図である。

【図31】他の実施の形態によるデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

【図32】同実施の形態の読み出し動作のタイミング図である。

【図33】他の実施の形態によるEEPROMの構成を示す図である。

【図34】図33におけるV_{read}発生回路の構成を示す図である。

【図35】図34における論理回路の構成を示す図である。

【図36】同実施の形態のデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

20

【図37】同実施の形態のパス電圧V_{read}の設定例を示す図である。

【図38】選択メモリセルのバックパターンによるしきい値変動の様子を示す実験データである。

【図39】同実施の形態の変形例でのデータ読み出し動作におけるNANDセルユニットの電圧関係を示す図である。

【図40】同変形例でのパス電圧V_{read}の設定例を示す図である。

【図41】従来例のメモリセルM₀読み出し時の電圧関係を示す図である。

【図42】従来例のメモリセルM₁₅読み出し時の電圧関係を示す図である。

【図43】従来例のデータしきい値分布を示す図である。

30

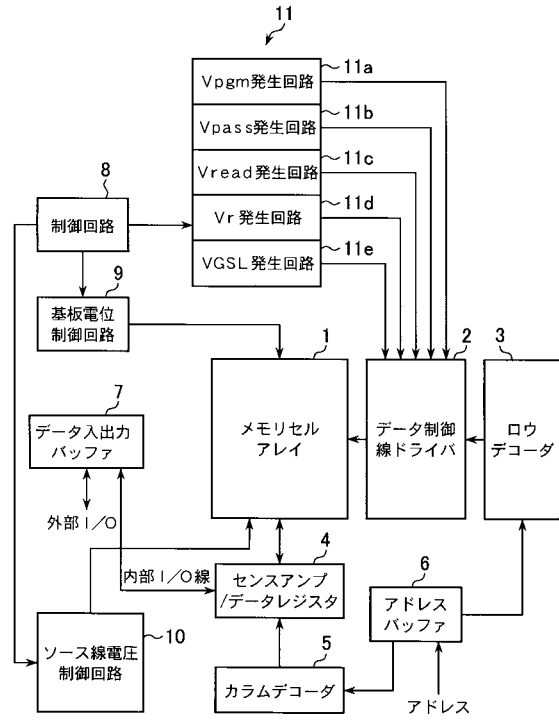
【図44】従来例のしきい値変動を生じるデータ読み出し動作を説明するための図である。

【符号の説明】

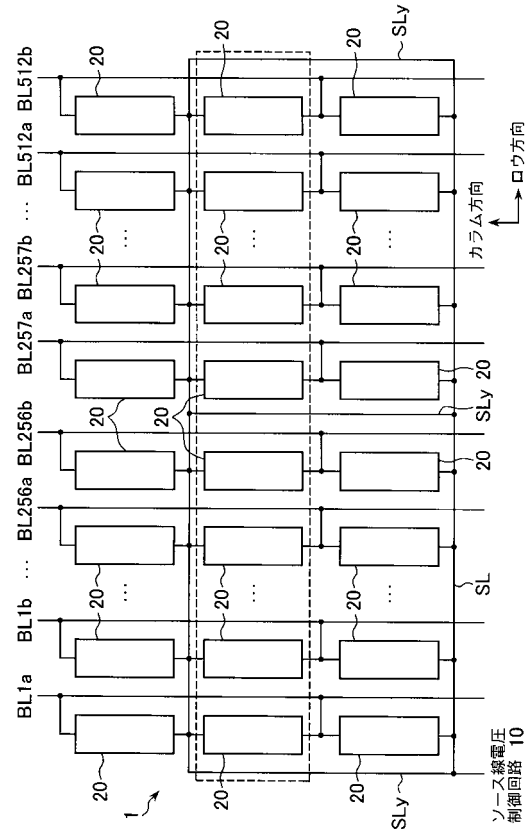
1 ...メモリセルアレイ、2 ...データ制御線ドライバ、3 ...ロウデコーダ、4 ...センスアンプ回路、5 ...カラムデコーダ、6 ...アドレスバッファ、7 ...データ入出力バッファ、8 ...制御回路、9 ...基板電位制御回路、10 ...ソース線電圧制御回路、11 ...内部電圧発生回路、12 ...V_{read}/V_{GSL}切り換え回路、20 ...NANDセルユニット、M₀~M₁₅ ...メモリセル、S₁, S₂ ...選択トランジスタ、BL ...データ転送線(ビット線)、WL₀~WL₁₅ ...データ制御線(ワード線)、SSL, GSL ...選択ゲート線、SL ...共通ソース線。

40

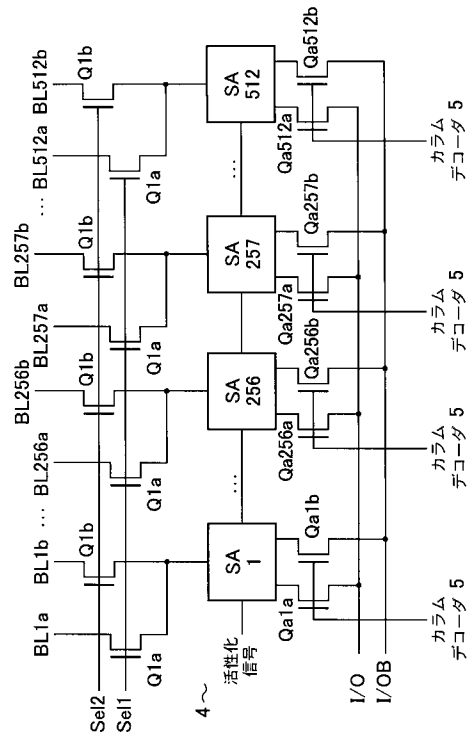
【 図 1 】



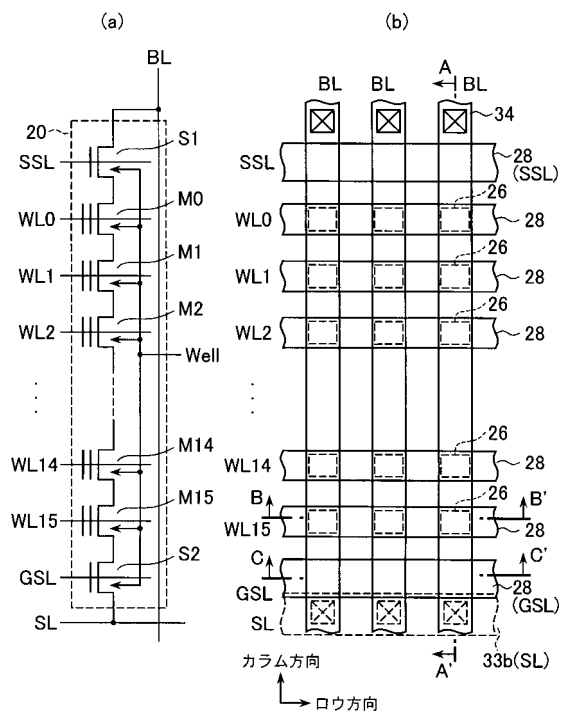
【 図 2 】



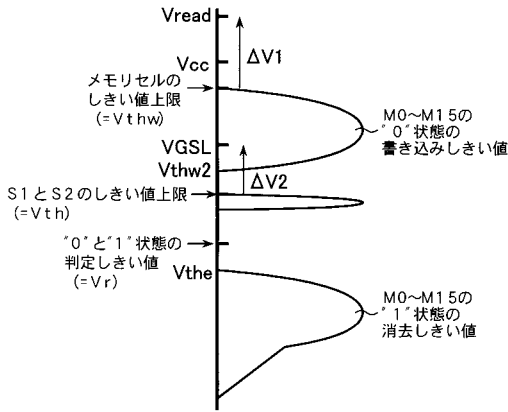
【 図 3 】



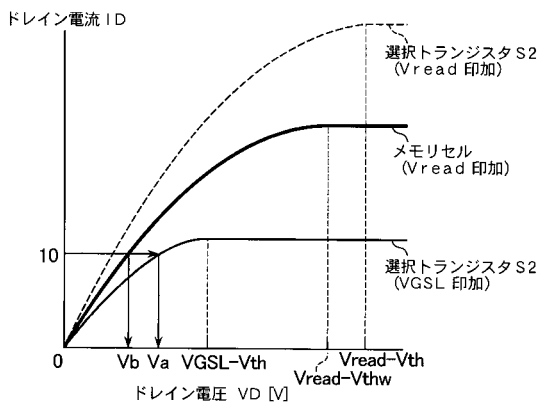
【 図 4 】



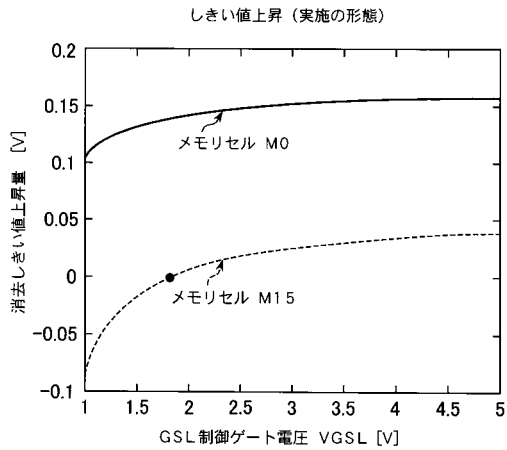
【図9】



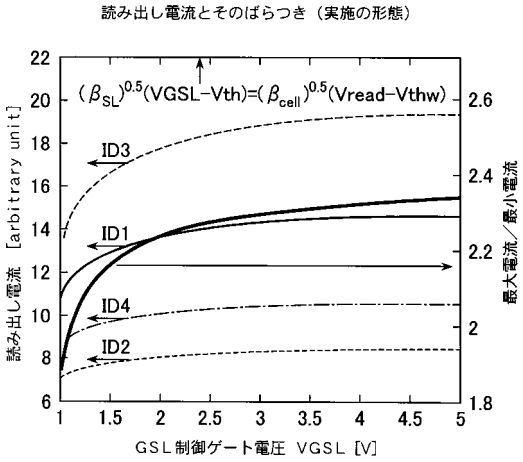
【図10】



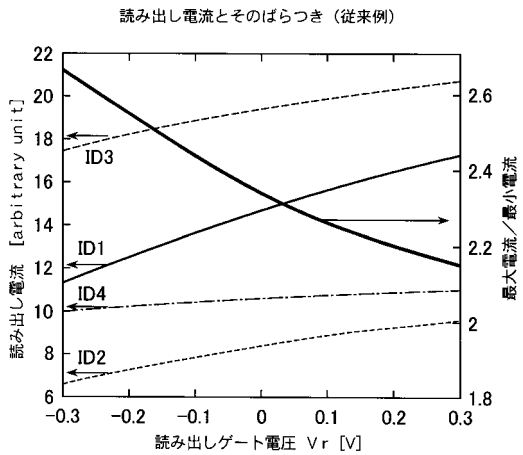
【図12】



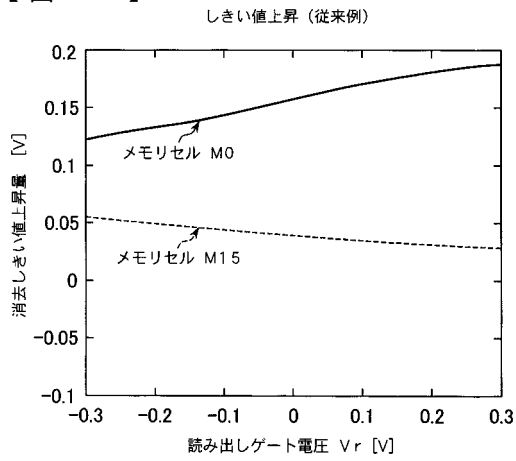
【図11】



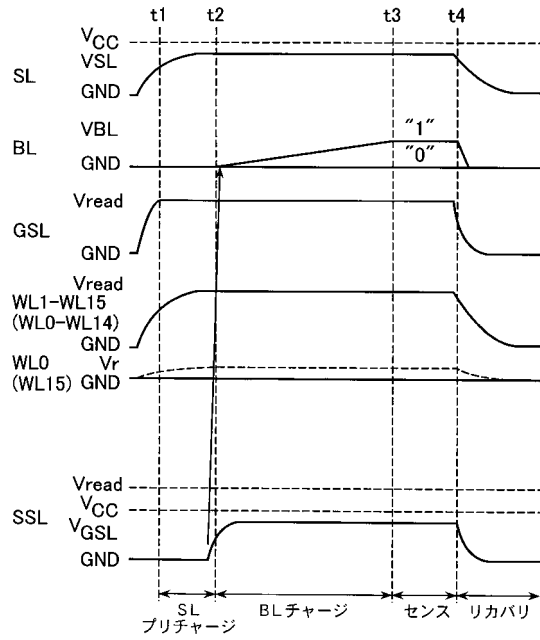
【図13】



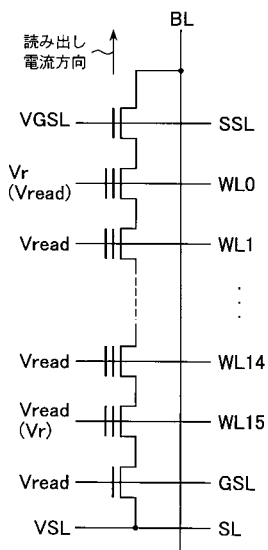
【 図 1 4 】



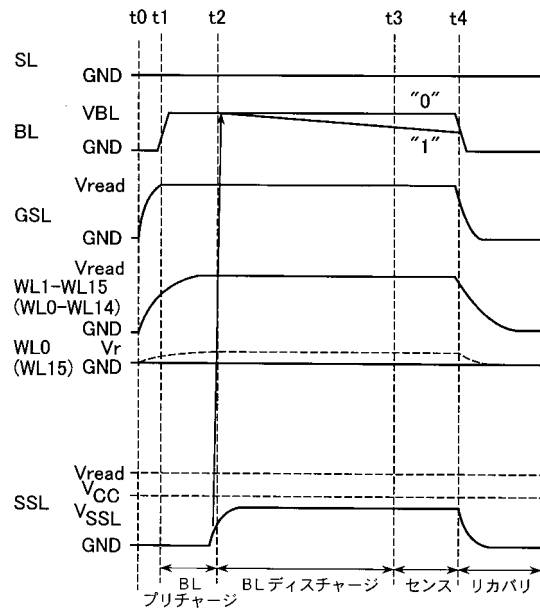
【 図 1 5 】



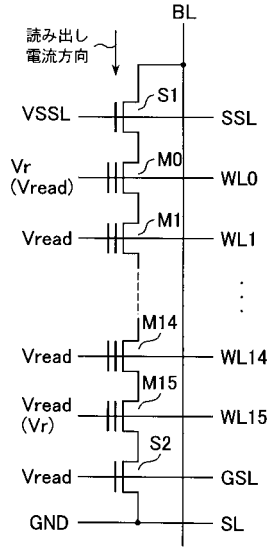
【 図 1 6 】



【 図 1 7 】

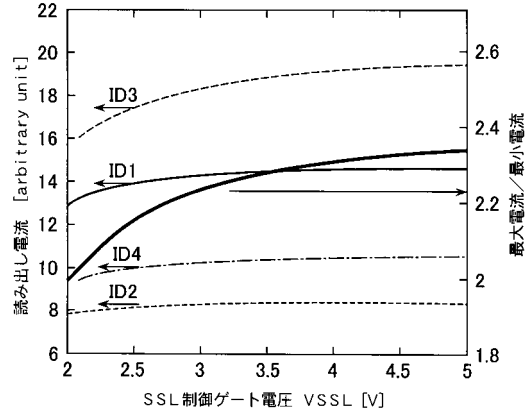


【 図 18 】



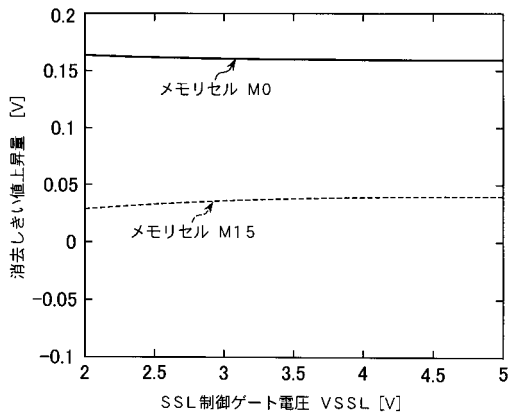
【 図 19 】

読み出し電流とそのばらつき (実施の形態)

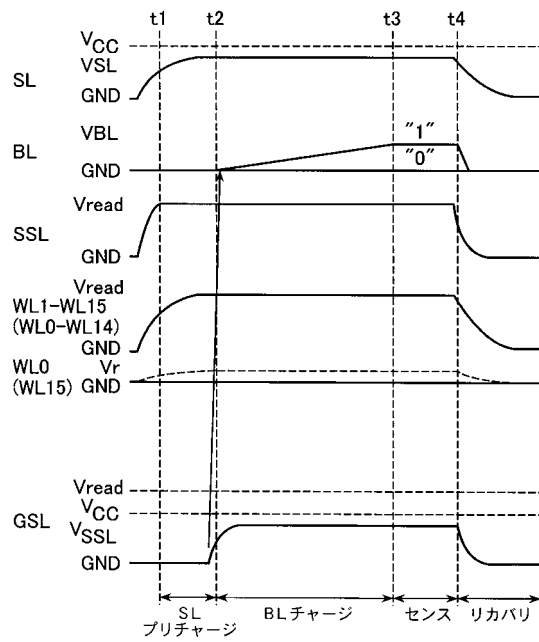


【 図 20 】

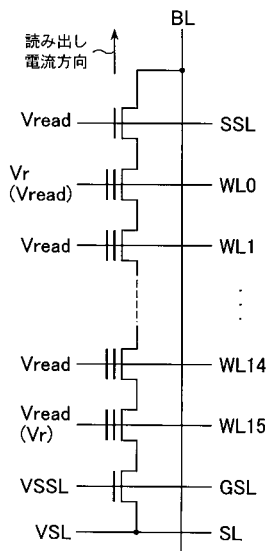
しきい値上昇 (実施の形態)



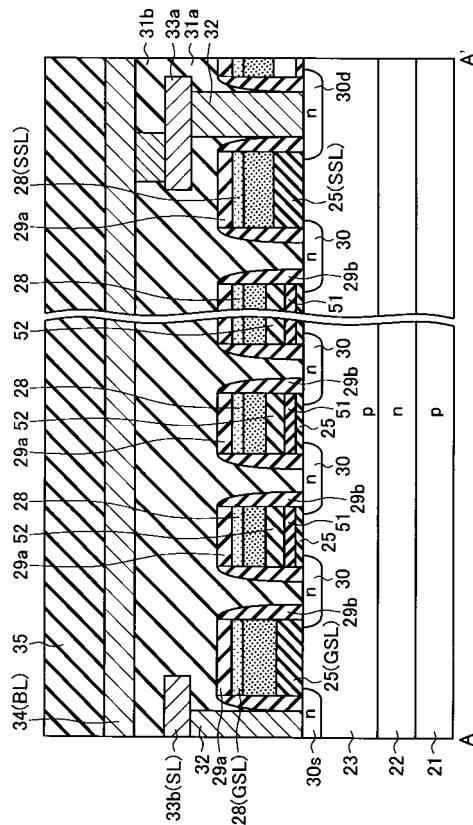
【 図 21 】



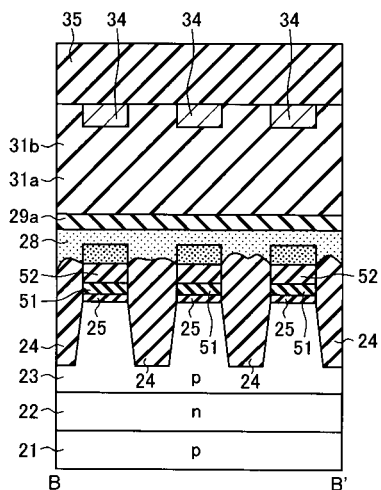
【 図 2 2 】



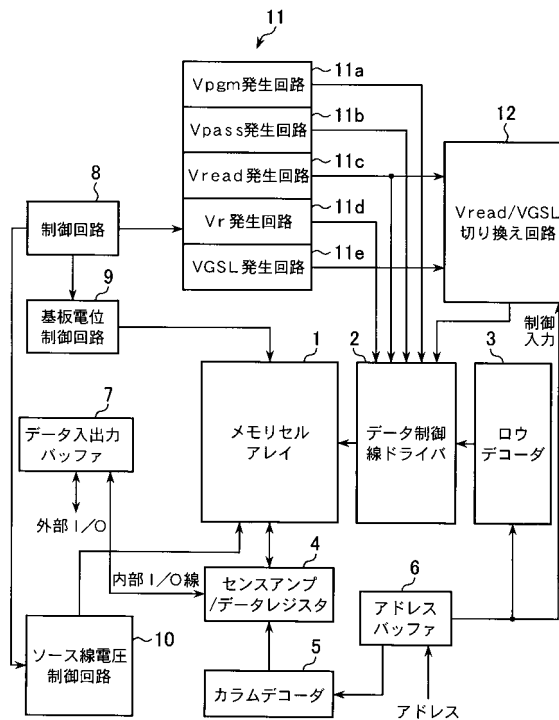
【 図 2 3 】



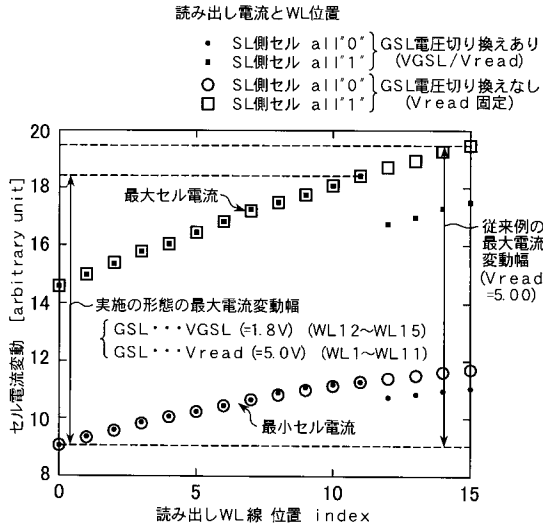
【 図 2 4 】



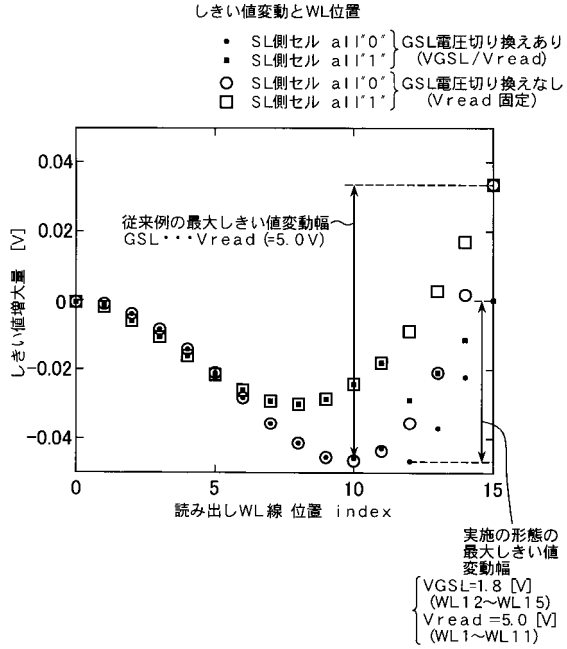
【 図 2 5 】



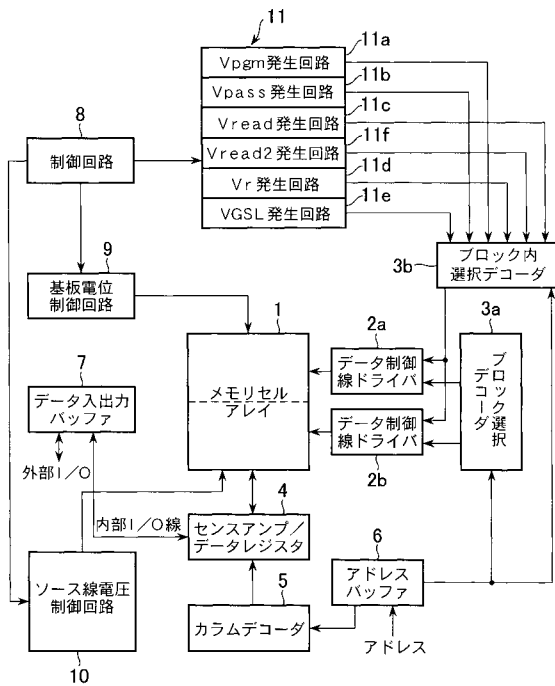
【図 26】



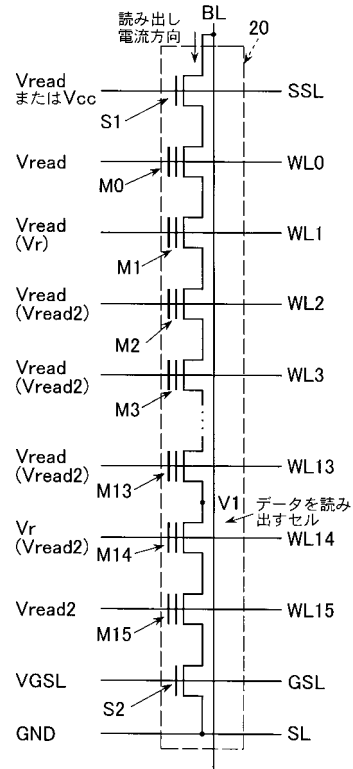
【図 27】



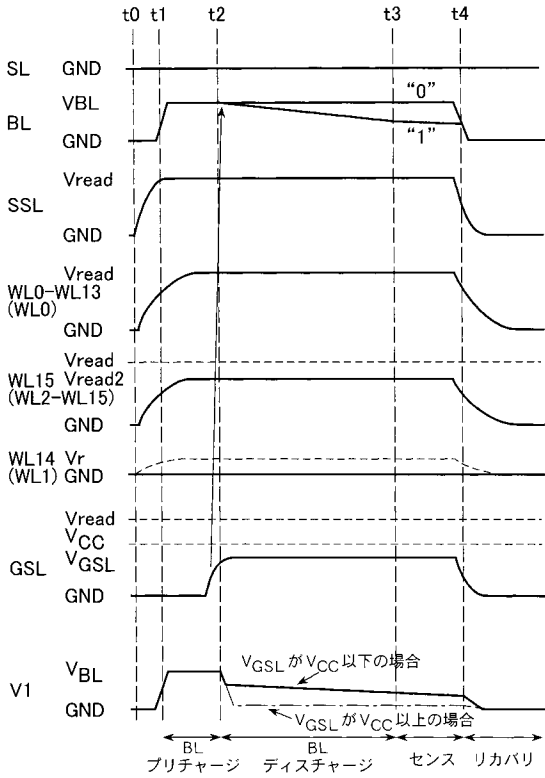
【図 28】



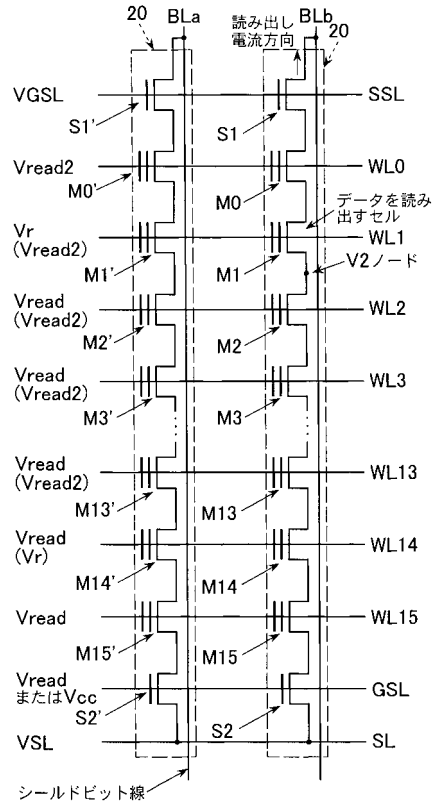
【図 29】



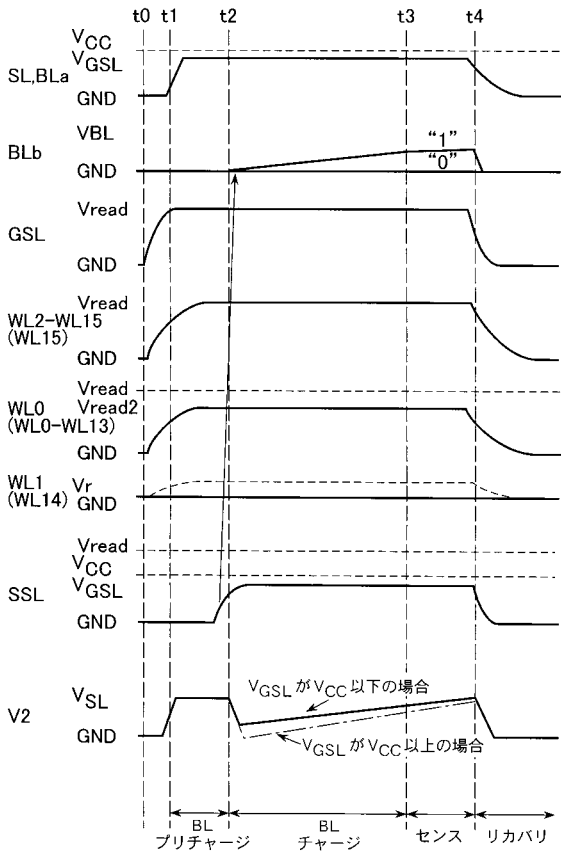
【図30】



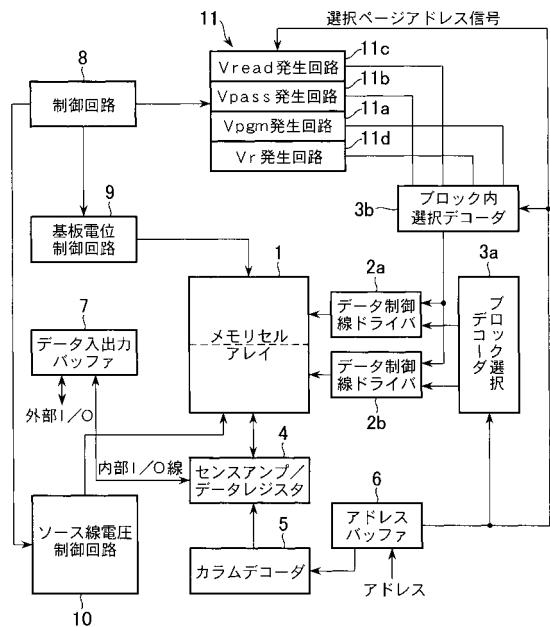
【図31】



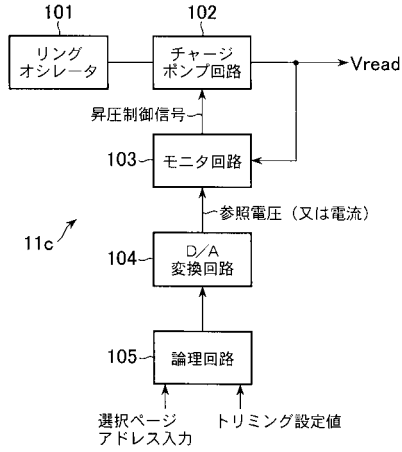
【図32】



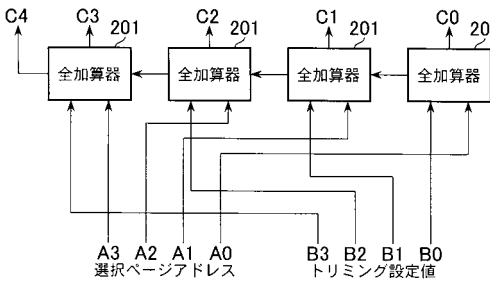
【図33】



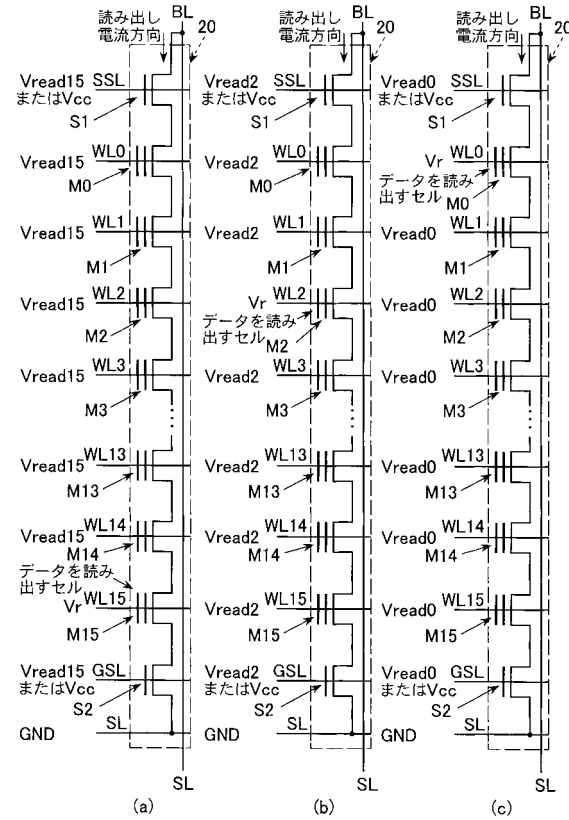
【図34】



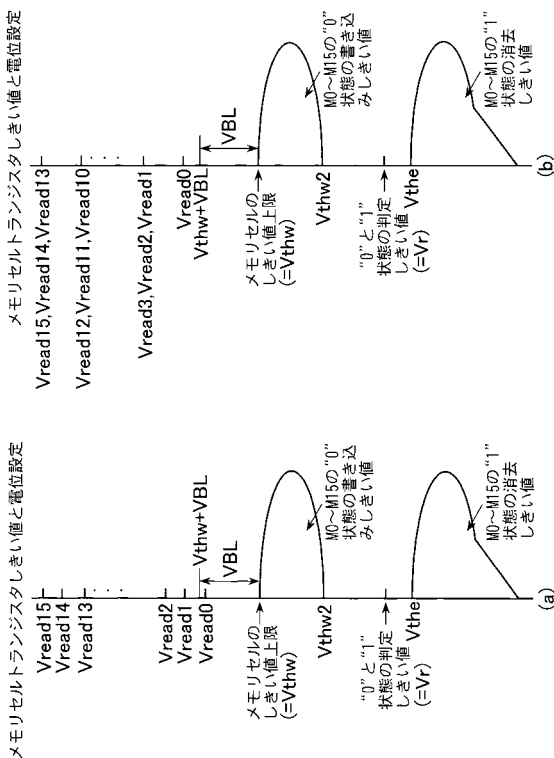
【図35】



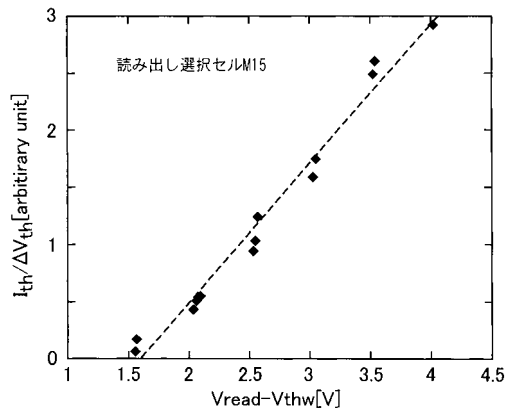
【図36】



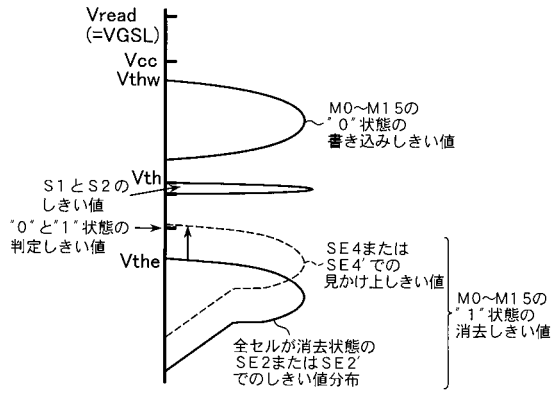
【図37】



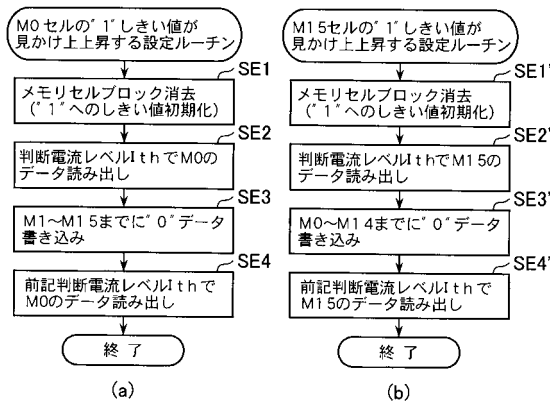
【図38】



【 図 4 3 】



【 図 4 4 】



フロントページの続き

審査官 小松 正

(56)参考文献 特開2000-285692(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00-16/34