

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2015-19096

(P2015-19096A)

(43) 公開日 平成27年1月29日 (2015.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 E	4 M 1 O 4
H O 1 L 27/088 (2006.01)	H O 1 L 29/78 6 1 3 Z	5 F O 4 8
H O 1 L 29/786 (2006.01)	H O 1 L 27/08 1 O 2 H	5 F O 8 3
H O 1 L 21/8236 (2006.01)	H O 1 L 27/08 3 1 1 B	5 F 1 O 1
H O 1 L 21/28 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 O
審査請求 有 請求項の数 4 O L (全 36 頁) 最終頁に続く		

(21) 出願番号	特願2014-179135 (P2014-179135)	(71) 出願人	000153878
(22) 出願日	平成26年9月3日 (2014.9.3)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2010-239730 (P2010-239730) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年10月26日 (2010.10.26)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-249328 (P2009-249328)		半導体エネルギー研究所内
(32) 優先日	平成21年10月29日 (2009.10.29)	(72) 発明者	今井 馨太郎
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

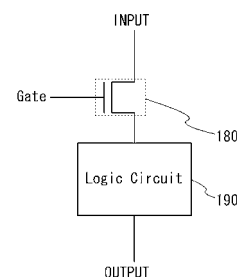
(57) 【要約】

【課題】 新たな構造の半導体装置を提供することを目的の一とする。

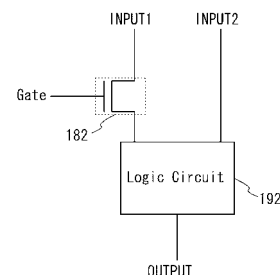
【解決手段】 酸化物半導体層を含むトランジスタと、酸化物半導体以外の半導体材料を用いて構成された論理回路と、を有し、前記トランジスタのソース電極またはドレイン電極の一方と、前記論理回路の少なくとも一の入力とは電氣的に接続され、前記トランジスタを介して、前記論理回路に少なくとも一の入力信号が供給される半導体装置である。ここで、トランジスタのオフ電流は 1×10^{-13} A 以下であるのが望ましい。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

基板上方に第 1 のトランジスタと、
前記基板上方に第 2 のトランジスタを有する論理回路と、を有し、
前記第 1 のトランジスタは、酸化物半導体層を含むチャネル形成領域を有し、
前記第 2 のトランジスタは、酸化物半導体以外の半導体材料を含むチャネル形成領域を有し、
前記第 1 のトランジスタのソース電極またはドレイン電極の一方は、前記論理回路の少なくとも一の入力と電気的に接続されており、
前記第 1 のトランジスタを介して、前記論理回路に少なくとも一の入力信号が供給され、
前記第 1 のトランジスタは、前記第 2 のトランジスタの上方に配置されていることを特徴とする半導体装置。

【請求項 2】

基板上方に第 1 のトランジスタと、
前記基板上方に第 2 のトランジスタを有する論理回路と、を有し、
前記第 1 のトランジスタは、酸化物半導体層を含むチャネル形成領域を有し、
前記第 2 のトランジスタは、酸化物半導体以外の半導体材料を含むチャネル形成領域を有し、
前記第 1 のトランジスタのソース電極またはドレイン電極の一方は、前記論理回路の少なくとも一の入力と電気的に接続されており、
前記第 1 のトランジスタを介して、前記論理回路に少なくとも一の入力信号が供給され、
前記第 1 のトランジスタは、前記第 2 のトランジスタの上方に配置されており、
前記酸化物半導体層は、I n と、G a と、Z n と、を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、
前記酸化物半導体以外の半導体材料は、シリコンであることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、
前記酸化物半導体以外の半導体材料は、単結晶シリコンであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶素子は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶素子の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAM は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAM では、情報を読み出すとキャパシタの電荷は失われることとなるため、データの読み込みの度に、再度の書き込み動作が必要となる。また、記憶素子を

構成するトランジスタにはリーク電流が存在し、選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶素子が必要となる。

【0005】

揮発性記憶素子の別の例としてはSRAM（Static Random Access Memory）がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

10

【0006】

不揮発性記憶素子の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶素子で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際によって生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、論理回路などにおいて入力信号の保持が必要となる場合には、論理回路などに上述の記憶素子が付加されることになる。

【0011】

ところが、上述の揮発性記憶素子は情報の保持期間が短いため、入力信号の長期保持には向かないという問題があった。また、半導体装置への電力供給を停止した後、電力供給を再開して引き続きの動作を行わせたい場合などには、論理回路などへの再度の信号の入力が必要になっていた。

40

【0012】

不揮発性記憶素子は、信号の長期保持という点においては好適である。しかし、論理回路など、情報の書き換えが頻繁に生じる半導体装置向けの素子としては、動作速度や素子寿命などの点で問題がある。

【0013】

上述に鑑み、開示する発明の一態様では、入力信号の保持が可能な新たな構造の半導体装置を提供することを目的の一とする。

50

【課題を解決するための手段】

【0014】

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

【0015】

本発明の一態様は、酸化物半導体層を含むトランジスタと、酸化物半導体以外の半導体材料を用いて構成された論理回路と、を有し、前記トランジスタのソース電極またはドレイン電極の一方と、前記論理回路の少なくとも一の入力とは電氣的に接続され、前記トランジスタを介して、前記論理回路に少なくとも一の入力信号が供給される半導体装置である。

10

【0016】

ここで、トランジスタのオフ電流は 1×10^{-13} A 以下であるのが望ましい。

【0017】

本発明の別の態様は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタおよび第2のトランジスタは、酸化物半導体以外の半導体材料を含む基板に設けられ、第3のトランジスタは酸化物半導体層を含んで構成され、第1のドレイン電極と、第2のドレイン電極とは、電氣的に接続され、第1のゲート電極と、第2のゲート電極と、第3のソース電極または第3のドレイン電極の一方とは、電氣的に接続された半導体装置である。

20

【0018】

上記において、第1のゲート電極、第2のゲート電極、および、第3のソース電極または第3のドレイン電極の一方と電氣的に接続された容量素子を有することが望ましい。また、第1のトランジスタはp型トランジスタであり、第2のトランジスタはn型トランジスタであることが望ましい。

【0019】

本発明の別の態様は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタおよび第2のトランジスタは、酸化物半導体以外の半導体材料を含む基板に設けられ、第3のトランジスタは酸化物半導体層を含んで構成され、第1のドレイン電極と、第2のドレイン電極とは、電氣的に接続され、第1のソース電極と、第1のゲート電極とは、電氣的に接続され、第2のゲート電極と、第3のソース電極または第3のドレイン電極の一方とは、電氣的に接続された半導体装置である。

30

【0020】

上記において、第2のゲート電極、および、第3のソース電極または第3のドレイン電極の一方と電氣的に接続された容量素子を有することが望ましい。また、第1のトランジスタはn型トランジスタであり、第2のトランジスタはn型トランジスタであることが望ましい。

40

【0021】

また、上記において、第3のソース電極または第3のドレイン電極の他方は、信号入力用の配線と電氣的に接続され、第1のドレイン電極、および、第2のドレイン電極は、信号出力用の配線と電氣的に接続され、第3のゲート電極は、ゲート信号入力用の配線と電氣的に接続され、第1のソース電極は、第1の電位を与える配線と電氣的に接続され、第2のソース電極は、第2の電位を与える配線と電氣的に接続されていることが望ましい。

【0022】

また、第1のトランジスタは、酸化物半導体以外の半導体材料を含む基板に設けられた第

50

1のチャネル形成領域と、第1のチャネル形成領域を挟むように設けられた第1の不純物領域と、第1のチャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、第1の不純物領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有し、第2のトランジスタは、酸化物半導体以外の半導体材料を含む基板に設けられた第2のチャネル形成領域と、第2のチャネル形成領域を挟むように設けられた第2の不純物領域と、第2のチャネル形成領域上の第2のゲート絶縁層と、第2のゲート絶縁層上の第2のゲート電極と、第2の不純物領域と電氣的に接続する第2のソース電極および第2のドレイン電極と、を有することが望ましい。第3のトランジスタは、酸化物半導体以外の半導体材料を含む基板上の第3のゲート電極と、第3のゲート電極上の第3のゲート絶縁層と、第3のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電氣的に接続する第3のソース電極および第3のドレイン電極と、を有することが望ましい。

10

【0023】

上記において、第3のトランジスタのオフ電流は 1×10^{-13} A以下であることが望ましい。

【0024】

また、上記において、酸化物半導体以外の半導体材料を含む基板は、単結晶半導体基板またはSOI基板とするのが好適である。また、酸化物半導体以外の半導体材料はシリコンであるのが望ましい。

【0025】

また、上記において、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体材料を含んでなるのが望ましい。また、酸化物半導体層は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を含んでなるのが望ましい。

20

【0026】

また、上記において、酸化物半導体層の水素濃度は 5×10^{19} atoms/cm³以下とするのが好適である。

【0027】

また、上記において、第3のトランジスタは、第1のトランジスタまたは第2のトランジスタと重畳する領域に設けられた構成とすることができる。

【0028】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「第1のゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

30

【0029】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」や「配線」の用語は、相互に置き換えて用いることが可能である。また、「電極」は「配線」の一部として用いられることがあり、その逆についても同様である。

40

【0030】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、相互に入れ替えて用いることができるものとする。

【0031】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0032】

50

例えば、「何らかの電気的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0033】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、絶縁表面を有する導体基板又は絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

10

【発明の効果】

【0034】

本発明の一態様では、下部に酸化物半導体以外の材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。

【0035】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより長期にわたって記憶内容を保持することが可能である。そして、この特性を利用することで、入力信号の内容を保持することが可能な、新たな構成の半導体装置が提供される。

20

【0036】

なお、開示する発明の一態様では、一のトランジスタを設けることで入力信号の保持を実現しているため、フリップフロップなどを用いて同等の回路を構成する場合と比較して、回路構成の複雑化を抑制できる。

【0037】

また、揮発性の記憶素子を利用してこのような回路を構成する場合と比較して、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（つまり、電源がオフ状態の場合）であっても、記憶内容を保持することが可能である。

30

【0038】

さらに、不揮発性の記憶素子を用いる場合の劣化の問題や、書き込み、消去に起因する動作速度の問題などを解消することが可能である。

【0039】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

40

【0040】

【図1】半導体装置を説明するための回路図

【図2】半導体装置を説明するための回路図

【図3】半導体装置を説明するための断面図および平面図

【図4】半導体装置の作製工程を説明するための断面図

【図5】半導体装置の作製工程を説明するための断面図

【図6】半導体装置の作製工程を説明するための断面図

【図7】半導体装置を説明するための断面図

【図8】半導体装置を説明するための断面図

【図9】半導体装置を説明するための断面図

50

【図 1 0】半導体装置を説明するための断面図

【図 1 1】半導体装置を用いた電子機器を説明するための図

【図 1 2】酸化物半導体を用いた逆スタガー型のトランジスタの縦断面図

【図 1 3】図 1 2 の A - A ' 断面におけるエネルギーバンド図 (模式図)

【図 1 4】 (A) ゲート (G E 1) に正の電位 ($V_G > 0$) が与えられた状態を示し、 (B) ゲート (G E 1) に負の電位 ($V_G < 0$) が与えられた状態を示す図

【図 1 5】真空準位と金属の仕事関数 (ϕ_M) 、酸化物半導体の電子親和力 (χ) の関係を示す図

【発明を実施するための形態】

【 0 0 4 1 】

10

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 4 2 】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。よって、開示する発明は、必ずしも、図面等を開示された各構成の位置、大きさ、範囲などに限定されない。

【 0 0 4 3 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

20

【 0 0 4 4 】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図 1 乃至図 6 を参照して説明する。なお、開示する発明の一態様は、入力信号の保持が必要となる半導体装置であれば、どのようなものに対してでも適用が可能である。例えば、N O T 回路、O R 回路、A N D 回路、N O R 回路などの論理回路に対して開示する発明の一態様を適用して、その入力信号を保持させる構成とすることができる。

【 0 0 4 5 】

< 半導体装置の概要 >

30

【 0 0 4 6 】

はじめに、図 1 を参照して半導体装置の概要について説明する。

【 0 0 4 7 】

図 1 (A) は、酸化物半導体を用いたトランジスタ 1 8 0 が、論理回路 1 9 0 (L o g i c C i r c u i t) の入力に電氣的に接続された構成の半導体装置である。当該半導体装置では、トランジスタ 1 8 0 を介して、論理回路 1 9 0 に入力信号が供給されることになる。

【 0 0 4 8 】

酸化物半導体を用いたトランジスタ 1 8 0 はオフ電流が小さいため、トランジスタ 1 8 0 をオフ状態とすることで、情報の保持が可能である。ここでは、トランジスタ 1 8 0 のソース電極またはドレイン電極の一方は、論理回路の入力と電氣的に接続されているため、トランジスタ 1 8 0 をオフ状態とすることで、論理回路の入力信号が保持されることになる。なお、論理回路 1 9 0 の入力は一系統となっている。

40

【 0 0 4 9 】

図 1 (B) は、酸化物半導体を用いたトランジスタ 1 8 2 が、論理回路 1 9 2 の一の入力に電氣的に接続された構成の半導体装置である。信号の保持が必要な入力端子に、酸化物半導体を用いたトランジスタを電氣的に接続することで、必要な情報を保持させることが可能である。なお、図 1 (B) において、論理回路 1 9 2 の入力は二系統となっているが、開示する発明の一態様はこれに限定されない。また、論理回路の入力ごとにトランジスタを電氣的に接続させても良いし、いずれか一または複数の入力に対してトランジスタを

50

電氣的に接続しても良い。

【0050】

＜半導体装置の回路構成＞

図2には、半導体装置の回路構成の具体例を示す。当該半導体装置は、酸化物半導体以外の材料を用いた第1のトランジスタ、第2のトランジスタ、および、酸化物半導体を用いた第3のトランジスタによって構成される。なお、以下では、入力信号を保持させる回路として、インバータ回路を採用した半導体装置を例に挙げて説明するが、入力信号の保持が必要となる半導体装置であれば、どのような回路に対してでも適用が可能なのは上述の通りである。

【0051】

図2(A)には、半導体装置の回路構成の第1の例を示している。図2(A)の半導体装置は、酸化物半導体以外の材料を用いた第1のトランジスタ160、第2のトランジスタ162、および、酸化物半導体を用いた第3のトランジスタ164を有する。

【0052】

ここで、第1のトランジスタ160のドレイン電極と、第2のトランジスタ162のドレイン電極とは、電氣的に接続されている。また、第1のトランジスタ160のゲート電極と、第2のトランジスタ162のゲート電極と、第3のトランジスタ164のソース電極またはドレイン電極の一方とは、電氣的に接続されている。なお、第1のトランジスタ160または第2のトランジスタ162の一方はp型トランジスタ、他方はn型トランジスタとするのが好適である。ここでは、第1のトランジスタ160をp型トランジスタ、第2のトランジスタ162をn型トランジスタとする。

【0053】

なお、トランジスタの電極には、各種配線が電氣的に接続されていても良い。例えば、第3のトランジスタ164のソース電極またはドレイン電極の他方を、信号入力用の配線と電氣的に接続し、第1のトランジスタ160のドレイン電極、および、第2のトランジスタ162のドレイン電極を、信号出力用の配線と電氣的に接続すると好適である。また、第1のトランジスタ160のソース電極を、第1の電位(例えば、電源電位: VDD)を与える配線と電氣的に接続し、第2のトランジスタ162のソース電極を、第2の電位(例えば、接地電位: GND)を与える配線と電氣的に接続すると好適である。さらに、第3のトランジスタ164のゲート電極を、ゲート信号入力用の配線と電氣的に接続すると好適である。

【0054】

上記半導体装置の動作は次の通りである。

【0055】

第1のトランジスタ160のソース電極には、第1の電位が与えられており、第2のトランジスタ162のソース電極には、第2の電位が与えられている。この状態で、第3のトランジスタ164のソース電極またはドレイン電極の他方に入力信号が与えられ、また、第3のトランジスタ164がオン状態となる電位が第3のトランジスタ164のゲート電極に与えられると、第1のトランジスタのゲート電極および第2のトランジスタのゲート電極には上記の入力信号が与えられることになる。そして、第1のトランジスタのゲート電極および第2のトランジスタのゲート電極に与えられる入力信号に応じて、半導体装置は、第1の電位または第2の電位を出力する。

【0056】

第3のトランジスタ164のソース電極またはドレイン電極の他方に信号が入力された状態で、第3のトランジスタ164をオフ状態とすると、第1のトランジスタ160のゲート電極および第2のトランジスタ162のゲート電極の電位は、直前の入力信号の電位に保たれる。つまり、第3のトランジスタ164をオフ状態としている限り、その後、入力信号が変化しても、出力信号は変化しない。

【0057】

このような動作は、第3のトランジスタ164が、酸化物半導体を用いて構成されること

10

20

30

40

50

で実現されている。つまり、酸化物半導体を用いることで、第3のトランジスタ164のオフ電流を十分に小さくすることが可能であり、第1のトランジスタ160のゲート電極および第2のトランジスタ162のゲート電極の電位を、長期間にわたって保持することができるのである。このように、開示する発明の一態様によって、入力信号を保持する機能を有する半導体装置（ここではインバータ回路）が提供される。

【0058】

図2（B）は、半導体装置の回路構成の第2の例である。図2（B）の半導体装置は、図2（A）の半導体装置に容量素子166（キャパシタ）が付加された構成を有している。ここで、容量素子166は、第1のトランジスタ160のゲート電極、第2のトランジスタ162のゲート電極、および、第3のトランジスタ164のソース電極またはドレイン電極の一方と電氣的に接続されている。このように、容量素子166を設けることで、第1のトランジスタ160のゲート電極および第2のトランジスタ162のゲート電極の電位を保持することが、より容易になる。

10

【0059】

図2（C）は、半導体装置の回路構成の第3の例である。図2（C）の半導体装置は、図2（A）の半導体装置における第1のトランジスタ160を、ダイオード接続されたトランジスタ168と置き換えた構成を有している。つまり、トランジスタ168において、ソース電極とゲート電極は電氣的に接続されている。なお、この場合、トランジスタ168および第2のトランジスタ162を、いずれもn型とする。または、p型としても良い。

20

【0060】

図2（D）は、半導体装置の回路構成の第4の例である。図2（D）の半導体装置は、図2（B）の半導体装置における第1のトランジスタ160を、ダイオード接続されたトランジスタ168と置き換えた構成を有している。つまり、トランジスタ168において、ソース電極とゲート電極は電氣的に接続されている。この場合にも、トランジスタ168および第2のトランジスタ162を、いずれもn型とするか、または、p型とする。

【0061】

上述のように、入力信号が与えられる電極に、酸化物半導体を用いて構成されるトランジスタを付加する構成を採用することで、入力信号を保持させることが可能である。これにより、入力信号が保持可能な新たな構成の半導体装置（各種論理回路など）が実現される。

30

【0062】

<半導体装置の平面構成および断面構成>

図3は、図2（A）に示す半導体装置の構成の一例である。図3（A）には、半導体装置の断面を、図3（B）には、半導体装置の平面を、それぞれ示す。ここで、図3（A）は、図3（B）の線A1-A2および線B1-B2における断面に相当する。図3（A）および図3（B）に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ160およびトランジスタ162を有し、上部に酸化物半導体を用いたトランジスタ164を有するものである。なお、トランジスタ162の基本的な構造はトランジスタ160と同様であるから、以下では、主としてトランジスタ160について説明することとする。

40

【0063】

トランジスタ160は、半導体材料を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極110aと、不純物領域114と電氣的に接続するソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bと、を有する。

【0064】

ゲート電極110aの側面にはサイドウォール絶縁層118が設けられている。また、基

50

板 100 の、平面図で見てサイドウォール絶縁層 118 と重ならない領域には、高濃度不純物領域 120 を有し、高濃度不純物領域 120 上には金属化合物領域 124 が存在する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように、層間絶縁層 126 および層間絶縁層 128 が設けられている。ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b は、層間絶縁層 126 および層間絶縁層 128 に形成された開口を通じて、金属化合物領域 124 と電氣的に接続されている。つまり、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b は、金属化合物領域 124 を介して高濃度不純物領域 120 および不純物領域 114 と電氣的に接続されている。また、ゲート電極 110 a には、ソース電極またはドレイン電極 130 a やソース電極またはドレイン電極 130 b と同様に設けられた電極 130 c が電氣的に接続されている。

10

【0065】

トランジスタ 164 は、層間絶縁層 128 上に設けられたゲート電極 136 d と、ゲート電極 136 d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 上に設けられ、酸化物半導体層 140 と電氣的に接続されているソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b とを有する。

【0066】

ここで、ゲート電極 136 d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込むように設けられている。また、ゲート電極 136 d と同様に、ソース電極またはドレイン電極 130 a に接して電極 136 a が、ソース電極またはドレイン電極 130 b に接して電極 136 b が、電極 130 c に接して電極 136 c が、それぞれ形成されている。

20

【0067】

また、トランジスタ 164 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b にまで達する開口が設けられており、当該開口を通じて、電極 150 d、電極 150 e が、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b に接して形成されている。また、電極 150 d、電極 150 e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136 a、電極 136 b、電極 136 c に接する電極 150 a、電極 150 b、電極 150 c が形成されている。

30

【0068】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 140 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を用いることで、極めて優れたオフ電流特性のトランジスタ 164 を得ることができる。例えば、ドレイン電圧 V_d が +1 V または +10 V の場合であって、ゲート電圧 V_g が -5 V から -20 V の範囲では、オフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を適用し、トランジスタ 164 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定したものである。

40

【0069】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154 a、電極 154 b、電極 154 c、電極 154 d が設けられている。ここで、電極 154 a は電極 150 a と接しており、電極 154 b は電極 150 b と接しており、電極 154 c は電極 150 c および電極 150 d と接しており、電極 1

50

54dは電極150eと接している。

【0070】

つまり、図3に示される半導体装置では、トランジスタ160（および、トランジスタ162）のゲート電極110aと、トランジスタ164のソース電極またはドレイン電極142aとが、電極130c、電極136c、電極150c、電極154cおよび電極150dを介して電氣的に接続されている。

【0071】

＜半導体装置の作製方法＞

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ160（またはトランジスタ162）の作製方法について図4を参照して説明し、その後、上部のトランジスタ164の作製方法について図5および図6を参照して説明する。

【0072】

＜下部のトランジスタの作製方法＞

まず、半導体材料を含む基板100を用意する（図4（A）参照）。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0073】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する（図4（A）参照）。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、半導体装置のしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0074】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の基板100の一部を除去する。これにより分離された半導体領域104が形成される（図4（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0075】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図4（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMPなどの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0076】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0077】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

【0078】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0079】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極110aを形成する（図4（C）参照）。

【0080】

次に、ゲート電極110aを覆う絶縁層112を形成する（図4（C）参照）。そして、半導体領域104に硼素（B）やアルミニウム（Al）などを添加して、浅い接合深さの不純物領域114を形成する（図4（C）参照）。なお、ここではp型トランジスタを形成するために硼素やアルミニウムを添加しているが、n型トランジスタを形成する場合（例えば、トランジスタ162を形成する場合など）には、リン（P）やヒ素（As）などの不純物元素を添加すればよい。なお、不純物領域114の形成により、半導体領域104のゲート絶縁層108a下部には、チャネル形成領域116が形成される（図4（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

【0081】

次に、サイドウォール絶縁層118を形成する（図4（D）参照）。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110aの上面と、不純物領域114の上面を露出させると良い。

【0082】

次に、ゲート電極110a、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、不純物領域114と接する領域に、硼素（B）やアルミニウム（Al）などを添加して、高濃度不純物領域120を形成する（図4（E）参照）。ここでも、n型トランジスタを形成する場合には、リン（P）やヒ素（As）などの不純物元素を添加すればよい。その後、上記絶縁層を除去し、ゲート電極110a、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する（図4（E）参照）。当該金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0083】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高

10

20

30

40

50

濃度不純物領域 120 に接する金属化合物領域 124 が形成される（図 4（F）参照）。なお、ゲート電極 110a として多結晶シリコンなどを用いる場合には、ゲート電極 110a の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。

【0084】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後には、金属層 122 は除去する。

10

【0085】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 126、層間絶縁層 128 を形成する（図 4（G）参照）。層間絶縁層 126 や層間絶縁層 128 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 126 や層間絶縁層 128 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 128 の形成後には、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

20

【0086】

その後、上記層間絶縁層に、金属化合物領域 124 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を形成する（図 4（H）参照）。ソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0087】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

30

【0088】

なお、ここでは、金属化合物領域 124 と接触するソース電極またはドレイン電極 130a やソース電極またはドレイン電極 130b のみを示しているが、この工程において、ゲート電極 110a と接触する電極（例えば、図 3 における電極 130c）などをあわせて形成することができる。ソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。

40

【0089】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160（およびトランジスタ 162）が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0090】

50

<上部のトランジスタの作製方法>

次に、図5および図6を用いて、層間絶縁層128上にトランジスタ164を作製する工程について説明する。なお、図5および図6は、層間絶縁層128上の各種電極や、トランジスタ164などの作製工程を示すものであるから、トランジスタ164の下部に存在するトランジスタ160等については省略している。

【0091】

まず、層間絶縁層128、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130c上に絶縁層132を形成する(図5(A)参照)。絶縁層132はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

10

【0092】

次に、絶縁層132に対し、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、および、電極130cにまで達する開口を形成する。この際、後にゲート電極136dが形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層134を形成する(図5(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層134の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層134の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

20

【0093】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極(ここではソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130cなど)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

30

【0094】

導電層134を形成した後は、エッチング処理やCMPといった方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極136a、電極136b、電極136c、ゲート電極136dを形成する(図5(C)参照)。なお、上記導電層134の一部を除去して電極136a、電極136b、電極136c、ゲート電極136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0095】

次に、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dを覆うように、ゲート絶縁層138を形成する(図5(D)参照)。ゲート絶縁層138は、CVD法やスパッタリング法などを用いて形成することができる。また、ゲート絶縁層138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン(SiH_4)、酸素、窒素を用いたプラズマCVD法により、酸化窒化珪素でな

50

るゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、10 nm 以上 500 nm 以下とすることができる。積層構造の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とすると好適である。

【0096】

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

10

【0097】

例えば、 μ 波（2.45 GHz）を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0098】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層 138 としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

20

【0099】

さらに、85℃、 2×10^6 V/cm、12 時間のゲートバイアス・熱ストレス試験（BT 試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。

【0100】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT 試験に対しても安定なトランジスタを得ることが可能である。

30

【0101】

次いで、ゲート絶縁層 138 上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する（図 5（E）参照）。

【0102】

酸化物半導体層としては、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層として In-Ga-Zn-O 系の酸化物半導体成膜用ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、酸化物半導体層の結晶化を抑制することができるから、例えば、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、酸化物半導体層に結晶化を阻害する SiO_x （ $x > 0$ ）を含ませてもよい。

40

【0103】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛などを主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、および Zn を含む酸化物半導体成膜用ターゲット（組成比として、 $In_2O_3 : Ga$

50

$\text{In}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]) などを用いることもできる。また、 In 、 Ga 、および Zn を含む酸化物半導体成膜用ターゲットとして、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]、又は $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]の組成比を有するターゲットなどを用いても良い。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上(例えば99.9%)である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

【0104】

酸化物半導体層の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度数ppm程度(望ましくは濃度数ppb程度)にまで除去された高純度ガスを用いるのが好適である。

【0105】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該形成室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0106】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素流量比率100%)雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

【0107】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

【0108】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)を適宜設定する。

【0109】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(

10

20

30

40

50

CCl₄) など) などがある。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF₄)、弗化硫黄(SF₆)、弗化窒素(NF₃)、トリフルオロメタン(CHF₃) など)、臭化水素(HBr)、酸素(O₂)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いても良い。

【0110】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する。

10

【0111】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、などを用いることができる。また、ITO07N(関東化学社製)などのエッチング液を用いてもよい。

【0112】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450℃において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われないようにする。

20

【0113】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0114】

例えば、第1の熱処理として、650℃~700℃の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0115】

なお、第1の熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

40

【0116】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0117】

50

また、非晶質の酸化物半導体（例えば、酸化物半導体層の表面）に微結晶（粒径1 nm以上20 nm以下（代表的には2 nm以上4 nm以下））が混在する酸化物半導体層となる場合もある。

【0118】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

【0119】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0120】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

【0121】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0122】

なお、上記第1の熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0123】

次に、酸化物半導体層140に接するように、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図5（F）参照）。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0124】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのうちいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせ合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0125】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

10

20

30

40

50

【0126】

トランジスタのチャンネル長（L）は、ソース電極またはドレイン電極142aの下端部と、ソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャンネル長（L）が25nm未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長（L）を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値も小さいため、消費電力が大きくなりずに済む。

【0127】

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0128】

また、酸化物半導体層140とソース電極またはドレイン電極142aの間や、酸化物半導体層140とソース電極またはドレイン電極142bの間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bを形成するための金属層は、連続して形成すること（連続成膜）が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

【0129】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状（階段状）となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

【0130】

なお、上述の工程の後には、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0131】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する（図5（G）参照）。

【0132】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300℃以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

【0133】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャンネル側

10

20

30

40

50

が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層 144 はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0134】

また、処理室内の残留水分を除去しつつ保護絶縁層 144 を形成することが好ましい。酸化物半導体層 140 および保護絶縁層 144 に水素、水酸基または水分が含まれないようにするためである。

【0135】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層 144 に含まれる不純物の濃度を低減できる。

【0136】

保護絶縁層 144 を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、濃度数 ppm 程度（望ましくは、濃度数 ppb 程度）にまで除去された高純度ガスを用いることが好ましい。

【0137】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理（好ましくは 200℃以上 400℃以下、例えば 250℃以上 350℃以下）を行うのが望ましい。例えば、窒素雰囲気下で 250℃、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、ランジスタの電気的特性のばらつきを軽減することができる。

【0138】

また、大気中、100℃以上 200℃以下、1 時間以上 30 時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上 200℃以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第 2 の熱処理に代えて行っても良いし、第 2 の熱処理の前後などに行っても良い。

【0139】

次に、保護絶縁層 144 上に、層間絶縁層 146 を形成する（図 6（A）参照）。層間絶縁層 146 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層 146 の形成後には、その表面を、CMP やエッチングなどの方法によって平坦化しておくことが望ましい。

【0140】

次に、層間絶縁層 146、保護絶縁層 144、およびゲート絶縁層 138 に対し、電極 136a、電極 136b、電極 136c、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口を形成し、当該開口に埋め込むように導電層 148 を形成する（図 6（B）参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 148 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

【0141】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0142】

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する（図6（C）参照）。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0143】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する（図6（D）参照）。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

【0144】

上述のような方法でトランジスタ164を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下となり、また、トランジスタ164のオフ電流は $1 \times 10^{-13} \text{ A}$ 以下となる。このような、水素濃度が十分に低減されて高純度化された酸化物半導体層140を適用することで、優れた特性のトランジスタ164を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ160およびトランジスタ162を有し、上部に酸化物半導体を用いたトランジスタ164を有する優れた特性の半導体装置を作製することができる。

【0145】

なお、ここでは、図2（A）に係る半導体装置の作製工程について説明したが、図2（B）、図2（C）、図2（D）に示す半導体装置も同様にして作製することが可能である。

【0146】

なお、酸化物半導体との比較対象たり得る半導体材料としては、炭化珪素（例えば、4H-SiC）がある。酸化物半導体と4H-SiCはいくつかの共通点を有している。キャリア密度はその一例である。フェルミ・ディラック分布に従えば、酸化物半導体のキャリア密度は $10^{-7} / \text{cm}^3$ 程度と見積もられるが、これは、4H-SiCにおける $6.7 \times 10^{-11} / \text{cm}^3$ と同様、極めて低い値である。シリコンの真性キャリア密度（ $1.4 \times 10^{10} / \text{cm}^3$ 程度）と比較すれば、その程度が並はずれていることが良く理解できる。

【0147】

また、酸化物半導体のエネルギーバンドギャップは3.0～3.5 eVであり、4H-SiCのエネルギーバンドギャップは3.26 eVであるから、ワイドギャップ半導体という点においても、酸化物半導体と炭化珪素とは共通している。

【0148】

一方で、酸化物半導体と炭化珪素との間には極めて大きな相違点が存在する。それは、プロセス温度である。炭化珪素は一般に $1500^\circ\text{C} \sim 2000^\circ\text{C}$ の熱処理を必要とするから

10

20

30

40

50

、他の半導体材料を用いた半導体素子との積層構造は困難である。このような高い温度では、半導体基板や半導体素子などが破壊されてしまうためである。他方、酸化物半導体は、 $300\sim500^{\circ}\text{C}$ （ガラス転位温度以下、最大でも 700°C 程度）の熱処理で作製することが可能であり、他の半導体材料を用いて集積回路を形成した上で、酸化物半導体による半導体素子を形成することが可能となる。

【0149】

また、炭化珪素の場合と異なり、ガラス基板など、耐熱性の低い基板を用いることが可能であるという利点を有する。さらに、高温での熱処理が不要という点で、炭化珪素と比較してエネルギーコストを十分に低くすることができるという利点を有する。

【0150】

なお、酸化物半導体において、DOS (density of state) 等の物性研究は多くなされているが、これらの研究は、DOSそのものを十分に減らすという思想を含まない。開示する発明の一態様では、DOSの原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、DOSそのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

【0151】

さらに、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥によるDOSを減少させることにより、いっそう高純度化された(i型の)酸化物半導体とすることも可能である。たとえば、チャネル形成領域に密接して酸素過剰の酸化膜を形成し、当該酸化膜から酸素を供給して、酸素欠陥によるDOSを減少させることが可能である。

【0152】

酸化物半導体の欠陥は、過剰な水素による伝導帯下 $0.1\sim0.2\text{ eV}$ の浅い準位や、酸素の不足による深い準位、などに起因するものとされている。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給する、という技術思想は正しいものであろう。

【0153】

また、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、不純物、特に水や水素を除去することによりi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

【0154】

＜酸化物半導体を用いたトランジスタの電導機構＞

ここで、酸化物半導体を用いたトランジスタの電導機構につき、図12乃至図15を用いて説明する。なお、以下の説明は一考察に過ぎず、これに基づいて発明の有効性が否定されるものではないことを付記する。

【0155】

図12は、酸化物半導体を用いた逆スタガー型のトランジスタ（薄膜トランジスタ）の断面図である。ゲート電極(GE1)上にゲート絶縁層(GI)を介して酸化物半導体層(OS)が設けられ、その上にソース電極(S)およびドレイン電極(D)が設けられている。さらに、その上に絶縁層を介してバックゲート(GE2)が設けられている。

【0156】

図13には、図12のA-A'断面におけるエネルギーバンド図（模式図）を示す。図13(A)はソースとドレインの間の電位差をゼロ（等電位、 $V_D = 0\text{ V}$ ）とした場合を示しており、図13(B)はソースに対しドレインの電位を高くした場合($V_D > 0$)を示している。

【0157】

図14には、図12におけるB-B'間におけるエネルギーバンド図（模式図）を示す。図14(A)は、ゲート(GE1)に正の電位($V_G > 0$)が与えられた状態であり、ソースとドレインとの間にキャリア（電子）が流れるオン状態を示している。また、図14(B)は、ゲート(GE1)に負の電位($V_G < 0$)が印加された状態であり、オフ状態

10

20

30

40

50

(少数キャリアは流れない状態)である場合を示す。

【0158】

図15は、真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す。

【0159】

金属は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位 (E_f) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において含有される水素の一部はドナーとなりn型化する要因の一つであることが知られている。

【0160】

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素(不純物元素)が極力含まれないように高純度化することにより真性(i型)とし、または真性とせんとしたものである。すなわち、不純物元素を添加してi型化するのでなく、水素や水等の不純物を極力除去することにより、高純度化されたi型(真性半導体)またはそれに近づけることを特徴としている。これにより、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同程度とすることができる。

【0161】

酸化物半導体のバンドギャップ (E_g) が3.15 eVである場合、電子親和力 (χ) は4.3 eVと言われている。ソース電極やドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0162】

すなわち、金属の仕事関数 (ϕ_M) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図13(A)で示すようなエネルギーバンド図(模式図)が示される。

【0163】

図13(B)において黒丸(●)は電子を示す。図13(B)において、ドレインに正の電圧 ($V_D > 0$) を印加した上で、ゲートに電圧を印加しない場合 ($V_G = 0$) を破線で示し、ゲートに正の電圧 ($V_G > 0$) を印加した場合を実線で示す。ゲートに正の電圧 ($V_G > 0$) を印加した場合、ドレインに正の電位が与えられると、電子はバリア(h)をこえて酸化物半導体に注入され、ドレインに向かって流れる。バリア(h)の高さは、ゲート電圧とドレイン電圧に依存して変化するが、ゲートに正の電圧 ($V_G > 0$) を印加し正のドレイン電圧が印加される場合には、電圧印加のない図13(A)のバリアの高さ、すなわちバンドギャップ (E_g) の1/2、より低くなる。ゲートに電圧を印加しない場合は、高いポテンシャル障壁のために、電極から酸化物半導体側へキャリア(電子)が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加すると、ポテンシャル障壁が低下し、電流を流すオン状態を示す。

【0164】

このとき電子は、図14(A)で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近(酸化物半導体のエネルギー的に安定な最低部)を移動する。

【0165】

また、図14(B)に示すように、ゲート電極(GE1)に負の電位が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0166】

このように酸化物半導体の主成分以外の元素(不純物元素)が極力含まれないように高純度化することにより、真性(i型)とし、または実質的に真性となるため、ゲート絶縁層との界面特性が顕在化する。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF帯~マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁層や、スパッタリング

10

20

30

40

50

法で作製される絶縁層などを用いることが好ましい。

【0167】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとするることにより、例えば、トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ 、チャネル長が $3 \mu\text{m}$ の場合には、 10^{-13}A 以下のオフ電流、 $0.1 \text{V}/\text{dec.}$ のサブスレッショルドスイング値（ S 値）（ゲート絶縁層の厚さ： 100nm ）が実現され得る。

【0168】

このように、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとするができる。

【0169】

<変形例>

図7乃至図10には、半導体装置の構成の変形例を示す。なお、以下では、変形例として、トランジスタ164の構成が上記とは異なるものについて説明する。つまり、トランジスタ160やトランジスタ162の構成は上記と同様である。

【0170】

図7には、酸化物半導体層140の下にゲート電極136dを有し、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成のトランジスタ164を有する例を示す。なお、平面の構造は、断面に対応して適宜変更すればよいから、ここでは、断面についてのみ示すこととする。

【0171】

図7に示す構成と図3に示す構成の大きな相違点として、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと、酸化物半導体層140との接続の位置がある。つまり、図3に示す構成では、酸化物半導体層140の上側表面において、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接するのに対して、図7に示す構成では、酸化物半導体層140の下側表面において、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接する。そして、この接触の相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図3と同様である。

【0172】

具体的には、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上側表面に接する酸化物半導体層140を有する。

【0173】

ここで、ゲート電極136dは、層間絶縁層128上に形成された絶縁層132に、埋め込むように設けられている。また、ゲート電極136dと同様に、ソース電極またはドレイン電極130aに接して電極136aが、ソース電極またはドレイン電極130bに接して電極136bが、電極130cに接して電極136cが、それぞれ形成されている。

【0174】

また、トランジスタ164の上には、酸化物半導体層140の一部と接するように、保護絶縁層144が設けられており、保護絶縁層144上には層間絶縁層146が設けられている。ここで、保護絶縁層144および層間絶縁層146には、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口が設けられており、当該開口を通じて、電極150d、電極150eが、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bに接して形成されている。また、電極150d、電極150eと同様に、ゲート絶縁層138、保護絶縁層144、層間絶縁層146に設けられた開口を通じて、電極136a、電極136b、電極136cに接する電極150a、電極150b、電極150cが形成されている。

【0175】

また、層間絶縁層146上には絶縁層152が設けられており、当該絶縁層152に埋め込まれるように、電極154a、電極154b、電極154c、電極154dが設けられている。ここで、電極154aは電極150aと接しており、電極154bは電極150bと接しており、電極154cは電極150cおよび電極150dと接しており、電極154dは電極150eと接している。

【0176】

図8は、酸化物半導体層140の上にゲート電極136dを有する構成の例である。ここで、図8(A)は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成の例であり、図8(B)は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の上側表面において酸化物半導体層140と接する構成の例である。

10

【0177】

図3や図7に示す構成と図8に示す構成の大きな相違点は、酸化物半導体層140の上にゲート電極136dを有する点である。また、図8(A)に示す構成と図8(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図3などと同様である。

20

【0178】

具体的には、図8(A)では、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上側表面に接する酸化物半導体層140と、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

【0179】

また、図8(B)では、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上側表面に接するように設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、酸化物半導体層140、ソース電極またはドレイン電極142a、および、ソース電極またはドレイン電極142b上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

30

【0180】

なお、図8に示す構成では、図3に示す構成などと比較して、構成要素が省略される場合がある（例えば、電極150aや、電極154aなど）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図3などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

【0181】

図9は、素子のサイズが比較的大きい場合であって、酸化物半導体層140の下にゲート電極136dを有する構成の例である。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極136dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ160やトランジスタ162についても、同様に作製することが可能である。

40

【0182】

図9(A)に示す構成と図9(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構

50

成要素の詳細は、図 3 などと同様である。

【0183】

具体的には、図 9 (A) では、層間絶縁層 128 上に設けられたゲート電極 136d と、ゲート電極 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の上側表面に接する酸化物半導体層 140 と、を有する。

【0184】

また、図 9 (B) では、層間絶縁層 128 上に設けられたゲート電極 136d と、ゲート電極 136d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上のゲート電極 136d と重畳する領域に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、を有する。

【0185】

なお、図 9 に示す構成においても、図 3 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0186】

図 10 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の上にゲート電極 136d を有する構成の例である。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 136d などを形成することが可能である。なお、ここでは図示しないが、トランジスタ 160 やトランジスタ 162 についても、同様に作製することが可能である。

【0187】

図 10 (A) に示す構成と図 10 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 142a や、ソース電極またはドレイン電極 142b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 3 などと同様である。

【0188】

具体的には、図 10 (A) では、層間絶縁層 128 上に設けられたソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の上側表面に接する酸化物半導体層 140 と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極 136d と、を有する。

【0189】

また、図 10 (B) では、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b と、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b、酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極 136d と、を有する。

【0190】

なお、図 10 に示す構成においても、図 3 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0191】

以上に示したように、開示する発明の一態様によって、新たな構成の半導体装置が実現される。本実施の形態では、トランジスタ 160 およびトランジスタ 162 上にトランジス

10

20

30

40

50

タ１６４を積層して形成する例について説明したが、半導体装置の構成はこれに限られるものではない。また、本実施の形態では、トランジスタ１６０およびトランジスタ１６２と、トランジスタ１６４のチャネル長方向が互いに垂直となる例を説明したが、トランジスタ１６０およびトランジスタ１６２と、トランジスタ１６４の位置関係などはこれに限られるものではない。さらに、トランジスタ１６０およびトランジスタ１６２と、トランジスタ１６４とを重畳して設けても良い。

【０１９２】

また、本実施の形態では理解の簡単のため、最小単位の半導体装置について説明したが、半導体装置の構成はこれに限られるものではない。複数の半導体装置を適当に接続して、より高度な半導体装置を構成することもできる。配線の構成なども図１、図２などに限定されず、適宜変更することができる。

10

【０１９３】

本実施の形態に係る半導体装置は、トランジスタ１６４の低オフ電流特性により、長時間にわたり入力信号を保持することが可能である。これにより、入力信号が保持可能な半導体装置（例えば、インバータ回路）が提供される。

【０１９４】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【０１９５】

（実施の形態２）

20

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図１１を用いて説明する。先の実施の形態で得られる半導体装置は、電力の供給がない場合でも、情報を保持することが可能である。また、入力信号の書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、当該半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

【０１９６】

図１１（Ａ）は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体３０１、筐体３０２、表示部３０３、キーボード３０４などによって構成されている。

30

【０１９７】

図１１（Ｂ）は、先の実施の形態に係る半導体装置を含む携帯情報端末（ＰＤＡ）であり、本体３１１には表示部３１３と、外部インターフェイス３１５と、操作ボタン３１４等が設けられている。また操作用の付属品としてスタイラス３１２がある。

【０１９８】

図１１（Ｃ）には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍３２０を示す。電子書籍３２０は、筐体３２１および筐体３２３の２つの筐体で構成されている。筐体３２１および筐体３２３は、軸部３３７により一体とされており、該軸部３３７を軸として開閉動作を行うことができる。このような構成により、電子書籍３２０は、紙の書籍のように用いることが可能である。

40

【０１９９】

筐体３２１には表示部３２５が組み込まれ、筐体３２３には表示部３２７が組み込まれている。表示部３２５および表示部３２７は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図１１（Ｃ）では表示部３２５）に文章を表示し、左側の表示部（図１１（Ｃ）では表示部３２７）に画像を表示することができる。

【０２００】

また、図１１（Ｃ）では、筐体３２１に操作部などを備えた例を示している。例えば、筐体３２１は、電源３３１、操作キー３３３、スピーカー３３５などを備えている。操作キー３３３により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやボ

50

インティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、U S B端子、またはA CアダプタおよびU S Bケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍320は、電子辞書としての機能を持たせた構成としてもよい。

【0201】

また、電子書籍320は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0202】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0203】

図11（D）は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体340および筐体341の二つの筐体で構成されている。筐体341は、表示パネル342、スピーカー343、マイクロフォン344、ポインティングデバイス346、カメラ用レンズ347、外部接続端子348などを備えている。また、筐体340は、当該携帯電話機の充電を行う太陽電池セル349、外部メモリスロット350などを備えている。また、アンテナは筐体341内部に内蔵されている。

【0204】

表示パネル342はタッチパネル機能を備えており、図11（D）には映像表示されている複数の操作キー345を点線で示している。なお、当該携帯電話は、太陽電池セル349で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触I Cチップ、小型記録装置などを内蔵した構成とすることもできる。

【0205】

表示パネル342は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル342と同一面上にカメラ用レンズ347を備えているため、テレビ電話が可能である。スピーカー343およびマイクロフォン344は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体340と筐体341はスライドし、図11（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0206】

外部接続端子348はA CアダプタやU S Bケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット350に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0207】

図11（E）は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体361、表示部（A）367、接眼部363、操作スイッチ364、表示部（B）365、バッテリー366などによって構成されている。

【0208】

図11（F）は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置370では、筐体371に表示部373が組み込まれている。表示部373により、映像を表示することが可能である。なお、ここでは、スタンド375により筐体371を支持した構成を示している。

【0209】

テレビジョン装置370の操作は、筐体371が備える操作スイッチや、別体のリモコン操作機380により行うことができる。リモコン操作機380が備える操作キー379により、チャンネルや音量の操作を行うことができ、表示部373に表示される映像を操作

10

20

30

40

50

することができる。また、リモコン操作機 380 に、当該リモコン操作機 380 から出力する情報を表示する表示部 377 を設ける構成としてもよい。

【0210】

なお、テレビジョン装置 370 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【0211】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる

10

【符号の説明】

【0212】

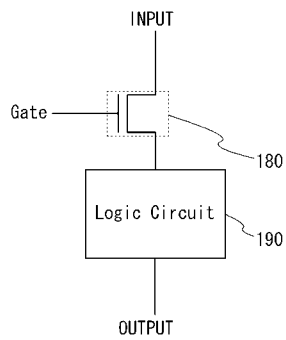
100	基板	
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108a	ゲート絶縁層	
110a	ゲート電極	
112	絶縁層	20
114	不純物領域	
116	チャネル形成領域	
118	サイドウォール絶縁層	
120	高濃度不純物領域	
122	金属層	
124	金属化合物領域	
126	層間絶縁層	
128	層間絶縁層	
130a	ソース電極またはドレイン電極	
130b	ソース電極またはドレイン電極	30
130c	電極	
132	絶縁層	
134	導電層	
136a	電極	
136b	電極	
136c	電極	
136d	ゲート電極	
138	ゲート絶縁層	
140	酸化物半導体層	
142a	ソース電極またはドレイン電極	40
142b	ソース電極またはドレイン電極	
144	保護絶縁層	
146	層間絶縁層	
148	導電層	
150a	電極	
150b	電極	
150c	電極	
150d	電極	
150e	電極	
152	絶縁層	50

1 5 4 a	電 極	
1 5 4 b	電 極	
1 5 4 c	電 極	
1 5 4 d	電 極	
1 6 0	ト ラ ン ジ ス タ	
1 6 2	ト ラ ン ジ ス タ	
1 6 4	ト ラ ン ジ ス タ	
1 6 6	容 量 素 子	
1 6 8	ト ラ ン ジ ス タ	
1 8 0	ト ラ ン ジ ス タ	10
1 8 2	ト ラ ン ジ ス タ	
1 9 0	論 理 回 路	
1 9 2	論 理 回 路	
3 0 1	本 体	
3 0 2	筐 体	
3 0 3	表 示 部	
3 0 4	キ ー ボ ー ド	
3 1 1	本 体	
3 1 2	ス タ イ ラ ス	
3 1 3	表 示 部	20
3 1 4	操 作 ボ タ ン	
3 1 5	外 部 イ ン タ ー フ ェ イ ス	
3 2 0	電 子 書 籍	
3 2 1	筐 体	
3 2 3	筐 体	
3 2 5	表 示 部	
3 2 7	表 示 部	
3 3 1	電 源	
3 3 3	操 作 キ ー	
3 3 5	ス ピ ー カ ー	30
3 3 7	軸 部	
3 4 0	筐 体	
3 4 1	筐 体	
3 4 2	表 示 パ ネ ル	
3 4 3	ス ピ ー カ ー	
3 4 4	マ イ ク ロ フ ォ ン	
3 4 5	操 作 キ ー	
3 4 6	ポ イ ン テ ィ ン グ デ バ イ ス	
3 4 7	カ メ ラ 用 レ ン ズ	
3 4 8	外 部 接 続 端 子	40
3 4 9	太 陽 電 池 セ ル	
3 5 0	外 部 メ モ リ ス ロ ッ ト	
3 6 1	本 体	
3 6 3	接 眼 部	
3 6 4	操 作 ス イ ッ チ	
3 6 5	表 示 部 (B)	
3 6 6	バ ッ テ リ ー	
3 6 7	表 示 部 (A)	
3 7 0	テ レ ビ ジ ョ ン 装 置	
3 7 1	筐 体	50

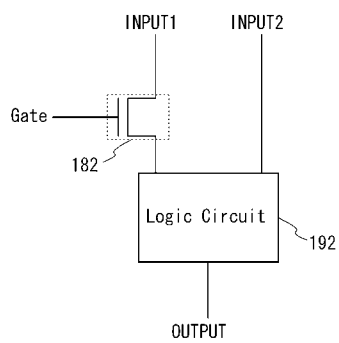
3 7 3	表示部
3 7 5	スタンド
3 7 7	表示部
3 7 9	操作キー
3 8 0	リモコン操作機

【図 1】

(A)

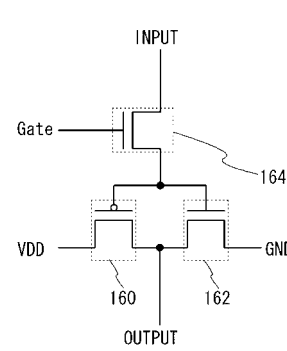


(B)

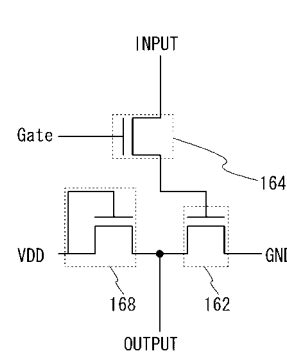


【図 2】

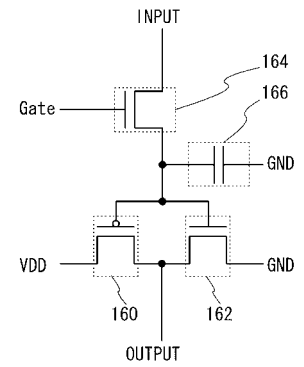
(A)



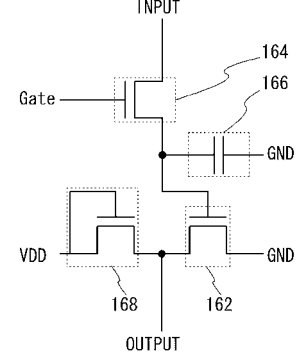
(C)



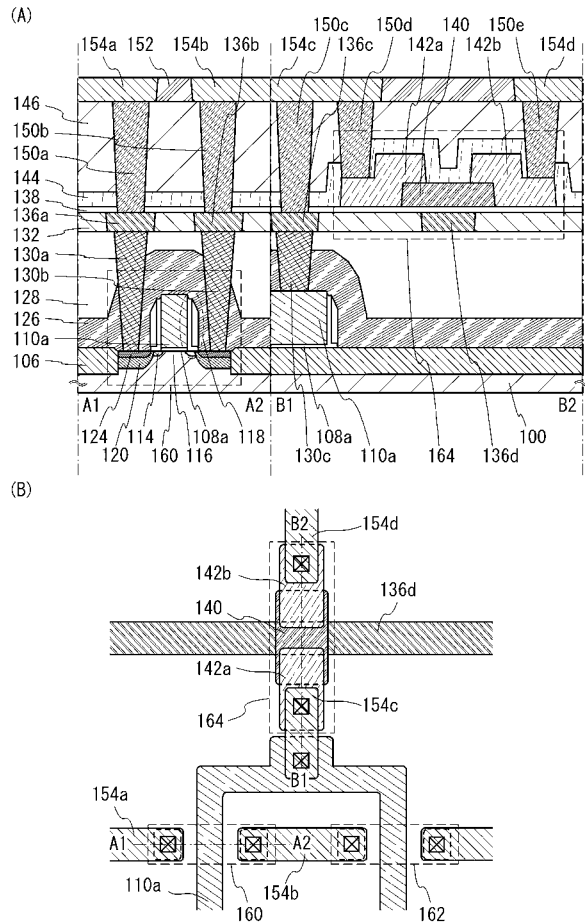
(B)



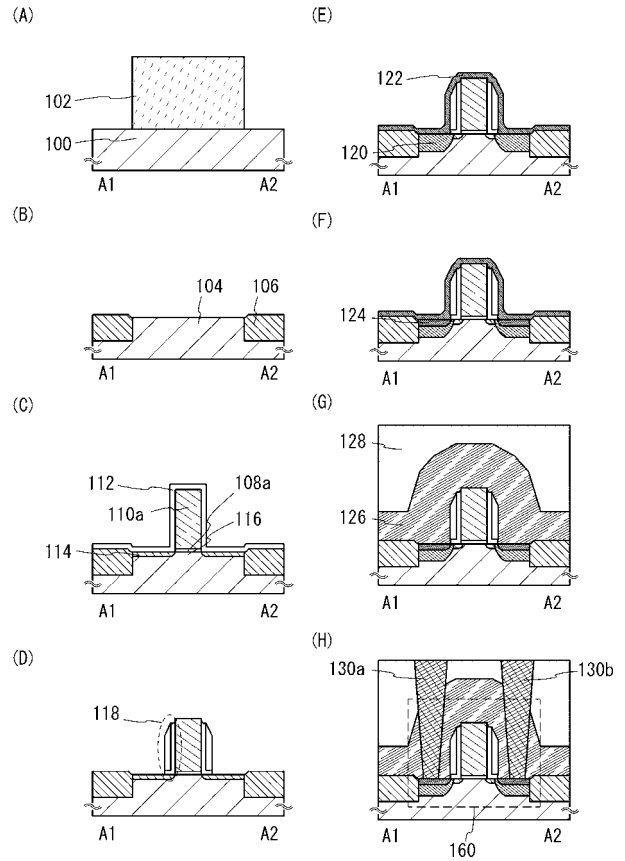
(D)



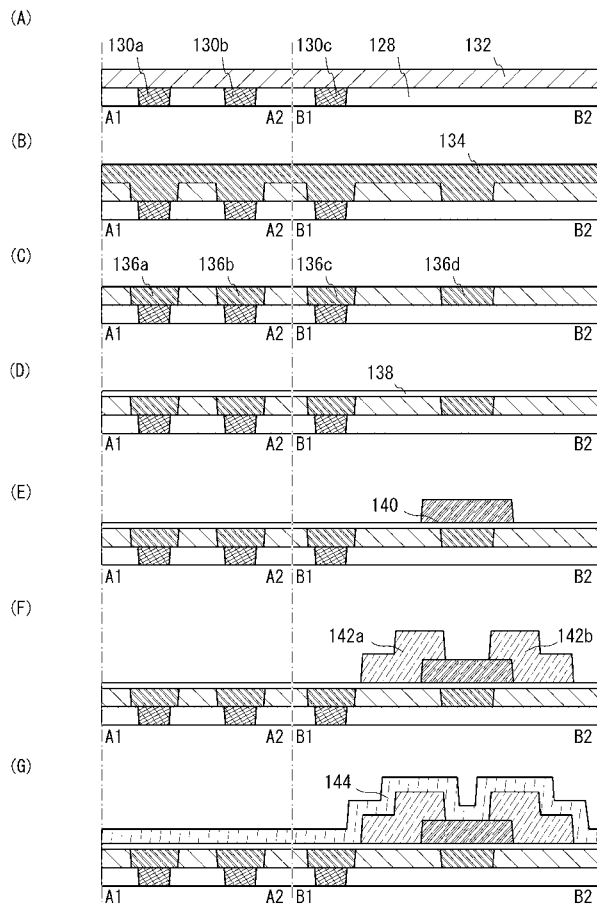
【図 3】



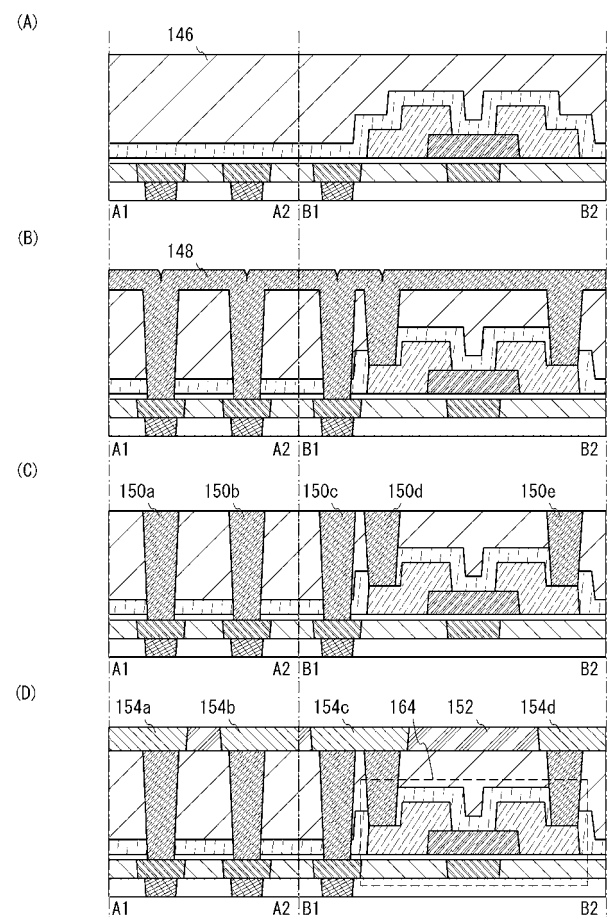
【図 4】



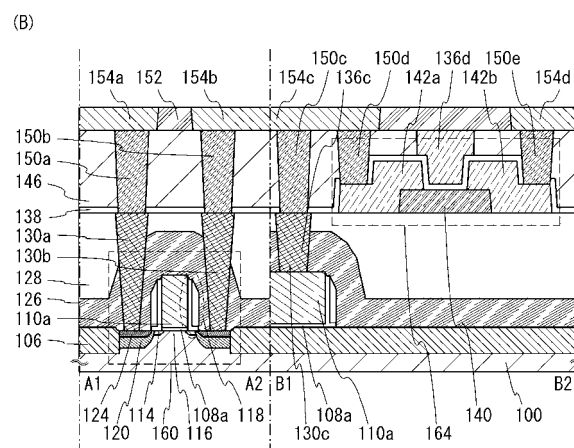
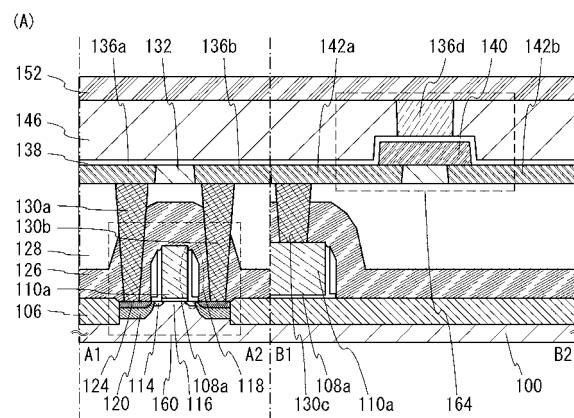
【図 5】



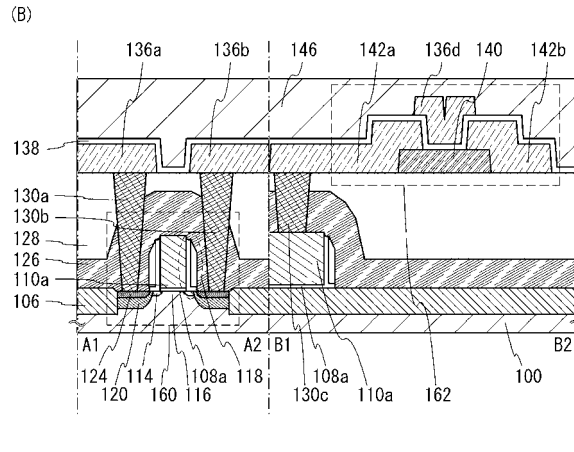
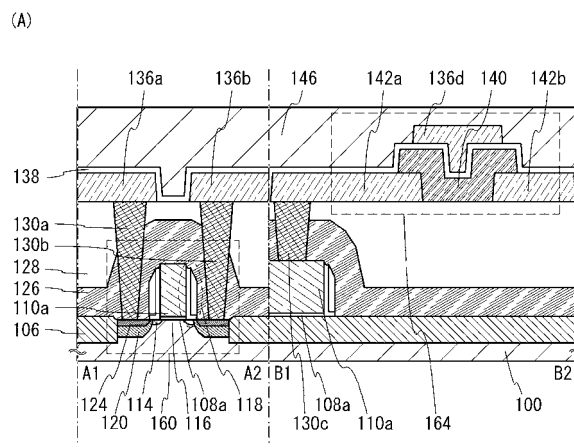
【図 6】



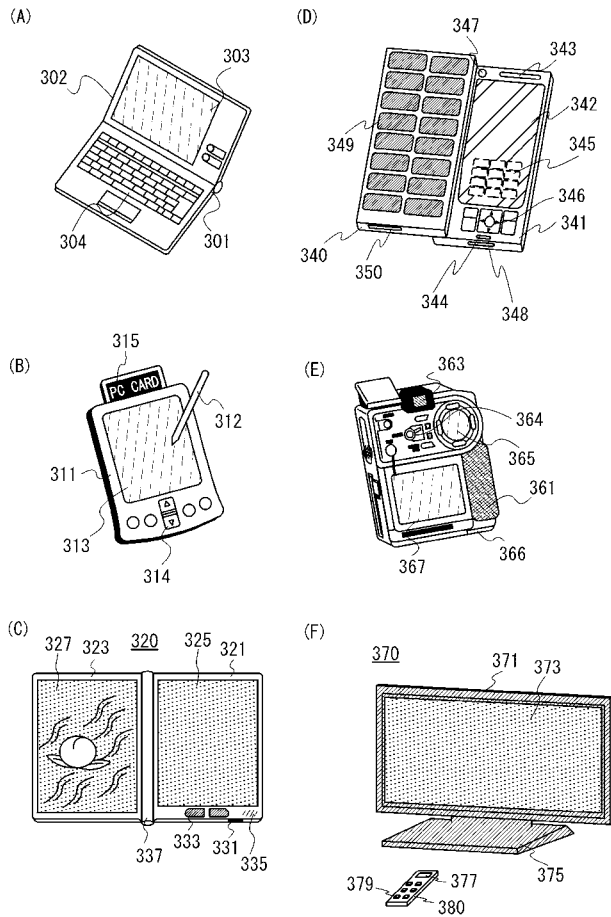
【图 8】



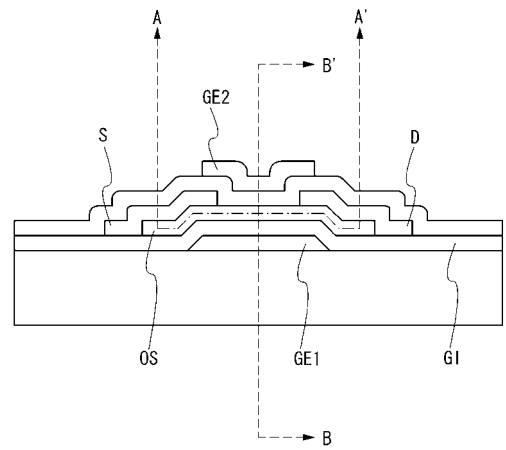
【図 10】



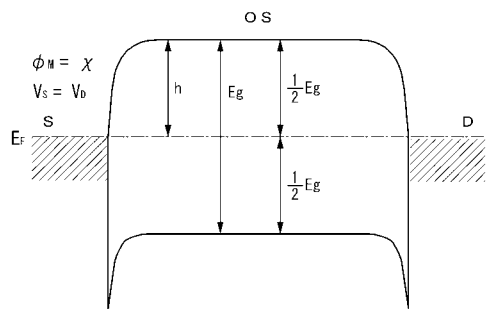
【図 1 1】



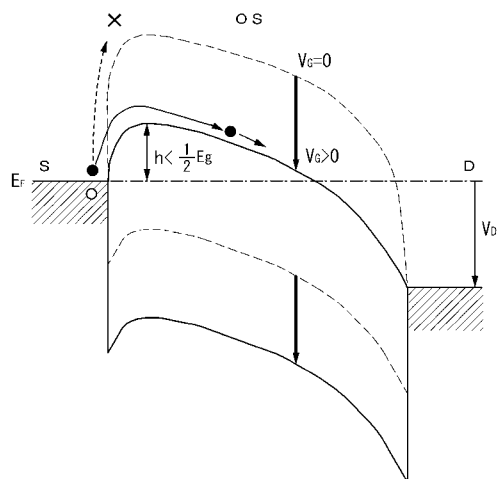
【図 1 2】



【図 1 3】

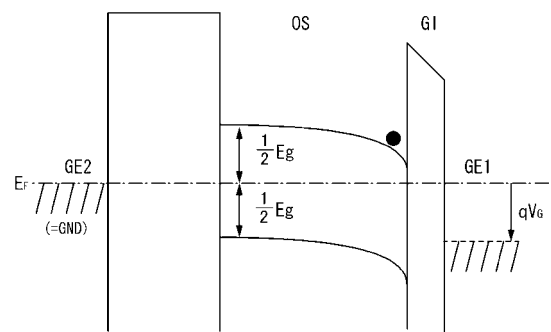
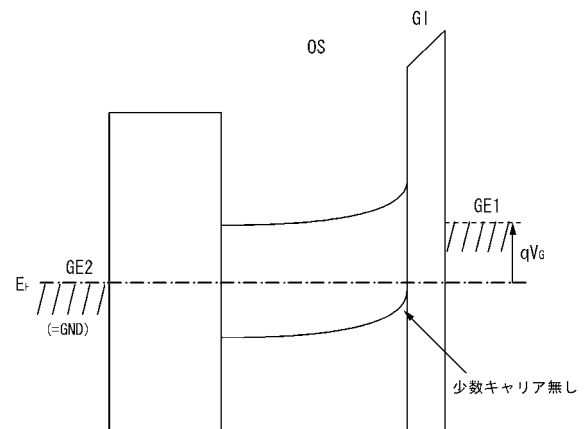


(A) A-A' 断面エネルギーバンド図

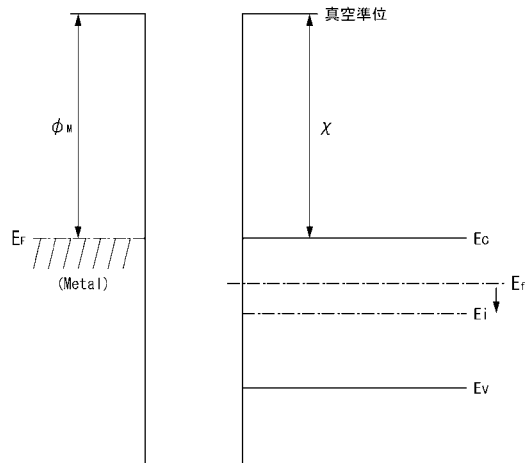


(B) 電圧印加時のエネルギーバンド図

【図 1 4】

(A) B-B' 間エネルギーバンド図 ($V_G > 0$)(B) B-B' 間エネルギーバンド図 ($V_G < 0$)

【図 15】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L	29/417	(2006.01)	H O 1 L	21/28	3 0 1 B
H O 1 L	21/8247	(2006.01)	H O 1 L	29/50	M
H O 1 L	27/115	(2006.01)	H O 1 L	27/10	4 3 4
H O 1 L	21/8242	(2006.01)	H O 1 L	27/10	3 2 1
H O 1 L	27/108	(2006.01)	H O 1 L	29/78	3 7 1
H O 1 L	21/336	(2006.01)	H O 1 L	27/10	4 4 1
H O 1 L	29/788	(2006.01)	H O 3 K	3/356	B
H O 1 L	29/792	(2006.01)	H O 3 K	19/094	A
H O 1 L	27/105	(2006.01)			
H O 3 K	3/356	(2006.01)			
H O 3 K	19/0944	(2006.01)			

F ターム(参考) 4M104 AA01 AA03 AA08 AA09 BB01 BB02 BB03 BB04 BB06 BB13
 BB14 BB16 BB17 BB18 BB20 BB21 BB22 BB25 BB27 BB28
 BB30 BB36 BB40 CC01 DD08 DD09 DD15 DD16 DD17 DD18
 DD26 DD33 DD34 DD37 DD43 DD51 DD62 DD63 DD71 DD75
 DD80 DD84 DD91 FF01 FF02 FF06 FF09 FF17 FF18 FF22
 FF26 GG09 GG10 GG14 GG16 HH04 HH10 HH12 HH14 HH15
 HH16
 5F048 AB01 AB03 AC01 AC10 BA16 BA19 BB05 BB09 BB11 BC06
 BF06 BF07 BF16 BG13 CB01 CB03 CB04 DA25
 5F083 AD02 AD10 AD69 EP22 EP63 EP68 EP75 GA01 GA02 GA05
 GA06 GA09 GA10 GA21 GA25 GA27 GA28 GA29 HA02 HA06
 JA02 JA05 JA06 JA19 JA35 JA36 JA37 JA38 JA39 JA40
 MA05 MA06 MA16 MA19 NA01 PR01 PR03 PR05 PR06 PR07
 PR12 PR15 PR21 PR22 PR34 PR39 PR40 ZA12
 5F101 BA17 BD07 BD30 BD33 BD35 BD39 BF01 BF02 BF03 BF09
 BH02 BH03 BH05 BH14 BH15 BH16
 5F110 AA06 BB03 BB05 CC01 CC03 CC05 CC07 DD05 DD12 DD13
 DD14 DD15 DD24 DD25 EE22 EE48 FF01 FF02 FF03 FF04
 FF09 FF28 FF29 FF30 FF36 GG01 GG06 GG17 GG22 GG28
 GG33 GG34 GG43 GG57 GG58 HK02 HK03 HK04 HK06 HK21
 HK22 HK33 HK35 HL01 HL02 HL03 HL04 HL06