

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 15 日 (15.11.2018)



(10) 国际公布号
WO 2018/205239 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2017/084058

(22) 国际申请日: 2017 年 5 月 12 日 (12.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710321063.0 2017 年 5 月 9 日 (09.05.2017) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园, Guangdong 518108 (CN)。 重庆惠科金渝光电科技有限公司(CHONGQING HKC OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国重庆

市巴南区界石镇石桂大道 16 号 3 幢 4-1, Chongqing 400000 (CN)。

(72) 发明人: 陈猷仁 (CHEN, Yu-jen); 中国重庆市巴南区界石镇石桂大道 16 号 3 幢 4-1, Chongqing 400000 (CN)。

(74) 代理人: 深圳市百瑞专利商标事务所(普通合伙) (SHENZHEN BAIRUI PATENT & TRADEMARK OFFICE); 中国广东省深圳市福田区竹子林益华综合楼 A 栋 205, Guangdong 518000 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 一种显示面板和显示装置

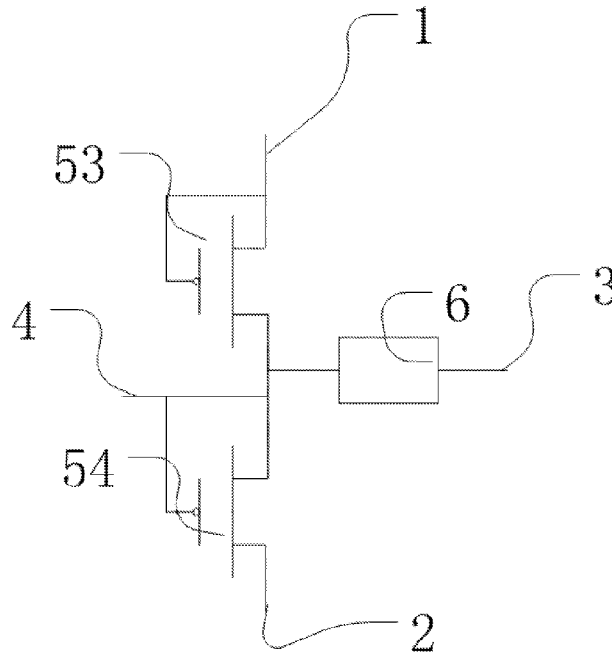


图 2

(57) Abstract: A display panel and a display device. The display panel comprises: a substrate; an electrostatic discharge circuit, which is provided on the substrate and comprises a high level terminal, a low level terminal, an electrostatic input end, and a common end coupled to components of the display panel; a first discharge unit, the first discharge unit comprising a first P-type thin film transistor and a second P-type thin film transistor, a gate and a drain of the first P-type thin film transistor being connected to each other and connected to the high level terminal, a source of the first P-type thin film transistor being connected to the electrostatic input end, a gate



WO 2018/205239 A1

JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

and a drain of the second P-type thin film transistor being connected to each other and connected to the source of the first P-type thin film transistor, and a source of the second P-type thin film transistor being connected to the low level terminal; and a second discharge unit, an input end of the second discharge unit being connected to the electrostatic input end, and an output end of the second discharge unit being connected to the common end.

(57) 摘要: 一种显示面板和显示装置, 显示面板包括: 基板; 静电放电电路, 设置在基板上; 静电放电电路包括与显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端; 以及第一放电单元包括一个第一P型薄膜晶体管和一个第二P型薄膜晶体管, 第一P型薄膜晶体管的栅极和漏极相连接并与高电平接线端连接, 第一P型薄膜晶体管的源极与静电输入端连接, 第二P型薄膜晶体管的栅极和漏极相连接并与第一P型薄膜晶体管的源极连接, 第二P型薄膜晶体管的源极与低电平接线端连接; 第二放电单元的输入端与静电输入端连接, 第二放电单元的输出端与公共端连接。

一种显示面板和显示装置

【技术领域】

本申请涉及显示技术领域，尤其涉及一种显示面板和显示装置。。

【背景技术】

液晶显示器具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶面板及背光模组（backlightmodule）。液晶面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，并在两片玻璃基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

其中，薄膜晶体管液晶显示器（Thin Film Transistor-Liquid Crystal Display, TFT-LCD）由于具有低的功耗、优异的画面品质以及较高的生产良率等性能，目前已经逐渐占据了显示领域的主导地位。同样，薄膜晶体管液晶显示器包含液晶面板和背光模组，液晶面板包括彩膜基板（Color Filter Substrate, CF Substrate, 也称彩色滤光片基板）、薄膜晶体管阵列基板（Thin Film Transistor Substrate, TFTSubstrate）和光罩（Mask），上述基板的相对内侧存在透明电极。两片基板之间夹一层液晶分子（LiquidCrystal, LC）。

然而，显示面板的电路中，其中的元器件容易被 ESD（Electrostatic Discharge, 静电放电）所损伤。尤其当 ESD 电压出现在画素阵列上时，制作于该画素阵列旁的 ESD 防护电路，电路内所使用的元件不具有较低的崩溃电压（breakdown voltage）或较快的导通速度，往往不能及时导通来排放 ESD 放电电流。

【发明内容】

本申请所要解决的技术问题是提供一种拥有加大 ESD 放电电流的保护电路的显示面板。

此外，本申请还提供一种显示装置。

本申请的目的是通过以下技术方案来实现的：

一种显示面板，所述显示面板包括：

基板，设有多个像素区；

静电放电电路，所述静电放电电路设置在所述基板上；

所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及

第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；

第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。

其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接。高电平接线端（VGH）与低电平接线端（VGL）之间的所用的导电线所需的线宽较小，这样相当于会有一个比较大的电阻所，相对的泄流电流也比较小，第一放电单元单独发挥泄流的能力可能不够。而第二导电线用于接地端（GND）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。

其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接。高电平接线端（VGH）与低电平接线端（VGL）之间的所用的导电线所需的线宽较小，这样相当于会有一个比较大的电阻所，相对的泄流电流也比较小，第一放电单元单独发挥泄流的能力可能不够。而第二导电线用于公共电压端（VCOM）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。

其中，所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。第二放电单元通过第三薄膜晶体管泄流，设置简单，有效可靠。

其中，所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。利用电容具有隔直流、通交流，通高频、阻低频的特性，电压范围在 $V_{GL} \sim V_{GH}$ 时，第二放电单元不参与作用。同时电压范围不在 $V_{GL} \sim V_{GH}$ 时，例如瞬间有个正的大电压时，第二放电单元能够正常工作，不产生经第二薄膜晶体管留下 V_{GL} 的电流。

其中，所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。第四薄膜晶体管的导通进一步完成第二放电单元的放电功用，同时将电容的第二端的电位拉到与公共端一致，这样当电压范围在 $V_{GL} \sim V_{GH}$ 时，第三薄膜晶体管不至于导通放电而影响保护电路的正常工作。

其中，所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

其中，所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶

体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接。这里是保护电路的一个实施方式，明确具体采用的电元件以及连接关系。

其中，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。具体 VGH、VGL 的连接。

根据本申请的又一个方面，本申请还公开了一种显示装置，所述显示装置包括背光模组和如上所述的显示面板。

本申请由于两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。

【附图说明】

所包括的附图用来提供对本申请实施例的进一步的理解，其构成了说明书的一部分，用于例示本申请的实施方式，并与文字描述一起来阐释本申请的原理。显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 是本申请实施例一种显示面板的保护电路的示意图；

图 2 是本申请实施例一种显示面板的保护电路的示意图；

图 3 是本申请实施例一种显示面板的保护电路的示意图；

图 4 是本申请实施例一种显示面板的保护电路的示意图；

图 5 是本申请实施例一种显示面板的保护电路的示意图；

图 6 是本申请实施例一种显示面板的保护电路的示意图；

图 7 是本申请实施例一种显示面板的保护电路的示意图；

图 8 是本申请实施例一种显示面板的保护电路的示意图；

图9是本申请实施例一种显示面板的结构示意图。

【具体实施方式】

这里所公开的具体结构和功能细节仅仅是代表性的，并且是用于描述本申请的示例性实施例的目的。但是本申请可以通过许多替换形式来具体实现，并且不应当被解释成仅仅受限于这里所阐述的实施例。

在本申请的描述中，需要理解的是，术语“中心”、“横向”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。另外，术语“包括”及其任何变形，意图在于覆盖不排他的包含。

在本申请的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本申请中的具体含义。

这里所使用的术语仅仅是为了描述具体实施例而不意图限制示例性实施例。除非上下文明确地另有所指，否则这里所使用的单数形式“一个”、“一项”还意图包括复数。还应当理解的是，这里所使用的术语“包括”和/或“包含”规定所陈述的特征、整数、步骤、操作、单元和/或组件的存在，而不排除存在或添加一个或更多其他特征、整数、步骤、操作、单元、组件和/或其组合。

下面结合附图和较佳的实施例对本申请作进一步详细说明。

作为本申请的一个实施例，如图 1-2 所示，所述显示面板包括：基板，设有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元的输出端分别与高电平接线端和低电平接线端连接，所述第一放电单元的控制端和输入端与所述静电输入端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。其中，所述第一放电单元包括一个第一薄膜晶体管和一个第二薄膜晶体管，所述第一薄膜晶体管的输出端与所述高电平接线端连接，第一薄膜晶体管的输入端、所述第二薄膜晶体管的输出端与所述静电输入端连接，所述第二薄膜晶体管的输入端与所述低电平接线端连接。本申请由于两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。如图 9 所示，所示基板上设置有静电放电电路、栅极驱动电路和源极驱动电路，水平设置的扫描线和竖直设置的数据线与其相对应的电路耦合连接，多条所述数据线与多条所述扫描线依次相交设置形成多个像素区。

具体的，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接。高电平接线端（VGH）与低电平接线端（VGL）之间的所用的导电线所需的线宽较小，这样相当于会有一个比较大的电阻所，相对的泄流电流也比较小，第一放电单元单独发挥泄流的能力可能不够。而第二导电线用于接地端（GND）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接。而第二导电线用于公共电压端（VCOM）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。其中，所述显示面板包括栅极集成电路，所述高电平接线端、所述

低电平接线端分别于所述栅极集成电路的薄膜晶体管开启电压端和薄膜晶体管关闭电压端连接。

作为本申请的又一个实施例，所述显示面板包括：基板，设有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元的输出端分别与高电平接线端和低电平接线端连接，所述第一放电单元的控制端和输入端与所述静电输入端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。其中，所述第一放电单元包括一个第一薄膜晶体管和一个第二薄膜晶体管，所述第一薄膜晶体管的输出端与所述高电平接线端连接，第一薄膜晶体管的输入端、所述第二薄膜晶体管的输出端与所述静电输入端连接，所述第二薄膜晶体管的输入端与所述低电平接线端连接。两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。所述第二放电电路包括一个第三薄膜晶体管、一个电容，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。第二放电单元通过第三薄膜晶体管泄流，设置简单，有效可靠。所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。利用电容具有隔直流、通交流，通高频、阻低频的特性，电压范围在 $V_{GL} \sim V_{GH}$ 时，第二放电单元不参与作用。同时电压范围不在 $V_{GL} \sim V_{GH}$ 时，例如瞬间有个正的大电压时，第二放电单元能够正常工作，不产生经第二薄膜晶体管留下 V_{GL} 的电流。所以如果 PIN 的输入电压范围在 $V_{GL} \sim V_{GH}$ 间因为电容在直流电流中可视为开路，这个电容和薄膜晶体管是不会动作的。

具体的，如图 3 所示，所述第一薄膜晶体管、第二薄膜晶体管为 N 型薄膜晶体管：第一 N 型薄膜晶体管、第二 N 型薄膜晶体管，所述第一 N 型薄膜晶体

管的源极与所述高电平接线端连接，第一 N 型薄膜晶体管的栅极和漏极相连接并与所述第二 N 型薄膜晶体管的源极连接，所述第二 N 型薄膜晶体管的源极还与所述静电输入端连接，所述第二 N 型薄膜晶体管的栅极和漏极相连接并与所述低电平接线端连接；所述第三 N 型薄膜晶体管的源极与第一 N 型薄膜晶体管的栅极连接，所述第三 N 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 N 型薄膜晶体管的栅极连接。

当 PIN 瞬间有个正的大电压进来时，则第一 N 型薄膜晶体管导通，有第一放电电流产生。由于 PIN 电位瞬间变高，电容耦合特效下，电容的第二端与第三 N 型薄膜晶体管的栅极连接之间的点的电位也同时变大，则第三 N 型薄膜晶体管也导通，此时 PIN 的正的大电压可以往 GND 泄流。因为 GND 的走线通常比 VGL 粗，所以相对应的电阻值远小于 VGL 的，故第二放电电流大于第一放电电流。

当然，第一放电单元可以使用 P 型薄膜晶体管，或者 N 型薄膜晶体管和 P 型薄膜晶体管搭配使用。比如，所述第一薄膜晶体管、第二薄膜晶体管为 P 型薄膜晶体管：第一 P 型薄膜晶体管、第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接。

作为本申请的又一个实施例，所述显示面板包括：基板，设有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元的输出端分别与高电平接线端和低电平接线端连接，所述第一放电单元的控制端和输入端与所述静电输入端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，

所述第二放电单元的输出端与所述公共端连接。其中，所述第一放电单元包括一个第一薄膜晶体管和一个第二薄膜晶体管，所述第一薄膜晶体管的输出端与所述高电平接线端连接，第一薄膜晶体管的输入端、所述第二薄膜晶体管的输出端与所述静电输入端连接，所述第二薄膜晶体管的输入端与所述低电平接线端连接。两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个第四薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。第二放电单元通过第三薄膜晶体管泄流，设置简单，有效可靠。所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。利用电容具有隔直流、通交流，通高频、阻低频的特性，电压范围在 $V_{GL} \sim V_{GH}$ 时，第二放电单元不参与作用。同时电压范围不在 $V_{GL} \sim V_{GH}$ 时，例如瞬间有个正的大电压时，第二放电单元能够正常工作，不产生经第二薄膜晶体管留下 V_{GL} 的电流。所以如果 PIN 的输入电压范围在 $V_{GL} \sim V_{GH}$ 间因为电容在直流电流中可视为开路，这个电容和薄膜晶体管是不会动作的。所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述高电平接线端连接，所述第四薄膜晶体管的输出端与所述低电平接线端连接，或者，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。第四薄膜晶体管的导通进一步完成第二放电单元的放电功用，同时将电容的第二端的电位拉到与公共端一致，这样当电压范围在 $V_{GL} \sim V_{GH}$ 时，第三薄膜晶体管不至于导通放电而影响保护电路的正常工作。

具体的，如图 4-5 所示，图 5 可以看作图 4 的实际等效电路，所述第一薄膜晶体管、第二薄膜晶体管为 N 型薄膜晶体管：第一 N 型薄膜晶体管、第二 N 型薄膜晶体管，所述第一 N 型薄膜晶体管的源极与所述高电平接线端连接，第一

N型薄膜晶体管的栅极和漏极相连接并与所述第二N型薄膜晶体管的源极连接，所述第二N型薄膜晶体管的源极还与所述静电输入端连接，所述第二N型薄膜晶体管的栅极和漏极相连接并与所述低电平接线端连接；所述第二放电电路包括一个第三N型薄膜晶体管、一个电容、一个第四N型薄膜晶体管，所述第三N型薄膜晶体管的源极与第一N型薄膜晶体管的栅极连接，所述第三N型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三N型薄膜晶体管的栅极连接，所述第四N型薄膜晶体管的源极与所述电容的第二端连接，所述第四N型薄膜晶体管的栅极与所述高电平接线端连接，所述第四N型薄膜晶体管的漏极与所述低电平接线端连接。这里是保护电路的一个实施方式，明确具体采用的电元件以及连接关系。由于PIN电位瞬间变高，电容耦合特效下，电容的第二端与第三N型薄膜晶体管的栅极连接之间的点的电位也同时变大，则第三N型薄膜晶体管也导通，此时PIN的正的大电压可以往GND泄流。因为GND的走线通常比VGL粗，所以相对应的电阻值远小于VGL的，故第二放电电流大于第一放电电流。而第四N型薄膜晶体管也会同时把电容的第二端与第三N型薄膜晶体管的栅极连接之间的点的电位拉到GND。所以当PIN瞬间有个大的正电压进来时，泄掉的电流为第一放电电流、第二放电电路与第三放电电流的和值更大，相比第一放电单元的单独作用总的泄流电流较大，有更好的保护效果。

当然，第一放电单元可以使用P型薄膜晶体管，或者N型薄膜晶体管和P型薄膜晶体管搭配使用。比如，所述第一薄膜晶体管、第二薄膜晶体管为P型薄膜晶体管：第一P型薄膜晶体管、第二P型薄膜晶体管，所述第一P型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一P型薄膜晶体管的源极与所述静电输入端连接，所述第二P型薄膜晶体管的栅极和漏极相连接并与所述第一P型薄膜晶体管的源极连接，所述第二P型薄膜晶体管的源极与所述低电平接线端连接。

作为本申请的又一个实施例，如图2所示，所述显示面板包括：基板，设

有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。本申请由于两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。

具体的，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接。高电平接线端（VGH）与低电平接线端（VGL）之间的所用的导电线所需的线宽较小，这样相当于会有一个比较大的电阻所，相对的泄流电流也比较小，第一放电单元单独发挥泄流的能力可能不够。而第二导电线用于接地端（GND）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接。而第二导电线用于公共电压端（VCOM）连接，它的线宽都远远大于 VGH、VGL 的线宽，所以可以排泄掉的电流会比原本来的大，以达到更好的防护效果。其中，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的薄膜晶体管开启电压端和薄膜晶体管关闭电压端连接。

作为本申请的又一个实施例，所述显示面板包括：基板，设有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括

与上述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。所述第二放电电路包括一个第三薄膜晶体管、一个电容，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。第二放电单元通过第三薄膜晶体管泄流，设置简单，有效可靠。所述第二放电电路包括，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。利用电容具有隔直流、通交流，通高频、阻低频的特性，电压范围在 $V_{GL} \sim V_{GH}$ 时，第二放电单元不参与作用。同时电压范围不在 $V_{GL} \sim V_{GH}$ 时，例如瞬间有个正的大电压时，第二放电单元能够正常工作，不产生经第二薄膜晶体管留下 V_{GL} 的电流。所以如果 PIN 的输入电压范围在 $V_{GL} \sim V_{GH}$ 间因为电容在直流电流中可视为开路，这个电容和薄膜晶体管是不会动作的。

具体的，如图 6 所示，所述第三薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接。由于 PIN 电位瞬间变高，电容耦合特效下，电容的第二端与第三 N 型薄膜晶体管的栅极连接之间的点的电位也同时变大，则

第三 N 型薄膜晶体管也导通，此时 PIN 的正的大电压可以往 GND 泄流。因为 GND 的走线通常比 VGL 粗，所以相对应的电阻值远小于 VGL 的，故第二放电电流大于第一放电电流。

作为本申请的又一个实施例，所述显示面板包括：基板，设有多个像素区；静电放电电路，所述静电放电电路设置在所述基板上；所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。两个相连接的第一放电单元和第二放电单元共同作用，第二放电单元的另一端与公共端连接，增加 ESD 放电电流路径，泄流的速度和数量得以加大，实现对显示面板更好的保护效果，延长使用寿命。所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个第四薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。第二放电单元通过第三薄膜晶体管泄流，设置简单，有效可靠。所述第二放电电路包括，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。利用电容具有隔直流、通交流，通高频、阻低频的特性，电压范围在 VGL~VGH 时，第二放电单元不参与作用。同时电压范围不在 VGL~VGH 时，例如瞬间有个正的大电压时，第二放电单元能够正常工作，不产生经第二薄膜晶体管留下 VGL 的电流。所以如果 PIN 的输入电压范围在 VGL~VGH 间因为电容在直流电流中可视为开路，这个电容和薄膜晶体管是不会动作的。所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接

线端连接。第四薄膜晶体管的导通进一步完成第二放电单元的放电功用，同时将电容的第二端的电位拉到与公共端一致，这样当电压范围在 $V_{GL} \sim V_{GH}$ 时，第三薄膜晶体管不至于导通放电而影响保护电路的正常工作。

具体的，如图 7-8 所示，图 8 可以看作图 7 的实际等效电路，所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接。由于 PIN 电位瞬间变高，电容耦合特效下，电容的第二端与第三 N 型薄膜晶体管的栅极连接之间的点的电位也同时变大，则第三 N 型薄膜晶体管也导通，此时 PIN 的正的大电压可以往 GND 泄流。因为 GND 的走线通常比 V_{GL} 粗，所以相对应的电阻值远小于 V_{GL} 的，故第二放电电流大于第一放电电流。而第四 N 型薄膜晶体管也会同时把电容的第二端与第三 N 型薄膜晶体管的栅极连接之间的点的电位拉到 GND。所以当 PIN 瞬间有个大的正电压进来时，泄掉的电流为第一放电电流、第二放电电路与第三放电电流的和值更大，相比第一放电单元的单独作用总的泄流电流较大，有更好的保护效果。

作为本申请的又一个实施例，本申请还公开了一种显示装置，所述显示装置包括背光模组和如上所述的显示面板。

需要说明的是，在上述实施例中，所述基板材料可以选用玻璃、塑料等。

在上述实施例中，显示面板包括液晶面板、OLED (Organic Light-Emitting Diode) 面板、曲面面板、等离子面板等，以液晶面板为例，液晶面板包括阵列基板 (Thin Film Transistor Substrate, TFT Substrate) 和彩膜基板 (Color Filter Substrate, CF Substrate)，所述阵列基板与彩膜基板相对设置，所述阵列基板与

彩膜基板之间设有液晶和间隔单元（PS, photo spacer），所述阵列基板上设有薄膜晶体管（TFT, Thin Film Transistor ），彩膜基板上设有彩色滤光层。

在上述实施例中，彩膜基板可包括 TFT 阵列，彩膜及 TFT 阵列可形成于同一基板上，阵列基板可包括彩色滤光层。

在上述实施例中，本申请的显示面板可为曲面型面板。

以上内容是结合具体的优选实施方式对本申请所作的进一步详细说明，不能认定本申请的具体实施只局限于这些说明。对于本申请所属技术领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本申请的保护范围。

权利要求

1、一种显示面板，包括：

基板，设有多个像素区；

静电放电电路，所述静电放电电路设置在所述基板上；

所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及

第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；

第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接；所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接；所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P

型薄膜晶体管的漏极与所述高电平接线端连接；所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

2、一种显示面板，包括：

基板，设有多个像素区；

静电放电电路，所述静电放电电路设置在所述基板上；

所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及

第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；

第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接。

3、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接。

4、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接。

5、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接。

6、如权利要求 5 所述的显示面板，其中，所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。

7、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三

薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接。

8、如权利要求 6 所述的显示面板，其中，所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

9、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接；所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

10、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接；所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接；所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

11、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接；所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连

接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接；所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

12、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接。

13、如权利要求 12 所述的显示面板，其中，所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接。

14、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接；所述第三薄

膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接。

15、如权利要求 2 所述的显示面板，其中，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

16、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端接地连接；所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接；所述第二放电电路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

17、如权利要求 2 所述的显示面板，其中，所述第二放电单元包括一端与所述公共端连接的第一导电线，所述公共端与所述显示面板的公共电压端连接；所述第二放电电路包括一个第三薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接；所述第二放电电路包括一个电容，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接；所述第二放电电

路包括一个第四薄膜晶体管，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

18、如权利要求 2 所述的显示面板，其中，所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接；所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接，所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

19、一种显示装置，所述显示装置包括背光模组和显示面板，所述显示面板包括：

基板，设有多个像素区；

静电放电电路，所述静电放电电路设置在所述基板上；

所述静电放电电路包括与所述显示面板的元器件耦合的高电平接线端、低电平接线端、静电输入端以及公共端；以及

第一放电单元：所述第一放电单元包括一个第一 P 型薄膜晶体管和一个第二 P 型薄膜晶体管，所述第一 P 型薄膜晶体管的栅极和漏极相连接并与所述高电平接线端连接，所述第一 P 型薄膜晶体管的源极与所述静电输入端连接，所述第二 P 型薄膜晶体管的栅极和漏极相连接并与所述第一 P 型薄膜晶体管的源极连接，所述第二 P 型薄膜晶体管的源极与所述低电平接线端连接；

第二放电单元：所述第二放电单元的输入端与所述静电输入端连接，所述第二放电单元的输出端与所述公共端连接；所述第二放电电路包括一个第三薄膜晶体管、一个电容、一个薄膜晶体管，所述第三薄膜晶体管的输入端和控制端与所述静电输入端连接，所述第三薄膜晶体管的输出端与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三薄膜晶体管的控制端连接，所述第四薄膜晶体管的输入端与所述电容的第二端连接，所述第四薄膜晶体管的控制端与所述低电平接线端连接，所述第四薄膜晶体管的输出端与所述高电平接线端连接；所述第三薄膜晶体管、第四薄膜晶体管为 P 型薄膜晶体管：第三 P 型薄膜晶体管、第四 P 型薄膜晶体管，所述第三 P 型薄膜晶体管的源极与所述第二 P 型薄膜晶体管的栅极连接，所述第三 P 型薄膜晶体管的漏极与所述公共端连接，所述公共端接地连接，所述电容的第一端与所述静电输入端连接，所述电容的第二端与所述第三 P 型薄膜晶体管的栅极连接，所述第四 P 型薄膜晶体管的源极与所述电容的第二端连接，所述第四 P 型薄膜晶体管的栅极与所述低电平接线端连接，所述第四 P 型薄膜晶体管的漏极与所述高电平接线端连接；所述显示面板包括栅极集成电路，所述高电平接线端、所述低电平接线端分别于所述栅极集成电路的 TFT 开启电压端和 TFT 关闭电压端连接。

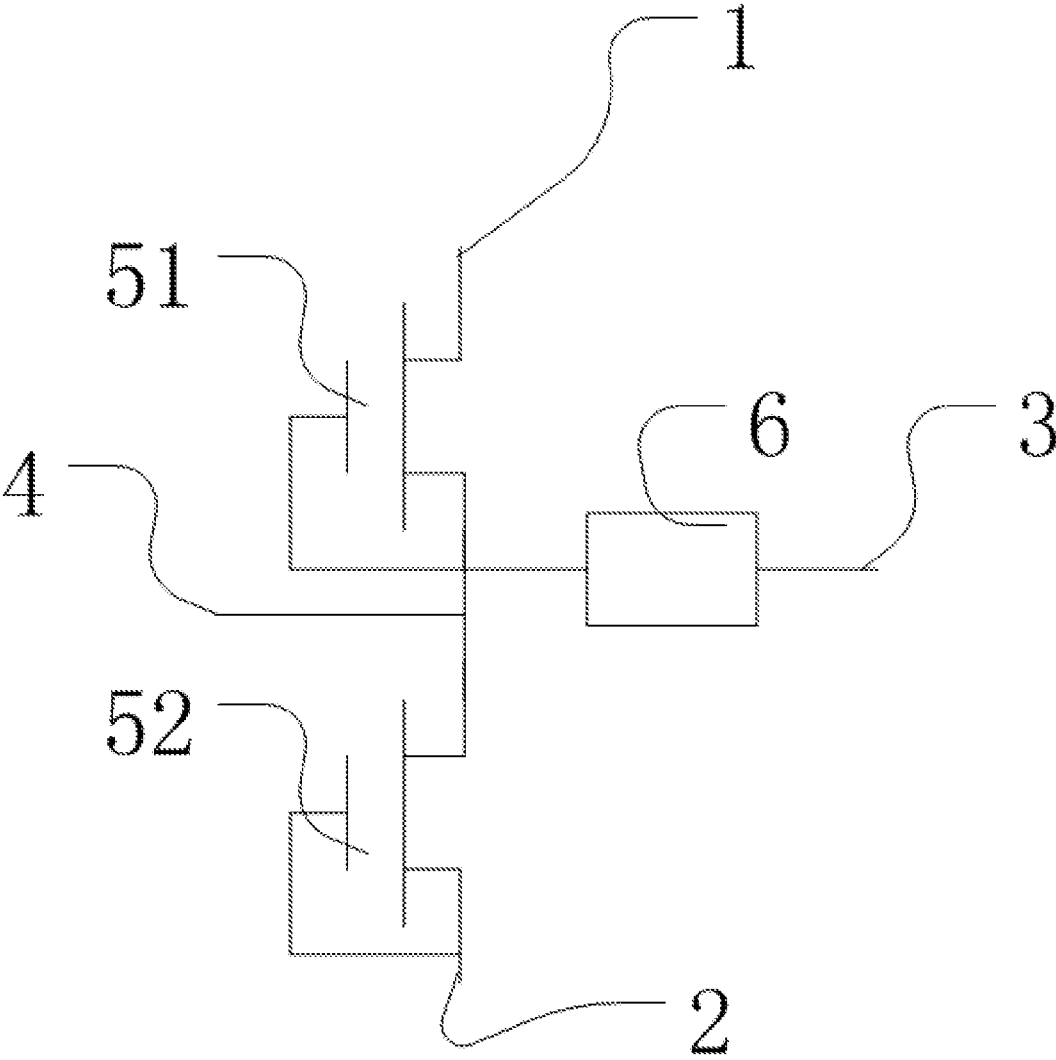


图 1

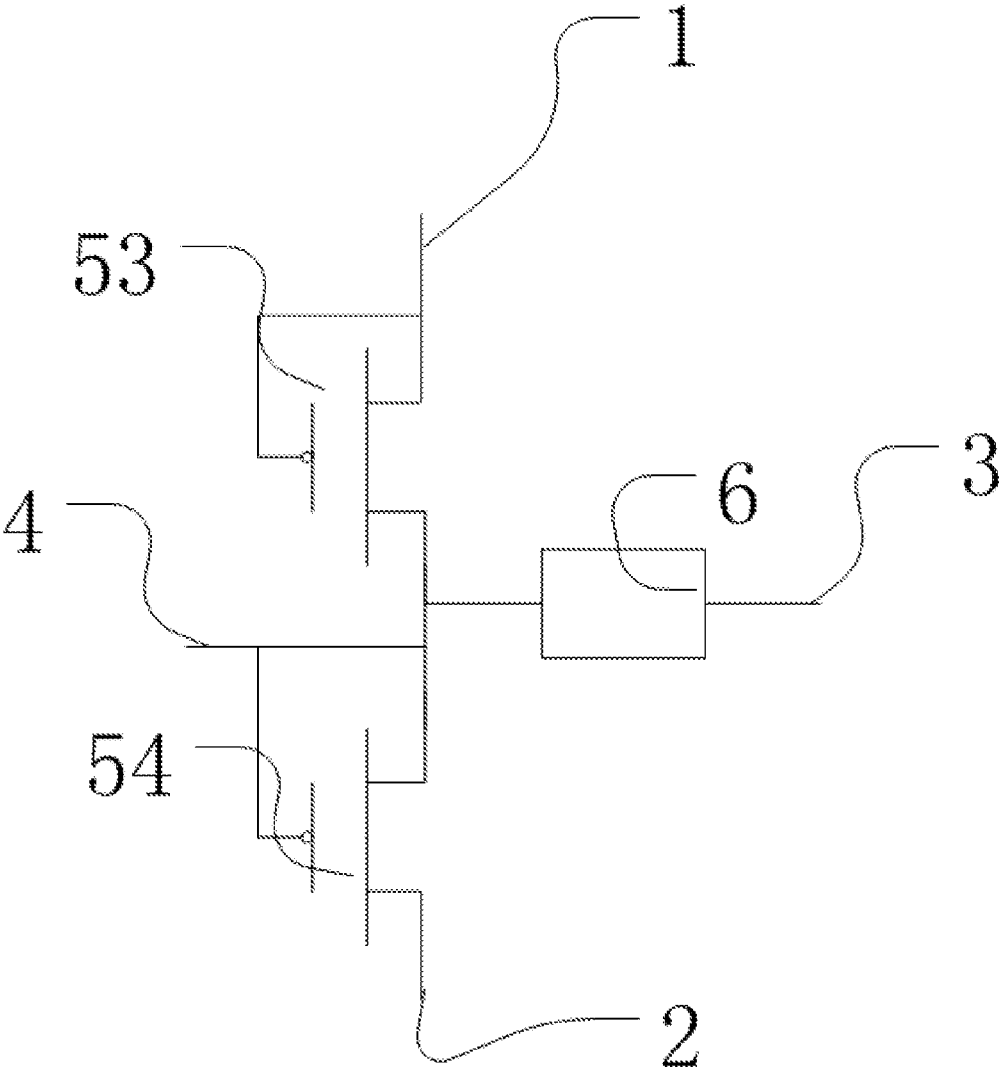


图 2

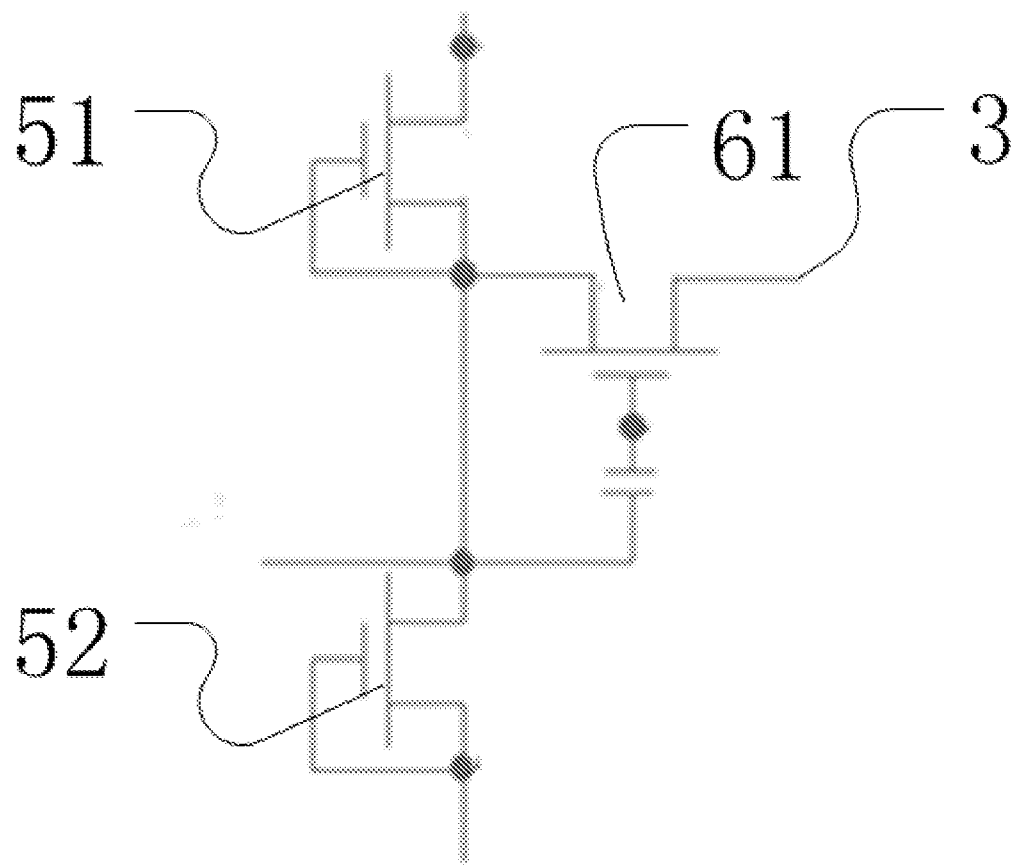


图 3

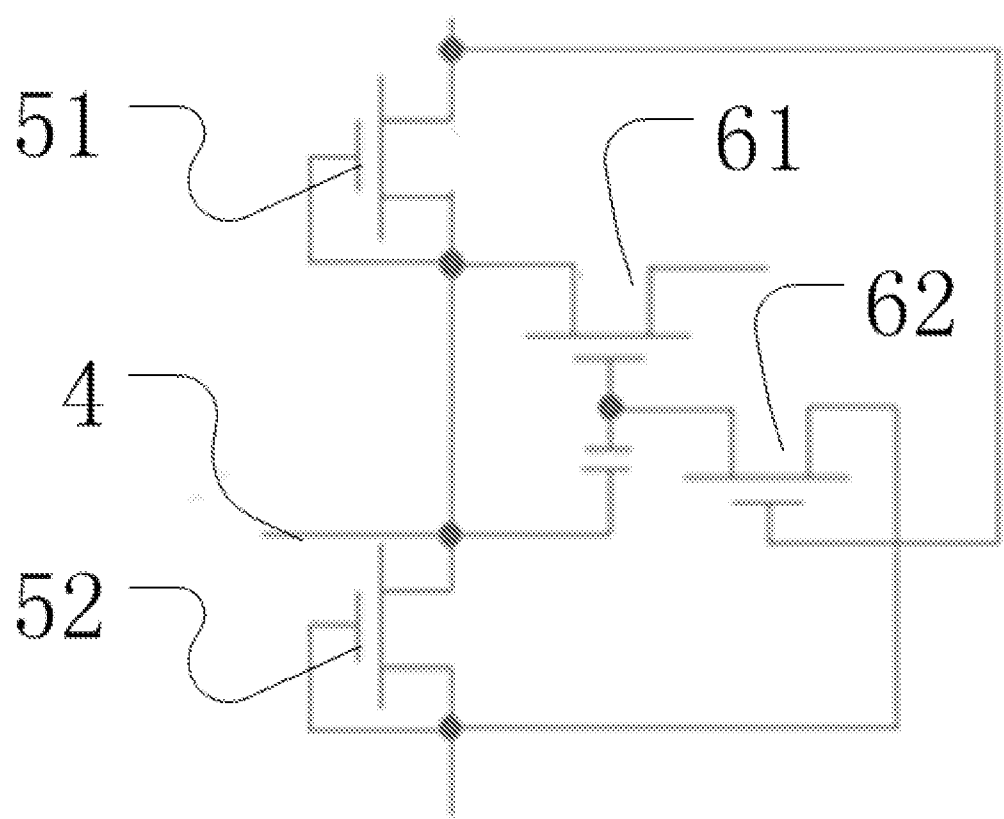


图 4

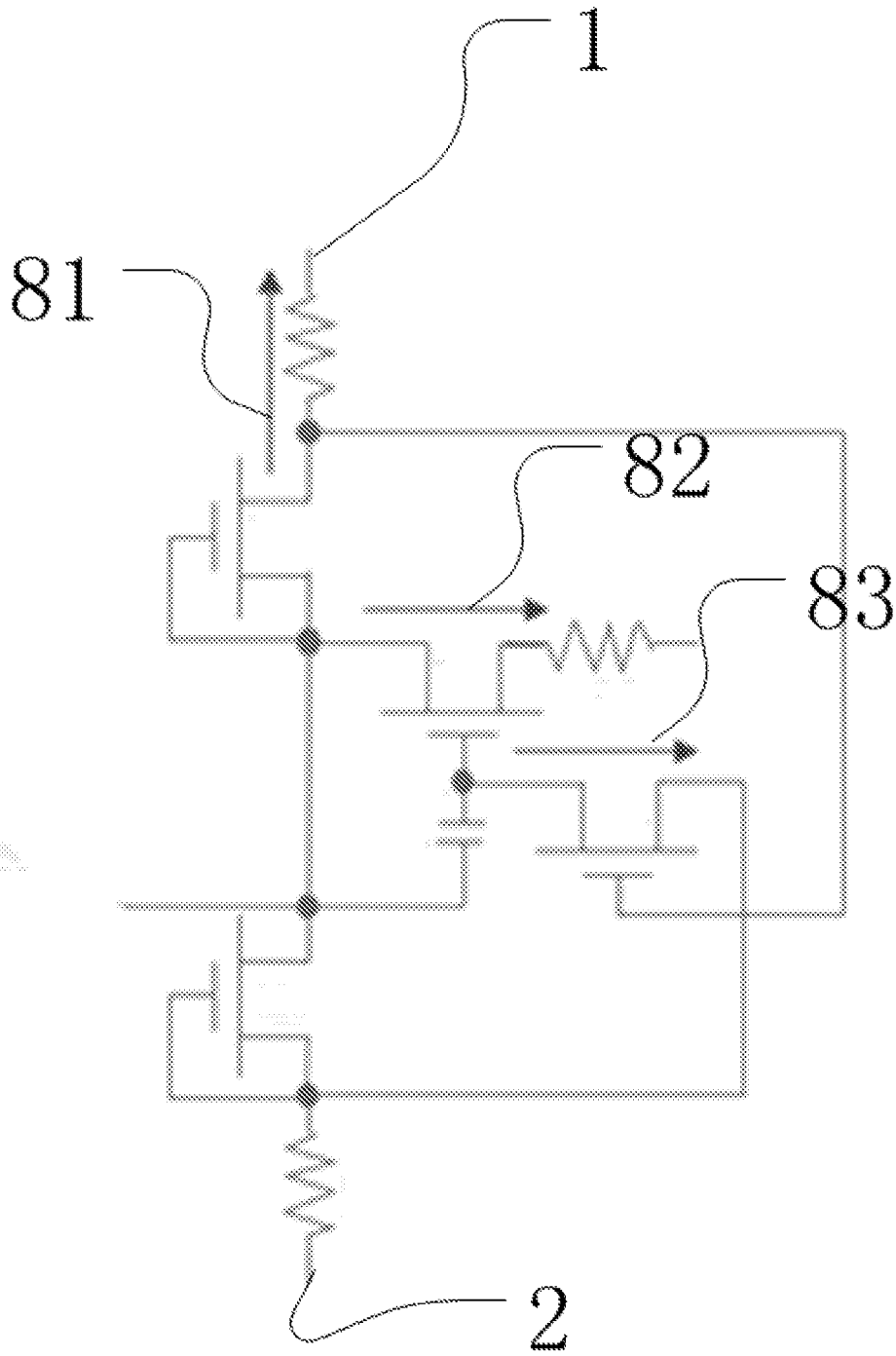


图 5

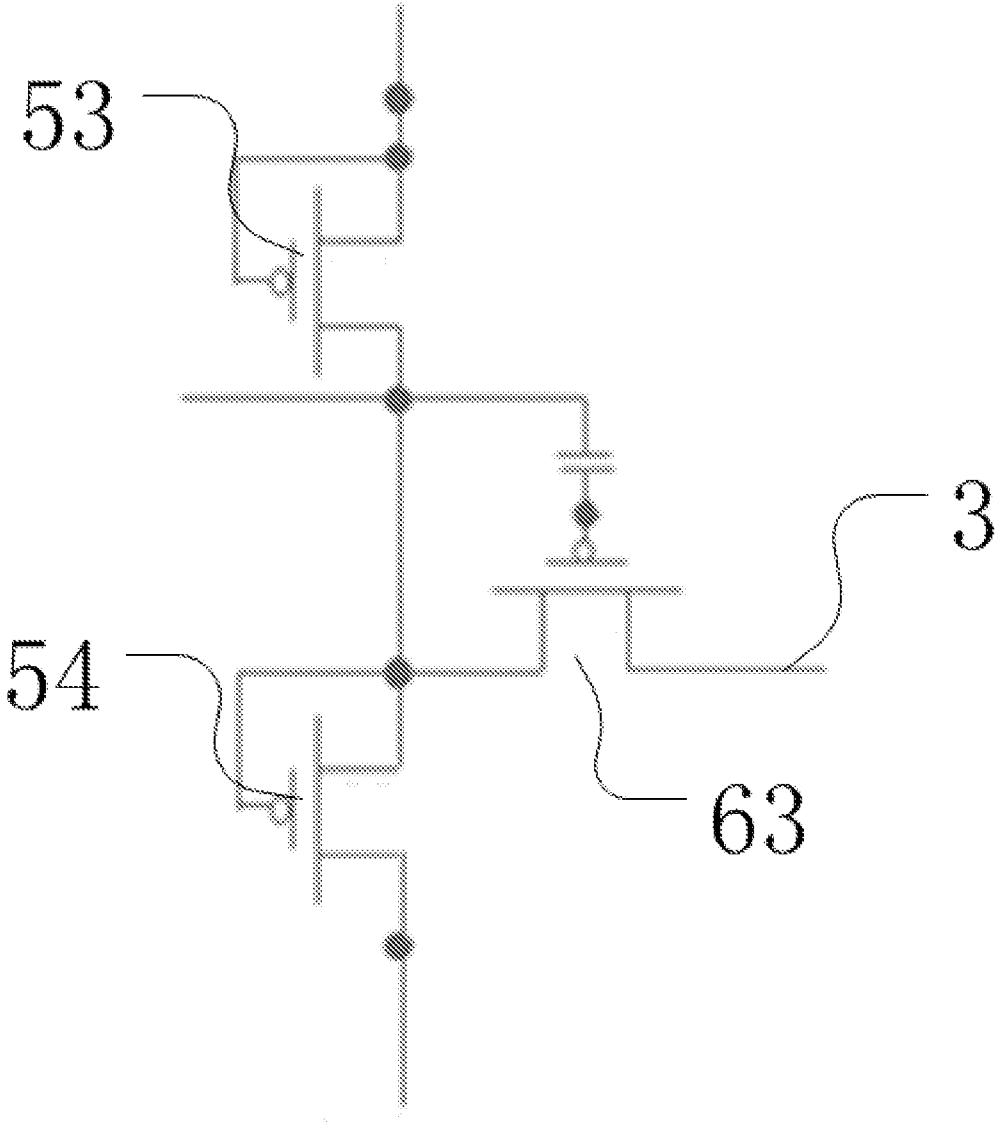


图 6

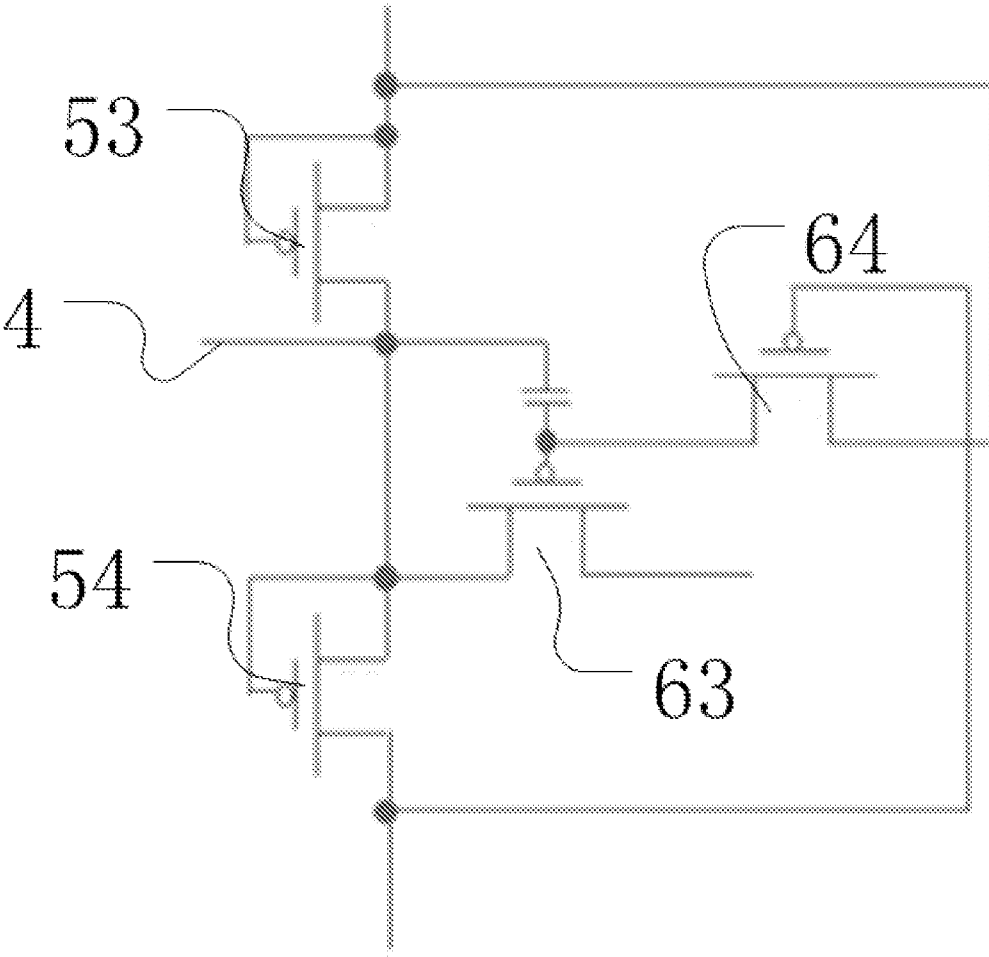


图 7

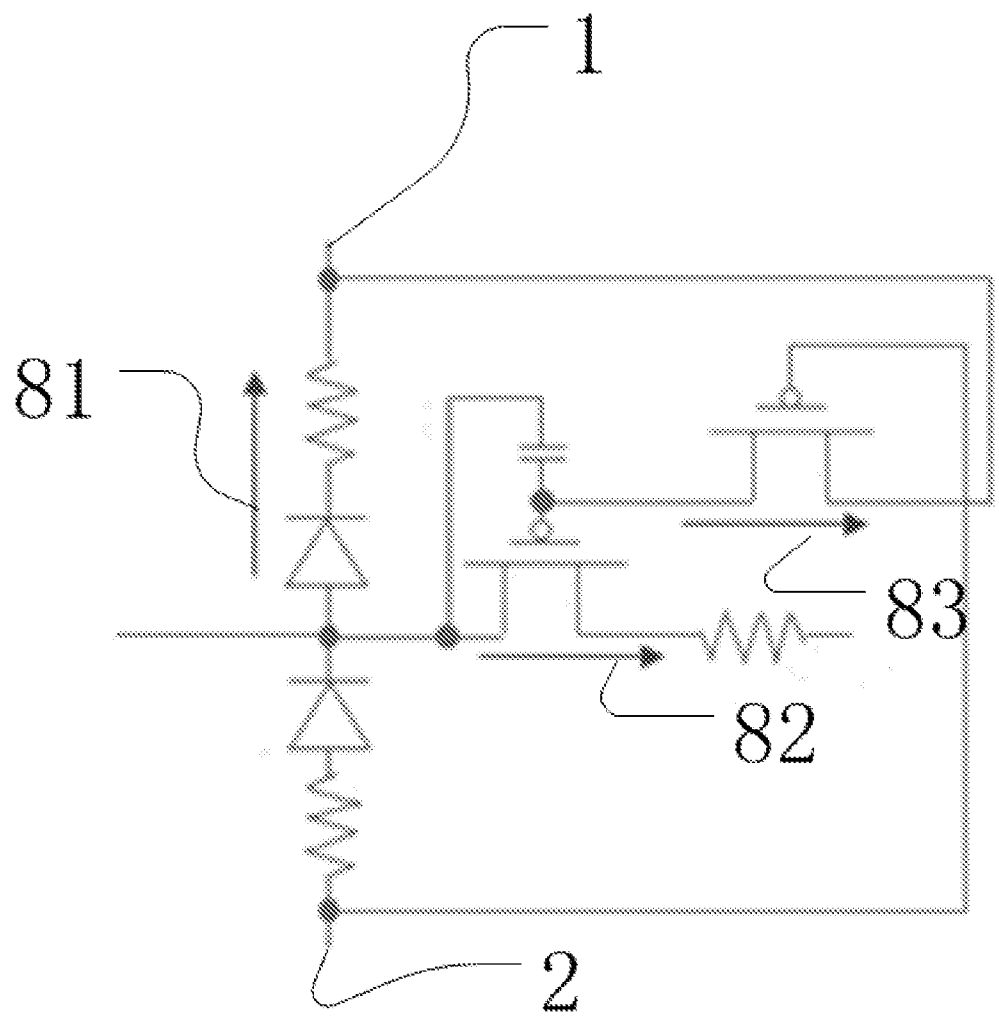


图 8

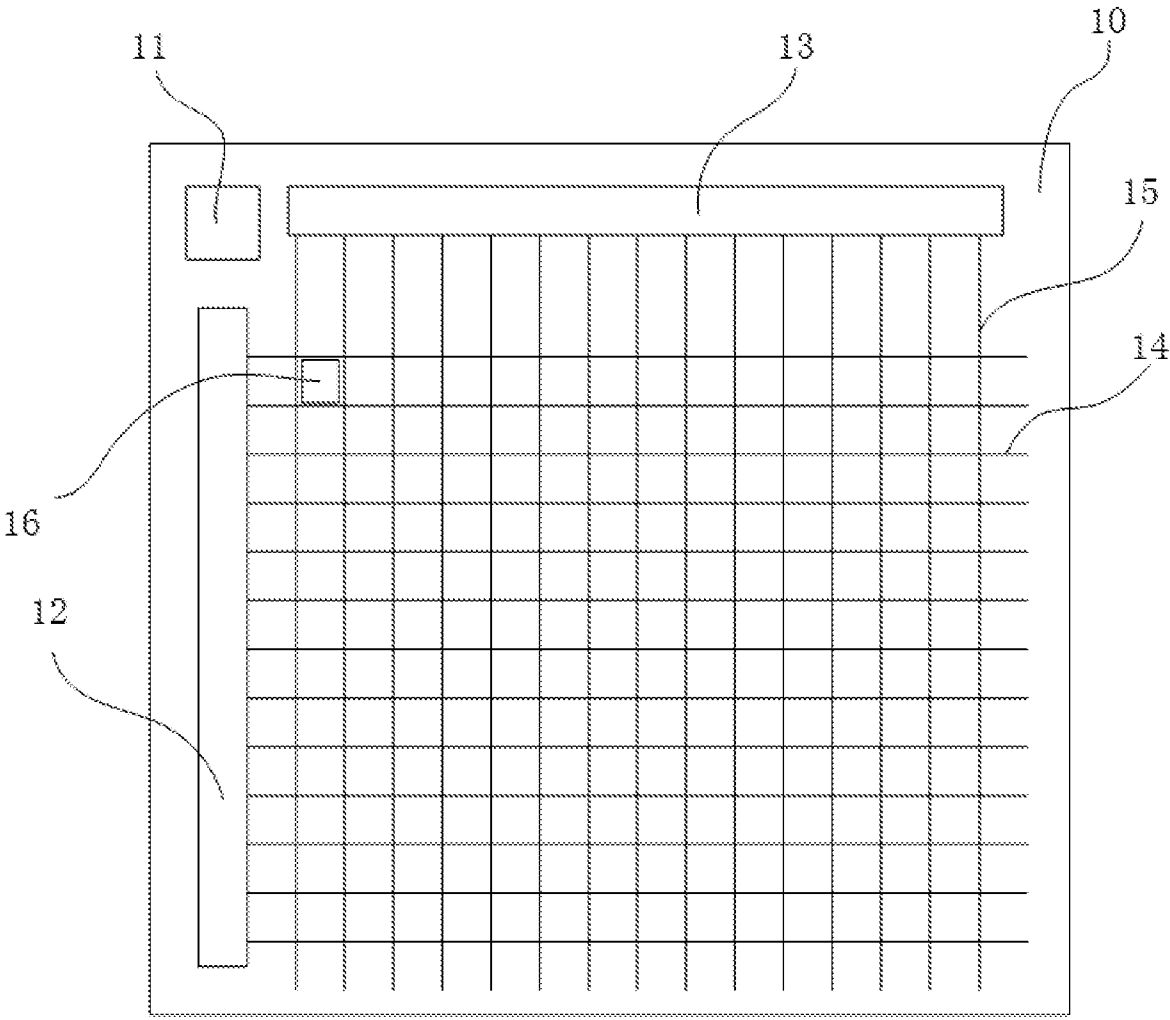


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/084058

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 静电, 电荷, 放电, 释放, 保护, 防护, 高电平, 高电压, 低电平, 低电压, 薄膜晶体管, TFT, 输出, 公共, 公用, 接地, 源级, 漏极, 电容, electrostatic, electro w static, discharge, protect+, ESD, high, voltage, low, common, capacit+, LC, liquid w crystal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103944154 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. ET AL.) 23 July 2014 (2014-07-23) description, paragraphs [0007] and [0031]-[0035], and figure 6	1, 3-14, 16-19
Y	CN 204667021 U (BOE TECHNOLOGY GROUP CO., LTD.) 23 September 2015 (2015-09-23) description, paragraphs [0024], [0033] and [0034], and figure 1	1, 3-14, 16-19
X	CN 103944154 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. ET AL.) 23 July 2014 (2014-07-23) description, paragraphs [0007] and [0031]-[0035], and figure 6	2, 15
X	CN 105045008 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 11 November 2015 (2015-11-11) description, paragraph [0002], and figure 2	2, 15
A	US 2007246778 A1 (LIOU, MENGCHI ET AL.) 25 October 2007 (2007-10-25) entire document	1-19
A	US 6043971 A (L.G. PHILIPS LCD CO., LTD.) 28 March 2000 (2000-03-28) entire document	1-19

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 January 2018

Date of mailing of the international search report

13 February 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/084058

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102967973 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 March 2013 (2013-03-13) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/084058

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103944154	A	23 July 2014	US	2015160522	A1	11 June 2015
				US	9304367	B2	05 April 2016
				DE	102014104250	A1	11 June 2015
CN	204667021	U	23 September 2015	US	2017176824	A1	22 June 2017
				WO	2016201824	A1	22 December 2016
				IN	201647044375	A	05 May 2017
CN	105045008	A	11 November 2015	WO	2017028327	A1	23 February 2017
US	2007246778	A1	25 October 2007	None			
US	6043971	A	28 March 2000	None			
CN	102967973	A	13 March 2013	US	2014126093	A1	08 May 2014
				US	9013846	B2	21 April 2015
				CN	102967973	B	14 October 2015

国际检索报告

国际申请号

PCT/CN2017/084058

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 静电, 电荷, 放电, 释放, 保护, 防护, 高电平, 高电压, 低电平, 低电压, 薄膜晶体管, TFT, 输出, 公共, 公用, 接地, 源级, 漏极, 电容, electrostatic, electro w static, discharge, protect+, ESD, high, voltage, low, common, capacit+, LC, liquid w crystal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103944154 A (厦门天马微电子有限公司 等) 2014年 7月 23日 (2014 - 07 - 23) 说明书第[0007][0031]-[0035]段, 附图6	1, 3-14, 16-19
Y	CN 204667021 U (京东方科技集团股份有限公司) 2015年 9月 23日 (2015 - 09 - 23) 说明书第[0024][0033][0034]段, 附图1	1, 3-14, 16-19
X	CN 103944154 A (厦门天马微电子有限公司 等) 2014年 7月 23日 (2014 - 07 - 23) 说明书第[0007][0031]-[0035]段, 附图6	2, 15
X	CN 105045008 A (深圳市华星光电技术有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 说明书第[0002]段, 附图2	2, 15
A	US 2007246778 A1 (LIOU, MENG CHI ET AL.) 2007年 10月 25日 (2007 - 10 - 25) 全文	1-19
A	US 6043971 A (L. G. PHILIPS LCD CO., LTD.) 2000年 3月 28日 (2000 - 03 - 28) 全文	1-19
A	CN 102967973 A (京东方科技集团股份有限公司) 2013年 3月 13日 (2013 - 03 - 13) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 29日

国际检索报告邮寄日期

2018年 2月 13日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李闻

电话号码 (86-10)53962412

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/084058

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103944154	A	2014年 7月 23日	US	2015160522	A1	2015年 6月 11日
				US	9304367	B2	2016年 4月 5日
				DE	102014104250	A1	2015年 6月 11日
CN	204667021	U	2015年 9月 23日	US	2017176824	A1	2017年 6月 22日
				WO	2016201824	A1	2016年 12月 22日
				IN	201647044375	A	2017年 5月 5日
CN	105045008	A	2015年 11月 11日	WO	2017028327	A1	2017年 2月 23日
US	2007246778	A1	2007年 10月 25日	无			
US	6043971	A	2000年 3月 28日	无			
CN	102967973	A	2013年 3月 13日	US	2014126093	A1	2014年 5月 8日
				US	9013846	B2	2015年 4月 21日
				CN	102967973	B	2015年 10月 14日

表 PCT/ISA/210 (同族专利附件) (2009年7月)