

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95 1 43 9.7 2

H01L 27/01 (2006.01)

※ 申請日期：95.11.28

H01L 23/60 (2006.01)

※IPC 分類：H02H 9/04 (2006.01)

一、發明名稱：(中文/英文)

用於被動積體裝置之靜電放電保護

ESD PROTECTION FOR PASSIVE INTEGRATED DEVICES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 艾尼 米特拉

MITRA, AGNI

2. 達若 G 希爾

HILL, DARRELL G.

3. 卡錫克 拉加高博良

RAJAGOPALAN, KARTHIK

4. 阿道夫 C 雷斯

REYES, ADOLFO C.

國 籍：(中文/英文)

1. 印度 INDIA

2. 美國 U.S.A.

3. 印度 INDIA

4. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年12月14日；11/300,710

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示用於積體被動裝置(IPD)之靜電放電(ESD)保護之方法及設備。該裝置包含具有潛在地曝露於ESD暫態且由電荷洩漏電阻耦接之端子或其他元件之一或多個IPD(60)，該等電荷洩漏電阻具有遠較該等IPD在所關心之工作頻率處之常規阻抗大的電阻值。當IPD建置於一半絕緣基板(61)上時，該IPD之各種元件由間隔分開之連接而耦接至該基板，以使該基板本身提供耦接該等元件之高阻值電阻，但此並非必要。當應用於IPD RF耦接器時，ESD容許度增加超過70%。本發明之配置亦可應用於主動裝置及積體電路及應用於具有導電或絕緣基板之IPD。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件符號簡單說明：

61	基 板
62	端 子 墊
63	電 容 器
64	電 感 器
65	端 子 墊
641	部 分
651	部 分
701	引 線
702	引 線
703	引 線
704	引 線
705	引 線
706	引 線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（ 無 ）

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於使電子裝置免於由靜電放電(ESD)造成之損壞的保護，且更特定言之係關於積體被動裝置之ESD保護。

【先前技術】

現代電子裝置易受到由通常被稱為"ESD"之暫態靜電放電造成之損壞。當身體已經積累了靜電荷的人觸摸或操作電子裝置時，ESD事件通常會發生。靜電荷累積可由於人走過毛毯表面或由於某些類型之衣服之移動或由於其他原因而發生。在任何情況下，當帶電荷的人或其他物件觸摸電子裝置時，累積電荷可經由電子裝置突然放電。此可導致電子裝置之災難性損壞。因此，許多電子裝置包含某些類型之內部ESD保護。此通常採用以下形式：輔助電晶體或齊納二極體或其他非線性半導體裝置，其置放於所保護之電子元件之輸入/輸出(I/O)端子中之一或多者與參考電位或公共連接之間。該保護裝置偵測由ESD事件產生之端子電壓的突然升高，且接通或另外創建一至參考連接之相對低阻抗路徑，藉此將ESD電流無害地分流至地面。該等ESD保護配置採用此項技術中熟知之許多形式。其共同具有上述特徵，即其在正常情況下呈現較其保護之電路而言相對高之阻抗，以不干擾電路之正常工作，但該等ESD保護配置由升高之ESD脈衝將其觸發為活動狀態。當感測到ESD脈衝之前邊緣時，其轉換至一低阻抗狀態，藉此限制

由ESD脈衝產生之電壓升高，實際上為削弱ESD脈衝之強度。當ESD暫態消失之後，其再次恢復為高阻抗狀態。雖然此先前技術之配置對於主動裝置及積體電路起到良好作用，但其通常不適用於積體被動組件，在該等積體被動組件中必要之非線性半導體裝置或其他類型之非線性火花避雷器亦不可用。因此，繼續需要用於保護積體被動裝置之構件及方法。如在本文中使用的，詞語"積體"意欲包含形成於通用基板之中或之上的元件。薄膜導體及介電質通常用於積體被動裝置中。

因此，需要提供用於電子裝置(尤其用於積體被動裝置)之ESD保護之改良的構件及方法。另外，需要用於提供該保護之構件及方法大體上與該等電子裝置之可用製造方法相容，使得在製造過程中不需要實質性更改。此外，自隨後之實施方式及隨附之申請專利範圍，且結合隨附之圖式及前述技術領域及先前技術，本發明之其他優良特徵及特性將變得顯而易見。

【實施方式】

以下實施方式本質上僅為例示性且並非意欲限制本發明或本發明之應用及用途。此外，不存在由呈現在前述之技術領域、先前技術、發明內容或以下之實施方式中之任何表明或暗示之理論來約束的意圖。

為說明之簡單及清晰起見，圖式說明構造之通用方式，且可省略熟知特徵及技術的描述及細節以避免不必要地混淆本發明。另外，圖式中之元件不必按比例繪製。舉例而

言，圖中之某些元件或區域之大小可相對於其他元件或區域而被誇示以有助於增進對本發明之實施例的瞭解。

在該描述及申請專利範圍中若存在術語"第一"、"第二"、"第三"、"第四"及其類似術語，則其係用以在類似元件之間進行區分，且未必用以描述特定連續或時間順序。應瞭解如此使用之該等術語在合適之情況下可互換，使得本文描述之本發明之實施例(例如)能夠以不同於本文說明之或另外描述之彼等次序的次序操作。此外，術語"包括"、"包含"、"具有"及其任何變體意欲涵蓋非排他之包含，使得包括元件列表之製程、方法、物品或設備不必限制於彼等元件，而可包含未明確列出或該製程、方法、物品或設備固有之其他元件。

在該描述及申請專利範圍中若存在術語"左"、"右"、"內"、"外"、"前"、"後"、"向上"、"向下"、"頂部"、"底部"、"上方"、"下方"、"上"、"下"及其類似術語，則其係用於描述之目的且未必用於描述永久相對位置。應瞭解如此使用之該等術語在合適之情況下可互換，使得本文描述之本發明之實施例(例如)能夠以不同於本文說明之或另外描述之定向的其他定向操作。如本文所使用之術語"耦接"係定義為以電方式或非電方式直接或間接地連接。

圖1為根據先前技術之積體被動耦接器(IPC)40之簡化示意性電路。積體被動耦接器40包括分別具有端子4201、4202及4301、4302的磁性耦接線圈42、43，該等磁性耦接線圈均安裝於基板41上。IPC 40通常係使用薄膜而形成，

該等薄膜由此項技術中熟知之各種方法沈積於基板41上。當藉由薄膜技術形成時，線圈42、43通常在平面圖中具有螺旋形狀但不排除具有其他形狀。基板41適宜地為絕緣或半絕緣基板。圖1至圖2中誇示了線圈42、43之間的距離以促進更佳瞭解。

圖2為根據本發明之一實施例之積體被動耦接器(IPC)44的簡化示意性電路。在圖1及圖2中，類似參考數字用以標識類似元件。積體被動耦接器44包括分別具有端子4201、4202及4301、4302的磁性耦接線圈42、43，該等磁性耦接線圈均安裝於基板41上。IPC 44通常係使用薄膜而形成，該等薄膜由此項技術中熟知之各種方法沈積於基板41上。線圈42、43可大體上與IPC 40中之彼等線圈相同，除由本發明之該實施例提供之額外連接之外。已發現可藉由提供一或多個電耦接線圈42、43之繞組的高電阻洩漏路徑45而在未對耦接器44之常規效能產生不利影響的情況下，大體上改良諸如耦接器44之被動元件的ESD容許度。由於以下事實而具有優點：基板41為半絕緣材料，亦即，通常具有可用地大於約 $1\text{E}3$ 歐姆-厘米、適宜地在 $1\text{E}3$ 歐姆-厘米與 $1\text{E}10$ 歐姆-厘米之間，且較佳地在 $1\text{E}7$ 歐姆-厘米與 $1\text{E}9$ 歐姆-厘米之間的電阻率。未摻雜之GaAs或其他III-V族化合物為可用於基板41之合適半絕緣材料的實例，但此僅為實例且並非意欲限制。亦可使用此項技術中熟知之廣泛多種其他材料。

藉由經由間隔分開之引線或導線46將線圈42、43之各種

繞組耦接至基板41上而合意地創建高電阻洩漏路徑。因此，導線461、462、463分別將線圈42之部分421、422、423耦接至基板41上之位置471、472、473且導線464、465、466分別將線圈43之部分431、432、433耦接至基板41上之位置474、475、476。位置471、472、473及位置474、475、476(例如)以距離49(個別距離可變化)間隔分開，使得電阻451、452、453(總體為45)分別形成於該等連接之間。視基板41之電阻率而定，選擇距離49以使得所得之電阻45可用地約為至少約 $1E6$ 歐姆、適宜地為至少約 $1E8$ 歐姆且較佳地為約 $1E9$ 歐姆。亦可使用較大或較小值。重要的是電阻45足夠高以使耦接器44在所關心之頻率處之效能不顯著降級，且足夠低以抑制線圈42、43之間靜電荷的累積。已發現在約 $1E6$ 歐姆至 $1E11$ 歐姆之範圍中之電阻45可用，其中約 $1E8$ 歐姆至 $1E11$ 歐姆之電阻適宜且 $1E8$ 歐姆至 $5E10$ 歐姆之電阻較佳。以另一方式敘述，電阻45可用地處於耦接器44在所關心之頻率處之工作阻抗之至少100倍、適宜地處於耦接器44在所關心之頻率處之工作阻抗的至少500倍，且較佳地處於耦接器44在所關心之頻率處之工作阻抗的至少1000倍的範圍中。然而，亦可視耦接器44之效能需求而使用較大或較小之比率。雖然圖2中所展示之線圈42、43經由連接至線圈42、43上之不同位置的三個電阻451、452、453而耦接，但此僅為實例且並非意欲限制。本發明僅需要存在耦接被動元件40(其上可出現ESD電壓)之彼等部分中之至少一相對高阻值的電阻。視受保護之元

件之實體大小及其工作阻抗而定，可提供多個間隔分開之高電阻路徑或可提供一分佈式高電阻路徑。任一配置係可用的。熟習此項技術者基於本文之描述應瞭解如何選擇可用於改良其特定IPD之ESD效能的高電阻路徑之最有效位置及大小。

圖3為根據先前技術之積體被動耦接器50之簡化示意性電路，其包括具有端子5201、5202的電容器52，該電容器52係形成於絕緣或半絕緣基板51上。IPC 50係使用薄膜技術而適宜地形成。舉例而言，由沈積之介電質分離的薄金屬膜係用以形成電容器52及其相關端子。

圖4為類似於耦接器50而根據本發明之另一實施例之積體被動耦接器(IPC)54的簡化示意性電路。耦接器54包括具有端子5201、5202之電容器52，該電容器52係安置於與圖2之基板41類似的基板51上。藉由提供將位於電容器52之相反側之端子521、523分別耦接至基板51上之間隔分開之位置522、524的導線56，半絕緣基板51具有優點。位置522、524以距離57間隔分開，以在其中提供相對高阻值之電阻55。電阻55應足夠高以不干擾電容器52在所關心之頻率處之正常工作，且仍應足夠低以提供對過量電荷之改良排放，藉此改良IPC 54之ESD效能。將與圖2之IPC 44相關之描述的相同考慮應用於基板51之電阻率及距離57之選擇中，且其論述以引用之方式併入本文中。應用大體上相同範圍之電阻率及電阻。

圖5為根據本發明之另一實施例的積體被動裝置(IPD)RF

耦接器 60 之簡化平面圖且圖 6 為該 RF 耦接器 60 之部分橫截面圖。積體被動耦接器 (IPC) 60 包括類似於圖 2 及圖 4 之基板 41、51 之絕緣或半絕緣基板 61，其上(例如)藉由薄膜或厚膜技術而形成連續耦接地第一連接端子或接合墊 62、電容器 63、電感器 64 及第二連接端子或接合墊 65。熟習此項技術者基於本文之描述應瞭解，元件 62-65 之選擇及配置僅為實例且並非意欲限制，且任何數目之被動(及/或主動)元件可包含於基板 61 上且可以各種串並聯組合方式耦接。本發明可用於其他配置且並非僅限於本文所展示之特定實例，其僅為描述之便利而不為限制性而提供。現在同時參看圖 5 及圖 6，第一介電層 671 上覆於基板 61 之上表面 611。由第一介電層 671 支撐之第一金屬層 68 適宜地用於形成第一接合端子 62 及電容器 63 之下板 631 且用於形成包含部分 651 之第二接合端子 65，該部分 651 在電感器 64 之中心部分 641 的下方延伸以達成至其之電連接。在第一介電層 671 之部分及第一金屬層 68 之部分上方提供第二介電層 672。第二介電層 672 提供電容器 63 中之介電質 633 且支撐包括電容器 63 之上板 632 之及螺旋形狀電感器 64 之第二金屬層 69。電感器 64 之中央之位置 641 處之金屬層 69 的一部分適宜(但非必須)地接觸第一金屬層 68 之部分 651 以將電感器 64 耦接至端子連接墊 65。此配置僅為實例且並非意欲限制。如熟習此項技術者所瞭解，可藉由使用金屬層 68、69 中之任一者或其他金屬層以任何數量之方式耦接元件 63-65。提供引線 701-706(總體為 70)，其在金屬層 68、69 與基板 61 上之

間隔分開之位置711-716之間延伸。引線701、702、706自第一金屬層68延伸至基板61且引線703、704、705自第二金屬層69延伸至基板61。當基板61為半絕緣材料時(類似於圖2及圖4之基板41、51)，則由引線70與基板61之組合產生將元件62-65之各種金屬區域縛在一起之電阻751-755。當基板61為如同結合圖2及圖4論述之半絕緣材料時，可藉由調整電阻751-755之數目及間距及基板61之電阻率而將該等電阻配置以使其具有合適值。在該情形下，則引線70應具有相對較高之導電性，亦即，通常為基板61之導電性的 $1E3$ 至 $1E10$ 倍，因為將依賴於基板61之導電性而提供用於電荷排放之高阻值電阻，但此並非必須。

即使當基板61為絕緣材料或具有相對高之導電率(亦即，非半絕緣材料)時，本發明仍起作用。當基板61為絕緣材料且無法依賴其提供電荷排放電阻時，則將一高電阻率薄膜沈積於在第一介電層671下方之基板61的表面611上(例如，參看圖17至圖25)，且引線701, ..., 706接觸該高電阻率薄膜，從而提供電阻751-755。若基板61導電率太高以致於無法提供所要之高阻值電阻751-755，則可顛倒引入線701-706與基板61之角色。亦即，可用高電阻率材料形成引線701-706，此將導致基板61導電性相對較高，藉此提供所要之高電阻值，以便不損害耦接器60在所關心之頻率範圍處之常規工作。未摻雜或輕微摻雜之半導體為用於具有此組態之引線701-706的合適材料，亦即，使高電阻引入線引向相對較高導電性之基板。或者，可使用絕緣

層及形成於其上之高電阻率薄膜來塗覆或轉換基板61之表面。任一方法係可用的。

圖7至圖16為說明根據本發明之另一實施例之積體被動裝置(類似於圖6之裝置60)之製造方法的連續部分橫截面圖401-410。在圖7至圖16中，強調可用於形成製造裝置60且提供引入線701-706(總稱為70)所需之多層的製造次序。熟悉此項技術者應瞭解橫向界定端子連接墊61、65、電容器63及電感器64所需之其他遮蔽步驟且其被省略以使得用於形成引入線70之方法可更易於瞭解。在圖7之步驟401中，提供(例如)具有上表面611之GaAs基板61。在圖8之步驟402中，沈積可提供與基板61之電接觸且具有以下厚度之(例如)TiWN或其他材料之導體層80，該厚度之範圍可用地為至少0.1K埃單位、適宜地為0.1K至8K埃單位且較佳地為2K至4K埃單位。化學氣相沈積(CVD)、電漿增強化學氣相沈積(PECVD)、蒸鍍、濺鍍及/或其各種組合係可用的。其中濺鍍較佳。在圖9之步驟403中，塗覆遮蔽層82(例如光阻材料)且將其圖案化以分別在導體區域801、802上方提供遮蔽部分821、822，其中需要引入線70接觸基板61之表面611。在圖10之步驟404中，將位於遮蔽821、822外側之導體80的彼等部分經蝕刻除去，留下基板61之表面611上的觸點區域801、802。圖7至圖16說明僅提供兩條引入線70之情況，其中區域801意欲接觸第一金屬層68，區域802意欲接觸第二金屬層69，然而，此僅為實例且並非意欲限制。熟習此項技術者基於本文之描述應瞭解可提供任何數

量之引入線觸點。在圖 11 之步驟 405 中，將(例如)具有以下厚度之氮化矽第一介電層 671 沈積於觸點區域 801、802 及基板 61 之表面 611 之剩餘部分上方，該厚度之範圍可用地為至少約 0.1K 埃單位、適宜地為 0.1K 至 8K 埃單位且較佳地為 1K 至 2K 埃單位。在圖 12 之步驟 406 中，展示塗覆另一遮蔽層(未圖示)且在第一介電層 671 中之觸點區域 801 上方蝕刻開口 86 的結果。熟習此項技術者應瞭解如何執行此等常規遮蔽及蝕刻步驟。在圖 13 之步驟 407 中，沈積具有以下厚度之(例如)鍍金第一金屬層且將其圖案化以提供類似於圖 6 之引線 701、702 及 706 的引線 868，從而將第一金屬層 68 耦接至基板 61 上之觸點區域 801，該厚度之範圍可用地為至少 1K 埃單位、適宜地為 1K 至 120K 埃單位且較佳地為 10K 至 15K 埃單位。引線 868 適宜地為第一導體層 68 之一部分。圖 13 中僅展示第一金屬層 68 之此一小部分。第一金屬層 68 橫向延伸至此等區域，其係形成所要之積體被動裝置所需。在圖 14 之步驟 408 中，提供具有以下厚度之(例如)氮化矽第二介電層 672，使其沈積於第一金屬層 68 及第一介電層 671 之剩餘部分上方，該厚度之範圍可用地為至少 0.1K 埃單位、適宜地為 0.1K 至 8K 埃單位且較佳地為 2K 至 3K 埃單位，且隨後在圖 15 之步驟 409 中使用此項技術中熟知之途徑將其圖案化以在第二觸點區域 802 上方提供開口 89。在圖 16 之步驟 410 中，將第二金屬層 69 沈積於第二介電層 672 上方以填充開口 69 且提供耦接至觸點區域 802 之導體區域 869。與觸點區域 802 組合之導體區域 869 對應於圖 6

之裝置 60 的引入線 713-715，亦即，自第二金屬層 69 延伸至基板 61 之彼等引入線。雖然圖 16 中將第二金屬層 69 展示為各處延伸，但此僅為解釋之便利且熟習此項技術者應瞭解層 69 之橫向範圍及形狀係由所構建之特定 IPD 確定，且應瞭解已對其進行適當遮蔽處理且使用此項技術中熟知之途徑移除不必要之區域。圖 7 至圖 16 之目的為說明如何形成將第一金屬層 68 及 / 或第二金屬層 69 耦接至基板 61 之各種引入線。一般熟習此項技術者應瞭解使用金屬層 68、69 及介電層 671、672 而形成端子墊 62、65，電容器 63、電感器 64 及 / 或任何其他所要之組件所需的橫向界定。

圖 17 至圖 24 為說明根據本發明之再一實施例之積體被動裝置之製造方法的步驟 401、401-1、401-2、401-2、402-1、403-1、404-1 及 410-1 中之連續橫截面圖，該等步驟類似於圖 7 至圖 16 之次序 401-410。圖 25 為圖 23 中所說明之積體被動裝置之一部分的平面圖。圖 17-24 之方法中的許多步驟類似於圖 7-16 之方法中的對應步驟，且遵從以下約定：藉由添加後綴而指明圖 17-24 之方法中的類似步驟，例如，步驟 403-1 類似於步驟 403，步驟 404-1 類似於步驟 404 等。圖 17-25 之方法不同於圖 7-16 之方法，在於在基板 61 之上表面 611 上提供一下伏高電阻率層或區域(例如，區域 901)以耦接各種引入線 70，且因此適合連同絕緣基板以及半絕緣基板使用。現在參看圖 17 至圖 24，在圖 17 之步驟 401 中，提供具有上表面 611 之基板 61。出於此論述之目的，假定基板 61 為絕緣基板。在步驟 401-1 中，將高電阻

率材料之層90沈積於基板61之表面611上。沈積具有以下厚度之高電阻率Si以形成層90，該厚度之範圍可用地為至少10埃單位(需要連續)，適宜地為100至5K埃單位且較佳地為200至2K埃單位。需要層90具有可用地處於小於 $1E11$ 歐姆每平方之範圍內、適宜地處於 $1E6$ 至 $1E11$ 歐姆每平方之範圍內適宜且較佳地處於 $1E8$ 至 $1E10$ 範圍內之薄層電阻。雖然該等薄層電阻值可用，但要點為電荷排放連接之電阻為受保護電路在所關心之頻率範圍處之阻抗的至少 $1E2$ 倍且更佳為 $1E3$ 至 $1E4$ 倍。在圖19之步驟401-2中，提供(例如)光阻材料之遮蔽區域92，該遮蔽區域92具有足以耦接待構造之積體被動裝置所需之各種引入線70的側向範圍。在圖20之步驟401-3中，蝕刻除去層90之剩餘部分以提供可與各種引入線70接觸之所要高電阻率區域901。圖21至圖23之步驟402-1、403-1及404-1類似於圖8-10之步驟402、403、404，其中提供觸點層80，該觸點層80由區域821、822遮蔽且蝕刻該觸點層80以提供引入線觸點區域801、802，但該觸點區域801、802此時停留在高電阻率區域902上而非基板61之表面611上。剩餘步驟遵從圖11至圖16之步驟405-410，且其產生圖24之步驟410-1中所展示之結構。圖25展示在引入線868與869之間延伸的區域901的平面圖。熟習此項技術者應瞭解藉由改變遮蔽步驟，可使區域901在任何及所有希望之引入線連接之間延伸。因此，可甚至在絕緣基板上形成IPD 40、50、60之各種元件之所要高電阻率耦接。藉由將絕緣或半絕緣區域950提供

於層 92 及區域 901 之下的基板 61 上或作為該基板之一部分 (參看圖 17 至圖 24)，本發明可與高導電性基板一同使用，因為各種裝置元件之間所要的高電阻連接可獨立於區域 950 下方之基板 61 的電阻率而提供。可藉由在步驟 401 之前沈積一絕緣材料層及/或(視基板 61 所選擇之材料而定)藉由摻雜基板 61 之表面以提供大體上固有之表面層而提供區域 950。

對採用諸如圖 1 至圖 6 中所說明之元件且將本文描述之高電阻電荷洩漏路徑併入其中之若干積體被動裝置 RF 耦接器進行 ESD 容許度測試，且將測試結果與對相等數量的不具有該等高電阻電荷洩漏路徑之其他大體上等同之耦接器進行的測試結果相比較。施加對應於五個人體模型 (HBM) 正脈衝的信號，接著施加對應於升高電壓之五個 HBM 負脈衝的信號，且確定 ESD 損壞之開始。對於不具有本發明之高電阻電荷洩漏連接之耦接器而言，平均 ESD 容許度為約 525 伏。對於將上文描述之本發明之高電阻電荷洩漏路徑併入其中的耦接器，對於高電阻電荷洩漏路徑僅耦接至電感器之結構而言，平均 ESD 容許度為約 950 伏，而對於亦包含耦接至電容器及端子連接墊以及電感器之該等電荷洩漏路徑之裝置而言，平均 ESD 容許度約為 969 伏。因此，本發明之途徑及方法為積體被動裝置之 ESD 效能提供超過 70% 之改良，而無需將任何主動裝置添加至該等電路中。雖然本發明特定可用於與被動裝置結合使用且已在本文中對該情形以實例方式進行描述，但其亦適用於含有主動裝

置之電路。舉例而言，本文描述之高電阻電荷洩漏路徑可以有有益結果應用於積體電路之端子或一電晶體或一組電晶體或接合墊或其他耦接至主動裝置之端子。

雖然已描述用於觸點層 80、第一介電層 671、第一金屬層 68、第二介電層 672 及第二金屬層 69 的各種材料，但其僅為實例且並非意欲限制。舉例而言，如本文所使用之術語"金屬"意欲包含具有足夠導電能力之材料的任何形態且未將其僅限制至簡單金屬及金屬合金。下文提供其他可用材料之非限制性實例：

基板：_InP、SiC、GaN、GaAs、Si、玻璃、陶器、塑膠、塑膠積層板；

第一介電層：氮化矽、氧化矽、有機材料、玻璃及其他介電質；

第一金屬層：Au、Ti、Pt、Cu，及其混合物及合金，TiW、TN、TiWN、WSi，及各種其他金屬互化物及其組合；

第二介電層：氮化矽、氧化矽、有機材料、玻璃及其他介電質；

第二金屬層：Au、Ti、Pt、Cu，及其混合物及合金，TiW、TN、TiWN、WSi，及各種其他金屬互化物及其組合。

可藉由諸如(例如且並非意欲限制)CVD、PECVD、濺鍍、蒸鍍、絲網印刷、電鍍等各種熟知技術應用該等材料。

根據一第一實施例，提供一種具有ESD保護之積體設備，其包括：一或多個被動元件，其具有潛在地曝露於ESD暫態之部分；及一或多個電荷洩漏電阻，其在該等潛在地曝露於ESD暫態之部分之間延伸，其中該等電阻具有遠較該或該等被動元件在其正常工作頻率處之阻抗大的阻值。根據另一實施例，該或該等被動元件係形成於一半絕緣基板上，且其中該設備進一步包括電引線，其將該等潛在地曝露於ESD暫態之部分耦接至該半絕緣基板上之間隔分開之觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該基板電阻形成。根據另一實施例，該或該等被動元件係形成於一絕緣基板上，且該設備進一步包括：一高電阻率層，其形成於該或該等被動元件之下的該基板上；及電引線，其將該等潛在地曝露於ESD暫態之部分耦接至該高電阻率層上之間隔分開之觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該層電阻形成。根據再一實施例，該或該等被動元件係形成於一導電基板上方，且該設備進一步包括：一絕緣層，其位於該基板上且使將該等元件與該基板電隔離；一高電阻率層，其形成於該或該等被動元件之下的該絕緣層上；及電引線，其將該等潛在地曝露於ESD暫態之部分耦接至該高電阻率層上之間隔分開之觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該層電阻形成。根據另一實施例，該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處之阻抗大至少約100倍。根據另一實施例，該設備進

一步包括一主動裝置，該主動裝置具有至少一耦接至該或該等電荷洩漏電阻之端子。根據另一實施例，該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處之阻抗大至少約500倍。根據另一實施例，該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處的阻抗大至少約1000倍。

根據一第二實施例，提供一種ESD保護積體電子設備，其包括：一電感器；一電容器，其耦接至該電感器；兩個端子，其耦接至該電感器及該電容器；及一或多個電荷洩漏電阻，其耦接於該兩個端子之間。根據另一實施例，該或該等電荷洩漏電阻具有較該設備之阻抗大至少約100倍之阻值，該阻抗係在該兩個端子之間且在該設備之正常工作頻率處量測而得。根據另一實施例，該或該等電荷洩漏電阻具有較該設備之阻抗大至少約1000倍之阻值，該阻抗係在該兩個端子之間且在該設備之正常工作頻率處量測而得。根據再一實施例，該或該等電荷洩漏電阻中之至少一者係耦接至該電感器。根據另一實施例，該或該等電荷洩漏電阻中之至少一者係耦接至該電容器。根據另一實施例，該或該等電荷洩漏電阻中之至少一者係耦接於該兩個端子之間。

根據一第三實施例，提供一種用於形成一ESD保護電子設備的方法，其包含：提供一基板；在該基板上形成至少兩個間隔分開之電觸點；形成自該至少兩個間隔分開之電觸點延伸之電導體；及形成至少一具有與該等電導體接觸之部分之被動元件。根據另一實施例，該提供步驟包括提

供一包括 III-V 族材料之基板。根據另一實施例，該 III-V 族材料包括 GaAs。根據再一實施例，該在該基板上形成該至少兩個間隔分開之電觸點之步驟包括：在該基板之一上表面之上或之中形成一電絕緣層；在該絕緣層上形成一高電阻率層；及在該高電阻率層上形成該至少兩個間隔分開之觸點。根據另一實施例，該形成自該至少兩個間隔分開之電觸點延伸之電導體之步驟包括：在該至少兩個間隔分開之電觸點上方提供一電絕緣層；圖案化該電絕緣層以曝露該至少兩個間隔分開之電觸點中之至少一第一者；及在該第一絕緣層上方塗覆一第一金屬層以形成與該至少兩個間隔分開之電觸點中之該第一者接觸的該等電導體中之一者。根據另一實施例，該形成自該至少兩個間隔分開之電觸點延伸之電導體的步驟進一步包括：在該塗覆該第一金屬層之步驟後，在該第一金屬層之至少一部分上方塗覆一第二電絕緣層；圖案化該第一電絕緣層及該第二電絕緣層以曝露該至少兩個間隔分開之電觸點中之一第二者；及在該第二電絕緣層上方塗覆一第二金屬層以形成一與該至少兩個間隔分開之電觸點中之該第二者接觸的第二電導體。

雖然已在上述之詳細描述中呈現至少一例示性實施例，但應瞭解存在大量變體。亦應瞭解該或該等例示性實施例僅為實例，且並非意欲以任何方式限制本發明之範疇、適用性或組態。相反，上述之詳細描述將為熟習此項技術者提供用於實施該或該等例示性實施例之便利"路線圖"。應瞭解可在不背離由隨附申請專利範圍及其法律均等物陳述

之本發明的範疇下對元件之功能及配置作出各種更改。

【圖式簡單說明】

圖1為根據先前技術之積體被動耦接器的簡化示意性電路；

圖2為根據本發明之一實施例之積體被動耦接器的簡化示意性電路；

圖3為根據先前技術之積體被動電容器的簡化示意性電路；

圖4為根據本發明之另一實施例之積體被動電容器的簡化示意性電路；

圖5為根據本發明之另一實施例之積體被動裝置(IPD)RF耦接器的簡化平面圖；

圖6為穿過圖5之IPD RF耦接器之簡化的局部橫截面圖；

圖7至圖16為說明根據本發明之另一實施例之積體被動裝置之製造方法的連續橫截面圖；

圖17至圖24為說明根據本發明之再一實施例之積體被動裝置之製造方法的步驟的連續橫截面圖；

圖25為圖23中所說明之積體被動裝置之一部分的平面圖。

【主要元件符號說明】

40	IPC
41	基板
42	線圈
43	線圈

44	IPC
45	電 阻
46	導 線
49	距 離
50	IPC
51	基 板
52	電 容 器
54	IPC
55	電 阻
56	導 線
57	距 離
60	IPD
61	基 板
62	端 子 墊
63	電 容 器
64	電 感 器
65	端 子 墊
68	金 屬 層
69	金 屬 層
70	引 線
80	層
82	層
90	層
92	層

401	步 驟
401.1	步 驟
401.2	步 驟
401.3	步 驟
402	步 驟
402.1	步 驟
403	步 驟
403.1	步 驟
404	步 驟
404.1	步 驟
405	步 驟
406	步 驟
407	步 驟
408	步 驟
409	步 驟
410	步 驟
410.1	步 驟
421	部 分
422	部 分
423	部 分
431	部 分
432	部 分
433	部 分
451	電 阻

452	電 阻
453	電 阻
461	導 線
462	導 線
463	導 線
464	導 線
465	導 線
466	導 線
471	位 置
472	位 置
473	位 置
474	位 置
475	位 置
476	位 置
521	端 子
522	位 置
523	端 子
524	位 置
602	步 驟
611	基 板
631	板
632	板
633	介 電 質
641	部 分

651	部 分
671	介 電 層
672	介 電 層
701	引 線
702	引 線
703	引 線
704	引 線
705	引 線
706	引 線
711	間 隔 分 開 之 位 置
712	間 隔 分 開 之 位 置
713	間 隔 分 開 之 位 置
714	間 隔 分 開 之 位 置
715	間 隔 分 開 之 位 置
716	間 隔 分 開 之 位 置
751	電 阻
752	電 阻
753	電 阻
754	電 阻
755	電 阻
801	區 域
802	區 域
821	區 域
822	區 域

868	引入線
869	引入線
901	區域
902	區域
950	區域
4201	端子
4202	端子
4301	端子
4302	端子
5201	端子
5202	端子

十、申請專利範圍：

1. 一種具有ESD保護之積體設備，其包括：

一或多個被動元件，其具有若干潛在地曝露於若干ESD暫態之部分；及

一或多個電荷洩漏電阻，其在該等潛在地曝露於若干ESD暫態之部分之間延伸，其中該等電阻具有遠大於該或該等被動元件在其正常工作頻率處之阻抗的阻值。

2. 如請求項1之設備，其中該或該等被動元件係形成於一半絕緣基板上，且其中該設備進一步包括若干電引線，其將該等潛在地曝露於各ESD暫態之部分耦接至該半絕緣基板上之若干間隔分開之觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該基板電阻形成。

3. 如請求項1之設備，其中該或該等被動元件係形成於一絕緣基板上，且其中該設備進一步包括：

一高電阻率層，其形成於該或該等被動元件之下的該基板上；及

若干電引線，其將該等潛在地曝露於各ESD暫態之部分耦接至該高電阻率層上之若干間隔分開之觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該層電阻形成。

4. 如請求項1之設備，其中該或該等被動元件係形成於一導電基板上方，且其中該設備進一步包括：

一絕緣層，其位於該基板上且使該等元件與該基板電隔離；

一高電阻率層，其形成於該或該等被動元件之下的該絕緣層上；及

若干電引線，其將該等潛在地曝露於各ESD暫態之部分耦接至該高電阻率層上之若干間隔分開觸點，使得該等電荷洩漏電阻係由在該等間隔分開之觸點之間的該層電阻形成。

5. 如請求項1之設備，其中該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處之阻抗大至少約100倍。
6. 如請求項5之設備，其進一步包括一主動裝置，該主動裝置具有至少一耦接至該或該等電荷洩漏電阻之端子。
7. 如請求項1之設備，其中該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處之阻抗大至少約500倍。
8. 如請求項1之設備，其中該等電荷洩漏電阻較該設備在所關心之其正常工作頻率處之阻抗大至少約1000倍。
9. 一種ESD保護積體電子設備，其包括：
 - 一電感器；
 - 一電容器，其耦接至該電感器；
 - 兩個端子，其耦接至該電感器及該電容器；及
 - 一或多個電荷洩漏電阻，其耦接於該等兩個端子之間。
10. 如請求項9之設備，其中該或該等電荷洩漏電阻具有較該設備之阻抗大至少約100倍之阻值，該阻值係在該兩個端子之間且在該設備之正常工作頻率處量測而得。
11. 如請求項9之設備，其中該或該等電荷洩漏電阻具有較

該設備之阻抗大至少約1000倍之阻值，該阻值係在該兩個端子之間且在該設備之正常工作頻率處量測而得。

12. 如請求項9之設備，其中該或該等電荷洩漏電阻中之至少一者係耦接至該電感器。

13. 如請求項9之設備，其中該或該等電荷洩漏電阻中之至少一者係耦接至該電容器。

14. 如請求項9之設備，其中該或該等電荷洩漏電阻中之至少一者係耦接於該等兩個端子之間。

15. 一種用於形成一ESD保護電子設備的方法，其包括：

提供一基板；

在該基板上形成至少兩個間隔分開之電觸點；

形成延伸自該等至少兩個間隔分開之電觸點之若干電導體；及

形成至少一具有與該等電導體接觸之若干部分之被動元件。

16. 如請求項15之方法，其中該提供步驟包括提供一包括一III-V族材料之基板。

17. 如請求項16之方法，其中該III-V族材料包括GaAs。

18. 如請求項15之方法，其中該在該基板上形成該等至少兩個間隔分開之電觸點之步驟包括：

在該基板之一上表面之上或之中形成一電絕緣層；

在該絕緣層上形成一高電阻率層；及

在該高電阻率層上形成該等至少兩個間隔分開之觸點。

19. 如請求項15之方法，其中該形成延伸自該等至少兩個間隔分開之電觸點之若干電導體之步驟包括：

在該等至少兩個間隔分開之電觸點上方提供一電絕緣層；

圖案化該電絕緣層以曝露該等至少兩個間隔分開之電觸點中之至少一第一者；及

在該第一電絕緣層上方塗覆一第一金屬層以形成與該等至少兩個間隔分開之電觸點中之該第一者接觸的該等電導體中之一者。

20. 如請求項19之方法，其中該形成延伸自該等至少兩個間隔分開之電觸點之若干電導線之步驟進一步包括：

在該塗覆該第一金屬層之步驟後，在該第一金屬層之至少一部分上方塗覆一第二電絕緣層；

圖案化該第一電絕緣層及該第二電絕緣層以曝露該等至少兩個間隔分開之電觸點中之一第二者；及

於該第二電絕緣層上方塗覆一第二金屬層以形成一與該等至少兩個間隔分開之電觸點中之該第二者接觸的第二電導體。

十一、圖式：

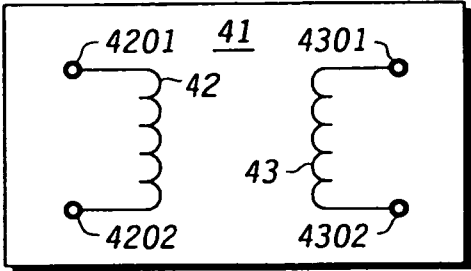


圖1
-先前技術-

44

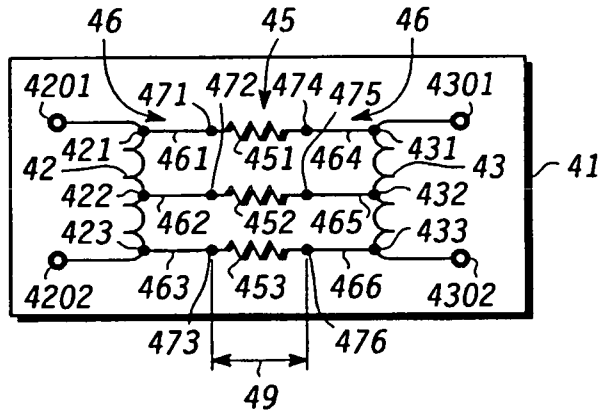


圖2

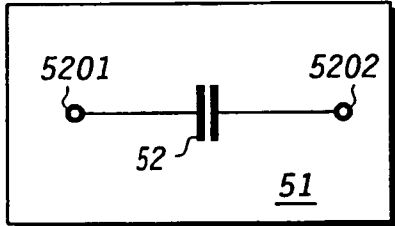


圖3
-先前技術-

50

54

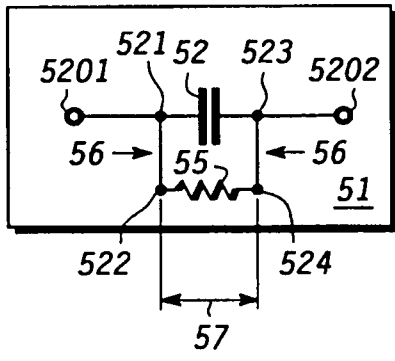


圖4



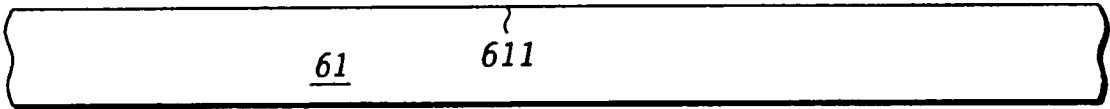


圖7 401

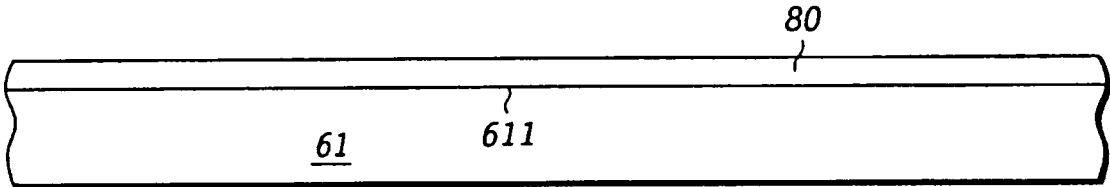


圖8 402

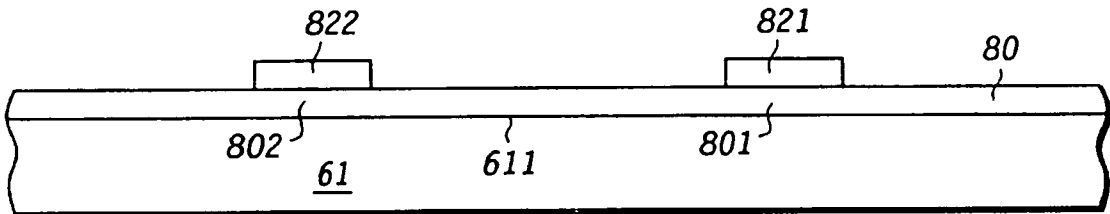


圖9 403

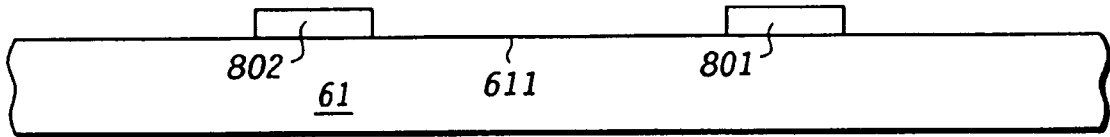


圖10 404

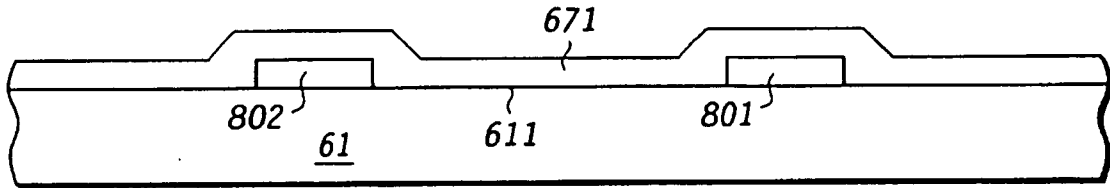


圖11 405

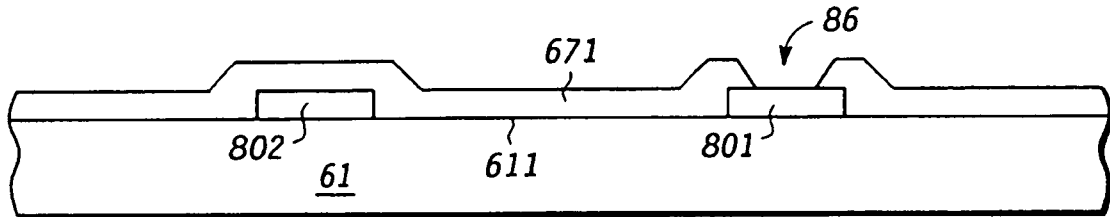


圖12 406

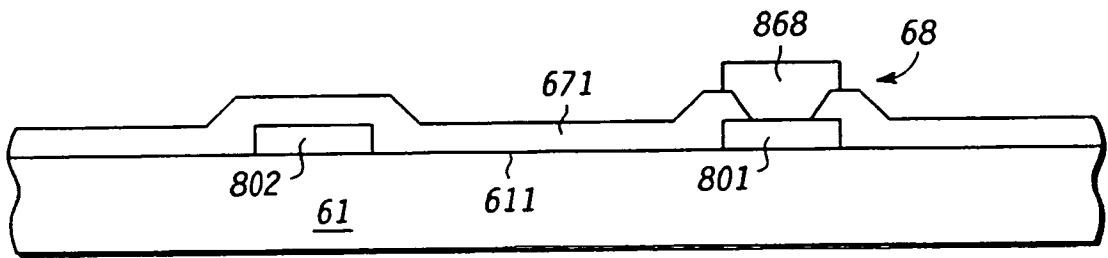


圖13

407

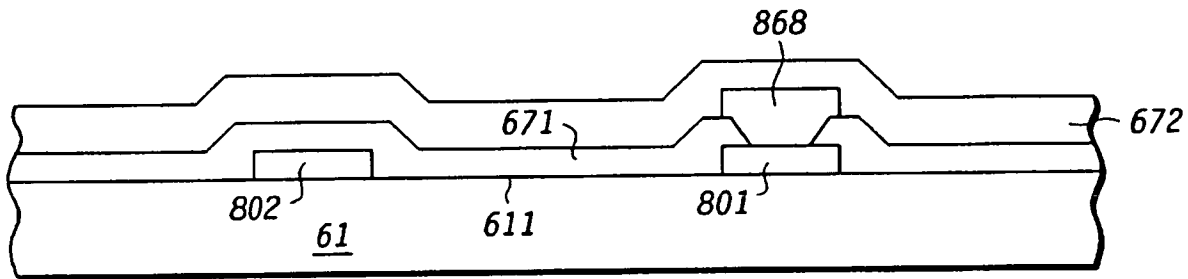


圖14

408

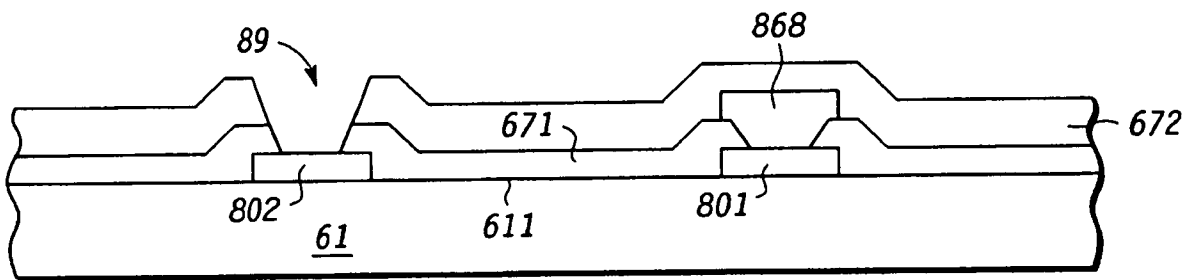


圖15

409

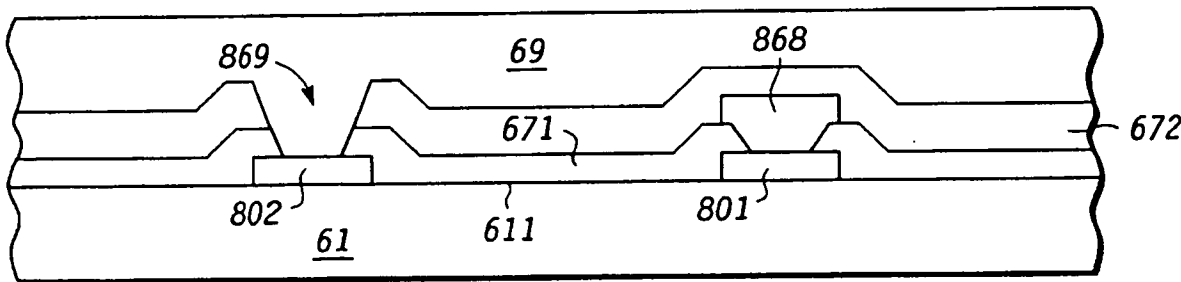


圖16

410

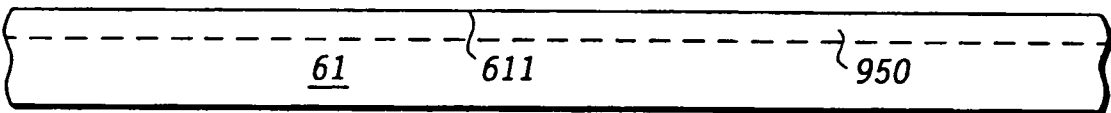


圖17 401

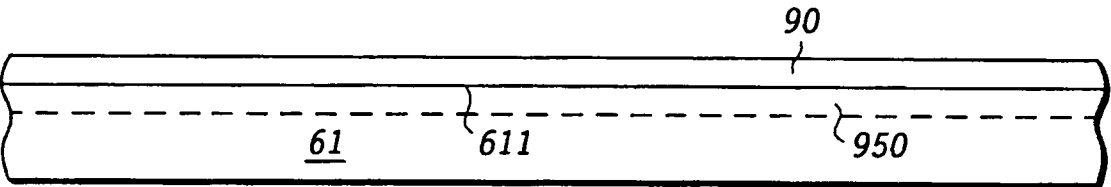


圖18 401-1

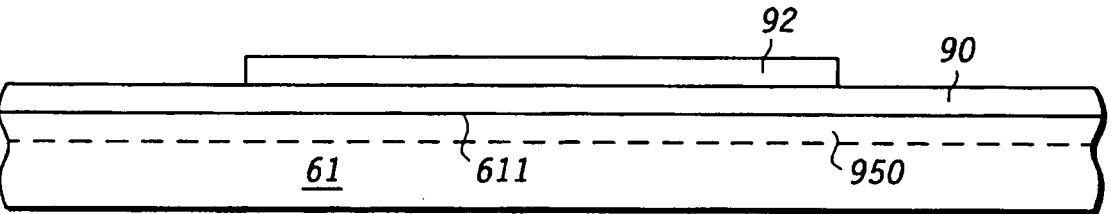


圖19 401-2

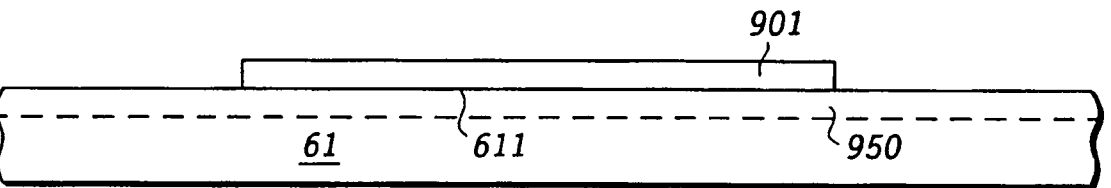


圖20 401-3

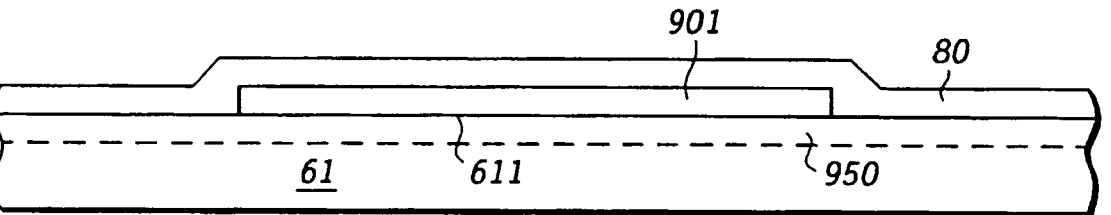


圖21 402-1

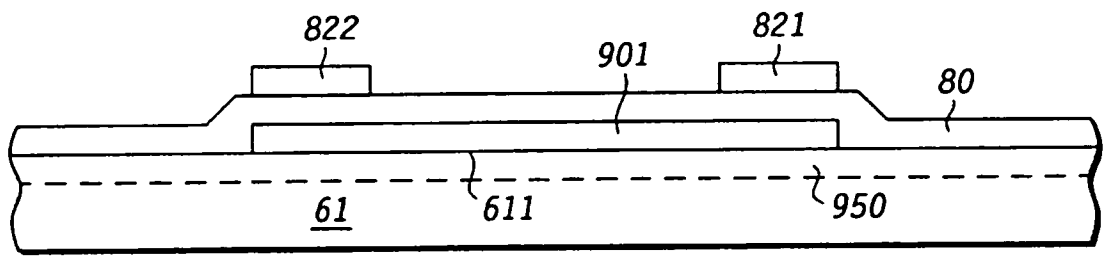


圖22

403-1

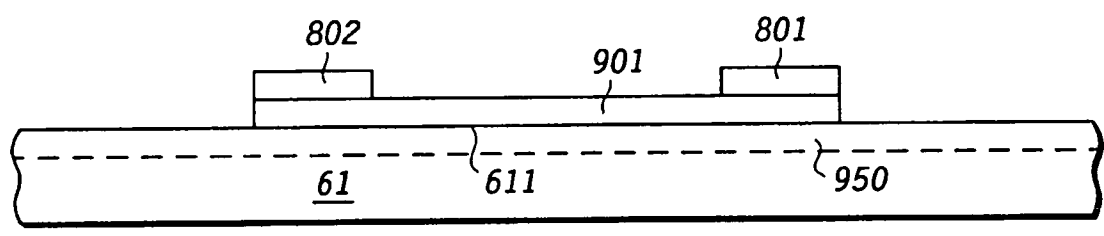


圖23

404-1

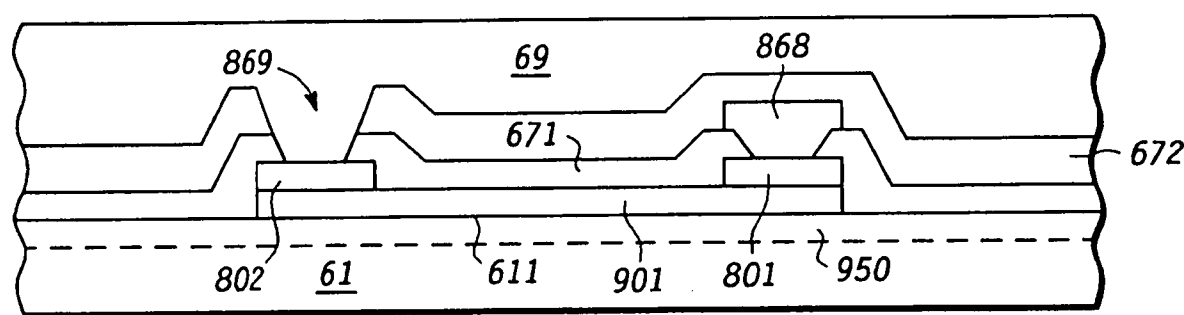


圖24

410-1

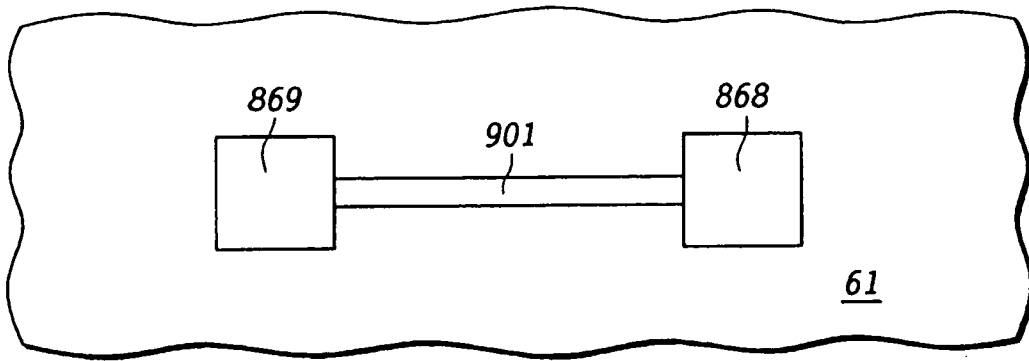


圖25