

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-129875  
(P2005-129875A)

(43) 公開日 平成17年5月19日(2005.5.19)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 4 B	5 F O 8 3
HO 1 L 21/8242	HO 1 L 27/10 6 5 1	
HO 1 L 27/108	HO 1 L 27/10 6 2 1 C	

審査請求 有 請求項の数 29 O L (全 52 頁)

(21) 出願番号	特願2003-375148 (P2003-375148)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成15年11月5日 (2003. 11. 5)		大阪府門真市大字門真1006番地
(11) 特許番号	特許第3621087号 (P3621087)	(74) 代理人	100077931 弁理士 前田 弘
(45) 特許公報発行日	平成17年2月16日 (2005. 2. 16)	(74) 代理人	100094134 弁理士 小山 廣毅
(31) 優先権主張番号	特願2002-329425 (P2002-329425)	(74) 代理人	100110939 弁理士 竹内 宏
(32) 優先日	平成14年11月13日 (2002. 11. 13)	(74) 代理人	100113262 弁理士 竹内 祐二
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100115059 弁理士 今江 克実
(31) 優先権主張番号	特願2003-337280 (P2003-337280)	(74) 代理人	100117710 弁理士 原田 智雄
(32) 優先日	平成15年9月29日 (2003. 9. 29)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

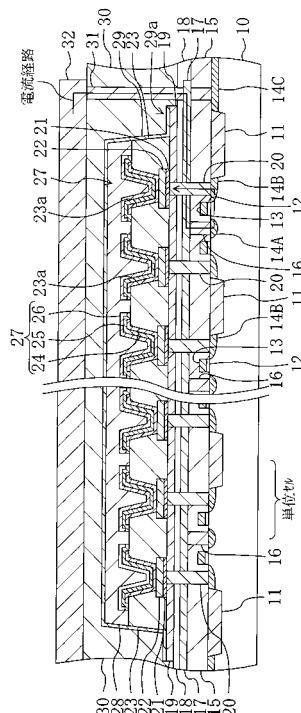
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置において、容量絶縁膜の水素による劣化を防止しながら、単位セルの面積を小さくすることができるようにする。

【解決手段】 半導体基板10に形成されたセル選択用のトランジスタと、各トランジスタのソース拡散層14Bと接続され、それぞれが強誘電体からなる容量絶縁膜25を有する複数のキャパシタ27を含むキャパシタ列と、該キャパシタ列よりも下方に形成されたビット線17とを備えている。キャパシタ列は上下を含めその周囲を水素バリア膜により覆われており、該水素バリア膜は、トランジスタとキャパシタ27の間に形成された導電性下部水素バリア膜21と、ビット線17及びキャパシタ列の間に形成された絶縁性下部水素バリア膜19と、キャパシタ列の上側に形成された上部水素バリア膜29とから構成されている。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

下部水素バリア膜と、  
前記下部水素バリア膜の上に形成されたキャパシタと、  
前記キャパシタを覆い、且つ前記キャパシタの周縁部において前記下部水素バリア膜を露出するように形成された第 1 の層間絶縁膜と、  
前記第 1 の層間絶縁膜及び前記下部水素バリア膜の露出部分の上に形成された上部水素バリア膜とを備え、  
前記上部水素バリア膜は前記キャパシタの周縁部において前記下部水素バリア膜と接しており、  
前記第 1 の層間絶縁膜における前記キャパシタの側方部分を覆う側面は前記下部水素バリア膜の上面と鈍角をなしていることを特徴とする半導体装置。

10

## 【請求項 2】

下部水素バリア膜と、  
前記下部水素バリア膜の上に形成され、下部電極と容量絶縁膜と上部電極とからなるキャパシタと、  
前記キャパシタの周囲を覆うように形成された第 1 の層間絶縁膜と、  
前記キャパシタの上方及び側方を覆う上部水素バリア膜とを備え、  
前記第 1 の層間絶縁膜には、前記キャパシタの周囲において前記下部水素バリア膜を露出し且つ上方に広がるテーパ状の開口部が形成されており、  
前記上部水素バリア膜は前記開口部の側面及び底面に沿うように形成され、前記開口部において前記下部水素バリア膜と接していることを特徴とする半導体装置。

20

## 【請求項 3】

下部水素バリア膜と、  
前記下部水素バリア膜の上に形成され、下部電極と容量絶縁膜と上部電極とからなるキャパシタと、  
前記キャパシタの周囲を覆うように形成された第 1 の層間絶縁膜と、  
前記キャパシタの上方及び側方を覆う上部水素バリア膜とを備え、  
前記第 1 の層間絶縁膜には、前記キャパシタの周囲において前記下部水素バリア膜を露出する開口溝が形成されており、  
前記上部水素バリア膜は前記開口溝に沿うように形成された凹部を有し、前記凹部は前記下部水素バリア膜と接していることを特徴とする半導体装置。

30

## 【請求項 4】

前記上部水素バリア膜の凹部の断面形状は上方に広がるテーパ状であることを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 5】

前記上部水素バリア膜は、前記凹部に充填されていることを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 6】

前記キャパシタにおける下部電極、容量絶縁膜及び上部電極の断面形状は上方に広がるテーパ状であることを特徴とする請求項 1 ~ 5 のうちのいずれか 1 項に記載の半導体装置。

40

## 【請求項 7】

前記第 1 の層間絶縁膜の上に前記キャパシタを覆うように形成された第 2 の層間絶縁膜をさらに備え、

前記第 1 の層間絶縁膜には、前記下部水素バリア膜を露出する開口溝が形成されており、  
前記上部水素バリア膜は、前記開口溝に沿うように形成された断面凹状の第 1 の水素バリア膜と、前記第 2 の層間絶縁膜の上に形成され、且つその端部が前記第 1 の水素バリア膜と接続された第 2 の水素バリア膜とから構成されていることを特徴とする請求項 1 ~ 6

50

のうちのいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 の層間絶縁膜の上に前記上部水素バリア膜を覆うように形成された第 2 の層間絶縁膜と、

前記キャパシタの側方で且つ前記第 2 の層間絶縁膜の上に形成された第 3 の層間絶縁膜とをさらに備え、

前記第 2 の層間絶縁膜における前記キャパシタの側方の領域には、前記第 2 の層間絶縁膜を貫通する下部コンタクトプラグが形成され、

前記第 3 の層間絶縁膜における前記キャパシタの側方の領域には、前記第 3 の層間絶縁膜を貫通し且つ前記下部コンタクトプラグと電氣的に接続される上部コンタクトプラグが形成されていることを特徴とする請求項 1 ~ 7 のうちのいずれか 1 項に記載の半導体装置。

10

【請求項 9】

前記第 1 の層間絶縁膜には、前記下部水素バリア膜を露出する複数の開口溝が互いに並行して形成されており、

前記上部水素バリア膜はその側部に前記複数の開口溝に沿うように形成された複数の凹部を有し、前記複数の凹部は前記下部水素バリア膜とそれぞれ接していることを特徴とする請求項 3 ~ 8 のうちのいずれか 1 項に記載の半導体装置。

【請求項 10】

前記下部水素バリア膜又は前記上部水素バリア膜は絶縁性材料からなり、

前記絶縁性材料は、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化チタンアルミニウム、酸化タンタルアルミニウム、珪化酸化チタン又は珪化酸化タンタルからなることを特徴とする請求項 1 ~ 9 のうちのいずれか 1 項に記載の半導体装置。

20

【請求項 11】

前記キャパシタの下側には、酸素の拡散を防ぐ酸素バリア膜が設けられていることを特徴とする請求項 1 ~ 10 のうちのいずれか 1 項に記載の半導体装置。

【請求項 12】

前記酸素バリア膜は、イリジウム、酸化イリジウム、ルテニウム、又は酸化ルテニウムからなることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記酸素バリア膜は、酸化イリジウム、下層から順次形成されたイリジウムと酸化イリジウムとからなる積層膜、酸化ルテニウム、及び下層から順次形成されたルテニウムと酸化ルテニウムとからなる積層膜のうちのいずれか 1 つにより、又はこれらのうちの少なくとも 2 つを含む積層膜により構成されていることを特徴とする請求項 11 又は 12 に記載の半導体装置。

30

【請求項 14】

前記キャパシタの下側には、水素の拡散を防ぐ導電性下部水素バリア膜が設けられていることを特徴とする請求項 1 ~ 13 のうちのいずれか 1 項に記載の半導体装置。

【請求項 15】

前記導電性下部水素バリア膜は、窒化チタンアルミニウム、チタンアルミニウム、珪化窒化チタン、窒化タンタル、珪化窒化タンタル、窒化タンタルアルミニウム、又はタンタルアルミニウムからなることを特徴とする請求項 14 に記載の半導体装置。

40

【請求項 16】

前記導電性下部水素バリア膜は、窒化チタンアルミニウム、チタンアルミニウム、珪化窒化チタン、窒化タンタル、珪化窒化タンタル、窒化タンタルアルミニウム、及びタンタルアルミニウムのうちの少なくとも 2 つを含む積層膜により構成されていることを特徴とする請求項 14 又は 15 に記載の半導体装置。

【請求項 17】

前記導電性下部水素バリア膜は、酸素及び水素の拡散を防ぐ第 1 の導電性バリア層と、酸素の拡散を防ぐ第 2 の導電性バリア層とからなる積層膜を含むことを特徴とする請求項

50

14又は15に記載の半導体装置。

【請求項18】

前記キャパシタは複数個が列状に配置されてキャパシタ列を構成し、該キャパシタ列を構成する上部電極は互いに連結されてセルプレートを構成しており、

前記複数のキャパシタは、前記上部水素バリア膜により前記セルプレート単位で覆われていることを特徴とする請求項1～17のうちのいずれか1項に記載の半導体装置。

【請求項19】

前記キャパシタは複数個が配置されてブロックを構成し、

前記複数のキャパシタは、前記上部水素バリア膜により前記ブロック単位で覆われていることを特徴とする請求項1～17のうちのいずれか1項に記載の半導体装置。

10

【請求項20】

前記キャパシタは複数個が行列状に配置されてキャパシタアレイを構成し、

前記複数のキャパシタは、前記上部水素バリア膜により前記キャパシタアレイ単位で覆われていることを特徴とする請求項1～17のうちのいずれか1項に記載の半導体装置。

【請求項21】

前記キャパシタは複数個が列状に配置されてキャパシタ列を構成し、該キャパシタ列を構成する上部電極は互いに連結されてセルプレートを構成しており、

前記キャパシタ列は複数個が配置されてブロックを構成し、且つ前記ブロックは複数個が配置されてキャパシタアレイを構成しており、

前記複数のキャパシタは、前記上部水素バリア膜により、前記セルプレート単位、前記ブロック単位若しくは前記キャパシタアレイ単位で覆われているか、又は前記セルプレート単位及び前記ブロック単位に混在されて覆われていることを特徴とする請求項1～17のうちのいずれか1項に記載の半導体装置。

20

【請求項22】

前記キャパシタは複数個が配置され、

前記複数のキャパシタのうち前記上部水素バリア膜の周縁部と隣接するキャパシタは、電気的な動作をしない非作動ダミーキャパシタであることを特徴とする請求項1～21のうちのいずれか1項に記載の半導体装置。

【請求項23】

半導体基板に形成されたセル選択トランジスタと、

前記半導体基板上に前記セル選択トランジスタと電気的に接続されたビット線とをさらに備え、

前記ビット線は、前記下部水素バリア膜及び前記上部水素バリア膜の外側で他の配線と接続されていることを特徴とする請求項1～22のうちのいずれか1項に記載の半導体装置。

30

【請求項24】

前記ビット線は、前記下部水素バリア膜の下方に形成されていることを特徴とする請求項23に記載の半導体装置。

【請求項25】

前記ビット線は、前記下部水素バリア膜と前記半導体基板との間に形成されていることを特徴とする請求項23又は24に記載の半導体装置。

40

【請求項26】

前記ビット線は、前記下部水素バリア膜の下側に該下部水素バリア膜と接するように設けられていることを特徴とする請求項23～25のうちいずれか1項に記載の半導体装置。

【請求項27】

前記上部水素バリア膜における前記凹部はその底部で前記下部水素バリア膜と接していることを特徴とする請求項3～26のうちのいずれか1項に記載の半導体装置。

【請求項28】

前記キャパシタにおける上部電極と前記上部水素バリア膜とは互いに接していることを

50

特徴とする請求項 1 ~ 27 のうちのいずれか 1 項に記載の半導体装置。

【請求項 29】

前記上部水素バリア膜の上に直接に形成された配線をさらに備えていることを特徴とする請求項 1 ~ 28 のうちのいずれか 1 項に記載の半導体装置。

【請求項 30】

半導体基板に形成され、ソース領域及びドレイン領域を有するセル選択トランジスタと

前記半導体基板の上に前記セル選択トランジスタを覆う第 4 の層間絶縁膜と、

前記第 4 の層間絶縁膜における前記ソース領域又は前記ドレイン領域と前記キャパシタの下部電極とを電氣的に接続するコンタクトプラグとをさらに備えていることを特徴とする請求項 1 ~ 29 のうちのいずれか 1 項に記載の半導体装置。

10

【請求項 31】

半導体基板に形成された複数のセル選択トランジスタをさらに備え、

前記キャパシタは複数個が列状に配置されてキャパシタ列を構成すると共に、前記複数のキャパシタの上部電極は互いに連結されてセルプレートを構成しており、

前記各セル選択トランジスタと前記各キャパシタとはコンタクトプラグによって電氣的に接続され、

前記キャパシタ列は、前記キャパシタと同一の構成を持つ導通用ダミーキャパシタを含み、

前記セルプレートは、前記導通用ダミーキャパシタにおける上部電極と下部電極とが電氣的に接続されることにより、前記コンタクトプラグを介して前記半導体基板と導通状態にあることを特徴とする請求項 1 ~ 29 のうちのいずれか 1 項に記載の半導体装置。

20

【請求項 32】

前記下部水素バリア膜は、前記各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、前記キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、

前記導電性下部水素バリア膜は、前記絶縁性下部水素バリア膜上で且つ前記コンタクトプラグの上面を覆うように形成されていることを特徴とする請求項 31 に記載の半導体装置。

【請求項 33】

30

前記下部水素バリア膜は、前記各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、前記キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、

前記導電性下部水素バリア膜における端面は、前記絶縁性下部水素バリア膜と接していることを特徴とする請求項 31 に記載の半導体装置。

【請求項 34】

前記下部水素バリア膜は、前記各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、前記キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、

前記導電性下部水素バリア膜は、前記コンタクトプラグの側面に形成されることにより、前記絶縁性下部水素バリア膜と接していることを特徴とする請求項 31 に記載の半導体装置。

40

【請求項 35】

前記キャパシタを構成する下部電極又は上部電極は、主成分に白金族元素を含むことを特徴とする請求項 1 ~ 34 のうちのいずれか 1 項に記載の半導体装置。

【請求項 36】

前記容量絶縁膜は、一般式  $SrBi_2(TaxNb_{1-x})_2O_9$ 、 $Pb(ZrxTi_{1-x})O_3$ 、 $(BaxSr_{1-x})TiO_3$ 、 $(BixLa_{1-x})_4Ti_3O_{12}$  (但し、いずれも  $x$  は  $0 < x < 1$  である。) 又は  $Ta_2O_5$  により構成されていることを特徴とする請求項 1 ~ 35 のうちのいずれか 1 項に記載の半導体装置。

50

## 【請求項 37】

半導体基板に複数のセル選択トランジスタを形成する工程と、  
 前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、  
 前記ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、  
 前記絶縁性下部水素バリア膜を貫通して前記各セル選択トランジスタに達する複数の第1のコンタクトプラグを形成する工程と、  
 前記絶縁性下部水素バリア膜の上に、前記各第1のコンタクトプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、  
 前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、  
 前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、  
 前記上部水素バリア膜を形成する工程は、  
 前記上部水素バリア膜を、前記絶縁性下部水素バリア膜における前記キャパシタ列の外側の領域で接するように形成する工程を含むことを特徴とする半導体装置の製造方法。

10

## 【請求項 38】

半導体基板に複数のセル選択トランジスタを形成する工程と、  
 前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、  
 前記各セル選択トランジスタに達する複数の第1のコンタクトプラグを形成する工程と、  
 前記各第1のコンタクトプラグの上に、その上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、  
 前記各導電性下部水素バリア膜の側方の領域を覆うと共に、前記導電性下部水素バリア膜の各端面を覆うように絶縁性下部水素バリア膜を形成する工程と、  
 前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、  
 前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、  
 前記上部水素バリア膜を形成する工程は、  
 前記上部水素バリア膜を、前記絶縁性下部水素バリア膜における前記キャパシタ列の外側の領域で接するように形成する工程を含むことを特徴とする半導体装置の製造方法。

20

30

## 【請求項 39】

半導体基板に複数のセル選択トランジスタを形成する工程と、  
 前記半導体基板上に前記セル選択トランジスタと電氣的に接続されるビット線を形成する工程と、  
 前記ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、  
 前記絶縁性下部水素バリア膜を貫通して前記各セル選択トランジスタに達する複数のコンタクトホールを形成する工程と、  
 前記各コンタクトホールの壁面及び底面上に、その上端部が前記絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも前記導電性下部水素バリア膜を含む第1のコンタクトプラグを形成する工程と、  
 前記各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、  
 前記キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、  
 前記上部水素バリア膜を形成する工程は、  
 前記上部水素バリア膜を、前記絶縁性下部水素バリア膜における前記キャパシタ列の外側の領域で接するように形成する工程を含むことを特徴とする半導体装置の製造方法。

40

## 【請求項 40】

前記上部水素バリア膜を形成する工程よりも後に、  
 前記半導体基板の上に前記上部水素バリア膜を含む全面にわたって層間絶縁膜を形成す

50

る工程と、

前記層間絶縁膜における前記上部水素バリア膜が形成された領域の外側部分に前記ビット線と接続される第2のコンタクトプラグを形成する工程と、

前記層間絶縁膜の上に、前記第2のコンタクトプラグと接する配線を形成する工程とをさらに備えていることを特徴とする請求項37～39のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項41】

前記層間絶縁膜に前記第2のコンタクトプラグを形成する工程は、

前記上部水素バリア膜の上に下層層間絶縁膜を形成し、形成した下層層間絶縁膜に下部コンタクトプラグを形成する工程と、

前記下層層間絶縁膜の上に上層層間絶縁膜を形成し、形成した上層層間絶縁膜に前記下部コンタクトプラグと接続される上部コンタクトプラグを形成する工程とを含むことを特徴とする請求項40に記載の半導体装置の製造方法。

【請求項42】

半導体基板上に下部水素バリア膜を形成する工程と、

前記下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の上方を覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜に、前記下部水素バリア膜における前記キャパシタ列の外側の領域を露出する開口溝を形成する工程と、

前記層間絶縁膜の上に前記下部水素バリア膜と前記開口溝の底面で接するように上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項43】

前記層間絶縁膜に開口溝を形成する工程は、

複数の前記開口溝を互いに並行して形成する工程を含むことを特徴とする請求項42に記載の半導体装置の製造方法。

【請求項44】

前記開口溝はその断面形状を上方に広がるテーパ状に形成することを特徴とする請求項42又は43に記載の半導体装置の製造方法。

【請求項45】

前記絶縁性下部水素バリア膜を形成する工程において、前記絶縁性下部水素バリア膜は前記ビット線の上に直接に形成することを特徴とする請求項37～44のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項46】

半導体基板上に下部水素バリア膜を形成する工程と、

前記下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、

前記キャパシタ列の側方を覆うと共に、前記下部水素バリア膜における前記キャパシタ列の外側部分と接するように側壁水素バリア膜を形成する工程と、

前記キャパシタ列の上方を覆うと共に、前記側壁水素バリア膜と接するように上部水素バリア膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項47】

前記各キャパシタにおける下部電極、容量絶縁膜及び上部電極は断面凹状であって、その側部の形状を上方に広がるテーパ状に形成することを特徴とする請求項37～46のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項48】

前記上部水素バリア膜を形成する工程において、前記上部水素バリア膜は上部電極の上に直接に形成することを特徴とする請求項37～47のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項49】

10

20

30

40

50

前記上部水素バリア膜を形成する工程よりも後に、配線を前記上部水素バリア膜の上に直接に形成する工程をさらに備えていることを特徴とする請求項 34 ~ 45 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 50】

前記キャパシタ列を形成する工程は、

前記複数のキャパシタの上部電極を連結することによりセルプレートを形成し、形成したセルプレートと接続される 1 つのキャパシタにおける上部電極と下部電極とを電氣的に接続することにより、前記 1 つのキャパシタをその上部電極と下部電極とが導通する導通ダミーキャパシタとする工程を含むことを特徴とする請求項 37 ~ 49 のうちのいずれか 1 項に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体又は高誘電体を容量絶縁膜に用いた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

容量絶縁膜に強誘電体又は高誘電体を用いた半導体装置は、ヒステリシス特性による残留分極及び高い比誘電率を有しているため、不揮発性メモリ装置や DRAM 装置の分野において、酸化シリコン又は窒化シリコンからなる容量絶縁膜を有する半導体装置と置き換

20

わる可能性がある。

【0003】

しかしながら、強誘電体又は高誘電体は、結晶構造自体がその物理的特性を決定する酸化物であるため、水素による還元作用の影響が大きい。一方、MOS トランジスタの形成プロセス、多層配線の形成プロセス、及び保護膜の形成プロセス等には、水素ガスはもとより、水素原子を含むシランガス、レジスト材料及び水（水分）等を用いる工程を多く含む。

【0004】

そこで、近年、キャパシタの側方に水素バリア層を設け、キャパシタを単体ごとに又は複数のキャパシタを単位としてその全体を水素バリアで覆う技術が提示されている（例えば、特許文献 1 及び特許文献 2 を参照。）。

30

【0005】

（第 1 の従来例）

以下、第 1 の従来例に係る強誘電体を用いた容量絶縁膜を有する半導体装置について図 32 を参照しながら説明する（例えば、特許文献 1）。

【0006】

図 32 に示すように、まず、半導体基板 1 の上には、MOS スイッチングトランジスタ 2 が形成されており、該 MOS スイッチングトランジスタ 2 はシリコン酸化物、例えば  $\text{SiO}_2$ （TEOS）又は BPSG（ホウ燐ケイ酸ガラス）からなるアイソレーション層 4 により覆われている。アイソレーション層 4 における MOS スイッチングトランジスタ 2 のドレイン領域上には、白金等からなる下部電極 7、強誘電体又は常誘電体からなる誘電体層 8 及び白金等からなる上部電極 9 により構成されたキャパシタが形成されている。

40

【0007】

MOS スイッチングトランジスタ 2 のドレイン領域とキャパシタの下部電極 7 とは、該下部電極の下側に形成された酸素バリア層 6 と、アイソレーション層 4 に設けられたコンタクト孔 3 にドーパド多結晶シリコンが充填されてなるコンタクトとを介して導通が図られている。

【0008】

ここで、アイソレーション層 4 におけるキャパシタの下側の周辺部には、窒化シリコンからなる第 1 の水素バリア層 5 が埋め込まれている。また、アイソレーション層 4 にお

50



るキャパシタを含む領域の周辺部は、第1の水素バリア層5の端部を露出するようにメサ型にパターンングされており、このメサ型部分、すなわち、キャパシタの上部電極9の上面及び側端面、誘電体層8の側端面、並びにアイソレーション層4における第1の水素バリア層5の上側部分の側端面は第2の水素バリア層10に覆われている。さらに、第1の水素バリア層5の露出部分は、第2の水素バリア層10の断面L字型の端部と接続されている。

【0009】

このように、第1の従来例に係るキャパシタは、その下方を第1の水素バリア層によって、また、その上側及び側面を第2の水素バリア層10によって覆われている。

【0010】

(第2の従来例)

次に、第2の従来例に係る強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置について図33を参照しながら説明する(例えば、特許文献2)。

【0011】

図33に示すように、シリコン基板101の上に、半導体能動素子として複数のメモリセルトランジスタ102が形成されている。ここで、メモリセルトランジスタ102は、下部電極108、高強誘電体109及び上部電極110からなる複数の情報記憶用コンデンサの下に形成された半導体能動素子である。

【0012】

コンデンサ層とトランジスタ層との間には、両者を電氣的に絶縁する層間絶縁層104が形成されており、これらコンデンサ層とトランジスタ層とは、第1のプラグ105と第2のプラグ106とにより電氣的に接続されている。

【0013】

層間絶縁層104とコンデンサ層との間には、該層間絶縁層104よりも水素拡散の程度が小さい絶縁物からなる水素拡散阻止層107が配置されている。

【0014】

コンデンサ層の上部電極110の上面及び側面は、水素吸着解離阻止層111によってその端部が水素拡散阻止層107の側端面と接続されるように覆われている。

【0015】

水素吸着解離阻止層111を含む層間絶縁層104の上には、層間絶縁膜112が形成され、該層間絶縁膜112の上には、上部配線層114が形成されている。上部配線層とシリコン基板101に形成された周辺トランジスタ103とは、層間絶縁膜112に設けられた接続プラグ113と、層間絶縁層104に設けられた第1及び第2のプラグ105、106とにより導通が図られている。

【0016】

このように、第2の従来例に係る複数の情報記憶用コンデンサは、下側を水素拡散阻止層107によって、また、それらの上側及び側面を水素吸着解離阻止層111によって覆われている。

【特許文献1】特開2001-237393号公報(第4-5頁、第1-3図)

【特許文献2】特開平11-126881号公報(第3-5頁、第1、7-10図)

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、前記第1及び第2の従来例のように、キャパシタの側方にも水素バリア層を設けて、該水素バリア層によりキャパシタを単体又は複数単位でキャパシタ全体を覆う構成では、下層の水素バリア膜と上層の水素バリア膜との接続面積が小さく、水素に対するバリア性が不十分であるという問題がある。

【0018】

すなわち、第1の従来例は、下層の水素バリア膜5の端部において、断面L字型の上層の水素バリア膜10が直接に接続される構成を採るため、特に上層の水素バリア膜10が

10

20

30

40

50

キャパシタの側方からの水素の侵入に対しては単層構造となるので、断面L字型の屈曲部において水素バリア膜10に十分な被膜膜厚を得にくい。

【0019】

また、第2の従来例においても、上層の水素バリア膜111が下層の水素バリア膜107の端面のみで接続される構成であるため、接続面積は極めて小さい。

【0020】

従って、いずれの構成も、下層及び上層の水素バリア膜同士の接続部においては、水素バリア性が不十分となる。

【0021】

さらに、第2の従来例のように複数のキャパシタの全体を水素バリア膜で覆う構成の場合には、通常、レイアウトの自由度の向上を図るために、メモリセル領域（具体的にはキャパシタ）の上方に配置するビット線を、メモリセル領域の面積が増大しないように、その下方に位置するキャパシタを覆う水素バリア膜を避けながら、さらに下方の選択トランジスタと接続することは困難である。

【0022】

本発明は、前記従来の問題に鑑み、強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置において、容量絶縁膜の水素による劣化を確実に防止し、また、容量絶縁膜の水素による劣化を防止しつつメモリセル領域の面積の増大を抑制できるようにすることを目的とする。

【課題を解決するための手段】

【0023】

前記の目的を達成するため、本発明は、強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置を、1つ以上のキャパシタ、とりわけ複数のキャパシタを含むキャパシタ列の周囲、すなわち上方、下方及び側方の三方向を水素バリア膜により覆うと共に、水素バリア膜におけるキャパシタの側方を覆う部分を、基板面に対して鈍角となるように設けるか又は断面凹状とする。

【0024】

具体的に、本発明に係る第1の半導体装置は、下部水素バリア膜と、下部水素バリア膜の上に形成されたキャパシタと、キャパシタを覆い且つキャパシタの周縁部において下部水素バリア膜を露出するように形成された第1の層間絶縁膜と、第1の層間絶縁膜及び下部水素バリア膜の露出部分の上に形成された上部水素バリア膜とを備え、上部水素バリア膜はキャパシタの周縁部において下部水素バリア膜と接しており、第1の層間絶縁膜におけるキャパシタの側方部分を覆う側面は下部水素バリア膜の上面と鈍角をなしている。

【0025】

第1の半導体装置によると、上部水素バリア膜がキャパシタの周縁部において下部水素バリア膜と接しており、第1の層間絶縁膜におけるキャパシタの側方部分を覆う側面は下部水素バリア膜の上面と鈍角をなしているため、上部水素バリア膜における第1の層間絶縁膜の側端面上部分と下部水素バリア膜との接触面上部分とからなる断面L字型状の屈曲部においても十分な被覆膜厚を得られるようになる。その結果、下部水素バリア膜と上部水素バリア膜との接続部において、下部水素バリア膜及び上部水素バリア膜の水素バリア性が十分に高くなるので、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

【0026】

本発明に係る第2の半導体装置は、下部水素バリア膜と、下部水素バリア膜の上に形成され、下部電極と容量絶縁膜と上部電極とからなるキャパシタと、キャパシタの周囲を覆うように形成された第1の層間絶縁膜と、キャパシタの上方及び側方を覆う上部水素バリア膜とを備え、第1の層間絶縁膜には、キャパシタの周囲において下部水素バリア膜を露出し且つ上方に広がるテーパ状の開口部が形成されており、上部水素バリア膜は開口部の側面及び底面に沿うように形成され、開口部において下部水素バリア膜と接している。

【0027】

10

20

30

40

50

第2の半導体装置によると、下部電極と容量絶縁膜と上部電極とからなるキャパシタは、その下側は下部水素バリア膜により覆われ、その上方及び側方は上部水素バリア膜により覆われており、しかも、下層の水素バリア膜上に側面と底面とのなす角度が鈍角の断面L字型をした上層の水素バリア膜が直接に接続して形成されている。このため、断面L字型の屈曲部においても水素バリア膜に十分な被覆膜厚を得られるようになるので、下部水素バリア膜と上部水素バリア膜との接続部において、各水素バリア膜の水素バリア性が十分に高くなり、その結果、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

【0028】

本発明に係る第3の半導体装置は、下部水素バリア膜と、下部水素バリア膜の上に形成された下部電極と容量絶縁膜と上部電極とからなるキャパシタと、キャパシタの周囲を覆うように形成された第1の層間絶縁膜と、キャパシタの上方及び側方を覆う上部水素バリア膜とを備え、第1の層間絶縁膜には、キャパシタの周囲において下部水素バリア膜を露出する開口溝が形成されており、上部水素バリア膜は開口溝に沿うように形成された凹部を有し、凹部は下部水素バリア膜と接している。

10

【0029】

第3の半導体装置によると、第1の層間絶縁膜から下部水素バリア膜を露出する際の第1の層間絶縁膜に対するエッチング量を減らすことができる。その上、上部水素バリア膜における開口溝の互いに対向する内壁面上に成膜される両側部は、キャパシタの側方に対しては二重に形成されることになるため、キャパシタの側方から侵入する水素に対するバリア性が格段に向上する。

20

【0030】

この場合に、上部水素バリア膜の凹部の断面形状は上方に広がるテーパ状であることが好ましい。このようにすると、上部水素バリア膜が開口溝の内壁面上及び底面上にも確実に成膜されるようになるため、上部水素バリア膜のカバレッジが向上するので、上部水素バリア膜のバリア性を確保することができる。

【0031】

また、この場合に、上部水素バリア膜は凹部に充填されていることが好ましい。このようにすると、上部水素バリア膜の上に第2の層間絶縁膜を形成する場合に、上部水素バリア膜の凹部が既に充填されているため、第2の層間絶縁膜の膜厚を小さくできるので、半導体装置の微細化が容易となる。

30

【0032】

第1～第3の半導体装置において、キャパシタにおける下部電極、容量絶縁膜及び上部電極は断面凹状であって、その側部の断面形状は上方に広がるテーパ状であることが好ましい。このようにすると、キャパシタの断面凹状を立体形状とする際にも、下部電極、容量絶縁膜及び上部電極における各凹状部分側面上、底面上及び隅部におけるカバレッジが向上するため、キャパシタにおけるリーク電流を防止することができ、キャパシタに所望の特性を得ることができる。

【0033】

第1～第3の半導体装置は、第1の層間絶縁膜の上にキャパシタを覆うように形成された第2の層間絶縁膜をさらに備え、第1の層間絶縁膜には下部水素バリア膜を露出する開口溝が形成されており、上部水素バリア膜は、開口溝に沿うように形成された断面凹状の第1の水素バリア膜と、第2の層間絶縁膜の上に形成され、且つその端部が第1の水素バリア膜と接続された第2の水素バリア膜とから構成されていることが好ましい。

40

【0034】

このように、上部水素バリア膜を、第1の層間絶縁膜に形成された断面凹状の第1の水素バリア膜と、第1の層間絶縁膜上の第2の層間絶縁膜の上に形成された第2の水素バリア膜とに分けて構成するため、下部水素バリア膜を露出する開口溝は第1の層間絶縁膜のみ形成されることになる。その結果、第1の層間絶縁膜にのみ形成される開口溝のアスペクト比の値が小さくなるので、断面凹状の第1の水素バリア膜の開口溝におけるカバレ

50

ッジが向上する。

【0035】

第1～第3の半導体装置は、第1の層間絶縁膜の上に上部水素バリア膜を覆うように形成された第2の層間絶縁膜と、キャパシタの側方で且つ第2の層間絶縁膜の上に形成された第3の層間絶縁膜とをさらに備え、第2の層間絶縁膜におけるキャパシタの側方の領域には、第2の層間絶縁膜を貫通する下部コンタクトプラグが形成され、第3の層間絶縁膜におけるキャパシタの側方の領域には、第3の層間絶縁膜を貫通し且つ下部コンタクトプラグと電氣的に接続される上部コンタクトプラグが形成されていることが好ましい。このように、キャパシタの側方の領域に設けるコンタクトプラグを第2の層間絶縁膜に設ける下部コンタクトプラグと、その上の第3の層間絶縁膜に設ける上部コンタクトプラグに分けて形成するため、下部と上部の各コンタクトプラグを形成する際の各コンタクトホールのアスペクト比の値が小さくなるので、コンタクトプラグの形成が容易となる。

10

【0036】

第3の半導体装置において、第1の層間絶縁膜には、下部水素バリア膜を露出する複数の開口溝が互いに並行して形成されており、上部水素バリア膜はその側部に複数の開口溝に沿うように形成された複数の凹部を有し、複数の凹部は下部水素バリア膜とそれぞれ接していることが好ましい。このようにすると、キャパシタの側方に位置する上部水素バリア膜は少なくとも四重となるため、キャパシタの側方から侵入する水素に対するバリア性がさらに向上する。

【0037】

第1～第3の半導体装置において、下部水素バリア膜又は上部水素バリア膜は絶縁性材料からなり、絶縁性材料は、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化チタンアルミニウム、酸化タンタルアルミニウム、珪化酸化チタン又は珪化酸化タンタルからなることをことが好ましい。

20

【0038】

第1～第3の半導体装置において、キャパシタの下側には、酸素の拡散を防ぐ酸素バリア膜が設けられていることが好ましい。このようにすると、キャパシタの下側にコンタクトプラグを設ける構成の場合に、該コンタクトプラグの上方からの酸素の拡散を抑制できるため、コンタクトプラグの上部の酸化を防止することができる。

【0039】

この場合に、酸素バリア膜は、イリジウム、酸化イリジウム、ルテニウム、又は酸化ルテニウムからなることが好ましい。

30

【0040】

また、この場合に、酸素バリア膜は、酸化イリジウム、下層から順次形成されたイリジウムと酸化イリジウムとからなる積層膜、酸化ルテニウム、及び下層から順次形成されたルテニウムと酸化ルテニウムとからなる積層膜のうちのいずれか1つにより、又はこれらのうちの少なくとも2つを含む積層膜により構成されていることが好ましい。

【0041】

第1～第3の半導体装置において、キャパシタの下側には、水素の拡散を防ぐ導電性下部水素バリア膜が設けられていることが好ましい。このようにすると、キャパシタの下側にコンタクトプラグを設ける構成の場合に、該コンタクトプラグの下方からの水素の侵入を防止することができる。

40

【0042】

この場合に、導電性下部水素バリア膜は、窒化チタンアルミニウム、チタンアルミニウム、珪化窒化チタン、窒化タンタル、珪化窒化タンタル、窒化タンタルアルミニウム、又はタンタルアルミニウムからなることが好ましい。

【0043】

また、この場合に、導電性下部水素バリア膜は、窒化チタンアルミニウム、チタンアルミニウム、珪化窒化チタン、窒化タンタル、珪化窒化タンタル、窒化タンタルアルミニウム、及びタンタルアルミニウムのうちの少なくとも2つを含む積層膜により構成されてい

50

ることが好ましい。

【0044】

また、この場合に、導電性下部水素バリア膜は、酸素及び水素の拡散を防ぐ第1の導電性バリア層と、酸素の拡散を防ぐ第2の導電性バリア層とからなる積層膜を含むことが好ましい。

【0045】

第1～第3の半導体装置において、キャパシタは複数個が列状に配置されてキャパシタ列を構成し、該キャパシタ列を構成する上部電極は互いに連結されてセルプレートを構成しており、複数のキャパシタは、上部水素バリア膜によりセルプレート単位で覆われていることが好ましい。

10

【0046】

また、第1～第3の半導体装置において、キャパシタは複数個が配置されてブロックを構成し、複数のキャパシタは、上部水素バリア膜によりブロック単位で覆われていることが好ましい。

【0047】

また、第1～第3の半導体装置において、キャパシタは複数個が行列状に配置されてキャパシタアレイを構成し、複数のキャパシタは、上部水素バリア膜によりキャパシタアレイ単位で覆われていることが好ましい。

【0048】

また、第1～第3の半導体装置において、キャパシタは複数個が列状に配置されてキャパシタ列を構成し、該キャパシタ列を構成する上部電極は互いに連結されてセルプレートを構成しており、キャパシタ列は複数個が配置されてブロックを構成し、且つブロックは複数個が配置されてキャパシタアレイを構成しており、複数のキャパシタは、上部水素バリア膜により、セルプレート単位、ブロック単位若しくはキャパシタアレイ単位で覆われているか、又はセルプレート単位及びブロック単位に混在されて覆われていることが好ましい。

20

【0049】

このように、複数のキャパシタを、セルプレート単位、複数のセルプレートを含むブロック単位又は複数のブロックを含むキャパシタアレイ単位で水素バリア膜を形成すると、例えばセル選択トランジスタとキャパシタとからなる単位セル自体の面積の増大を抑制できるため、半導体装置の微細化を妨げることがない。

30

【0050】

第1～第3の半導体装置において、キャパシタは複数個が配置され、複数のキャパシタのうち上部水素バリア膜の周縁部と隣接するキャパシタは、電気的な動作をしない非作動ダミーキャパシタであることが好ましい。このように、上部水素バリア膜の周縁部と隣接するキャパシタを非作動のダミーキャパシタとしているため、たとえ水素バリア膜がキャパシタへの水素の拡散を防止できない事態が生じたとしても、半導体装置は所定の動作を行なうことができる。

【0051】

第1～第3の半導体装置は、半導体基板に形成されたセル選択トランジスタと、半導体基板上にセル選択トランジスタと電気的に接続されたビット線とをさらに備え、ビット線は、下部水素バリア膜及び上部水素バリア膜の外側で他の配線と接続されていることが好ましい。このようにすると、キャパシタの周囲をその上下を含め水素バリア膜により覆ったとしても、該水素バリア膜を開口することなく、セル選択トランジスタに対するアクセスが可能となる。

40

【0052】

この場合に、ビット線はキャパシタの下方で、且つ下部水素バリア膜の下方に形成されていることが好ましい。このようにすると、セル選択トランジスタの拡散層とビット線とを接続するコンタクトプラグをキャパシタ間に設ける必要がなくなるため、該拡散層とビット線とを接続するコンタクトプラグのマージンを縮小できる。さらに、キャパシタ間の

50

下部水素バリア膜と上部水素バリア膜との接合部をなくすことができるため、接合部に要するマージンを削減することができる。これにより、単位セルの占有面積を減少させることができる。すなわち、単位セルの面積を増加させることなく、ビット線を配置することができる。

【0053】

また、この場合に、ビット線は下部水素バリア膜と半導体基板との間に形成されていることが好ましい。このようにすると、拡散層とビット線との間のコンタクトホールと、ビット線と配線との間のコンタクトホールとを浅く形成できるため、コンタクトホールを形成する際のエッチング量を減らすことができる。さらに、キャパシタの上方の配線とビット線との接続を上部水素バリア膜及び下部水素バリア膜の接合部の外側に設けることができるため、上部水素バリア膜と下部水素バリア膜とを貫通することなく、ビット線を配置することができる。

10

【0054】

この場合に、ビット線は、下部水素バリア膜の下側に下部水素バリア膜と接するように設けられていることが好ましい。このようにすると、ビット線と下部水素バリア膜との間の層間絶縁膜が不要となるため、半導体装置の微細化を図ることができる。

【0055】

第3の半導体装置において、上部水素バリア膜における凹部はその底部で下部水素バリア膜と接していることが好ましい。このようにすると、上部水素バリア膜がその凹部の側面で下部水素バリア膜と接する場合と比べて、互いの接合部分の面積が大きくなるため、接合部分における水素に対するバリア性を向上することができる。

20

【0056】

第1～第3の半導体装置において、キャパシタにおける上部電極と上部水素バリア膜とは互いに接していることが好ましい。このようにすると、上部電極と上部水素バリア膜との間の層間絶縁膜が不要となるため、半導体装置の微細化を図ることができる。

【0057】

第1～第3の半導体装置は、上部水素バリア膜の上に直接に形成された配線をさらに備えていることが好ましい。このようにすると、上部水素バリア膜と配線との間の層間絶縁膜が不要となるため、半導体装置の微細化を図ることができる。

【0058】

第1～第3の半導体装置は、半導体基板に形成され、ソース領域及びドレイン領域を有するセル選択トランジスタと、半導体基板の上にセル選択トランジスタを覆う第4の層間絶縁膜と、第4の層間絶縁膜におけるソース領域又はドレイン領域と下部電極とを電氣的に接続するコンタクトプラグとをさらに備えていることが好ましい。

30

【0059】

このようにすると、キャパシタと該キャパシタをアクセス可能とするセル選択トランジスタとからなるスタック型のメモリセルを構成できるため、該メモリセルを集積化することにより、半導体メモリ装置を実現できる。

【0060】

また、第1～第3の半導体装置は、半導体基板に形成された複数のセル選択トランジスタをさらに備え、キャパシタは複数個が列状に配置されてキャパシタ列を構成すると共に、複数のキャパシタの上部電極は互いに連結されてセルプレートを構成しており、各セル選択トランジスタと各キャパシタとはコンタクトプラグによって電氣的に接続され、キャパシタ列は、キャパシタと同一の構成を持つ導通用ダミーキャパシタを含み、セルプレートは、導通用ダミーキャパシタにおける上部電極と下部電極とが電氣的に接続されることにより、コンタクトプラグを介して半導体基板と導通状態にあることが好ましい。

40

【0061】

このようにすると、キャパシタ列の上方が水素バリア膜に覆われた状態でも、半導体基板から上部電極に対して所定の電位を供給することができる。

【0062】

50

この場合に、下部水素バリア膜は、各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、導電性下部水素バリア膜は、絶縁性下部水素バリア膜上で且つコンタクトプラグの上面を覆うように形成されていることが好ましい。

【0063】

また、この場合に、下部水素バリア膜は、各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、導電性下部水素バリア膜における端面は、絶縁性下部水素バリア膜と接していることが好ましい。

【0064】

また、この場合に、下部水素バリア膜は、各セル選択トランジスタ及び各キャパシタの間に形成された導電性下部水素バリア膜と、キャパシタ列の間に形成された絶縁性下部水素バリア膜とからなり、導電性下部水素バリア膜は、コンタクトプラグの側面に形成されることにより、絶縁性下部水素バリア膜と接していることが好ましい。

【0065】

第1～第3の半導体装置において、下部電極又は上部電極は、主成分に白金族元素を含むことが好ましい。

【0066】

第1～第3の半導体装置において、容量絶縁膜は、一般式  $SrBi_2(TaxNb_{1-x})_2O_9$ 、 $Pb(ZrxTi_{1-x})O_3$ 、 $(BaxSr_{1-x})TiO_3$ 、 $(BixLa_{1-x})_4Ti_3O_{12}$  (但し、いずれも  $x$  は  $0 < x < 1$  である。) 又は  $Ta_2O_5$  により構成されていることが好ましい。

【0067】

本発明に係る第1の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、絶縁性下部水素バリア膜を貫通して各セル選択トランジスタに達する複数の第1のコンタクトプラグを形成する工程と、絶縁性下部水素バリア膜の上に、各第1のコンタクトプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成する工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、上部水素バリア膜を形成する工程は、上部水素バリア膜を、絶縁性下部水素バリア膜におけるキャパシタ列の外側の領域で接するように形成する工程を含む。

【0068】

第1の半導体装置の製造方法によると、絶縁性下部水素バリア膜を貫通して各セル選択トランジスタに達する複数の第1のコンタクトプラグを形成し、その後、絶縁性下部水素バリア膜の上に、各第1のコンタクトプラグの上面を覆うように複数の導電性下部水素バリア膜を選択的に形成するため、絶縁性下部水素バリア膜と導電性下部水素バリア膜との間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。さらに、上部水素バリア膜と絶縁性下部水素バリア膜とをキャパシタ列の外側の領域で接続するため、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

【0069】

本発明に係る第2の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、各セル選択トランジスタに達する複数の第1のコンタクトプラグを形成する工程と、各第1のコンタクトプラグの上に、その上面を覆うように複数の導電性

10

20

30

40

50

下部水素バリア膜を選択的に形成する工程と、各導電性下部水素バリア膜の側方の領域を覆うと共に、導電性下部水素バリア膜の各端面を覆うように絶縁性下部水素バリア膜を形成する工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、上部水素バリア膜を形成する工程は、上部水素バリア膜を、絶縁性下部水素バリア膜におけるキャパシタ列の外側の領域で接するように形成する工程を含む。

**【0070】**

第2の半導体装置の製造方法によると、第1のコンタクトプラグの上にその上面を覆うように複数の導電性下部水素バリア膜を選択的に形成し、その後、各導電性下部水素バリア層の側方の領域を覆うと共に導電性下部水素バリア層の各端面を覆うように絶縁性下部水素バリア層を形成するため、各導電性下部水素バリア膜の端面と絶縁性下部水素バリア膜とが接触するので、絶縁性下部水素バリア膜と各導電性下部水素バリア膜との間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。さらに、上部水素バリア膜と絶縁性下部水素バリア膜とをキャパシタ列の外側の領域で接続するため、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

10

**【0071】**

本発明に係る第3の半導体装置の製造方法は、半導体基板に複数のセル選択トランジスタを形成する工程と、半導体基板上にセル選択トランジスタと電氣的に接続されるビット線を形成する工程と、ビット線の上方に絶縁性下部水素バリア膜を形成する工程と、絶縁性下部水素バリア膜を貫通して各セル選択トランジスタに達する複数のコンタクトホールを形成する工程と、各コンタクトホールの壁面及び底面上に、その上端部が絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも導電性下部水素バリア膜を含む第1のコンタクトプラグを形成する工程と、各導電性下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方に上部水素バリア膜を形成する工程とを備え、上部水素バリア膜を形成する工程は、上部水素バリア膜を、絶縁性下部水素バリア膜におけるキャパシタ列の外側の領域で接するように形成する工程を含む。

20

30

**【0072】**

第3の半導体装置の製造方法によると、絶縁性下部水素バリア膜を貫通して各セル選択トランジスタに達する複数のコンタクトホールを形成した後、各コンタクトホールの壁面及び底面上に、その上端部が絶縁性下部水素バリア膜と接する導電性下部水素バリア膜を形成し、少なくとも導電性下部水素バリア膜を含む第1のコンタクトプラグを形成する。このため、各導電性下部水素バリア膜が、その表面に導電性下部水素バリア膜を含む第1のコンタクトプラグと接触するので、絶縁性下部水素バリア膜と第1のコンタクトプラグとの間から水素が浸入することがない。その上、上部水素バリア膜及び絶縁性下部水素バリア膜は、個々のキャパシタを覆うのではなく、キャパシタ列としてまとめて覆うため、セル選択トランジスタとキャパシタとからなる単位セルの面積が大きくなることがない。さらに、上部水素バリア膜と絶縁性下部水素バリア膜とをキャパシタ列の外側の領域で接続するため、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

40

**【0073】**

第1～第3の半導体装置の製造方法は、上部水素バリア膜を形成する工程よりも後に、半導体基板の上に上部水素バリア膜を含む全面にわたって層間絶縁膜を形成する工程と、層間絶縁膜における上部水素バリア膜が形成された領域の外側部分にビット線と接続される第2のコンタクトプラグを形成する工程と、層間絶縁膜の上に、第2のコンタクトプラグと接する配線を形成する工程とをさらに備えていることが好ましい。

**【0074】**

50



この場合に、層間絶縁膜に第2のコンタクトプラグを形成する工程は、上部水素バリア膜の上に下層層間絶縁膜を形成し、形成した下層層間絶縁膜に下部コンタクトプラグを形成する工程と、下層層間絶縁膜の上に上層層間絶縁膜を形成し、形成した上層層間絶縁膜に下部コンタクトプラグと接続される上部コンタクトプラグを形成する工程とを含むことが好ましい。

【0075】

本発明に係る第4の半導体装置の製造方法は、半導体基板上に下部水素バリア膜を形成する工程と、下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の上方を覆う層間絶縁膜を形成する工程と、層間絶縁膜に、下部水素バリア膜におけるキャパシタ列の外側の領域を露出する開口溝を形成する工程と、層間絶縁膜の上に下部水素バリア膜と開口溝の底面で接するように上部水素バリア膜を形成する工程とを備えている。

10

【0076】

第4の半導体装置の製造方法によると、キャパシタ列の上方を覆う層間絶縁膜を形成し、形成した層間絶縁膜に、下部水素バリア膜におけるキャパシタ列の外側の領域を露出する溝部を形成した後、層間絶縁膜の上に下部水素バリア膜と溝部の底面で接するように上部水素バリア膜を形成する。このように、キャパシタ列を覆う層間絶縁膜に溝部を設けるため、層間絶縁膜の上に形成する上部水素バリア膜は該溝部の底面により下部水素バリア膜と接するので、単位セル面積を増加させることなく、キャパシタの側方に対する水素バリア性を確保することができる。また、層間絶縁膜に設ける溝部は、その形成部分のみが除去されるため、上部水素バリア膜をパターニングする際に、キャパシタ列上のレジスト膜の膜厚が小さくなることがない。その上、上部水素バリア膜における開口溝の互いに向する内壁面上に成膜される両側部は、キャパシタの側方に対しては二重に形成されることになるため、キャパシタの側方から侵入する水素に対するバリア性が格段に向上する。さらに、溝部をキャパシタ列ごとに形成するため、上部水素バリア膜をパターニングした後、その上に他の層間絶縁膜を形成しても、他の層間絶縁膜における溝部への埋め込み後の平坦度が向上する。

20

【0077】

第4の半導体装置の製造方法において、層間絶縁膜に開口溝を形成する工程は、複数の開口溝を互いに並行して形成する工程を含むことが好ましい。

30

【0078】

第4の半導体装置の製造方法において、開口溝はその断面形状を上方に広がるテーパ形状に形成することが好ましい。

【0079】

第1～4の半導体装置の製造方法は、絶縁性下部水素バリア膜を形成する工程において、絶縁性下部水素バリア膜はビット線の上に直接に形成することが好ましい。

【0080】

本発明に係る第5の半導体装置の製造方法は、半導体基板上に下部水素バリア膜を形成する工程と、下部水素バリア膜の上に、それぞれが強誘電体又は高誘電体からなる容量絶縁膜を有する複数のキャパシタを含むキャパシタ列を形成する工程と、キャパシタ列の側方を覆うと共に、下部水素バリア膜におけるキャパシタ列の外側部分と接するように側壁水素バリア膜を形成する工程と、キャパシタ列の上方を覆うと共に、側壁水素バリア膜と接するように上部水素バリア膜を形成する工程とを備えている。

40

【0081】

第5の半導体装置の製造方法によると、キャパシタ列の側方を覆うと共に下部水素バリア膜におけるキャパシタ列の外側部分と接するように側壁水素バリア膜を形成し、その後、キャパシタ列の上方を覆うと共に側壁水素バリア膜と接するように上部水素バリア膜を形成する。このように、キャパシタ列は、側壁水素バリア膜と、該側壁水素バリア膜と接する上部水素バリア膜とにより覆われているため、単位セル面積を増加させることなく、キャパシタの側方に対する水素バリア性を確保することができる。また、側壁水素バリア

50

膜を上部水素バリア膜とは独立して形成するため、キャパシタ列による段差が大きい場合でも、上部水素バリア膜のカバレッジが良好となる。

【0082】

第1～第5の半導体装置の製造方法において、各キャパシタにおける下部電極、容量絶縁膜及び上部電極は、その断面形状を上方に広がるテーパ状に形成することが好ましい。

【0083】

第1～第5の半導体装置の製造方法において、上部水素バリア膜を形成する工程において、上部水素バリア膜は上部電極の上に直接に形成することが好ましい。

【0084】

第1～第5の半導体装置の製造方法は、上部水素バリア膜を形成する工程よりも後に、配線を上部水素バリア膜の上に直接に形成する工程をさらに備えていることが好ましい。

【0085】

第1～第5の半導体装置の製造方法において、キャパシタ列を形成する工程は、複数のキャパシタの上部電極を連結することによりセルプレートを形成し、形成したセルプレートと接続される1つのキャパシタにおける上部電極と下部電極とを電氣的に接続することにより、該1つのキャパシタをその上部電極と下部電極とが導通する導通用ダミーキャパシタとする工程を含むことが好ましい。

【発明の効果】

【0086】

本発明に係る半導体装置及びその製造方法によると、キャパシタをその周囲に設けた、上方に広がるテーパ状の開口部において下部水素バリア膜と上部水素バリア膜とを接続するように覆うため、上部水素バリア膜における側面にも十分な被覆膜厚を得られるので、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止することができる。

【0087】

また、下部水素バリア膜と接する上部水素バリア膜の端部には、キャパシタを形成する層間絶縁膜等からなる下地膜に設けられた開口溝に沿った凹部を設けるため、上部水素バリア膜におけるキャパシタの側方部分は二重構造となるので、水素の侵入をより確実に防止することができる。

【発明を実施するための最良の形態】

【0088】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0089】

図1は本発明の第1の実施形態に係る半導体装置のセルブロックの平面構成を示し、図2は図1のII-II線における断面構成を示し、図3は図1のIII-III線における断面構成を示している。

【0090】

図1に示すように、例えばシリコン(Si)からなる半導体基板の上には、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)からなる絶縁性下部水素バリア膜19が形成され、該絶縁性下部水素バリア膜19の上には、複数のキャパシタ27が行列状に配置されて形成されている。

【0091】

複数のキャパシタ27における後述のビット線が延びる方向と交差する方向に配置された一群は、例えば65個分の上部電極が互いに接続されてセルプレート50を構成している。ここで、各セルプレート50の一端部に位置するキャパシタ27Aは、半導体基板とセルプレート50との電氣的な導通を図る導通用ダミーキャパシタである。従って、1つのセルプレートは実質的には64個のキャパシタ27を含んでいる。また、一例として、セルプレート50をビット線が延びる方向に例えば64列分配置して1つのセルブロック60を構成している。

【0092】

10

20

30

40

50

第1の実施形態の特徴として、複数のセルプレート50を含む1つのセルブロック60は、絶縁性を有する例えば酸化チタンアルミニウム(TiAlO)からなる上部水素バリア膜29により覆われており、該上部水素バリア膜29の端部(周縁部)は、絶縁性下部水素バリア膜19の端部(周縁部)と接続部29aにより接続されている。

【0093】

一例として、セルプレート50が延びる方向に例えば16個分のセルブロック60を配置すると、半導体記憶装置としてのキャパシタアレイが構成される。なお、1セルプレート当たりのキャパシタ27の個数、1セルブロック当たりのセルプレート50の個数、及び1キャパシタアレイ当たりのセルブロック60の個数はこれらに限られないことはいうまでもない。

【0094】

また、第1の実施形態において、導通用ダミーキャパシタ27Aを各セルプレート50の一端部に位置するように形成したが、これに限られず、各セルプレート50の中側に形成しても構わない。但し、本実施形態のように、導通用ダミーキャパシタ27Aを各セルプレート50の一端部に位置するように形成した場合には、何らかの要因でキャパシタ列の周囲全体を覆う水素バリア膜の一部が消失するか又は薄膜化し、水素がキャパシタ列の内部に侵入することがあっても、水素の影響を最も受けやすい端部に位置する導通用ダミーキャパシタ27Aは、キャパシタとして実質的に機能しないため、内部のキャパシタ27の電気的特性の劣化を抑制することが可能となり、より効果的である。

【0095】

なお、絶縁性下部水素バリア膜19及び上部水素バリア膜29が各キャパシタ27を覆う単位は、キャパシタ単位でも良く、セルプレート単位でも良く、セルブロック単位でも良く、キャパシタアレイ単位でも良い。また、キャパシタ単位、セルプレート単位及びセルブロック単位を組み合わせ構成しても良い。

【0096】

次に、セルブロック60の断面構成の詳細を説明する。

【0097】

図2及び図3に示すように、例えばP型半導体基板10の上部には、深さが約300nmの素子分離領域11が選択的に形成されており、P型半導体基板10の主面における素子分離領域11によって区画された領域上には、膜厚が約10nmのゲート絶縁膜12と、その上に膜厚が約200nmのポリシリコンからなるゲート電極13とが形成され、該ゲート電極13の側面上には膜厚が約50nmのサイドウォール絶縁膜(図示せず)が形成されている。P型半導体基板10の上部には、ゲート電極13をマスクとしてイオン注入されたドレイン拡散層14A、ソース拡散層14B及び配線用拡散層14Cが形成されている。このように、それぞれがゲート絶縁膜12、ゲート電極13、ドレイン拡散層14A及びソース拡散層14Bからなる複数のMOSトランジスタが各メモリセルのセル選択トランジスタを構成している。

【0098】

各MOSトランジスタは、ゲート電極13の上側において膜厚が約200nmとなるように平坦化された酸化シリコン(SiO<sub>2</sub>)からなる第1の層間絶縁膜15により覆われており、第1の層間絶縁膜15における各ドレイン拡散層14Aの上側部分には、各ドレイン拡散層14Aと接続されるように、それぞれタングステン(W)からなる複数の第1コンタクトプラグ16が形成されている。ここで、図示はしていないが、各第1コンタクトプラグ16の下部には、半導体基板10と接し、膜厚が約10nmのチタン(Ti)と、その上に積層され膜厚が約20nmの窒化チタン(TiN)とからなり、タングステンのドレイン拡散層14Aに対する密着性を高めるバリア膜が形成されている。

【0099】

第1の層間絶縁膜15の上には、第1コンタクトプラグ16と接続されるように、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンが順次堆積されたビット線17が形成されており、これにより、MOSトランジスタのドレイン拡散層14Aとビット

10

20

30

40

50

ト線 17 とが第 1 コンタクトプラグ 16 により電氣的に接続される。

【0100】

ビット線 17 は、その上側部分の膜厚が約 100 nm となるように平坦化された酸化シリコンからなる第 2 の層間絶縁膜 18 により覆われている。

【0101】

第 2 の層間絶縁膜 18 の上には、膜厚が 5 nm ~ 200 nm 程度、より好ましくは約 100 nm の窒化シリコンからなる絶縁性下部水素バリア膜 19 が形成されている。なお、本実施形態において、絶縁性下部水素バリア膜 19 として窒化シリコンを用いたが、これに限定されるものではなく、例えば酸化窒化シリコン (SiON)、酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>)、酸化チタンアルミニウム (TiAlO)、酸化タンタルルミニウム (TaAlO)、珪化酸化チタン (TiSiO) 又は珪化酸化タンタル (TaSiO) を用いても構わない。

10

【0102】

絶縁性下部水素バリア膜 19、第 2 の層間絶縁膜 18 及び第 1 の層間絶縁膜 15 におけるソース拡散層 14B の上側部分には、ソース拡散層 14B と接続されるように、これらを通するタングステンからなる複数の第 2 コンタクトプラグ 20 が形成されている。なお、ここでも、各第 2 コンタクトプラグ 20 の下部には、第 1 コンタクトプラグ 16 と同様に、膜厚がそれぞれ、約 10 nm のチタンと約 20 nm の窒化チタンとが順次積層されてなり、ソース拡散層 14B に対するバリア膜 (図示せず) が形成されている。

【0103】

ここで、図 4 に第 1 コンタクトプラグ 16、ビット線 17 及び第 2 コンタクトプラグ 20 のレイアウトを示す。

20

【0104】

単位メモリセルは、P 型半導体基板 10 に形成されたドレイン拡散層 14A とソース拡散層 14B とゲート電極 13 とから構成される MOS トランジスタと、該 MOS トランジスタのソース拡散層 14B と第 2 コンタクトプラグ 20 を介して接続される上方のキャパシタ 27 (図示せず) と、MOS トランジスタのドレイン拡散層 14A と第 1 コンタクトプラグ 16 を介して接続されるビット線 17 とを含んでいる。

【0105】

絶縁性下部水素バリア膜 19 の上には、膜厚が約 50 nm の窒化チタンアルミニウム (TiAlN) からなる複数の導電性下部水素バリア膜 21 が各第 2 コンタクトプラグ 20 をそれぞれ覆うように選択的に形成され、各導電性下部水素バリア膜 21 は、それぞれ対応する各第 2 コンタクトプラグ 20 と接続すると共に、その周囲の絶縁性下部水素バリア膜 19 とも接続されている。また、各導電性下部水素バリア膜 21 の上には、該導電性下部水素バリア膜 21 と同一形状で、膜厚が約 50 nm のイリジウム (Ir) と膜厚が約 50 nm の酸化イリジウム (IrO<sub>2</sub>) とからなる酸素バリア膜 22 が形成されている。

30

【0106】

酸素バリア膜 22 は、その上側部分の膜厚が約 500 nm となるように平坦化された酸化シリコンからなる第 3 の層間絶縁膜 23 により覆われており、第 3 の層間絶縁膜 23 には、各酸素バリア膜 22 の少なくとも一部を露出するコンタクトホール 23a がそれぞれ断面が上方に広がるテーパ状に形成されている。

40

【0107】

第 3 の層間絶縁膜 23 の各コンタクトホール 23a の底面上及び壁面上には、これに沿うように膜厚が約 5 nm の酸化イリジウムと膜厚が約 50 nm の白金 (Pt) とからなる下部電極 24 が形成されている。

【0108】

各コンタクトホール 23a を含む第 3 の層間絶縁膜 23 の上には、膜厚が約 50 nm の、ストロンチウム (Sr)、ビスマス (Bi)、タンタル (Ta) 及びニオブ (Nb) を主成分とするビスマス層状ペロブスカイト型酸化物である強誘電体からなる容量絶縁膜 25 が下部電極 24 を覆うように形成されている。ここで、容量絶縁膜 25 における端部 (

50

図 2 における右端) に位置するコンタクトホール 23 a 内の下部電極 24 の平坦部上に、該下部電極 24 を露出する開口部 25 a が形成されている。

【0109】

容量絶縁膜 25 の上には、該容量絶縁膜 25 を覆うように、膜厚が約 50 nm の白金からなり、セルプレート 50 となる上部電極 26 が形成されている。これにより、下部電極 24、容量絶縁膜 25 及び上部電極 26 からなるキャパシタ 27 が形成され、例えば 1024 個のキャパシタ 27 を 1 ブロックとするキャパシタ列が形成されている。

【0110】

前述したように、セルプレート 50 として構成される上部電極 26 は、容量絶縁膜 25 に設けられた開口部 25 a により下部電極 24 と電氣的に接続される。その結果、キャパシタ列の右端に位置するキャパシタは、本来のキャパシタとしての機能を持たない導通用ダミーキャパシタ 27 A となり、その下部電極 24 はそれと接続される第 2 コンタクトプラグ 20 を介して配線用拡散層 14 c と電氣的に接続される。このように、第 1 の実施形態に係る各キャパシタ 27 の上部電極 26 には、半導体基板 10 から導電性下部水素バリア膜 21 及び第 2 コンタクトプラグ 20 を介して所定の電位を供給することができる。

【0111】

各キャパシタ 27 の上部電極 26 は、該上部電極 26 が第 3 の層間絶縁膜 23 の平坦部上に位置する部分において、その膜厚が約 300 nm となるように平坦化された酸化シリコンからなる第 4 の層間絶縁膜 28 により覆われている。ここで、第 4 の層間絶縁膜 28 及び第 3 の層間絶縁膜 23 におけるキャパシタ列の外側部分は、平面視として絶縁性下部水素バリア膜 19 が露出されるように、且つ断面視として上方に広がるテーパー状に除去されている。第 4 の層間絶縁膜 28、第 3 の層間絶縁膜 23 及び絶縁性下部水素バリア膜 19 の各露出面は、膜厚が約 50 nm の絶縁性を有する酸化チタンアルミニウム (TiAlO) からなる上部水素バリア膜 29 により覆われている。さらに、上部水素バリア膜 29 には、絶縁性下部水素バリア膜 19 との平坦部における接続幅が約 500 nm の接続部 29 a が形成されており、上部水素バリア膜 29 の接続部 29 a よりも外側部分は、第 2 の層間絶縁膜 18 が露出するように、絶縁性下部水素バリア膜 19 と共に除去されている。

【0112】

上部水素バリア膜 29 及び第 2 の層間絶縁膜 18 の露出部分は、上部水素バリア膜 29 におけるキャパシタ列の上側の膜厚が約 300 nm となるように平坦化された酸化シリコンからなる第 5 の層間絶縁膜 30 により覆われている。

【0113】

第 5 の層間絶縁膜 30 には、キャパシタ列の外側の領域、すなわち上部水素バリア膜 29 の外側の領域において、ビット線 17 と接続されたタングステンからなる第 3 コンタクトプラグ 31 が形成されている。

【0114】

第 5 の層間絶縁膜 30 の上には、第 3 コンタクトプラグ 31 を含むように、下層から順次積層された、膜厚が約 10 nm のチタン (Ti)、膜厚が約 50 nm の窒化チタン (TiN)、膜厚が約 500 nm のアルミニウム (Al)、及び膜厚が約 50 nm の窒化チタン (TiN) からなる配線 32 が形成されており、該配線 32 は第 3 コンタクトプラグ 31 を介してビット線 17 と接続されている。

【0115】

第 1 の実施形態によると、セルブロック 60 を構成するキャパシタ列は、その下側に設けられた絶縁性下部水素バリア膜 19、第 2 コンタクトプラグ 20 と電氣的に接続された導電性下部水素バリア膜 21、並びにキャパシタ列の上方及び側方に設けられた上部水素バリア膜 29 により、基板面の上下方向及び平行な方向のすべての方向から覆われ、且つ、絶縁性下部水素バリア膜 19 の周縁部の上に、側面と底面とのなす角度が鈍角で且つ断面 L 字型の上部水素バリア膜 29 が直接に接続されるように形成されているため、断面 L 字型の屈曲部において上部水素バリア膜 29 に十分な被覆膜厚を得られるので、接続部に

おける水素バリア性が十分に機能するようになり、その結果、キャパシタ 27 を構成する強誘電体からなる容量絶縁膜 25 の水素による劣化を確実に防止することができる。

【0116】

また、上部水素バリア膜 29 は、複数のキャパシタ 27 を含むセルブロック単位で形成されているため、水素バリア膜を一对の MOS トランジスタとキャパシタ 27 とからなる単位セルごとに設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

【0117】

また、各キャパシタ 27 の下部電極 24 と各第 2 コンタクトプラグ 20 との間には、それぞれ導電性下部水素バリア膜 21 を設けているため、各 MOS トランジスタのソース拡散層 14B と各キャパシタ 27 との導通が確保される。

【0118】

図 3 には、配線 32 から 1 つのキャパシタ 27 の下部電極 24 に印加される一電流経路を矢印で示している。

【0119】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0120】

図 5 (a) ~ 図 5 (c)、図 6、図 7、図 8 及び図 9 は本発明の第 1 の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。ここでの断面の方向は、図 1 の III-III 線に沿った方向、すなわちビット線が延びる方向（セルプレートが延びる方向と交差する方向）である。

【0121】

[MOS トランジスタ形成]

まず、図 5 (a) に示すように、リソグラフィ法及びドライエッチング法により、シリコンからなる例えば P 型半導体基板 10 の上部に深さが約 300 nm の溝部を形成する。続いて、CVD 法により、P 型半導体基板 10 上に酸化シリコンを堆積し、化学機械的研磨 (CMP) 法により堆積した酸化シリコンに対して平坦化を行なって溝部にシリコン酸化膜を埋め込むことにより、素子分離領域 11 を選択的に形成する。その後、例えば熱酸化法により、P 型半導体基板 10 の主面上に膜厚が約 10 nm のゲート絶縁膜を形成し、続いて、低圧 CVD 法により、膜厚が約 200 nm のポリシリコンを堆積し、堆積したポリシリコンに対してリソグラフィ法及びドライエッチング法によりパターンニングを行なって、ポリシリコンからなる複数のゲート電極 13 を形成する。続いて、図示はしていないが、CVD 法により、P 型半導体基板 10 の上にゲート電極 13 を覆うように膜厚が約 50 nm の酸化シリコンを堆積し、エッチバックを行なってサイドウォール絶縁膜を形成する。続いて、P 型半導体基板 10 に対してゲート電極 13 及びサイドウォールをマスクとして、例えば高濃度のヒ素イオンを注入することにより、N 型ドレイン拡散層 14A 及び N 型ソース拡散層 14B を形成して MOS トランジスタを得る。このとき、P 型半導体基板 10 における MOS トランジスタ形成領域を除く活性領域に配線用拡散層 14C を選択的に形成する。

【0122】

[ビット線形成]

次に、図 5 (b) に示すように、CVD 法により、P 型半導体基板 10 の上にゲート電極 13 を含む全面にわたって酸化シリコンを堆積した後、CMP 法により、堆積した酸化シリコンに対してゲート電極 13 の上側部分の膜厚が約 200 nm となるように平坦化して、酸化シリコンからなる第 1 の層間絶縁膜 15 を形成する。続いて、リソグラフィ法及びドライエッチング法により、第 1 の層間絶縁膜 15 における N 型ドレイン拡散層 14A の上側部分に該 N 型ドレイン拡散層 14A を露出するコンタクトホールを形成する。その後、CVD 法により、第 1 の層間絶縁膜 15 の上に、膜厚が約 10 nm のチタン、膜厚が約 20 nm の窒化チタン及び膜厚が約 300 nm のタングステンを順次コンタクトホール

10

20

30

40

50

に充填されるように堆積し、続いて、CMP法により堆積膜における第1の層間絶縁膜15上に残る部分を除去することにより、該第1の層間絶縁膜15にMOSトランジスタのN型ドレイン拡散層14Aと接続する第1コンタクトプラグ16を形成する。続いて、スパッタ法により、第1の層間絶縁膜15の上に、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンを順次堆積し、その後、リソグラフィ法及びドライエッチング法により、堆積した金属積層膜をパターンニングして、該金属積層膜から、第1コンタクトプラグ16と接続されるビット線17を形成する。

#### 【0123】

なお、第1の実施形態において、ビット線17は、MOSトランジスタの拡散層を利用する構成としてもよい。このような構成を採ると、ビット線17は第1の層間絶縁膜15よりもさらに下方の半導体基板10自体に形成されることになる。このため、第1の層間絶縁膜15の膜厚が減少するので、メモリセルの高さを抑えることができる。また、この後の第2の層間絶縁膜18を形成する工程をも削減することができる。従って、半導体基板の高さ方向への高集積化とプロセスの簡便化とを図ることができる。

10

#### 【0124】

また、第1の層間絶縁膜15には、酸化シリコンを用いたが、より詳細にはホウ素(B)及びリン(P)を添加したいわゆるBPSG(Boro-Phospho-Silicate Glass)や、高密度プラズマにより形成され、ホウ素やリンが添加されない、いわゆるHDP-NSG(High Density Plasma-Non Silicate Glass)、又は酸化雰囲気におゾン(O<sub>3</sub>)を用いたO<sub>3</sub>-NSGを用いると良い。また、第1の層間絶縁膜15の平坦後の膜厚は、ゲート電極13の上側で100nm~500nm程度であれば良い。

20

#### 【0125】

ここでは、一例としてシリコンからなる半導体基板にP型半導体基板10を用い、該P型半導体基板10にNch型MOSトランジスタを形成する場合について説明したが、N型半導体基板を用い、該N型半導体基板にPch型MOSトランジスタを形成した場合でも本発明は有効である。

#### 【0126】

##### [下部水素バリア膜形成]

次に、図5(c)に示すように、例えばCVD法により、第1の層間絶縁膜15の上にビット線17を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対してビット線17の上側部分の膜厚が約100nmとなるように平坦化して、酸化シリコンからなる第2の層間絶縁膜18を形成する。続いて、CVD法により、第2の層間絶縁膜18の上に、膜厚が約100nmの窒化シリコンからなる絶縁性下部水素バリア膜19を堆積する。その後、リソグラフィ法及びドライエッチング法により、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cの上側部分に、ソース拡散層14B及び配線用拡散層14Cをそれぞれ露出するコンタクトホールを形成する。続いて、CVD法により、絶縁性下部水素バリア膜19の上に、膜厚が約10nmのチタン、膜厚が約20nmの窒化チタン及び膜厚が約300nmのタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP法により堆積膜における絶縁性下部水素バリア膜19の上に残る部分を除去することにより、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cとそれぞれ接続する第2コンタクトプラグ20を、絶縁性下部水素バリア膜19、第2の層間絶縁膜18及び第1の層間絶縁膜15を通して形成する。

30

40

#### 【0127】

ここでも、第2の層間絶縁膜18には、BPSG、HDP-NSG又はO<sub>3</sub>-NSG等の酸化シリコンを用いると良い。また、第2の層間絶縁膜18の平坦後の膜厚は、ビット線17の上側において0nm~500nm程度であれば良い。

#### 【0128】

次に、図6(a)に示すように、例えばスパッタ法により、絶縁性下部水素バリア膜19の上に第2コンタクトプラグ20の上面を含む全面にわたって、膜厚がそれぞれ約50

50

nmの、窒化チタンアルミニウム、イリジウム及び酸化イリジウムを順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第2コンタクトプラグ20の上側の領域を含むようにパターンングを行なって、窒化チタンアルミニウムからなる導電性下部水素バリア膜21と、イリジウム及び酸化イリジウムからなる酸素バリア膜22とを形成する。これにより、導電性下部水素バリア膜21は、その下面の中央部において第2コンタクトプラグ20と接続する一方、その周縁部において絶縁性下部水素バリア膜19と接続する。

#### 【0129】

なお、絶縁性下部水素バリア膜19に、膜厚が約100nmの窒化シリコンを用いたが、これに限られず、窒化シリコンに代えて、酸化窒化シリコン(SiON)、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>)、酸化チタンアルミニウム(TiAlO)、酸化タンタルアルミニウム(TaAlO)、珪化酸化チタン(TiSiO)又は珪化酸化タンタル(TaSiO)を用いても良い。また、絶縁性下部水素バリア膜19の膜厚は、5nm~200nm程度とすれば有効である。

10

#### 【0130】

また、導電性下部水素バリア膜21には、膜厚が約50nmの窒化チタンアルミニウムを用いたが、これに代えて、珪化窒化チタン(TiSiN)、窒化タンタル(TaN)、珪化窒化タンタル(TaSiN)、窒化タンタルアルミニウム(TaAlN)、又はタンタルアルミニウム(TaAl)を用いることができる。また、その膜厚は、5nmから200nm程度とすれば有効である。

20

#### 【0131】

また、酸素バリア膜22には、膜厚がそれぞれ約50nmのイリジウム及び酸化イリジウムからなる積層膜を用いたが、これに代えて、膜厚が50nm~300nm程度の酸化イリジウム又は酸化ルテニウム(RuO<sub>2</sub>)を用いても良い。また、下層から順次形成され膜厚がそれぞれ50nm~300nm程度のルテニウムと酸化ルテニウムとからなる積層膜でも良く、さらには、これらの単層膜及び積層膜のうちの少なくとも2つを含む積層膜により構成しても良い。

#### 【0132】

また、第1の実施形態においては、絶縁性下部水素バリア膜19の形成にCVD法を、導電性下部水素バリア膜21の形成にスパッタ法をそれぞれ用いたが、これらに限定されず、例えば、絶縁性下部水素バリア膜19の形成にスパッタ法を、導電性下部水素バリア膜21の形成にCVD法をそれぞれ用いても構わない。

30

#### 【0133】

##### [キャパシタ形成]

次に、図6(b)に示すように、CVD法により、絶縁性下部水素バリア膜19の上に酸素バリア膜22を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して酸素バリア膜22の上側部分の膜厚が約500nmとなるように平坦化して、酸化シリコンからなる第3の層間絶縁膜23を形成する。ここでも、第3の層間絶縁膜23には、BPSG、HDP-NSG又はO<sub>3</sub>-NSG等の酸化シリコンを用いると良い。また、キャパシタのサイズを決定する第3の層間絶縁膜23の平坦後の膜厚は、100nm~1000nm程度であれば良い。ここで、第3の層間絶縁膜23の平坦後の膜厚が厚くなる程、キャパシタの有効面積が増えるためキャパシタの容量が増加する。逆に、平坦後の膜厚が薄くなる程、キャパシタに対する加工は容易になる。

40

#### 【0134】

続いて、リソグラフィ法及びドライエッチング法により、第3の層間絶縁膜23における各酸素バリア膜22の上側部分に該酸素バリア膜23を露出するコンタクトホール23aを形成する。各コンタクトホール23aの壁面上及び底面上にキャパシタが形成されることから、その壁面上及び底部の隅部における下部電極24等のカバレッジを向上するように、各コンタクトホール23aの断面形状は上方が広がるテーパ形状とすることが好ましい。このテーパ形状を実現するには、例えばフルオロカーボンを主成分とするエッ

50



チングガスを用いると良い。

【0135】

続いて、スパッタ法により、第3の層間絶縁膜23の上にコンタクトホール23aの壁面及び底面を含む全面にわたって、膜厚が約5nmの酸化イリジウム及び膜厚が約50nmの白金を順次堆積する。その後、リソグラフィ法及びドライエッチング法により、堆積膜をコンタクトホール23aを含む領域でパターニングして、該堆積膜から下部電極24を形成する。続いて、有機金属気相堆積(MOCVD)法により、第3の層間絶縁膜23の上にコンタクトホール23aを含む全面にわたって、膜厚が約50nmで、ストロンチウム、ビスマス、タンタル又はニオブを主成分とするビスマス層状ペロブスカイト型酸化物である強誘電体からなる容量絶縁膜25を堆積する。その後、容量絶縁膜25に対して、複数の第2コンタクトプラグ20のうち例えば後工程で形成されるキャパシタ列の端部に位置するコンタクトプラグとそれと隣接するコンタクトプラグとの間に、下部電極24を露出する開口部25aを形成する。続いて、スパッタ法により、容量絶縁膜25の上に膜厚が約50nmの白金を堆積し、その後、堆積した白金と容量絶縁膜25とを下部電極24を含む領域でパターニングして、白金からなりセルプレート50を兼ねる上部電極26を形成する。これにより、各コンタクトホール23aには、それぞれが下部電極24、容量絶縁膜25及び上部電極26からなる複数のキャパシタ27が形成され、それぞれ、下部電極24、酸素バリア膜22、導電性下部水素バリア膜21及び第2コンタクトプラグ20を介して、MOSトランジスタのソース拡散層14Bと電気的に接続される。ここで、配線用拡散層14Cと接続される第2コンタクトプラグ20の上に形成されるキャパシタは、図2に示すように、下部電極24を露出する開口部25aに上部電極26の構成材料が充填されて、上部電極26と導通用ダミーキャパシタ27Aの下部電極24とが短絡することにより、導通用ダミーキャパシタ27Aが形成される。

10

20

【0136】

なお、下部電極24及び上部電極26には、膜厚が約50nmの白金を用いたが、白金に代えて、他の白金族元素、すなわちルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)又はイリジウム(Ir)を用いることができる。ここで、下部電極24及び上部電極26の膜厚は10nm~200nm程度が好ましい。

【0137】

また、本実施形態においては、下部電極24の最下層に酸化イリジウムからなる酸素バリア膜を設けているが、酸化イリジウムに代えて酸化ルテニウムを用いても良い。なお、下部電極24の最下層に設ける酸素バリア膜は、導電性下部水素バリア膜21が酸素バリア性をも有しておれば必ずしも必要ではない。

30

【0138】

また、容量絶縁膜25には、膜厚が約50nmの、ストロンチウム、ビスマス、タンタル又はニオブを主成分とするビスマス層状ペロブスカイト型酸化物である強誘電体、例えば、一般式 $SrBi_2(Ta_xNb_{1-x})_2O_9$ 、 $Pb(Zr_xTi_{1-x})O_3$ 、 $(Ba_xSr_{1-x})TiO_3$ 又は $(Bi_xLa_{1-x})_4Ti_3O_{12}$ (但し、いずれもxは0<x<1である。)を用いることができる。また、高誘電体材料である五酸化タンタル( $Ta_2O_5$ )を用いることができる。ここで、容量絶縁膜25の膜厚は50nm~200nm程度が好ましい。

40

【0139】

[上部水素バリア膜形成]

次に、図7に示すように、CVD法により、第3の層間絶縁膜23の上に、キャパシタ27の上部電極26を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して第3の層間絶縁膜23の平坦部上に位置する上部電極26の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第4の層間絶縁膜28を形成する。続いて、リソグラフィ法及びドライエッチング法により、第4の層間絶縁膜28及び第3の層間絶縁膜23におけるセルブロックを覆う領域をマスクしてその外側部分を除去することにより、絶縁性下部水素バリア膜19を露出する。ここで、第4の層間絶縁膜28及び第3の層間絶縁膜23の平面視におけるキャパシタ列の外

50

側部分を、断面視において上方に広がるテーパー状となるように除去する。続いて、スパッタ法により、第4の層間絶縁膜28の上面及び端面、第3の層間絶縁膜23の端面並びに絶縁性下部水素バリア膜19の露出面上に、膜厚が約50nmの酸化チタンアルミニウムからなる上部水素バリア膜29を堆積する。これにより、上部水素バリア膜29は、セルブロックの外側において絶縁性下部水素バリア膜19と接続する。その後、上部水素バリア膜29における接続部29aの幅を約500nmだけ残すように、上部水素バリア膜29及び絶縁性下部水素バリア膜19におけるセルブロックの外側部分をドライエッチングにより除去する。

#### 【0140】

ここでも、第4の層間絶縁膜28には、BPSG、HDP-NSG又は $O_3$ -NSG等の酸化シリコンを用いると良い。また、第4の層間絶縁膜28の平坦後の膜厚は、上部電極26の上側で0nm~500nm程度であれば良い。

10

#### 【0141】

次に、図8に示すように、CVD法により、上部水素バリア膜29及び第2の層間絶縁膜18の上に全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して上部水素バリア膜29におけるキャパシタ列の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第5の層間絶縁膜30を形成する。

#### 【0142】

なお、上部水素バリア膜29に、膜厚が約50nmの酸化チタンアルミニウムを用いたが、これに限られず、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタルアルミニウム、珪化酸化チタン又は珪化酸化タンタルを用いても良い。なお、上部水素バリア膜29は、膜厚を5nm~200nm程度とすれば水素に対するバリア性が十分に発揮される。

20

#### 【0143】

また、第5の層間絶縁膜30には、BPSG、HDP-NSG又は $O_3$ -NSG等の酸化シリコンを用いると良い。また、第5の層間絶縁膜30の平坦後の膜厚は、0nm~500nmであれば良い。

#### 【0144】

##### [配線形成]

次に、図9に示すように、第5の層間絶縁膜30におけるセルブロックの外側に、ビット線17を露出するコンタクトホールを選択的に形成する。続いて、CVD法により、第5の層間絶縁膜30の上に、膜厚が約10nmのチタン、膜厚が約20nmの窒化チタン及び膜厚が約300nmのタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP法により堆積膜における第5の層間絶縁膜30の上に残る部分を除去することにより、該第5の層間絶縁膜30にビット線17と接続される第3コンタクトプラグ31を形成する。続いて、スパッタ法により、第5の層間絶縁膜30の上に第3コンタクトプラグ31と接続されるように、膜厚が約10nmのチタン、膜厚が約50nmの窒化チタン、膜厚が約500nmのアルミニウム及び膜厚が約50nmの窒化チタンを順次堆積し、その後、堆積した積層膜に対してドライエッチング法によりパターンニングを行なって、積層膜から配線32を形成する。

30

40

#### 【0145】

次に、図示はしていないが、多層配線の形成、保護膜の形成、及びパッドの形成等の公知の製造プロセスにより、所望の半導体装置を得る。

#### 【0146】

このように、第1の実施形態に係る半導体装置の製造方法によると、複数のキャパシタ27及び導通用ダミーキャパシタ27Aを含むセルブロックの下側には、絶縁性下部水素バリア膜19が設けられ、セルブロックの上側及び側方は、絶縁性下部水素バリア膜19と接続部29aを持つ上部水素バリア膜29により囲まれている。さらに、絶縁性下部水素バリア膜19を貫通する第2コンタクトプラグ20の上には、その周囲で絶縁性下部水

50

素バリア膜 19 と接触し且つ第 2 コンタクトプラグ 20 の上面を覆うように導電性下部水素バリア膜 21 が形成されているため、絶縁性下部水素バリア膜 19 と導電性下部水素バリア膜 21 との間から水素が浸入することがない。

【0147】

また、各セルプレート 50 を構成するキャパシタ 27 の上部電極 26 は、前述したように、キャパシタ列の端部に設けられた導通用ダミーキャパシタ 27 A により、半導体基板 10 の配線用拡散層 14 C と電氣的に接続が可能である。このため、上部水素バリア膜 29 に、上部電極 26 に対して電位を供給する配線の開口部を設ける必要がなくなるので、上部水素バリア膜 29 のバリア特性を確実に維持することができる。その上、半導体基板 10 に設けた配線用拡散層 14 C は、MOS トランジスタのドレイン拡散層 14 A 及びソース拡散層 14 B と同一のイオン注入工程で形成することができ、また、第 2 コンタクトプラグ 20 及び導通用ダミーキャパシタ 27 A は、キャパシタ列を形成する工程で同時に形成できるため、製造プロセスをわざわざ増やす必要がない。

10

【0148】

また、図 3 に示すように、第 1 の実施形態に係る半導体装置は、第 1 コンタクトプラグ 16 を介して MOS トランジスタのドレイン拡散層 14 A と接続するビット線 17 を、キャパシタ 27 の下方であって、絶縁性下部水素バリア膜 19 と P 型半導体基板 10 との間に配置する構成を採る。このため、キャパシタの上方に位置する配線と半導体基板の拡散層とを接続するビット線コンタクトをキャパシタ同士の間で設ける従来の構成と比較すると、本発明は、従来のビット線コンタクトのマージン（コンタクト形成領域）分だけ単位メモリセルの面積を縮小することができる。これにより、図 3 の上方から見たメモリセルの平面図である図 10 に示すように、キャパシタ 27 同士の間で下方に第 1 コンタクトプラグ 16 を最小マージンで配置することができる。

20

【0149】

ここで、図 10 について詳細に説明する。図 10 は第 1 の実施形態に係る半導体装置のセルブロック 60 の詳細な平面図である。セルブロック 60 は、図 10 に示すように、半導体基板上に行列状に配置された複数のキャパシタ 27 から構成されている。前述したように、図中の上下方向に配置されたキャパシタ 27 列は上部電極（図示せず）が互いに接続されて、セルプレート 50 を構成している。

【0150】

MOS トランジスタの拡散層（図示せず）と接続されるビット線 17 は、セルプレート 50 と交差する方向（図中の左右方向）に並んだキャパシタ 27 同士の間で各キャパシタ 27 よりも下方に形成されている。キャパシタ 27 の下側に位置する第 2 コンタクトプラグ 20 同士の間には、第 1 コンタクトプラグ 16 が 1 列おきに形成されており、該第 1 コンタクトプラグ 16 はビット線 17 と接続されている。なお、図 10 に示す領域 X は、図 4 に示した単位メモリセルと対応している。

30

【0151】

ビット線 17 は、セルブロック 60 の外側において、第 3 コンタクトプラグ 31 を介してキャパシタ 27 の上方に形成された配線（図示せず）と接続されている。また、絶縁性下部水素バリア膜 19 と上部水素バリア膜 29 とはセルブロック 60 の周縁部で接続されており、これにより、セルブロック 60 に含まれる複数のキャパシタ 27 は、絶縁性下部水素バリア膜 19 と上部水素バリア膜 29 とにより一括に覆われている。

40

【0152】

なお、図 10 におけるセルプレート 50 が延びる方向の断面図が図 2 であり、ビット線 17 が延びる方向の断面図が図 3 である。

【0153】

以上説明したように、絶縁性下部水素バリア膜 19 の下方にビット線 17 を配置しているため、複数のキャパシタ 27 を上部水素バリア膜 29 と絶縁性下部水素バリア膜 19 とによりまとめて覆うことができるので、従来例にみられるキャパシタ同士の間で設けられた上部水素バリア膜と絶縁性下部水素バリア膜との接合部分及びそのマージンを取り去る

50

ことができる。これにより、図10に示すように、上部水素バリア膜29と絶縁性下部水素バリア膜19との接続部分は、複数のキャパシタ27列の端部である接続部29aのみとなるので、図4に示す単位メモリセルの占有面積を従来よりも約半分にまで縮小することができる。すなわち、ビット線17を絶縁性下部水素バリア膜19の下方に設けることにより、ビット線17が延びる方向へのメモリセルの高集積化を図ることができる。

【0154】

また、ビット線17を半導体基板10と絶縁性下部水素バリア膜19との間に設けることにより、MOSトランジスタのドレイン拡散層14Aとビット線17との第1コンタクトプラグ16を浅く形成できるため、該第1コンタクトプラグ16を形成する際のコンタクトホールのエッチング量を低減することができる。

10

【0155】

さらに、図3に示すように、ビット線17を絶縁性下部水素バリア膜19の下方に設けると共に、図3及び図10に示すように、キャパシタ27を覆う絶縁性下部水素バリア膜19と上部水素バリア膜29を避けた位置(外側)において、キャパシタ27の上方の配線(図示せず)とビット線17とが第3コンタクトプラグ31を介して接続する構成である。このため、MOSトランジスタの拡散層の直上に、キャパシタの上方の配線と拡散層とを接続するコンタクトプラグを形成する従来の構成と比べて、本発明では配線と接続する第3コンタクトプラグ31をMOSトランジスタのドレイン拡散層14Aの直上に形成する必要がない。すなわち、絶縁性下部水素バリア膜19及び上部水素バリア膜29を貫通することなく、ビット線17と配線(図示せず)とを接続することができる。このため

20

【0156】

また、従来の拡散層と配線とを接続するコンタクトプラグと比べて、半導体基板10よりも上側で且つ絶縁性下部水素バリア膜19よりも下側に形成されたビット線17と配線とを電氣的に接続する第3コンタクトプラグ31の方が、コンタクトホールを浅くできる。このため、第3コンタクトプラグ31の形成時の層間絶縁膜のエッチング量を減らすことができる。これにより、層間絶縁膜に対するエッチングの各キャパシタ27への影響を抑えることができ、各キャパシタ27の特性の劣化を防止することができる。

【0157】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

30

【0158】

図11は本発明の第2の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図11において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0159】

第2の実施形態に係る半導体装置は、MOSトランジスタのソース拡散領域14B又は配線用拡散層14Cと接続される第2コンタクトプラグ20の上面を覆う導電性下部水素バリア膜21を、ビット線17を覆う第2の層間絶縁膜18の上に直接に形成し、さらに

40

【0160】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでは、第1の実施形態に係る製造方法との相違点のみを説明する。

【0161】

図12(a)、図12(b)及び図13は本発明の第2の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

【0162】

50

〔下部水素バリア膜形成〕

図12(a)に示すように、第1の実施形態と同様に、酸化シリコンからなる第1の層間絶縁膜15の上に、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンからなる積層構造を持つビット線17を選択的に形成する。続いて、例えばCVD法により、第1の層間絶縁膜15の上にビット線17を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対してビット線17の上側部分の膜厚が約100nmとなるように平坦化して、酸化シリコンからなる第2の層間絶縁膜18を形成する。続いて、リソグラフィ法及びドライエッチング法により、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cの上側部分に、各拡散層14B、14Cをそれぞれ露出するコンタクトホールを形成する。その後、CVD法により、第2の層間絶縁膜18の上に、膜厚が約10nmのチタン、膜厚が約20nmの窒化チタン及び膜厚が約300nmのタングステンを順次コンタクトホールに充填されるように堆積し、続いて、CMP法により堆積膜における第2の層間絶縁膜18の上に残る部分を除去することにより、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cとそれぞれ接続する第2コンタクトプラグ20を、第2の層間絶縁膜18及び第1の層間絶縁膜15を通して形成する。

10

【0163】

次に、図12(b)に示すように、例えばスパッタ法により、第2の層間絶縁膜18の上に第2コンタクトプラグ20の上面を含む全面にわたって、膜厚が約50nmの窒化チタンアルミニウム、膜厚が約50nmのイリジウム及び膜厚が約50nmの酸化イリジウムを順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第2コンタクトプラグ20の上側の領域を含むように順次パターンニングを行なって、窒化チタンアルミニウムからなる導電性下部水素バリア膜21と、イリジウム及び酸化イリジウムからなる酸素バリア膜22とを形成する。

20

【0164】

次に、図13に示すように、例えばスパッタ法により、第2の層間絶縁膜18の上に、導電性下部水素バリア膜21及び酸素バリア膜22を含む全面にわたって、膜厚が約50nmの酸化チタンアルミニウムからなる絶縁性下部水素バリア膜39を堆積する。これにより、絶縁性下部水素バリア膜39は、導電性下部水素バリア膜21の側端面と接続する。その後、図示はしていないが、第3の層間絶縁膜23にコンタクトホール23aを形成する際に、絶縁性下部水素バリア膜39における各導電性下部水素バリア膜21の上側部分をそれぞれ選択的に除去する。

30

【0165】

このように、第2の実施形態に係る半導体装置は、第1の実施形態と同様に、複数のキャパシタ27を含むセルブロックの下側を覆う絶縁性下部水素バリア膜39及び導電性下部水素バリア膜21と、セルブロックの上側及び側方を覆う上部水素バリア膜29とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向(基板面に平行な方向)に対する水素バリア性を確保することができる。

【0166】

また、絶縁性下部水素バリア膜39の周縁部の上に、側面と底面とのなす角度が鈍角で且つ断面L字型の上部水素バリア膜29が直接に接続されて形成されているため、断面L字型の屈曲部において上部水素バリア膜29に十分な被覆膜厚を得られるので、接続部における水素バリア性が十分に機能するようになる。

40

【0167】

その上、第2の実施形態においては、絶縁性下部水素バリア膜39は導電性下部水素バリア膜21の側端面と接触しているため、絶縁性下部水素バリア膜39と導電性下部水素バリア膜21との間から浸入する水素を防止することができる。

【0168】

(第3の実施形態)

50

以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0169】

図14は本発明の第3の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図14において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0170】

第3の実施形態に係る半導体装置は、MOSトランジスタのソース拡散領域14B又は配線用拡散層14Cと接続される第2コンタクトプラグ40の側部及び下部に、膜厚が約50nmの窒化チタンアルミニウムからなる導電性下部水素バリア膜40aを設ける構成とする。ここで、第2コンタクトプラグ40の内部にはタングステンからなるコンタクトプラグ本体40bが形成されている。

10

【0171】

また、各第2コンタクトプラグ40と各キャパシタ27の下部電極24との間には、下層から膜厚が約10nmのチタン、膜厚が約50nmのイリジウム及び膜厚が約50nmの酸化イリジウムからなる酸素バリア膜42が、第2コンタクトプラグ40を覆うように形成されている。

【0172】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでも、第1の実施形態に係る製造方法との相違点のみを説明する。

【0173】

図15(a)、図15(b)及び図16は本発明の第3の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

20

【0174】

[下部水素バリア膜形成]

図15(a)に示すように、第1の実施形態と同様に、酸化シリコンからなる第1の層間絶縁膜15の上に、膜厚が約10nmのチタン及び膜厚が約100nmのタングステンからなる積層構造を持つビット線17を選択的に形成する。続いて、例えばCVD法により、第1の層間絶縁膜15の上にビット線17を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対してビット線17の上側部分の膜厚が約100nmとなるように平坦化して、酸化シリコンからなる第2の層間絶縁膜18を形成する。続いて、CVD法により、第2の層間絶縁膜18の上に、膜厚が例えば約100nmの窒化シリコンからなる絶縁性下部水素バリア膜19を堆積し、その後、リソグラフィ法及びドライエッチング法により、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cの上側部分に、各拡散層14B、14Cをそれぞれ露出するコンタクトホール19aを形成する。

30

【0175】

次に、図15(b)に示すように、例えばCVD法により、絶縁性下部水素バリア膜19の上にコンタクトホール19aの底面及び壁面上に堆積するように、膜厚が約50nmの窒化チタンアルミニウムからなる導電性下部水素バリア膜40aを堆積し、続いて、膜厚が約300nmのタングステンをコンタクトホール19aに充填されるように堆積する。その後、CMP法により堆積した積層膜における絶縁性下部水素バリア膜19の上に残る部分を除去することにより、コンタクトホール19aにおける導電性下部水素バリア膜40aの内側に、タングステンからなるコンタクトプラグ本体40bが形成される。これにより、MOSトランジスタのソース拡散層14B及び配線用拡散層14Cとそれぞれ接続する第2コンタクトプラグ40が、絶縁性下部水素バリア膜19、第2の層間絶縁膜18及び第1の層間絶縁膜15を通して形成される。

40

【0176】

次に、図16に示すように、例えばスパッタ法により、絶縁性下部水素バリア膜19の上に第2コンタクトプラグ40の上面を含む全面にわたって、膜厚が約10nmのチタン、膜厚が約50nmのイリジウム及び膜厚が約50nmの酸化イリジウムを順次堆積する

50

。続いて、リソグラフィ法及びドライエッチング法により、これら積層膜に対して各第2コンタクトプラグ40の上側の領域を含むようにパターンングを行なって、下層からチタン、イリジウム及び酸化イリジウムからなる酸素バリア膜42を形成する。

【0177】

このように、第3の実施形態に係る半導体装置は、第1の実施形態と同様に、複数のキャパシタ27を含むセルブロックの下側を覆う絶縁性下部水素バリア膜19及び導電性下部水素バリア膜40aと、セルブロックの上側及び側方を覆う上部水素バリア膜29とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

10

【0178】

また、絶縁性下部水素バリア膜19における周縁部の上に、側面と底面とのなす角度が鈍角で且つ断面L字型の上部水素バリア膜29が直接に接続されて形成されているため、断面L字型の屈曲部において上部水素バリア膜29に十分な被覆膜厚を得られるので、接続部における水素バリア性が十分に機能するようになる。

【0179】

その上、第3の実施形態においては、導電性下部水素バリア膜40aをコンタクトホール19aの底面及び壁面上に設けており、絶縁性下部水素バリア膜19のコンタクトホール19a側の端面と接触しているため、絶縁性下部水素バリア膜19と導電性下部水素バリア膜40aとの間から水素が浸入することがない。

20

【0180】

（第4の実施形態）

以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0181】

図17本発明の第4の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図17において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0182】

第4の実施形態に係る半導体装置は、上部水素バリア膜29における絶縁性下部水素バリア膜19との接続部29aを、第3の層間絶縁膜23及び第4の層間絶縁膜28に設けた溝部28aの底面上に設ける構成とする。

30

【0183】

以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。ここでも、第1の実施形態に係る製造方法との相違点のみを説明する。

【0184】

図18～図20は本発明の第4の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。

【0185】

[上部水素バリア膜形成]

図18に示すように、CVD法により、第3の層間絶縁膜23の上に、キャパシタ27の上部電極26を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して第3の層間絶縁膜23の平坦部上に位置する上部電極26の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第4の層間絶縁膜28を形成する。続いて、リソグラフィ法及びドライエッチング法により、第4の層間絶縁膜28及び第3の層間絶縁膜23に、セルブロックを囲むと共に絶縁性下部水素バリア膜19を露出する溝部28aを形成する。ここで、該溝部28aの壁面上及び底面上には、次工程で上部水素バリア膜29を形成するため、その壁面上及び底部の隅部における上部水素バリア膜29のカバレッジが向上するように、溝部28aの断面形状を上方が広がるテーパ形状とすることが好ましい。このテーパ形状を実現するには、例えばフルオロカーボンの主成分とするエッチングガスを用いると良い。

40

50

## 【0186】

次に、図19に示すように、例えばスパッタ法により、第4の層間絶縁膜28の上面に溝部28aの底面及び壁面上を含む全面にわたって、膜厚が約50nmの酸化チタンアルミニウムからなる上部水素バリア膜29を堆積する。これにより、上部水素バリア膜29におけるセルブロックの外側の領域には、溝部28aから露出した絶縁性下部水素バリア膜19と接続する接続部29aが形成される。

## 【0187】

次に、図20に示すように、上部水素バリア膜29における溝部28aの外側部分を選択的に除去する。その後、CVD法により、溝部28aを含む上部水素バリア膜29の上に全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して上部水素バリア膜29におけるキャパシタ列の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第5の層間絶縁膜30を形成する。

10

## 【0188】

なお、第4の実施形態においては、第3の層間絶縁膜23を堆積するよりも前に、絶縁性下部水素バリア膜19における溝部28aの形成領域よりも外側を除去するとよい。

## 【0189】

このように、第4の実施形態に係る半導体装置は、第1の実施形態と同様に、複数のキャパシタ27を含むセルブロックの下側を覆う絶縁性下部水素バリア膜19及び導電性下部水素バリア膜21と、セルブロックの上側及び側方を覆う上部水素バリア膜29とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

20

## 【0190】

その上、上部水素バリア膜29を絶縁性下部水素バリア膜19と接続するための接続部29aを形成する際に、第4の層間絶縁膜28及び第3の層間絶縁膜23に対して溝部28aを設ける構成としている。その結果、半導体基板10の上には、第4の層間絶縁膜28及び第3の層間絶縁膜23の大部分が除去されずに残るため、上部水素バリア膜29をパターニングする際に、セルブロックの上に形成するレジストパターンの膜厚が小さくなることのない。その上、上部水素バリア膜29を覆う第5の層間絶縁膜30の平坦度も向上する。

30

## 【0191】

また、上部水素バリア膜29は、第4の層間絶縁膜28及び第3の層間絶縁膜23に設けた溝部28aの底面上及び両壁面上に設けられるため、キャパシタ列の側方では、上部水素バリア膜29が二重に形成されるので、キャパシタ列の側方から侵入する水素に対するバリア性が向上する。

## 【0192】

なお、第4の実施形態においても、第2の実施形態のように絶縁性下部水素バリア膜を、導電性下部水素バリア膜の端面と接続する構成としても良く、また、第3の実施形態のように第2コンタクトプラグの底面及び側面に形成する構成としても良い。

## 【0193】

（第5の実施形態）

以下、本発明の第5の実施形態について図面を参照しながら説明する。

40

## 【0194】

図21は本発明の第5の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図21において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

## 【0195】

第5の実施形態に係る半導体装置は、上部水素バリア膜29を、セルブロックの下側に設けられた絶縁性下部水素バリア膜19と直接に接続する代わりに、第3の層間絶縁膜23におけるセルブロックの外側の領域に絶縁性下部水素バリア膜19を露出する溝部23

50



bを形成し、形成された溝部23bの底面及び壁面上に、膜厚が約50nmの酸化チタンアルミニウムからなる側壁水素バリア膜49を形成する構成とする。これにより、側壁水素バリア膜49には、溝部23bの底部に第1の接続部49aが形成される。

【0196】

さらに、上部水素バリア膜29と側壁水素バリア膜49の外側部分とに第2の接続部29aが設けられている。これにより、セルブロックは、絶縁性下部水素バリア膜19、導電性下部水素バリア膜21、側壁水素バリア膜49及び上部水素バリア膜29により覆われる。

【0197】

図22～図24は本発明の第5の実施形態に係る半導体装置の製造方法の一部の工程の断面構成を示している。 10

【0198】

[上部水素バリア膜形成]

図22に示すように、リソグラフィ法及びドライエッチング法により、第3の層間絶縁膜23に対してセルブロックを囲み且つ絶縁性下部水素バリア膜19を露出する溝部23bを形成する。ここで、溝部23bの壁面上及び底面上には、次工程で側壁水素バリア膜49を形成するため、その壁面上及び底部の隅部における側壁水素バリア膜49のカバレッジが向上するように、溝部23bの断面形状を上方が広がるテーパ形状とすることが好ましい。このテーパ形状を実現するには、例えばフルオロカーボンの主成分とするエッチングガスを用いると良い。 20

【0199】

次に、図23に示すように、例えばスパッタ法により、第3の層間絶縁膜23における溝部23bの底面及び壁面上に、膜厚が約50nmの酸化チタンアルミニウムからなる側壁水素バリア膜49を堆積する。これにより、堆積した側壁水素バリア膜49は溝部23bの底部で絶縁性下部水素バリア膜19と接続される第1の接続部49aが形成される。続いて、側壁水素バリア膜49に対して溝部23bを含む領域でパターニングする。

【0200】

次に、図24に示すように、CVD法により、第3の層間絶縁膜23の上に、キャパシタ27の上部電極26及び側壁水素バリア膜49を含む全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して、第3の層間絶縁膜23の上に位置する上部電極26の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第4の層間絶縁膜28を形成する。続いて、リソグラフィ法及びドライエッチング法により、第4の層間絶縁膜28におけるセルブロックを覆う領域をマスクして、その外側部分を上方に広がるテーパ状に除去することにより、側壁水素バリア膜49の外側の上端部を露出する。 30

【0201】

続いて、スパッタ法により、第4の層間絶縁膜28の上面、第3の層間絶縁膜23の上面並びに側壁水素バリア膜49の露出面上に、膜厚が約50nmの酸化チタンアルミニウムからなる上部水素バリア膜29を堆積する。これにより、上部水素バリア膜29は側壁水素バリア膜49の露出面と第2の接続部29aにより接続される。その後、上部水素バリア膜29における第2の接続部29aの幅を約500nmだけ残すように、上部水素バリア膜29及び側壁水素バリア膜49におけるセルブロックの外側部分をドライエッチングにより除去する。続いて、CVD法により、上部水素バリア膜29及び第3の層間絶縁膜23の上に全面にわたって酸化シリコンを堆積した後、CMP法により、堆積した酸化シリコンに対して上部水素バリア膜29におけるキャパシタ列の上側部分の膜厚が約300nmとなるように平坦化して、酸化シリコンからなる第5の層間絶縁膜30を形成する。 40

【0202】

なお、第5の実施形態においては、第3の層間絶縁膜23を堆積するよりも前に、絶縁性下部水素バリア膜19における溝部23bの形成領域よりも外側を除去するとよい。 50

## 【0203】

このように、第5の実施形態に係る半導体装置は、複数のキャパシタ27を含むセルブロックの下側を覆う絶縁性下部水素バリア膜19及び導電性下部水素バリア膜21と、セルブロックの側方を覆う側壁水素バリア膜49と、セルブロックの上方を覆う上部水素バリア膜29とを有している。このため、単位セルごとに水素バリア膜を設ける場合と異なり、セル面積を大きくすることなく横方向（基板面に平行な方向）に対する水素バリア性を確保することができる。

## 【0204】

その上、側壁水素バリア膜49は上方に広がるテーパー状の溝部23bの底面及び壁面上に形成されると共に、上部水素バリア膜29は側面と底面とのなす角度が鈍角の断面L字型に形成されているため、側壁水素バリア膜49及び上部水素バリア膜29には、断面凹型又は断面L字型の屈曲部において十分な被覆膜厚を得ることができる。従って、キャパシタ列の側方部分における水素バリア性が十分に向上する結果、キャパシタ27を構成する強誘電体からなる容量絶縁膜25の水素による劣化を確実に防止することができる。

## 【0205】

また、第5の実施形態においては、側壁水素バリア膜49は、上部水素バリア膜29と独立しており共用しない構成であるため、各キャパシタ27の段差が比較的に大きい場合であっても、上部水素バリア膜29のカバレッジが良好となる。

## 【0206】

なお、第5の実施形態においても、第2の実施形態のように絶縁性下部水素バリア膜を、導電性下部水素バリア膜の端面と接続する構成としても良く、また、第3の実施形態のように第2コンタクトプラグの底面及び側面に形成する構成としても良い。

## 【0207】

また、第1～第5の各実施形態においては、絶縁性を有する水素バリア層に酸化チタンアルミニウム（TiAlO）を用いたが、これに代えて、酸化アルミニウム（Al<sub>2</sub>O<sub>3</sub>）又は酸化タンタルアルミニウム（TaAlO）を用いても良い。また、これらのうちの少なくとも2つを含む積層膜としても良い。

## 【0208】

また、各実施形態においては、導電性を有するバリア層に窒化チタンアルミニウム（TiAlN）を用いたが、これに代えて、チタンアルミニウム（TiAl）、窒化珪化チタン（TiSiN）、窒化タンタル（Ta<sub>2</sub>N）、窒化珪化タンタル（TaSiN）、窒化タンタルアルミニウム（TaAlN）及びタンタルアルミニウム（TaAl）のうちのいずれか1つ、又はこれらのうちの少なくとも2つを含む積層膜としても良い。

## 【0209】

（第6の実施形態）

以下、本発明の第6の実施形態について図面を参照しながら説明する。

## 【0210】

図25は本発明の第6の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図25において、図3に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

## 【0211】

第6の実施形態は、第3コンタクトプラグ31を下部コンタクトプラグ31aとその上の上部コンタクトプラグ31bとに分割して形成する構成とする。

## 【0212】

具体的には、図25に示すように、第5の層間絶縁膜30におけるセルブロックの外側の領域であって、第3コンタクトプラグ31の形成領域及びその近傍の領域を、ドライエッチングにより第3の層間絶縁膜23の上面の高さと同程度に掘り下げて凹部を形成する。

## 【0213】

続いて、第5の層間絶縁膜30に形成した凹部の底面にビット線17を露出するコンタ

10

20

30

40

50

クトホールを形成し、形成したコンタクトホールに、第1の実施形態と同様の方法により、下部コンタクトプラグ31aを形成する。但し、下部コンタクトプラグ31aは第5の層間絶縁膜30に形成された凹部の底部に形成されているため、コンタクトホールの周辺に堆積したプラグ形成材料を、例えば六フッ化硫黄(SF<sub>6</sub>)を主成分とするドライエッチングにより除去する。

#### 【0214】

続いて、CVD法により、第5の層間絶縁膜30の上に酸化シリコンからなる第6の層間絶縁膜51を凹部が充填されるように堆積し、その後、CMP法により、第5の層間絶縁膜30と第6の層間絶縁膜51との上面を平坦化する。その後、第5の層間絶縁膜30の凹部に充填された第6の層間絶縁膜51に、下部コンタクトプラグ31aを露出するコンタクトホールを形成し、形成したコンタクトホールに、第1の実施形態と同様の方法により、上部コンタクトプラグ31bを形成して、下部コンタクトプラグ31a及び上部コンタクトプラグ31bからなる第3コンタクトプラグ31を形成する。

10

#### 【0215】

このように、第6の実施形態によると、第5の層間絶縁膜30に凹部を設けて膜厚を減らし、その後、第5の層間絶縁膜30の凹部の下側に下部コンタクトプラグ31aを形成する。続いて、凹部を第6の層間絶縁膜51により充填して、該第6の層間絶縁膜51に下部コンタクトプラグ31aと接続される上部コンタクトプラグ31bを形成する。従って、下部コンタクトプラグ形成用のコンタクトホール及び上部コンタクトプラグ形成用のコンタクトホールのアスペクト比の値は、第3コンタクトプラグ31を一度に形成する場合と比べていずれも小さくなるので、第3コンタクトプラグ31を確実に形成することができる。

20

#### 【0216】

なお、上下に分割した第3コンタクトプラグは、第1～3の実施形態に係る半導体装置にも適用することができる。

#### 【0217】

(第7の実施形態)

以下、本発明の第7の実施形態について図面を参照しながら説明する。

#### 【0218】

図26は本発明の第7の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図26において、図17に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

30

#### 【0219】

第7の実施形態は、第3の層間絶縁膜23及び第4の層間絶縁膜28に設ける溝部28aに、上部水素バリア膜29を充填する構成とする。ここで、溝部28aの開口幅は約200nm～250nmとしている。従って、上部水素バリア膜29は、例えばCVD法により厚さが150nmの酸化アルミニウムを成膜した後、CMP法により、第4の層間絶縁膜28における平坦部上での膜厚が50nm程度になるまで研磨する。

#### 【0220】

第7の実施形態によると、第3の層間絶縁膜23及び第4の層間絶縁膜28に設ける溝部28aに上部水素バリア膜29を充填するため、後工程で上部水素バリア膜29の上に第5の層間絶縁膜30を堆積する際の絶縁膜の堆積量を減らすことができる。その結果、第5の層間絶縁膜30の膜厚を抑えることができるので、半導体装置の微細化を実現できる。

40

#### 【0221】

(第8の実施形態)

以下、本発明の第8の実施形態について図面を参照しながら説明する。

#### 【0222】

図27は本発明の第8の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図27において、図17に示す構成部材と同一の構成部材には同一の符号を付す

50

ことにより説明を省略する。

【0223】

第8の実施形態は、第3の層間絶縁膜23及び第4の層間絶縁膜28に設ける溝部を第1の溝部28aとその外側に並設された第2の溝部28bとの二重構造とする。これにより、セルブロックの横方向（基板面に平行な方向）に対する水素バリア性をさらに向上することができる。

【0224】

なお、複数の溝部28a、28bは2重構造に限られず、3重以上であってもよい。但し、溝部の数を増やすと、それに比例して絶縁性下部水素バリア膜19と上部水素バリア膜29との接続部29aの面積が増大することになるため2重程度が好ましい。

10

【0225】

（第9の実施形態）

以下、本発明の第9の実施形態について図面を参照しながら説明する。

【0226】

図28は本発明の第9の実施形態に係る半導体装置の要部の平面構成を示している。

【0227】

図28に示すように、第9の実施形態は、上部水素バリア膜29の周縁部と隣接するキャパシタを通常の動作を行なわない非作動ダミーキャパシタ27Bとする。ここで、各キャパシタ列の一部に設けられた導通用ダミーキャパシタ27Aは、前述したように、上部電極と下部電極とが短絡する構成であるため、元からキャパシタとしては動作していない。

20

【0228】

このように、第9の実施形態によると、上部水素バリア膜29が各キャパシタに対して水素の拡散を防止できない事態がたとえ生じたとしても、セルブロック60の周縁部に位置する各キャパシタをすべて動作させないため、半導体装置はそのまま所定の動作を行なうことができる。

【0229】

なお、非作動ダミーキャパシタ27Bは、他の実施形態に係る半導体装置にも適用可能であることはいうまでもない。

【0230】

（第10の実施形態）

以下、本発明の第10の実施形態について図面を参照しながら説明する。

【0231】

図29は本発明の第10の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図29において、図17に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

30

【0232】

図29に示すように、第10の実施形態に係る半導体装置は、ビット線17と絶縁性下部水素バリア膜19との間に設ける第2の層間絶縁膜18を、ビット線17が露出するまで例えばCMP法により研磨し、露出したビット線17と該ビット線17同士の間隙に埋め込まれた第2の層間絶縁膜18の上に直接に絶縁性下部水素バリア膜19を設ける構成とする。

40

【0233】

これにより、第3の層間絶縁膜23、第4の層間絶縁膜28及び第5の層間絶縁膜30を貫通してビット線17と接続される第3コンタクトプラグ31を形成するためのコンタクトホールのアスペクト比の値が減少するため、第3コンタクトプラグ31を確実に形成できるようになる。その上、半導体装置の高さが抑制されるので、該半導体装置の微細化が容易となる。

【0234】

なお、ビット線17と絶縁性下部水素バリア膜19とを接触させる構成は、他の実施形

50

態に係る半導体装置にも適用することができる。

【0235】

(第11の実施形態)

以下、本発明の第11の実施形態について図面を参照しながら説明する。

【0236】

図30は本発明の第11の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図30において、図17に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0237】

図30に示すように、第11の実施形態に係る半導体装置は、各キャパシタ27と上部水素バリア膜29との間に設ける第4の層間絶縁膜28を、各キャパシタ27が露出するまで例えばCMP法により研磨し、露出した各キャパシタ27と該キャパシタ27同士の間隙に埋め込まれた第4の層間絶縁膜28の上に直接に上部水素バリア膜29を設ける構成とする。

【0238】

これにより、第2の層間絶縁膜18、第3の層間絶縁膜23、第4の層間絶縁膜28及び第5の層間絶縁膜30を貫通してビット線17と接続される第3コンタクトプラグ31を形成するためのコンタクトホールのアスペクト比の値が減少するため、第3コンタクトプラグ31を確実に形成できるようになる。その上、半導体装置の高さが抑制されるので、該半導体装置の微細化も容易となる。

【0239】

なお、キャパシタ27と上部水素バリア膜29とを接触させる構成は、他の実施形態に係る半導体装置にも適用することができる。

【0240】

(第12の実施形態)

以下、本発明の第12の実施形態について図面を参照しながら説明する。

【0241】

図31は本発明の第12の実施形態に係る半導体装置の部分的な断面構成を示している。ここで、図31において、図17に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0242】

図31に示すように、第12の実施形態に係る半導体装置は、上部水素バリア膜29と配線32との間に設ける第5の層間絶縁膜30を、上部水素バリア膜29が露出するまで例えばCMP法により研磨し、露出した上部水素バリア膜29の上と、上部水素バリア膜29同士の間隙及び溝部28aに埋め込まれた第5の層間絶縁膜30の上とに直接に配線32を設ける構成とする。

【0243】

これにより、第2の層間絶縁膜18、第3の層間絶縁膜23、第4の層間絶縁膜28及び第5の層間絶縁膜30を貫通してビット線17と接続される第3コンタクトプラグ31を形成するためのコンタクトホールのアスペクト比の値が減少するため、第3コンタクトプラグ31を確実に形成できるようになる。その上、半導体装置の高さが抑制されるので、該半導体装置の微細化が容易となる。

【0244】

なお、上部水素バリア膜29と配線32とを接触させる構成は、他の実施形態に係る半導体装置にも適用することができる。

【産業上の利用可能性】

【0245】

本発明に係る半導体装置は、キャパシタを構成する容量絶縁膜の水素による劣化を確実に防止できるという効果を有し、強誘電体又は高誘電体を容量絶縁膜に用いた半導体装置等に有用である。

10

20

30

40

50

## 【図面の簡単な説明】

【0246】

【図1】本発明の第1の実施形態に係る半導体装置のセルブロックを示す平面図である。

【図2】図1のII-II線における構成断面図である。

【図3】図1のIII-III線における構成断面図である。

【図4】本発明の第1の実施形態に係る半導体装置における第1コンタクトプラグ、ビット線及び第2コンタクトプラグのレイアウトを示す平面図である。

【図5】(a)～(c)は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図6】(a)及び(b)は本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。 10

【図7】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図8】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図9】本発明の第1の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図10】本発明の第1の実施形態に係る半導体装置のセルブロックを示す詳細な平面図である。

【図11】本発明の第2の実施形態に係る半導体装置を示す部分的な構成断面図である。 20

【図12】(a)及び(b)は本発明の第2の実施形態に係る半導体装置の製造方法を示す一部の工程の構成断面図である。

【図13】本発明の第2の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図14】本発明の第3の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図15】(a)及び(b)は本発明の第3の実施形態に係る半導体装置の製造方法を示す一部の工程の構成断面図である。

【図16】本発明の第3の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図17】本発明の第4の実施形態に係る半導体装置を示す部分的な構成断面図である。 30

【図18】本発明の第4の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図19】本発明の第4の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図20】本発明の第4の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図21】本発明の第5の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図22】本発明の第5の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図23】本発明の第5の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。 40

【図24】本発明の第5の実施形態に係る半導体装置の製造方法を示す一工程の構成断面図である。

【図25】本発明の第6の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図26】本発明の第7の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図27】本発明の第8の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図28】本発明の第9の実施形態に係る半導体装置のセルブロックを示す平面図である。

。

【図29】本発明の第10の実施形態に係る半導体装置を示す部分的な構成断面図である。

。

【図30】本発明の第11の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図31】本発明の第12の実施形態に係る半導体装置を示す部分的な構成断面図である。

【図32】第1の従来例に係る強誘電体を用いた容量絶縁膜を有する半導体装置を示す構成断面図である。

【図33】第2の従来例に係る強誘電体又は高誘電体を用いた容量絶縁膜を有する半導体装置を示す構成断面図である。

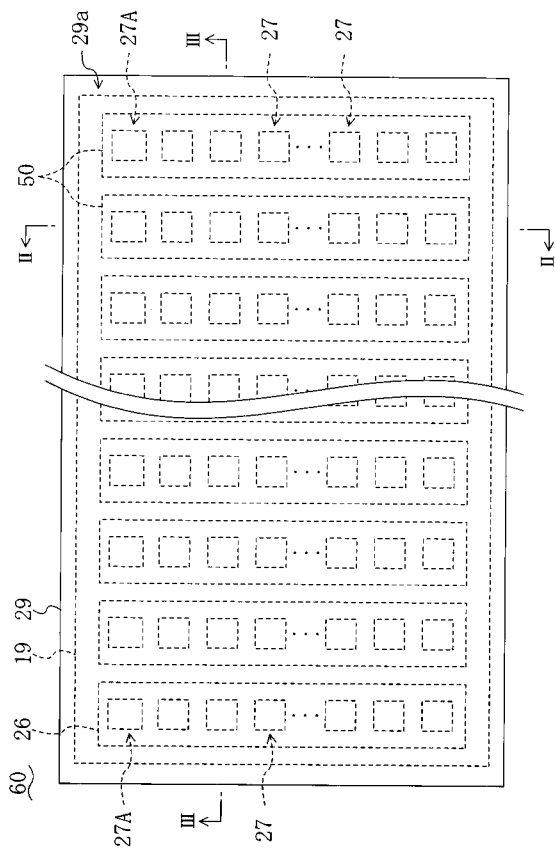
【符号の説明】

【0247】

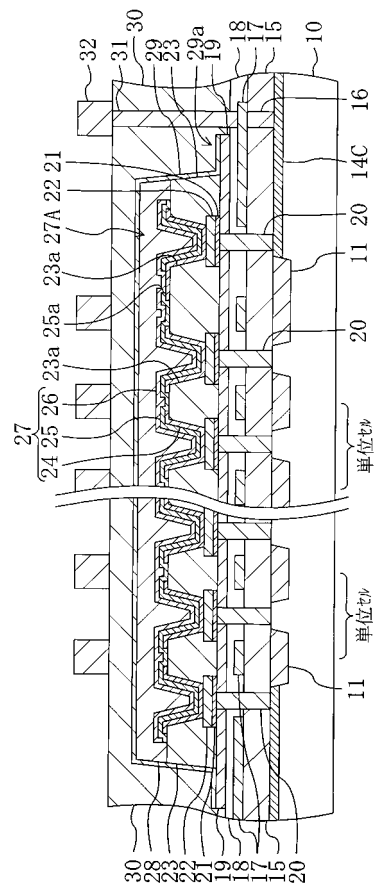
10	P型半導体基板	
11	素子分離領域	
12	ゲート絶縁膜	
13	ゲート電極	
14A	ドレイン拡散層	
14B	ソース拡散層	
14C	配線用拡散層	
15	第1の層間絶縁膜	
16	第1コンタクトプラグ	
17	ビット線	10
18	第2の層間絶縁膜	
19	絶縁性下部水素バリア膜	
19a	コンタクトホール	
20	第2コンタクトプラグ	
21	導電性下部水素バリア膜	
22	酸素バリア膜	
23	第3の層間絶縁膜	
23a	コンタクトホール	
23b	溝部	
24	下部電極	20
25	容量絶縁膜	
25a	開口部	
26	上部電極	30
27	キャパシタ	
27A	導通用ダミーキャパシタ	
27B	非作動ダミーキャパシタ	
28	第4の層間絶縁膜	
28a	溝部(第1の溝部)	
28b	第2の溝部	
29	上部水素バリア膜	40
29a	(第2の)接続部	
30	第5の層間絶縁膜	
31	第3コンタクトプラグ	
31a	下部コンタクトプラグ	
31b	上部コンタクトプラグ	
32	配線	
39	絶縁性下部水素バリア膜	
40	第2コンタクトプラグ	
40a	導電性下部水素バリア膜	
40b	コンタクトプラグ本体	50

- 4 2 酸素バリア膜
- 4 9 側壁水素バリア膜
- 4 9 a 第1の接続部
- 5 0 セルプレート
- 5 1 第6の層間絶縁膜
- 6 0 セルブロック

【 図 1 】

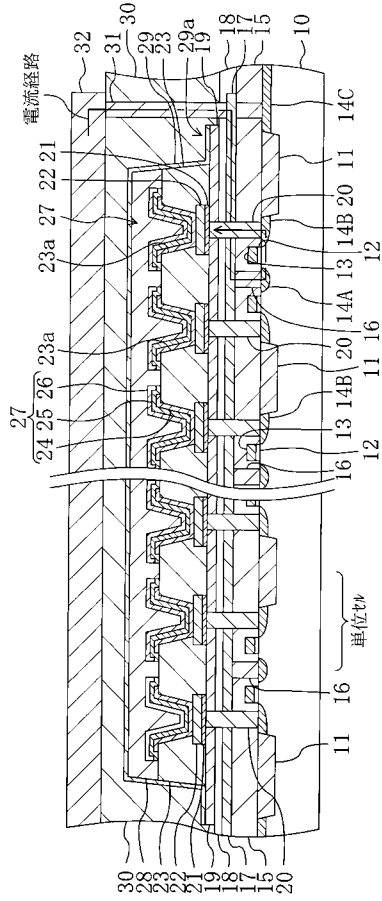


【 図 2 】

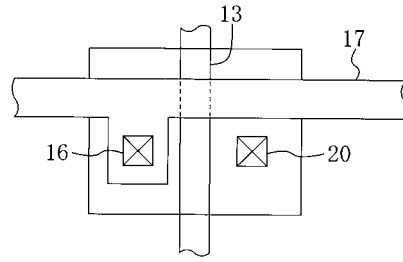




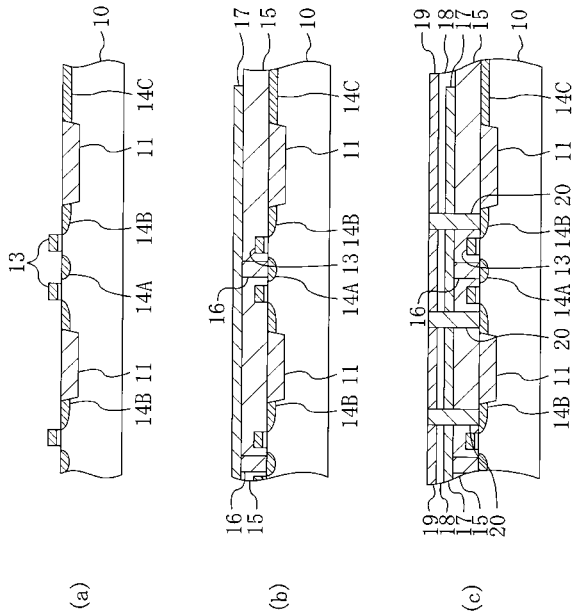
【 図 3 】



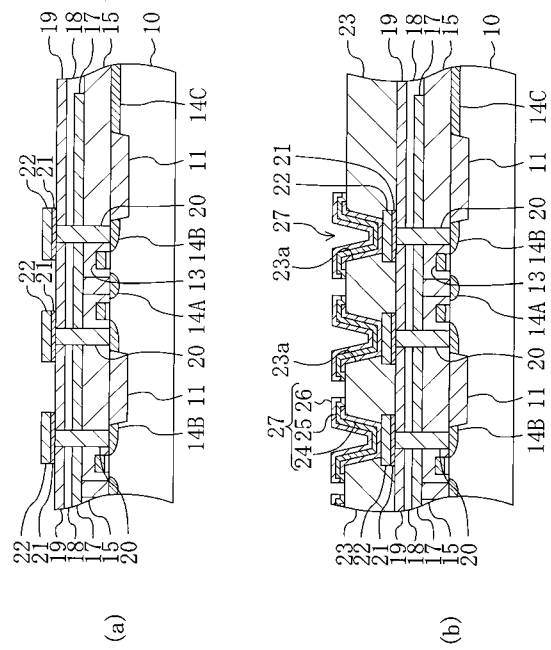
【 図 4 】



【 図 5 】

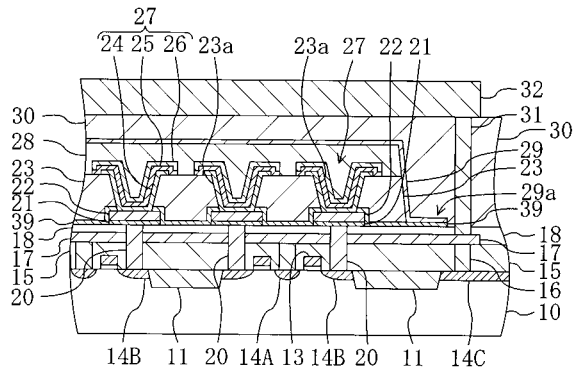


【 図 6 】

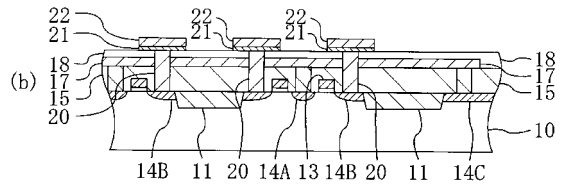
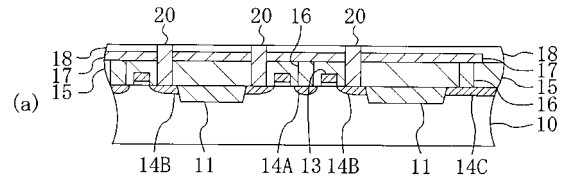




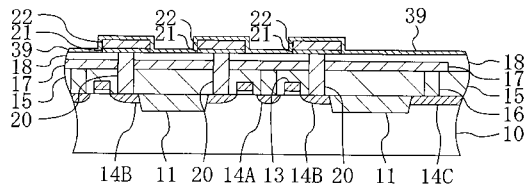
【 図 1 1 】



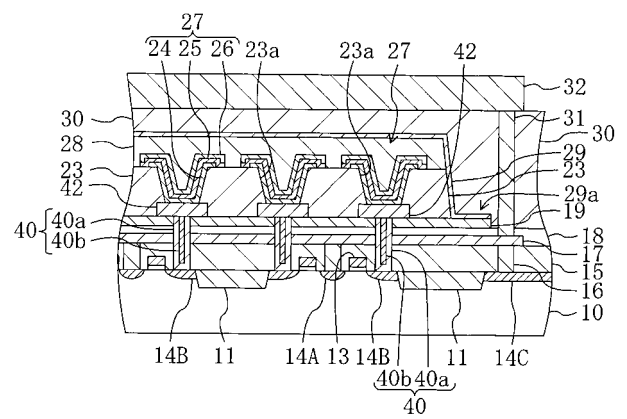
【 図 1 2 】



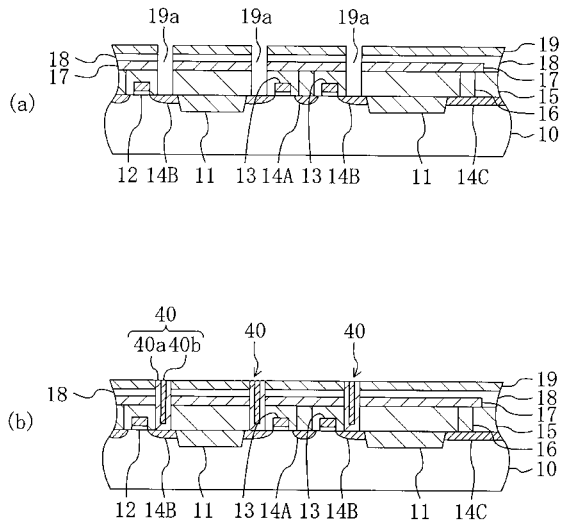
【 図 1 3 】



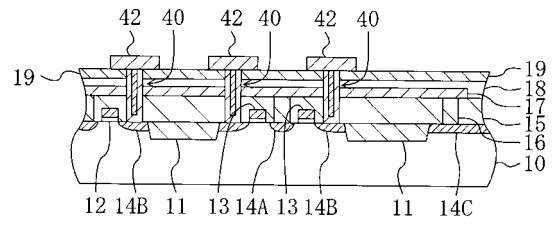
【 図 1 4 】



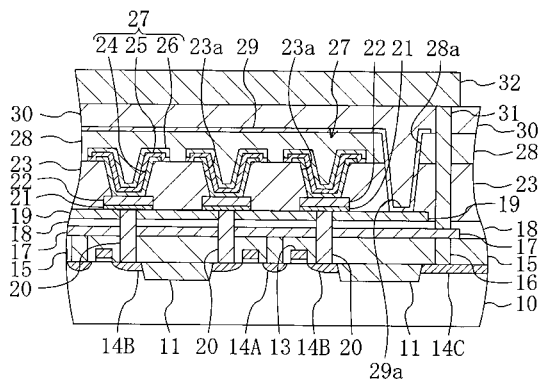
【 図 1 5 】



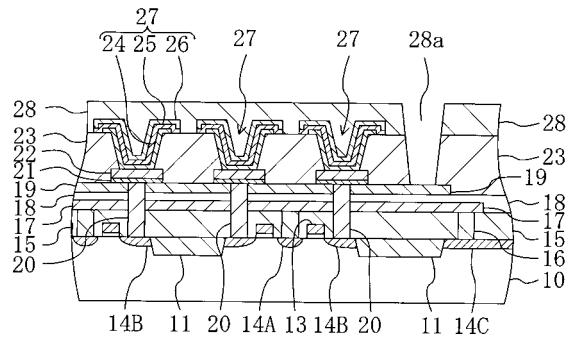
【 図 1 6 】



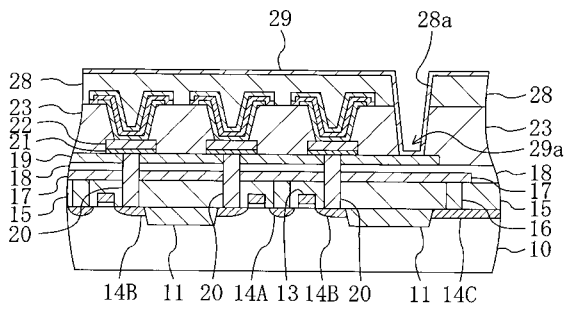
【 図 1 7 】



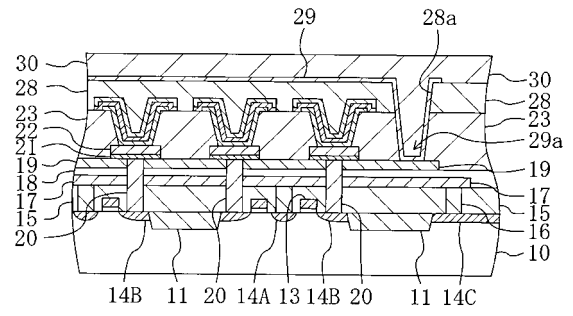
【 図 1 8 】



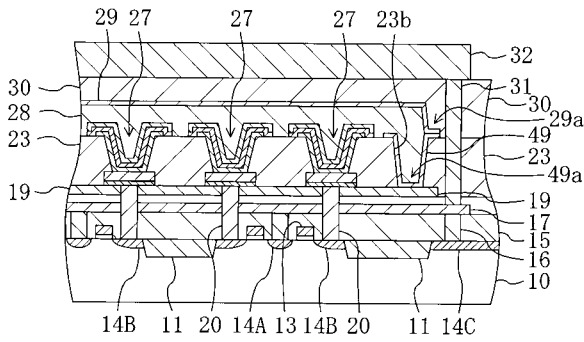
【 図 1 9 】



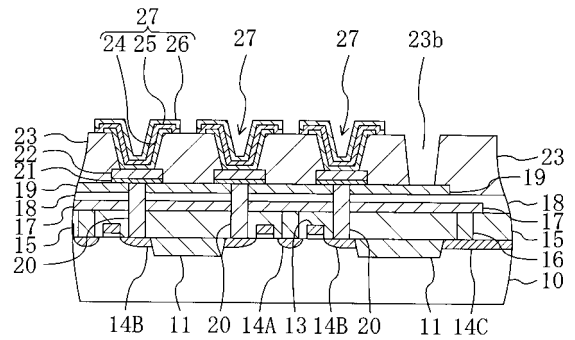
【 図 2 0 】



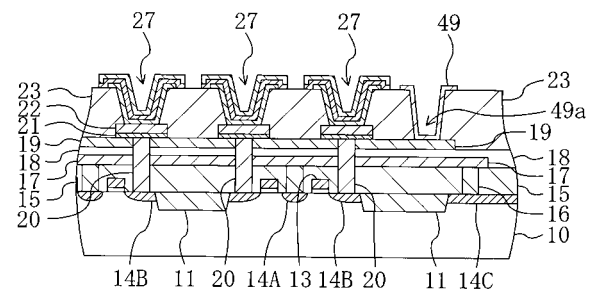
【 図 2 1 】



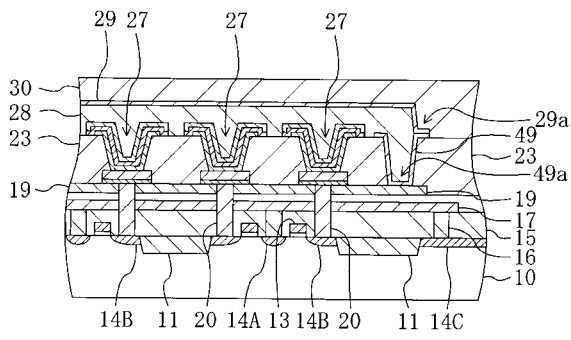
【 図 2 2 】



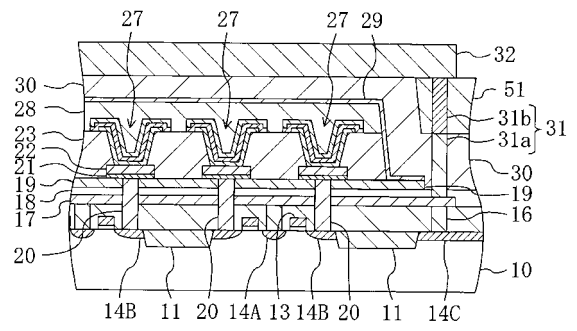
【 図 2 3 】



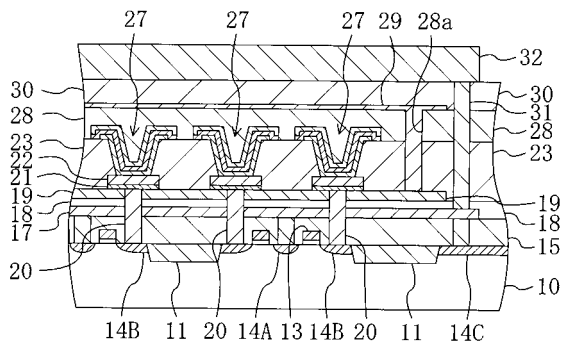
【 図 2 4 】



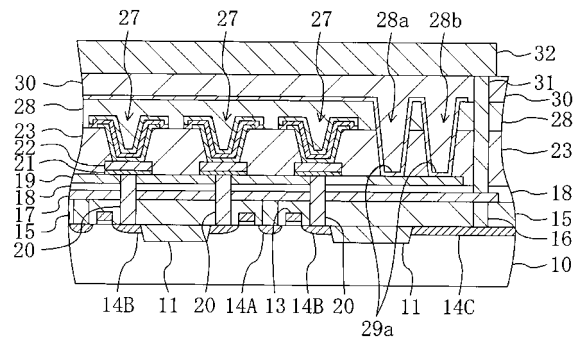
【 図 2 5 】



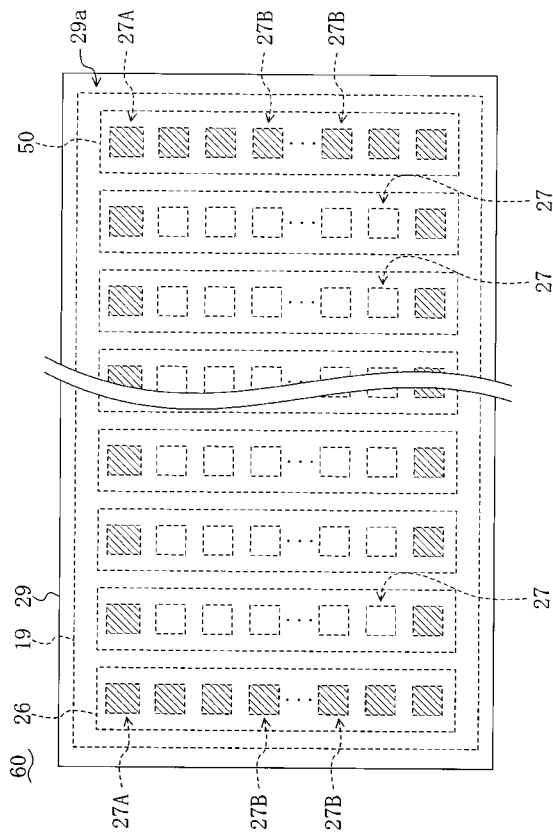
【 図 2 6 】



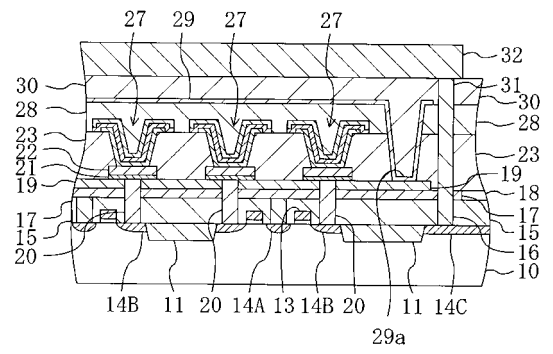
【 図 2 7 】



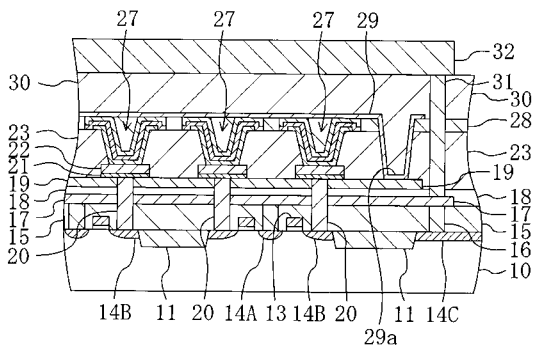
【 図 2 8 】



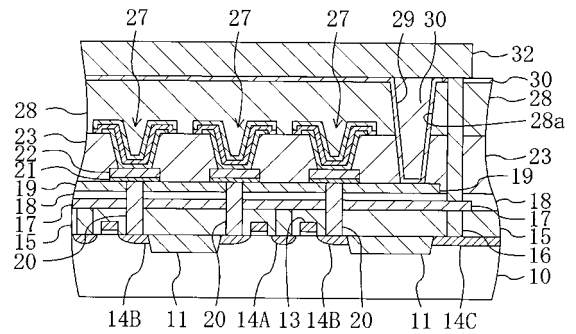
【 図 2 9 】



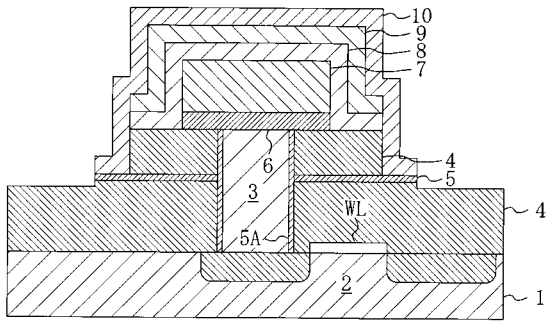
【 図 3 0 】



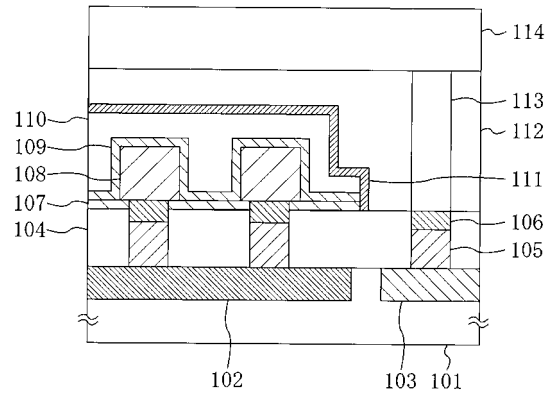
【 図 3 1 】



【図 3 2】



【図 3 3】



## 【手続補正書】

【提出日】平成16年9月7日(2004.9.7)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

下部水素バリア膜と、

前記下部水素バリア膜の上に形成され、下部電極と容量絶縁膜と上部電極とからなるキャパシタと、

前記キャパシタを覆う絶縁膜と、

前記絶縁膜上に形成された上部水素バリア膜とを備え、

前記絶縁膜は、前記キャパシタを囲むと共に前記下部水素バリア膜を露出する開口溝を有し、

前記上部水素バリア膜は前記開口溝の底面及び壁面に沿うように形成され、前記下部水素バリア膜と接していることを特徴とする半導体装置。

【請求項2】

下部水素バリア膜と、

前記下部水素バリア膜の上に形成され、下部電極と容量絶縁膜と上部電極とからなるキャパシタと、

前記キャパシタを覆い、且つ前記キャパシタを囲むと共に前記下部水素バリア膜を露出する開口溝を有する第1の絶縁膜と、

前記開口溝の底面及び壁面に形成された側壁水素バリア膜と、



前記キャパシタと前記側壁水素バリア膜の上に形成された第2の絶縁膜と、  
前記第2の絶縁膜の上に形成された上部水素バリア膜とを備え、  
前記上部水素バリア膜は前記側壁水素バリア膜と接続していることを特徴とする半導体装置。

【請求項3】

前記絶縁膜には、前記下部水素バリア膜を露出する複数の前記開口溝が互いに並設して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第1の絶縁膜には、前記下部水素バリア膜を露出する複数の前記開口溝が互いに並設して形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項5】

前記上部水素バリア膜は、前記開口溝に充填されていることを特徴とする請求項1又は3に記載の半導体装置。

【請求項6】

前記側壁水素バリア膜は、前記開口溝に充填されていることを特徴とする請求項2又は4に記載の半導体装置。

【請求項7】

前記開口溝は、前記開口溝の底部から上方に広がる幅を有するように形成されていることを特徴とする請求項1～6のうちいずれか1項に記載の半導体装置。

【請求項8】

前記キャパシタは、断面凹状を有する立体形状であることを特徴とする請求項1～7のうちいずれか1項に記載の半導体装置。

【請求項9】

前記キャパシタは複数設けられており、前記複数のキャパシタは、前記上部水素バリア膜及び前記下部水素バリア膜により、複数単位で覆われていることを特徴とする請求項1～8のうちいずれか1項に記載の半導体装置。

【請求項10】

前記キャパシタは複数個が列状に配置されてキャパシタ列を構成し、  
前記複数のキャパシタは、前記上部水素バリア膜により前記キャパシタ列単位で覆われていることを特徴とする請求項1～8のうちいずれか1項に記載の半導体装置。

【請求項11】

前記キャパシタは複数個が配置されてブロックを構成し、  
前記複数のキャパシタは、前記上部水素バリア膜により前記ブロック単位で覆われていることを特徴とする請求項1～8のうちいずれか1項に記載の半導体装置。

【請求項12】

前記キャパシタは複数個が行列状に配置されてキャパシタアレイを構成し、  
前記複数のキャパシタは、前記上部水素バリア膜により前記キャパシタアレイ単位で覆われていることを特徴とする請求項1～8のうちいずれか1項に記載の半導体装置。

【請求項13】

前記キャパシタは複数個が列状に配置されてキャパシタ列を構成し、該キャパシタ列を構成する上部電極は互いに連結されてセルプレートを構成しており、  
前記キャパシタ列は複数個が配置されてブロックを構成し、且つ前記ブロックは複数個が配置されてキャパシタアレイを構成しており、  
前記複数のキャパシタは、前記上部水素バリア膜により、前記セルプレート単位、前記ブロック単位若しくは前記キャパシタアレイ単位で覆われているか、又は前記セルプレート単位及び前記ブロック単位で混在されて覆われていることを特徴とする請求項1～8のうちいずれか1項に記載の半導体装置。

【請求項14】

前記キャパシタは複数個が配置され、  
前記複数のキャパシタのうち前記上部水素バリア膜の周縁部と隣接するキャパシタは、

電気的な動作をしない非動作ダミーキャパシタであることを特徴とする請求項 1 ~ 1 3のうちいずれか 1 項に記載の半導体装置。

【請求項 1 5】

前記キャパシタにおける上部電極と前記上部水素バリア膜とは互いに接していることを特徴とする請求項 1 ~ 1 4のうちいずれか 1 項に記載の半導体装置。

【請求項 1 6】

前記上部水素バリア膜の上に直接に形成された配線をさらに備えていることを特徴とする請求項 1 ~ 1 5のうちいずれか 1 項に記載の半導体装置。

【請求項 1 7】

半導体基板に前記キャパシタと電氣的に接続されるように形成されたセル選択トランジスタと、

前記半導体基板上に前記セル選択トランジスタと電氣的に接続されたビット線とをさらに備え、

前記ビット線は前記下部水素バリア膜の下方に形成されていることを特徴とする請求項 1 ~ 1 6のうちいずれか 1 項に記載の半導体装置。

【請求項 1 8】

前記ビット線は、前記下部水素バリア膜の下側に該下部水素バリア膜と接するように設けられていることを特徴とする請求項 1 7に記載の半導体装置。

【請求項 1 9】

前記下部水素バリア膜又は前記上部水素バリア膜は絶縁性材料からなり、

前記絶縁性材料は、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化チタンアルミニウム、酸化タンタルアルミニウム、珪化酸化チタン又は珪化酸化タンタルからなることを特徴とする請求項 1 ~ 1 8のうちいずれか 1 項に記載の半導体装置。

【請求項 2 0】

前記キャパシタの下側で前記下部水素バリア膜の上側には、酸素の拡散を防ぐ酸素バリア膜が設けられていることを特徴とする請求項 1 ~ 1 8のうちいずれか 1 項に記載の半導体装置。

【請求項 2 1】

前記酸素バリア膜は、酸化イリジウム、酸化ルテニウム、下層から順次形成されたイリジウムと酸化イリジウムとからなる積層膜、及び下層から順次形成されたルテニウムと酸化ルテニウムとからなる積層膜のうちのいずれか 1 つ、又はこれらのうちの少なくとも 2 つを含む積層膜により構成されていることを特徴とする請求項 2 0に記載の半導体装置。

【請求項 2 2】

前記キャパシタの下側で前記下部水素バリア膜の上側には、水素の拡散を防ぐ導電性下部水素バリア膜が設けられていることを特徴とする請求項 1 ~ 1 8のうちいずれか 1 項に記載の半導体装置。

【請求項 2 3】

前記導電性下部水素バリア膜は、窒化チタンアルミニウム、チタンアルミニウム、珪化窒化チタン、窒化タンタル、珪化窒化タンタル、窒化タンタルアルミニウム、及びタンタルアルミニウムのうちのいずれか 1 つ、又はこれらのうちの少なくとも 2 つを含む積層膜により構成されていることを特徴とする請求項 2 2に記載の半導体装置。

【請求項 2 4】

前記容量絶縁膜は、一般式  $SrBi_2(TaxNb_{1-x})_2O_9$ 、 $Pb(ZrxTi_{1-x})O_3$ 、 $(BaxSr_{1-x})TiO_3$ 、 $(BixLa_{1-x})_4Ti_3O_{12}$  (但し、いずれも  $x$  は  $0 < x < 1$  である。) 又は  $Ta_2O_5$  により構成されていることを特徴とする請求項 1 ~ 1 8のうちいずれか 1 項に記載の半導体装置。

【請求項 2 5】

半導体基板上に下部水素バリア膜を形成する工程 (a) と、

前記下部水素バリア膜の上に、下部電極と容量絶縁膜と上部電極とからなるキャパシタを形成する工程 (b) と、

前記キャパシタを覆う絶縁膜を形成する工程 (c) と、  
前記絶縁膜に、前記キャパシタを囲うと共に前記下部水素バリア膜を露出する開口溝を形成する工程 (d) と、  
前記絶縁膜の上に、前記開口溝の底面及び壁面に沿うように上部水素バリア膜を形成する工程 (e) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 26】

半導体基板上に下部水素バリア膜を形成する工程 (a) と、  
前記下部水素バリア膜の上に、下部電極と容量絶縁膜と上部電極とからなるキャパシタを形成する工程 (b) と、  
前記キャパシタを覆う第 1 の絶縁膜を形成する工程 (c) と、  
前記第 1 の絶縁膜に、前記キャパシタを囲み且つ前記下部水素バリア膜を露出する開口溝を形成する工程 (d) と、  
前記開口溝の底面及び壁面に側壁水素バリア膜を形成する工程 (e) と、  
前記第 1 の絶縁膜の上に、前記側壁水素バリア膜の外側の上端部を露出するように第 2 の絶縁膜を形成する工程 (f) と、  
前記第 2 の絶縁膜の上に、前記第 1 の水素バリア膜の前記上端部と接続するように上部水素バリア膜を形成する工程 (g) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 27】

前記工程 (e) は、前記開口溝に前記上部水素バリア膜を充填するように形成することを特徴とする請求項 25 に記載の半導体装置の製造方法。

【請求項 28】

前記工程 (d) は、前記開口溝の底部から上方に広がる幅を有するように形成することを特徴とする請求項 25 又は 26 に記載の半導体装置の製造方法。

【請求項 29】

前記工程 (b) は、前記下部水素バリア膜上の絶縁膜中に形成された開口部の壁面及び底面上に、前記下部電極、前記容量絶縁膜、及び前記上部電極を順に形成する工程を含むことを特徴とする請求項 25 又は 26 に記載の半導体装置の製造方法。

---

フロントページの続き

(72)発明者 伊東 豊二

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 藤井 英治

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 梅田 和男

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5F083 AD24 AD48 AD49 FR02 JA02 JA05 JA06 JA14 JA15 JA17  
JA19 JA36 JA38 JA39 JA40 JA43 JA56 MA05 MA06 MA16  
MA17 MA20 PR03