

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6328370号
(P6328370)

(45) 発行日 平成30年5月23日(2018.5.23)

(24) 登録日 平成30年4月27日(2018.4.27)

(51) Int.Cl. F I
H O 1 F 17/00 (2006.01) H O 1 F 17/00 D

請求項の数 14 (全 13 頁)

<p>(21) 出願番号 特願2012-276525 (P2012-276525) (22) 出願日 平成24年12月19日(2012.12.19) (65) 公開番号 特開2014-45165 (P2014-45165A) (43) 公開日 平成26年3月13日(2014.3.13) 審査請求日 平成27年12月4日(2015.12.4) (31) 優先権主張番号 10-2012-0094540 (32) 優先日 平成24年8月28日(2012.8.28) (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 594023722 サムソン エレクトロメカニクス カ ンパニーリミテッド. 大韓民国、キョンギード、スウォン-シ、 ヨントン-グ、(マエタン-ド) マエヨ ン-ロ 150 (74) 代理人 100088605 弁理士 加藤 公延 (72) 発明者 ハン・ジン・ウ 大韓民国、キョンギード、スウォン、ヨ ントン-グ、マエタン3-ド 314、サ ムソン エレクトロメカニクス カ ンパニーリミテッド</p>
--	---

最終頁に続く

(54) 【発明の名称】 積層チップ電子部品

(57) 【特許請求の範囲】

【請求項 1】

2016 サイズ以下であり、導電パターンが形成される多数の磁性体層と、前記導電パターンが電気的に接続されて積層方向にコイルパターンをなすようにするピア電極と、を備える積層本体を含み、前記多数の磁性体層の各導電パターンが、前記コイルパターンの1ターンの長さよりも短く、

前記コイルパターンを前記積層本体の長さ及び幅方向に投影してみると、前記コイルパターンの内部に形成される面積を A_i 、前記コイルパターンの外部に形成される面積を A_o と規定するとき、

$$0.40 \leq A_i / A_o \leq 1.03$$

前記コイルパターンの面積を A_e 、前記長さ及び幅方向に投影された前記積層本体の全体面積を A_t と規定するとき、

$$0.13 \leq A_e / A_t \leq 0.78$$

【請求項 2】

前記積層本体は、前記導電パターンと同一層をなす第1磁性体層と、前記第1磁性体層の間に介在する第2磁性体層と、を含む、請求項1に記載の積層チップ電子部品。

【請求項 3】

前記第1磁性体層は、前記第2磁性体層上に印刷された前記導電パターンの厚さの分だけ印刷されて形成される、請求項2に記載の積層チップ電子部品。

【請求項 4】

10

20

前記積層チップ電子部品の長さ及び幅は、 2.0 ± 0.1 mm及び 1.6 ± 0.1 mmの範囲を有する、請求項1に記載の積層チップ電子部品。

【請求項5】

前記A_iは、前記コイルパターンの内部を占める前記磁性体層の面積である、請求項1に記載の積層チップ電子部品。

【請求項6】

前記A_oは、前記コイルパターンの外部を占める前記磁性体層の面積である、請求項1に記載の積層チップ電子部品。

【請求項7】

前記コイルパターンは、幅方向の導電パターン及び長さ方向の導電パターンを含み、
前記長さ方向の導電パターンにおいて幅方向に形成されるマージン部の幅は、前記幅方向の導電パターンにおいて長さ方向に形成されるマージン部の幅より狭い、請求項1に記載の積層チップ電子部品。

10

【請求項8】

多数の磁性体層が積層形成される2016サイズ以下の積層本体と、
前記多数の磁性体層の間に配置され、積層方向に電気的に接続されてコイルパターンを形成する導電パターンであって、各前記導電パターンが、前記コイルパターンの1ターンの長さよりも短い、導電パターンと、を含み、
一つの前記コイルパターンを前記積層本体の長さ及び幅方向に投影してみると、前記コイルパターンの内部に露出する前記磁性体層の面積をA_i、前記コイルパターンの外部

20

に露出する前記磁性体層の面積をA_oと規定すると、
 $0.40 < A_i / A_o < 1.03$ を満たす、積層チップ電子部品。

【請求項9】

前記コイルパターンの面積をA_e、前記長さ及び幅方向に投影された前記積層本体の全体面積をA_tと規定するとき、

$0.13 < A_e / A_t < 0.78$ を満たす、請求項8に記載の積層チップ電子部品。

【請求項10】

前記磁性体層は、磁性体グリーンシートが焼成された第2磁性体層と、
前記第2磁性体層上に印刷される前記導電パターンの厚さの分だけ磁性物質が塗布されて焼成された第1磁性体層と、を含む、請求項8に記載の積層チップ電子部品。

30

【請求項11】

前記コイルパターンは、幅方向の導電パターン及び長さ方向の導電パターンを含み、
前記長さ方向の導電パターンにおいて幅方向に形成されるマージン部の幅は、前記幅方向の導電パターンにおいて長さ方向に形成されるマージン部の幅より狭い、請求項8に記載の積層チップ電子部品。

【請求項12】

前記積層チップ電子部品の長さ及び幅は、 2.0 ± 0.1 mm及び 1.6 ± 0.1 mmの範囲を有する、請求項8に記載の積層チップ電子部品。

【請求項13】

前記積層本体の長さは、2.1 mm以下であり、前記積層本体の幅は、1.7 mm以下である、請求項8に記載の積層チップ電子部品。

40

【請求項14】

前記磁性体層は、フェライト材料であり、前記導電パターンは、銀(Ag)が主成分であり、前記磁性体層が、10層から20層の範囲内で積層されている、請求項1～13のいずれか1項に記載の積層チップ電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層チップ電子部品に関する。

【背景技術】

50

【0002】

積層チップ電子部品の一つであるインダクタ(inductor)は、抵抗、キャパシタと共に、電子回路を形成することでノイズを除去する代表的な受動素子である。

【0003】

積層チップタイプのインダクタは、磁性体または誘電体にコイルが形成されるように導電パターンを印刷した後に積層して製造されることができる。このような積層チップインダクタは、導電パターンが形成された磁性体層または誘電体層を多数積層した構造を有し、上記積層チップインダクタ内の内部導電パターンは、チップ内においてコイル構造を形成するために各磁性体層に形成されたビア電極によって順次に接続されることで、目標とするインダクタンス及びインピーダンスなどの特性を具現する。

10

【0004】

最近、積層チップインダクタには、小型化のニーズが増加している。小型化した積層チップインダクタを製造する場合にも、デラミネーション(Delamination)を防止するため、チップサイズに対して相対的に大きい切断マージンを形成するという問題点がある。

【0005】

従って、小型化しても高容量が確保できる積層チップインダクタの開発が求められてきた。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】韓国公開特許第2001-0085376号公報

【特許文献2】特開2005-142389号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様の目的は、小型化しても高容量が確保できる積層チップ電子部品を提供することにある。

【課題を解決するための手段】

【0008】

30

本発明の一態様による積層チップ電子部品は、2016サイズ以下であり、導電パターンが形成される多数の磁性体層と、上記導電パターンが電氣的に接続されて積層方向にコイルパターンをなすようにするビア電極と、を備える積層本体を含み、上記コイルパターンを上記積層本体の長さ及び幅方向に投影したとき、上記コイルパターンの内部に形成される面積を A_i 、上記コイルパターンの外部に形成される面積を A_o と規定すると、 $0.40 \leq A_i / A_o \leq 1.03$ を満たすことができる。また、上記コイルパターンの面積を A_e 、上記長さ及び幅方向に投影された上記積層本体の全体面積を A_t と規定するとき、 $0.13 \leq A_e / A_t \leq 0.78$ を満たすことができる。

【0009】

また、本発明の一態様による積層チップ電子部品の上記積層本体は、上記導電パターンと同一層をなす第1磁性体層と、上記第1磁性体層の間に介在する第2磁性体層上と、を含むことができる。

40

【0010】

また、本発明の一態様による積層チップ電子部品の上記第1磁性体層は、上記第2磁性体層上に印刷された上記導電パターンの厚さの分だけ印刷されて形成されることができる。

【0011】

また、本発明の一態様による積層チップ電子部品の上記積層チップ電子部品の長さ及び幅は、 2.0 ± 0.1 mm及び 1.6 ± 0.1 mmの範囲を有することができる。

【0012】

50

また、本発明の一態様による積層チップ電子部品の上記 A_i は、上記コイルパターンの内部を占める上記磁性体層の面積であることができる。

【0013】

また、本発明の一態様による積層チップ電子部品の上記 A_o は、上記コイルパターンの外部を占める上記磁性体層の面積であることができる。

【0014】

また、本発明の一態様による積層チップ電子部品の上記コイルパターンは、幅方向の導電パターン及び長さ方向の導電パターンを含み、上記長さ方向の導電パターンにおいて幅方向に形成されるマージン部の幅は、上記幅方向の導電パターンにおいて長さ方向に形成されるマージン部の幅より狭いことができる。

10

【0015】

一方、本発明の他の一態様による積層チップ電子部品は、多数の磁性体層が積層形成される積層本体と、上記多数の磁性体層の間に配置され、積層方向に電気的に接続されてコイルパターンを形成する導電パターンと、を含み、一つの上記コイルパターンを上記積層本体の長さ及び幅方向に投影して見ると、上記コイルパターンの内部に露出する上記磁性体層の面積を A_i 、上記コイルパターンの外部に露出する上記磁性体層の面積を A_o と規定すると、 $0.40 < A_i / A_o < 1.03$ を満たすことができる。

【0016】

また、本発明の一態様による積層チップ電子部品において、上記コイルパターンの面積を A_e 、上記長さ及び幅方向に投影された上記積層本体の全体面積を A_t と規定するとき、 $0.13 < A_e / A_t < 0.78$ を満たすことができる。

20

【0017】

また、本発明の一態様による積層チップ電子部品の上記磁性体層は、磁性体グリーンシートが焼成された第2磁性体層と、上記第2磁性体層上に印刷される上記導電パターンの厚さの分だけ磁性物質が塗布されて焼成された第1磁性体層と、を含むことができる。

【0018】

また、本発明の一態様による積層チップ電子部品の上記コイルパターンは、幅方向の導電パターン及び長さ方向の導電パターンを含み、上記長さ方向の導電パターンにおいて幅方向に形成されるマージン部の幅は、上記幅方向の導電パターンにおいて長さ方向に形成されるマージン部の幅より狭いことができる。

30

【0019】

また、本発明の一態様による上記積層チップ電子部品の長さ及び幅は、 2.0 ± 0.1 mm及び 1.6 ± 0.1 mmの範囲を有することができる。

【発明の効果】

【0020】

本発明の一態様による積層チップ電子部品によると、小型化しても容量を高めると共に、デラミネーション不良を著しく減少させることができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施形態による積層チップインダクタの概略部分切開斜視図である。

40

【図2】図1の積層チップインダクタの導電パターンと磁性体層が積層される形状を示す概略図である。

【図3】図1の積層チップインダクタの積層形状を分解して示す概略斜視図である。

【図4】図1の磁性体層に形成される導電パターンの形状を示す概略平面図である。

【図5】図1のV-V'線に沿った切断面を示す概略図である。

【図6】図1のVI-VI'線に沿った切断面を示す概略図である。

【図7】図1の積層チップインダクタを長さ及び幅方向に研磨して導電パターンが1回のターンを形成する形状を投影して示す概略平面図である。

【発明を実施するための形態】

【0022】

50

以下では、図面を参照して本発明の具体的な実施形態について詳細に説明する。但し、本発明の思想は提示される実施形態に制限されず、本発明の思想を理解する当業者は、同じ思想の範囲内で他の構成要素の追加、変更、削除などを通じて、退歩的な他の発明や本発明の思想の範囲内に含まれる他の実施形態を容易に提案することができ、これも本願発明の思想の範囲内に含まれる。

【0023】

また、各実施形態の図面に示す同一思想の範囲内の機能が同一の構成要素は、同一の参照符号を用いて説明する。

【0024】

本発明の一実施形態による積層チップ電子部品は、磁性体層上に導電パターンが形成されるチップインダクタ(chip inductor)、チップビーズ(chip beads)、チップフィルタ(chip filter)などに適切に応用されることができる。

10

【0025】

以下では、積層チップインダクタを用いて本発明の実施形態について説明する。

【0026】

積層チップインダクタ

【0027】

図1は本発明の一実施形態による積層チップインダクタの概略部分切開斜視図であり、図2は図1の積層チップインダクタの導電パターンと磁性体層が積層される形状を示す概略図であり、図3は図1の積層チップインダクタの積層形状を分解して示す概略斜視図である。

20

【0028】

また、図4は図1の磁性体層に形成される導電パターンの形状を示す概略平面図である。

【0029】

図1から図4を参照すると、積層チップインダクタ10は、積層本体15と、導電パターン40と、磁性体層62、64と、外部電極20と、を含むことができる。

【0030】

上記積層本体15は、磁性体グリーンシート上に導電パターン40を印刷し、上記導電パターン40が形成された磁性体グリーンシートを積層した後、焼結して製造されることができる。

30

【0031】

上記積層本体15は六面体状であることができる。磁性体グリーンシートを積層した後、チップ状に焼結するとき、セラミック粉末の焼結収縮によって上記積層本体15の外観は完全な直線を有する六面体状ではない可能性がある。但し、上記積層本体15は、実質的に六面体状を有するものと理解してよい。

【0032】

本発明の実施形態を明確に説明するため、六面体の方向を定義すると、図1に示されるL、W及びTは、それぞれ長さ方向、幅方向、厚さ方向を示す。ここで、厚さ方向は、磁性体層が積層された積層方向と同一の概念で用いられることができる。

40

【0033】

図1の実施形態は、長さ方向が幅または厚さ方向より大きい直六面体状を有するチップインダクタ10に関するものである。

【0034】

ここで、本実施形態は、図2に示されているように、磁性体グリーンシート上に導電パターン40を印刷した後に上記導電パターン40の厚さの分だけ磁性物質を塗布または印刷することができる。即ち、上記磁性物質は、焼結後、上記磁性体グリーンシートと区別される別途の磁性体層を形成することができる。焼結後、導電パターン40と同一層をなす磁性体層を第1磁性体層64、積層本体15内において上記第1磁性体層64の間に介

50

在する焼結後の上記磁性体グリーンシートは、第2磁性体層62と規定することができる。

【0035】

上記積層本体15を構成する多数の第1及び第2磁性体層64、62は焼結された状態で、隣接する第1及び第2磁性体層64、62間の境界は、走査電子顕微鏡（SEM、Scanning Electron Microscope）を使用せずには確認できないほど一体化されていることができる。

【0036】

また、本発明の一実施形態による積層チップインダクタ10のサイズは、外部電極20を含む上記積層本体15の長さ及び幅がそれぞれ 2.0 ± 0.1 mm及び 1.6 ± 0.1 mm（2016サイズ）の範囲を有することができ、2016サイズ以下（即ち、積層本体の長さは 2.1 mm以下で、上記積層本体の幅は 1.7 mm以下）に形成することもできる。

10

【0037】

上記第1及び第2磁性体層64、62は、Ni-Cu-Zn系、Ni-Cu-Zn-Mg系、Mn-Zn系のフェライト材料を用いるが、これに限定されるものではない。

【0038】

図2aから図2cを参照すると、フェライトグリーンシート62上に導電パターン40を印刷して乾燥し（図2a）、上記導電パターン40と同一層を形成するように上記導電パターン40の隣の空間にフェライトスラリーをペースト（paste）で印刷して上記フェライトグリーンシート62とは異なる別途の平坦化された磁性体層64を形成する。上記フェライトグリーンシート62、上記導電パターン40と平坦化された磁性体層64が一つの積層キャリア60を形成する（図2b）。また、上記積層キャリア60は、上記導電パターン40が積層方向にコイルパターン50（図4）を形成するように多数が積層されることができる（図2c）。

20

【0039】

このように積層チップインダクタ10を形成すると、導電パターン40と積層キャリア60との間に段差がないため、圧搾または焼結のような工程を経ても導電パターン40が磁性体層60に陥没し、変形される現象が著しく減少する。

【0040】

図7に示されているように、長さ及び幅方向に研磨して磁性体層60が露出しても、導電パターン40の形状が同一の厚さにおいて導電パターン40の断絶現象がなく、グリーンシートに印刷した導電パターン40の形状をそのまま維持することができる。

30

【0041】

上記導電パターン40は、銀（Ag）を主成分とする導電ペーストを所定の厚さで印刷して形成されることができる。上記導電パターン40は、長さ方向の両端部に形成される外部電極20と電氣的に連結されることができる。

【0042】

上記外部電極20は、上記セラミック本体15の長さ方向の両端部に形成され、Cu、Ni、Sn、Ag及びPdのうち選択された合金を電気めっきして形成されることができるが、特に、これらの材料に制限されるものではない。

40

【0043】

上記導電パターン40は、上記外部電極20と電氣的に接続されるリードを備えることができる。

【0044】

図3を参照すると、一つの積層キャリア60a上の上記導電パターン40aは、長さ方向の導電パターン42aと、幅方向の導電パターン44aと、を含む。上記導電パターン40aは、磁性体層62aに形成されるピア電極72、74により、磁性体層62aを介して配置される他の一つの積層キャリア60b上の導電パターン40bと電氣的に連結され、積層方向にコイルパターン50を形成する。

50

【 0 0 4 5 】

本実施形態のコイルパターン50は、全て9.5回のターン数を有するが、これに限定されるものではない。コイルパターン50が9.5回のターン数を有するようにするためには、カバー層をなす上部及び下部の磁性体層80a、80bの間に導電パターン40a、40b、40mが形成された積層キャリア60a、60b、60mが13個配置される。

【 0 0 4 6 】

本実施形態には、1回のターン数を有するコイルパターン50を形成するため、2個の積層キャリアを必要とする導電パターン42a、44bが開示されているが、これに限定されず、導電パターンの形状によって必要な積層キャリアの数が異なることができる。

10

【 0 0 4 7 】

図4を参照して上記コイルパターン50の1回のパターンについて説明すると、同一の磁性体層60bに形成される導電パターン40bにおける一つのビア電極72bを1、他のビア電極74bを2、上記2に対応する積層方向の下部の導電パターン40cにおける一つのビア電極72cを3、上記1に対向する磁性体層60cにおける導電パターン40cの対向地点を4と規定するとき、上記1から反時計回りに1回のターン(1 2 3 4)をなすことを一つのターンと規定することができる。また、上記4を1'と規定するとき、次の1回のターン(1' 2' 3' 4')が形成されることが出来る。

【 0 0 4 8 】

図5は、図1のV-V'線に沿った切断面を示す概略図であり、図6は図1のVI-VI'線に沿った切断面を示す概略図である。

20

【 0 0 4 9 】

図1の積層チップインダクタを、図5は長さ方向L及び厚さ方向Tに切断し、図6は幅W及び厚さT方向に切断した。

【 0 0 5 0 】

図5及び図6の断面図において、導電パターン40が形成されない部分は点線部分で示されている。

【 0 0 5 1 】

図5に示されているように、長さ方向L及び厚さ方向Tにおいて、導電パターン40が形成される最上部及び最下部の磁性体層には、外部電極20と電氣的に連結されるリード48が形成される。上記リード48は、セラミック本体15の長さ方向の短辺Ws1、Ws2に露出し、上記外部電極20と電氣的に連結される。

30

【 0 0 5 2 】

上記導電パターン40は、第1磁性体層64と同一層をなし、積層本体15内において第2磁性体層62を介して対向配置されることが出来る。

【 0 0 5 3 】

ここで、上記第1磁性体層64は、上記導電パターン40の厚さの分だけ印刷されて形成されることが出来る。

【 0 0 5 4 】

図7は図1の積層チップインダクタを長さ及び幅方向に研磨して導電パターンが1回のターンを形成する形状を投影して示す概略平面図である。

40

【 0 0 5 5 】

図7を参照すると、導電パターン40が一つのコイルパターン50を形成する詳しい形状が分かる。上記コイルパターン50は、幅方向の導電パターン44及び長さ方向の導電パターン42がビア電極72、74を通じて電氣的に接続されて形成される。

【 0 0 5 6 】

ここで、上記長さ方向の導電パターン42において幅方向に形成されるマージン部の幅W1は、上記幅方向の導電パターン44において長さ方向に形成されるマージン部の幅L1より狭く形成されることが出来る。これは、図5に示されているように、最上部及び最下部をなす導電パターン40において外部電極20に延長されるリード48の長さを確保

50

するためのものである。

【0057】

下記表1は、コイルパターンの外部に形成される面積 A_o に対するコイルパターンの内部に形成される面積(A_i)の比である A_i/A_o が積層チップインダクタのDC抵抗(R_{dc})及びデラミネーション(Delamination)不良に及ぼす影響をチップサイズ別の実験した結果である。

【0058】

表1のチップは、インダクタンス容量を高めるため、コイルパターンの外部に形成される面積(例えば、図7の「 A_o 」)をコイルパターンの内部に形成される面積(例えば、図7の「 A_i 」)より小さく設計した(即ち、 $A_i/A_o > 1$)。

【0059】

【表1】

試料 NO.	サイズ(s ize)	A_i (mm^2)	A_o (mm^2)	A_i/A_o	インダクタンス (目標容量対比)(%)	R_{dc} ($m\Omega$)	Delaminationの 不良有無
101	3216	2.38	2.19	1.09	108	102	良好
102	2520	2.32	2.15	1.08	106	98	良好
103	2016	1.52	1.36	1.12	89	150	不良
104	2012	1.11	1.04	1.07	92	165	不良
105	1608	0.61	0.56	1.09	89	173	不良
106	1005	0.23	0.21	1.08	89	171	不良
107	0603	0.082	0.075	1.09	87	170	不良

【0060】

表1に示されているように、2016サイズを超過するチップの場合、コイルパターンの外部に形成される面積 A_o が十分に大きいため、 A_i/A_o 値が1.03を超過してもDC抵抗(R_{dc})が高くなく、デラミネーション(Delamination)不良が発生しなかった。

【0061】

2016サイズ以下のチップにおいて A_i/A_o 値が1.03を超過する場合は、コイルパターンの外部に形成される面積 A_o が相対的に小さいため、小さい電極面積によってDC抵抗(R_{dc})が高くなり、デラミネーション(Delamination)不良が発生したことが分かる。

【0062】

従って、2016サイズ以下のチップの場合、十分なインダクタンス容量を確保すると共に、DC抵抗(R_{dc})を減らし、デラミネーション(Delamination)不良を防止するためには、本発明の実施形態のように A_i/A_o 値を調節する必要がある。

【0063】

本発明の実施形態において、上記コイルパターン50を上記積層本体15の長さ及び幅方向に投影してみると、上記コイルパターンの内部に形成される面積を A_i 、上記コイルパターンの外部に形成される面積を A_o と規定すると、 A_i/A_o は、0.40 A_i/A_o 1.03の範囲を満たすことができる。

【0064】

A_i/A_o が0.40未満の場合は、コイルパターン50の内部面積が小さいため、インダクタンス容量を具現することが困難であり、 A_i/A_o が1.03超過の場合は、コイルパターン50が長くなるため、DC抵抗(R_{dc})が増加して電極が露出することから、デラミネーション(Delamination)不良が発生する可能性がある。

【0065】

また、本発明の他の実施形態によると、上記コイルパターンの面積を A_e 、上記長さ及

10

20

30

40

50

び幅方向に投影された上記積層本体の全体面積を A_t と規定するとき、 A_e / A_t は、 $0.13 < A_e / A_t < 0.78$ を満たすことができる。

【0066】

A_e / A_t が 0.13 未満の場合は、導電パターン40の断面積が減少するため、DC抵抗 (R_{dc}) が増加し、導電パターン40がなすコイルパターン50が切れてオープン (open) が発生する可能性がある。また、 A_e / A_t が 0.78 超過の場合、デラミネーション不良が発生するおそれがある。

【0067】

実験例

【0068】

本発明の実施例及び比較例による積層チップインダクタは、以下の通り製作された。Ni-Zn-Cu系フェライト粉末を含むスラリーをキャリアフィルム (carrier film) 上に塗布及び乾燥して製造された複数個の磁性体グリーンシートを用意する。

【0069】

次に、上記磁性体グリーンシート上にスクリーンを用いて銀 (Ag) 導電性ペーストを塗布し導電パターンを形成する。また、上記導電パターンと同一層になるように上記導電パターンの周りの上記磁性体グリーンシート上にフェライトスラリーを塗布して上記磁性体グリーンシートと共に一つの積層キャリアを形成する。

【0070】

導電パターンが形成された積層キャリアを繰り返して積層し、上記導電パターンが電氣的に接続されて積層方向にコイルパターンを有するようにする。ここで、上記磁性体グリーンシートには、ピア電極が形成されて上記磁性体グリーンシートを介して上部導電パターン及び下部導電パターンは電氣的に接続されることができる。

【0071】

ここで、上記積層キャリアを10層から20層の範囲内で積層し、この積層体を 85 で 1000 kgf/cm^2 の圧力条件で等圧圧縮成形 (isostatic pressing) した。圧搾が完了したチップ積層体を個別チップの形態に切断し、切断されたチップは大気雰囲気において230 で40時間維持して脱バインダーを行った。

【0072】

その後、 950 以下の大気雰囲気において焼成した。このとき、焼成後のチップサイズは、 $2.0 \text{ mm} \times 1.6 \text{ mm}$ (L x W)、2016サイズに製作した。

【0073】

続いて、外部電極の塗布及び電極焼成、めっきなどの工程を経て外部電極を形成した。

【0074】

ここで、上記積層チップインダクタの試料は、一つのコイルパターンを上記積層本体の長さ及び幅方向に投影してみると、上記コイルパターンの内部に形成される面積 A_i 、上記コイルパターンの外部に形成される面積 A_o 、コイルパターンの面積 A_e 、上記長さ及び幅方向に投影された上記積層本体の全体面積 A_t が多様に変更されるように製作された。

【0075】

上記 A_i 、 A_o 、 A_e 及び A_t は、上記積層本体15の長さ及び幅方向に研磨して得られた切開された断面を光学顕微鏡によって高倍率イメージ撮影し、撮影されたイメージをシグマスキャンプロ (Sigma Scan Pro) などのようなコンピュータプログラムで分析して測定した。

【0076】

以下では、本発明の実施例及び比較例の実験データを参照して本発明の実施例についてより具体的に説明する。

【0077】

下記表2は、長さ及び幅方向の切開された断面における A_i / A_o によるインダクタンス、DC抵抗及びデラミネーションの発生頻度を測定したものであり、下記表3は、 A_i

10

20

30

40

50

/ A_e 及び A_e / A_t によるインダクタンス、DC抵抗及びデラミネーションの発生頻度を測定したものである。

【0078】

インダクタンスは、Agilent 4286A モデルのLCR meterを用いて測定しており、直流抵抗 (R_{dc}) は、Agilent 4338B モデルのmilliohm meterを用いて測定した。

【0079】

【表2】

試料 NO	サイズ (size)	A_i (mm^2)	A_o (mm^2)	A_i/A_o	インダクタンス (目標インダクタンス対 比)(%)	R_{dc} ($m\Omega$)	Delaminationの 発生頻度 (個数/100)
1*	2016	0.73	2.05	0.36	77	81	0
2		0.80	1.99	0.40	81	87	0
3		0.90	1.90	0.47	84	99	0
4		1.02	1.79	0.57	87	109	0
5		1.14	1.69	0.67	90	118	0
6		1.25	1.59	0.79	93	129	0
7		1.37	1.48	0.92	96	132	0
8		1.45	1.41	1.03	99	146	0
9*		1.52	1.36	1.12	89	150	5
10*		1.57	1.31	1.21	85	153	15

* 比較例

【0080】

表2を参照すると、 A_i / A_o が0.40未満の試料1は、インダクタンス容量が小さく、 A_i / A_o が1.03超過の試料9及び10は、DC抵抗 (R_{dc}) が増加する。特に、試料9及び10は、電極露出によるデラミネーション (Delamination) 不良が発生した。本発明の実施例である試料2から8は、十分なインダクタンス容量を確保することができ、デラミネーションは発生しない。

【0081】

【表3】

試料 NO	サイズ (size)	A_i/A_e	A_e/A_t	Fl/L	インダクタンス (目標インダクタンス 対比) (%)	R_{dc} ($m\Omega$)	許容 電流 (mA)	Delaminationの 発生頻度 (個数/100)
11*	2016	4.80	0.09	0.78	106	154	260	0
12		3.48	0.13	0.76	105	135	256	0
13		1.79	0.22	0.70	101	101	241	0
14		1.00	0.33	0.64	95	71	227	0
15		0.57	0.46	0.55	92	54	217	0
16		0.42	0.54	0.50	88	49	211	0
17		0.24	0.67	0.43	83	41	198	0
18		0.14	0.78	0.36	81	34	191	0
19*		0.10	0.83	0.33	77	31	189	25

* 比較例

【0082】

表3を参照すると、 A_e / A_t が増加することにより、上記コイルパターンの内部に形成される面積に対するコイルパターンの面積 A_i / A_e 及び長さ方向におけるコイルパタ

ーの内部長さに対する外部電極を含む積層チップインダクタの長さ方向の長さ $F L / L$ が減少することが分かる。

【 0 0 8 3 】

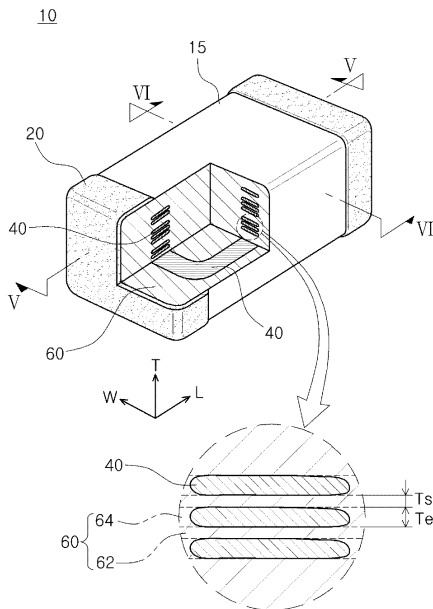
また、 $A e / A t$ が 0 . 1 3 未 満 の 試 料 1 1 は、D C 抵 抗 ($R d c$) が 増 加 し、回 路 上 オ ー プ ン (o p e n) が 発 生 し た。な お、 $A e / A t$ が 0 . 7 8 超 過 の 試 料 1 9 は、電 極 が 占 め る 面 積 が 大 き す ぎ て コ イ ル の 内 部 及 び 外 部 の 面 積 が 非 常 に 減 少 す る よ う に な る た め、こ れ に よ り、容 量 が 低 化 し、デ ラ ミ ネ ー シ ョ ン 不 良 が 発 生 し た。

【 符 号 の 説 明 】

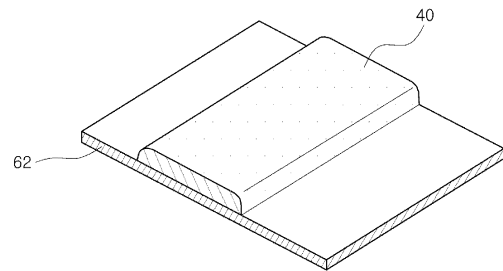
【 0 0 8 4 】

- 1 0 積 層 チ ッ プ イ ン ダ ク タ
- 2 0 外 部 電 極
- 4 0 導 電 パ タ ー ン
- 6 0 磁 性 体 層

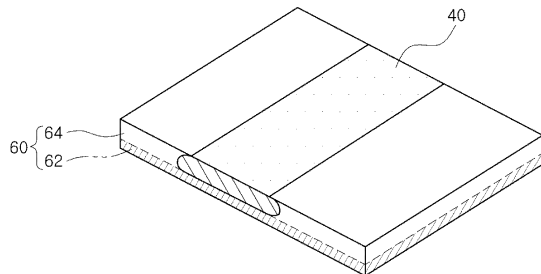
【 図 1 】



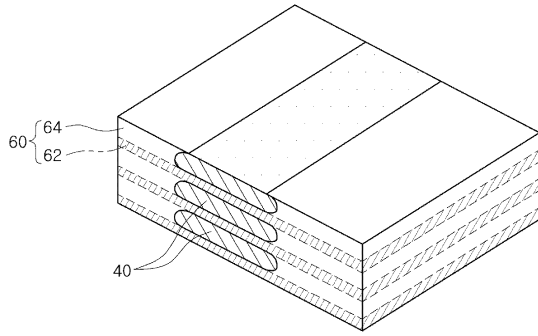
【 図 2 a 】



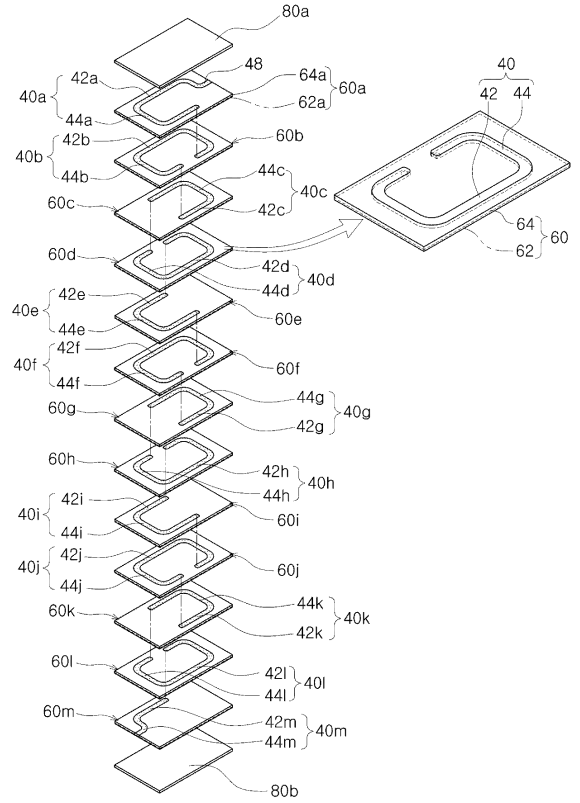
【 図 2 b 】



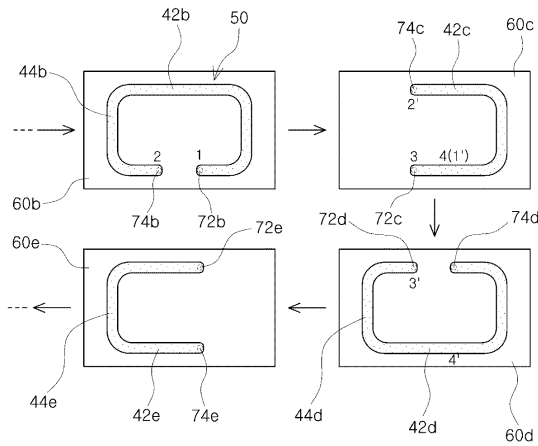
【図 2 c】



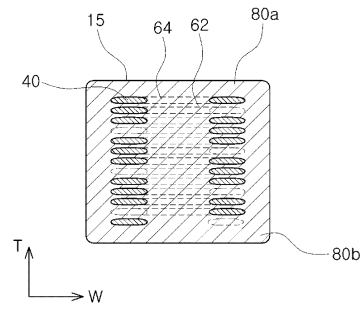
【図 3】



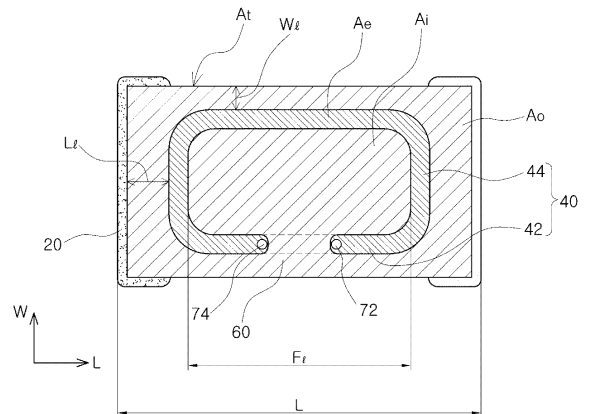
【図 4】



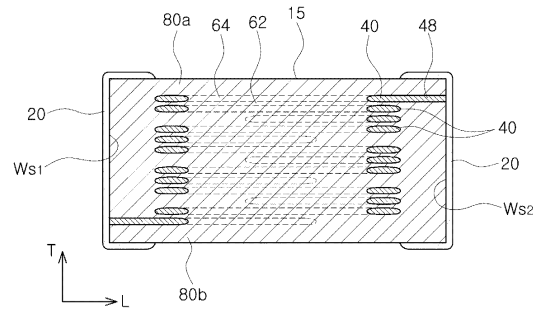
【図 6】



【図 7】



【図 5】



フロントページの続き

- (72)発明者 ソン・ソ・ヨン
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 314、サムソン エレクトロ - メカニクス カンパニーリミテッド
- (72)発明者 アン・スン・ヨン
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 314、サムソン エレクトロ - メカニクス カンパニーリミテッド
- (72)発明者 ムン・ビョン・チョル
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 314、サムソン エレクトロ - メカニクス カンパニーリミテッド
- (72)発明者 ソン・ソ・ファン
大韓民国、キョンギ - ド、スウォン、ヨントン - グ、マエタン 3 - ドン 314、サムソン エレクトロ - メカニクス カンパニーリミテッド

審査官 右田 勝則

- (56)参考文献 特開2003 - 017327 (JP, A)
特開2006 - 032430 (JP, A)
国際公開第2009 / 081984 (WO, A1)
特開2010 - 192889 (JP, A)
特開2008 - 130970 (JP, A)
特開平10 - 335143 (JP, A)
特開2001 - 230119 (JP, A)
特開2004 - 014549 (JP, A)
特開2009 - 290121 (JP, A)
国際公開第2007 / 088914 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)
H01F 17 / 00