

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 26 日(26.11.2015)



(10) 国際公開番号

WO 2015/178271 A1

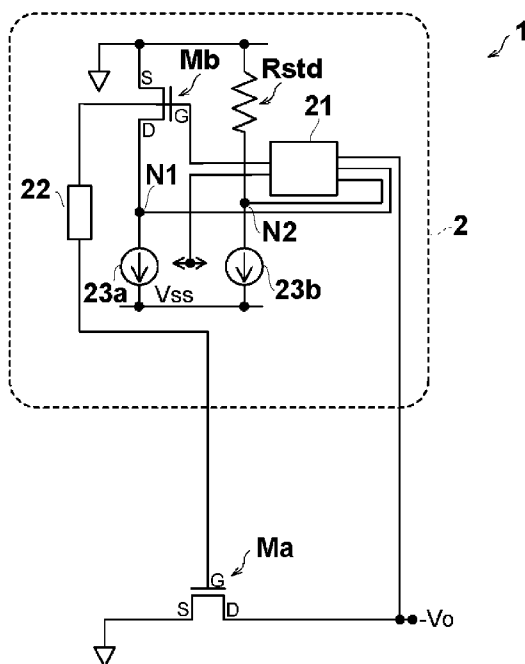
- (51) 国際特許分類:
H03F 3/45 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H03H 11/46 (2006.01)
- (21) 国際出願番号: PCT/JP2015/063763
- (22) 国際出願日: 2015 年 5 月 13 日(13.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-105281 2014 年 5 月 21 日(21.05.2014) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 高▲瀬▼ 恭英(TAKASE, Yasuhide); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 川本 学, 外(KAWAMOTO, Manabu et al.); 〒1120002 東京都文京区小石川 2-1-2 山京ビル 3 階 欧和特許事務所 東京事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: DUMMY LOAD CIRCUIT AND CHARGE DETECTION CIRCUIT

(54) 発明の名称: 擬似抵抗回路及び電荷検出回路

FIG. 1



(57) Abstract: This dummy load circuit (1) is provided with: a first gate voltage adjustment circuit (21) that adjusts the gate voltage of a second field effect transistor (Mb) and adjusts the current of a first and second current source (23a, 23b) in a manner such that the drain voltage of the second field effect transistor (Mb) and the voltage at the other end of a standard resistor (Rstd) are equal and the drain voltage of a first field effect transistor (Ma) and the drain voltage of the second field effect transistor (Mb) maintain a certain relationship; and a second gate voltage adjustment circuit (22) that adjusts the gate voltage of the second field effect transistor (Mb) and the gate voltage of the first field effect transistor (Ma) in a manner so as to maintain a certain relationship.

(57) 要約: 擬似抵抗回路 (1) は、第 2 の電界効果トランジスタ (Mb) のドレイン電圧と基準抵抗素子 (Rstd) の他方の端部の電圧とを等しくさせ、かつ、第 1 の電界効果トランジスタ (Ma) のドレイン電圧と第 2 の電界効果トランジスタ (Mb) のドレイン電圧とを一定の関係を保たせるように、第 1 及び第 2 の電流源 (23a)、(23b) の電流を調整すると共に、第 2 の電界効果トランジスタ (Mb) のゲート電圧を調整する第 1 のゲート電圧調整回路 (21) と、第 2 の電界効果トランジスタ (Mb) のゲート電圧と第 1 の電界効果トランジスタ (Ma) のゲート電圧とを一定の関係に保たせるようにそれを調整する第 2 のゲート電圧調整回路 (22) と、を備える。

WO 2015/178271 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 擬似抵抗回路及び電荷検出回路

技術分野

[0001] 本発明は、擬似抵抗回路及び電荷検出回路に関し、特に、弱反転領域で使用されるMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を備えた擬似抵抗回路及びそれを用いた電荷検出回路に関する。

背景技術

[0002] 近年、絶縁体の圧電素子を用いた歪ゲージや加速度センサ等の電荷発生型のセンサである電荷出力センサが用いられるようになってきている。かかる電荷出力センサでは、微小な電荷を検出しているため、その検出信号を増幅するための増幅回路が必要となっている。

[0003] また、近年、半導体デバイス中では、その高機能・高集積化に伴い、ギガオームのオーダーの抵抗値を呈する抵抗素子が必要となっている。

[0004] かかる状況下で、特許文献1は、検出装置、センサ及び電子機器に関し、非反転入力端子が接地された演算増幅器と、演算増幅器の出力端子と反転入力端子との間に並列に電氣的に接続された抵抗素子及びコンデンサと、を備える増幅回路を開示する。

[0005] また、特許文献2は、マイクロ電子集積回路用のギガオーム負荷抵抗に関し、MOSFETを弱反転領域で使用して、高抵抗素子を得ることを開示する。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-224230号公報

特許文献2：国際公開第95/25349号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、本発明者の検討によれば、電荷検出回路においては、電荷出力センサからの検出信号の周波数範囲が低周波数領域にまで及ぶ場合も多く、かかる場合には、抵抗素子の抵抗値（帰還抵抗）とコンデンサの容量（帰還容量）とによって決まる遮断周波数を下げるために、少なくとも数十MΩ以上の高抵抗素子を搭載する必要がある。

[0008] ここで、特許文献1が開示する構成では、数十MΩ以上の高抵抗素子を搭載しようとする、回路構成自体が大型化してしまう。また、それを小型化・集積化する具体的な構成については、何等の開示や示唆がなされていない。

[0009] 一方で、特許文献2が開示する構成では、MOSFETを弱反転領域で使用して、高抵抗素子を得ることを開示しているが、それをどのように電荷検出回路に適用するかという具体的な構成については、何等の開示や示唆がなされていない。

[0010] 更に、本発明者の検討によれば、MOSFETの弱反転領域におけるMOSFETの抵抗値は、MOSFETの酸化膜容量、及び閾値電圧や温度等の要因に応じて指数的に変動するものであるため、MOSFETの一連の製造工程のばらつき、及び電源電圧、温度の変化に対して非常に敏感である。また、かかる弱反転領域におけるMOSFETの抵抗値は、ゲート電圧だけでなく、ドレイン電圧、ソース電圧の変動に応じても指数的に変動するものでもある。

[0011] よって、MOSFETを弱反転領域で動作させて、擬似抵抗素子として電荷検出回路に適用した場合には、MOSFETの抵抗値、つまり擬似抵抗値を調整するためにゲート電圧の調整回路が別途必要になると共に、MOSFETのドレイン－ソース間電圧が変化した際に擬似抵抗値も変動してしまうため、抵抗素子としての非線形性が強く、電源電圧の変動等に伴ってその出力信号に波形歪みが生じることが考えられる。

[0012] つまり、現状では、電界効果トランジスタの擬似抵抗値を、製造工程のばらつき、及び電源電圧、温度の変化に応じて調整する付加的な調整回路を設

ける必要性を排すると共に、電界効果トランジスタの電源電圧の変動に起因する波形歪みを低減可能な新規な構成の擬似抵抗回路及びそれを用いた電荷検出回路が待望された状況にある。

[0013] 本発明は、以上の検討を経てなされたものであり、電界効果トランジスタの擬似抵抗値を調整する付加的な調整回路を設ける必要性を排すると共に、電界効果トランジスタの電源電圧の変動に起因する波形歪みを低減可能な擬似抵抗回路及びそれを用いた電荷検出回路を提供することを目的とする。

課題を解決するための手段

[0014] 以上の目的を達成するべく、本発明は、第1の電流源と、第2の電流源と、弱反転領域で動作する第1の電界効果トランジスタと、前記第1の電界効果トランジスタの電気的特性とマッチングされた電気的特性を有し、ソース端子が基準電圧端子に電気的に接続され、ドレイン端子が前記第1の電流源に電気的に接続された第2の電界効果トランジスタと、一方の端部が前記基準電圧端子に電気的に接続され、他方の端部が前記第2の電流源に電気的に接続された基準抵抗素子と、前記第2の電界効果トランジスタのドレイン電圧と前記基準抵抗素子の前記他方の端部の電圧とを等しくさせ、かつ、前記第1の電界効果トランジスタのドレイン電圧と前記第2の電界効果トランジスタの前記ドレイン電圧とを一定の関係に保たせるように、前記第1の電流源の電流及び前記第2の電流源の電流を調整すると共に、前記第2の電界効果トランジスタのゲート電圧を調整する第1のゲート電圧調整回路と、前記第1の電界効果トランジスタのゲート電圧と前記第2の電界効果トランジスタの前記ゲート電圧とを一定の関係に保たせるように、前記第1の電界効果トランジスタの前記ゲート電圧を調整する第2のゲート電圧調整回路と、を備えた擬似抵抗回路であることを第1の局面とする。

[0015] かかる第1の局面の構成においては、第1のゲート電圧調整回路が、第2の電界効果トランジスタのドレイン電圧と基準抵抗素子の他方の端部の電圧とを等しくさせ、かつ、第1の電界効果トランジスタのドレイン電圧と第2の電界効果トランジスタのドレイン電圧とを一定の関係に保たせるように、

第1の電流源の電流及び第2の電流源の電流を調整すると共に、第2の電界効果トランジスタのゲート電圧を調整しながら、第2のゲート電圧調整回路が、第1の電界効果トランジスタのゲート電圧と第2の電界効果トランジスタのゲート電圧とを一定の関係に保たせるように、第1の電界効果トランジスタのゲート電圧を調整することによって、第1の電界効果トランジスタの疑似抵抗値が、所定値に安定する。

[0016] また、本発明は、かかる第1の局面に加えて、前記第1のゲート電圧調整回路は、前記第1の電界効果トランジスタの前記ドレイン電圧と前記第2の電界効果トランジスタの前記ドレイン電圧及び前記基準抵抗素子の前記他方の端部の前記電圧とに一定の電位差を与えるための第1の電圧源を備えることを第2の局面とする。

[0017] かかる第2の局面の構成においては、第1の電圧源が、第1の電界効果トランジスタのドレイン電圧と第2の電界効果トランジスタのドレイン電圧及び基準抵抗素子の他方の端部の電圧とに一定の電位差を与えることによって、第1の電界効果トランジスタのドレイン電圧が正負に変動するような場合であってもその変動の影響を排して、第1の電界効果トランジスタの疑似抵抗値が、所定値に安定して維持される。

[0018] また、本発明は、かかる第2の局面に加えて、前記第2のゲート電圧調整回路は、前記第1の電界効果トランジスタの前記ゲート電圧と前記第2の電界効果トランジスタの前記ゲート電圧とに一定の電位差を与えるための第2の電圧源を備えることを第3の局面とする。

[0019] かかる第3の局面の構成においては、第1の電界効果トランジスタのゲート端子と第2の電界効果トランジスタのゲート端子とを電氣的に接続する電気配線に所定の電圧の第2の電圧源を設けることにより、その電圧を利用して、第1の電界効果トランジスタのゲート電圧を典型的には低下させるように調整して、第1の電界効果トランジスタの疑似抵抗値を典型的にはより大きな値へと調整自在とする。

[0020] また、本発明は、かかる第3の局面に加えて、前記第1の電圧源及び前記

第2の電圧源は、各々、P T A T電流源と抵抗素子とを備えることを第4の局面とする。

[0021] かかる第4の局面の構成においては、第1の電圧源及び第2の電圧源が、P T A T電流源と抵抗素子とを備えるフローティング電圧源であることにより、第1の電界効果トランジスタの疑似抵抗値におけるドレイン電圧の影響による温度依存性を相殺することで、第1の電界効果トランジスタの疑似抵抗値を調整自在とし、かつその温度依存性を低減する。

[0022] また、本発明は、かかる第1から第4の局面のいずれかに加えて、前記第1のゲート電圧調整回路は、第1の演算増幅器及び第2の演算増幅器を備え、前記第1の演算増幅器の2つの入力端子には、前記第1の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記基準抵抗素子の前記他方の端子の前記電圧が対応して入力され、前記第1の演算増幅器の出力端子は、前記第1の電流源及び前記第2の電流源の各々の電流供給動作を制御するための電圧を前記第1の電流源及び前記第2の電流源に各々入力し、前記第2の演算増幅器の2つの入力端子には、前記基準抵抗素子の前記他方の端子の前記電圧及び前記第2の電界効果トランジスタの前記ドレイン電圧が対応して入力され、前記第2の演算増幅器の出力端子は、前記第2の電界効果トランジスタの前記ゲート端子に前記ゲート電圧を入力することを第5の局面とする。

[0023] かかる第5の局面の構成においては、第1の演算増幅器が、第1の電流源及び第2の電流源の各々の電流供給動作を制御しながら、第2の演算増幅器が、負帰還動作をすることによって、第1の電界効果トランジスタの疑似抵抗値が、所定値に安定する。

[0024] また、本発明は、かかる第1から第4の局面のいずれかに加えて、前記第1のゲート電圧調整回路は、第1の演算増幅器及び第2の演算増幅器を備え、前記第1の演算増幅器の2つの入力端子には、前記第1の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記基準抵抗素子の前記他方の端子の前記電圧が対応して入力され、前記第1の演算増幅器の出

力端子は、前記第 1 の電流源及び前記第 2 の電流源の各々の電流供給動作を制御するための電圧を前記第 1 の電流源及び前記第 2 の電流源に各々入力し、前記第 2 の演算増幅器の 2 つの入力端子には、前記第 1 の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記第 2 の電界効果トランジスタの前記ドレイン電圧が対応して入力され、前記第 2 の演算増幅器の出力端子は、前記第 2 の電界効果トランジスタの前記ゲート端子に前記ゲート電圧を入力することを第 6 の局面とする。

[0025] かかる第 6 の局面の構成においては、第 1 の演算増幅器が、前記第 1 の電流源及び前記第 2 の電流源の各々の電流供給動作を制御しながら、第 2 の演算増幅器が、負帰還動作をすることによって、第 1 の電界効果トランジスタの疑似抵抗値が、所定値に安定する。

[0026] また、本発明は、第 1 から第 6 のいずれかの局面に記載の前記疑似抵抗回路と、前記第 1 の電界効果トランジスタの前記ソース端子に電氣的に接続された反転入力端子、基準電圧が入力される非反転入力端子、及び前記第 1 の電界効果トランジスタの前記ドレイン端子に電氣的に接続された出力端子を有する第 3 の演算増幅器と、前記第 3 の演算増幅器の前記反転入力端子と前記第 3 の演算増幅器の前記出力端子との間、及び前記第 1 の電界効果トランジスタの前記ソース端子と前記第 1 の電界効果トランジスタの前記ドレイン端子との間に電氣的に接続されたコンデンサと、を備えた電荷検出回路であることを第 7 の局面とする。

[0027] かかる第 7 の局面の構成においては、第 1 から第 6 の局面のいずれかに記載の疑似抵抗回路の動作と相まって、電荷検出回路の出力信号には、疑似抵抗回路の非線形性に起因する波形歪みが低減される。また、第 1 の電界効果トランジスタの疑似抵抗値は、相対的に大きな値を呈するので、電荷出力センサからの低周波数領域の検出信号も、第 3 の演算増幅器で確実に増幅されて、電荷検出回路から出力される。

発明の効果

[0028] 以上の本発明の第 1 の局面における疑似抵抗回路によれば、弱反転領域で

動作する第1の電界効果トランジスタと、第1の電界効果トランジスタの電気的特性とマッチングされた電気的特性を有し、ソース端子が基準電圧端子に電氣的に接続され、ドレイン端子が第1の電流源に電氣的に接続された第2の電界効果トランジスタと、一方の端部が基準電圧端子に電氣的に接続され、他方の端部が第2の電流源に電氣的に接続された基準抵抗素子と、第2の電界効果トランジスタのドレイン電圧と基準抵抗素子の他方の端部の電圧とを等しくさせ、かつ、第1の電界効果トランジスタのドレイン電圧と第2の電界効果トランジスタのドレイン電圧とを一定の関係に保たせるように、第1の電流源の電流及び第2の電流源の電流を調整すると共に、第2の電界効果トランジスタのゲート電圧を調整する第1のゲート電圧調整回路と、第1の電界効果トランジスタのゲート電圧と第2の電界効果トランジスタのゲート電圧とを一定の関係に保たせるように、第1の電界効果トランジスタのゲート電圧を調整する第2のゲート電圧調整回路と、を備えることにより、第1の電界効果トランジスタの擬似抵抗値を個別に調整する付加的な調整回路を設ける必要性を排することができると共に、第1の電界効果トランジスタの擬似抵抗値を所定値に安定させることができる。

[0029] また、本発明の第2の局面における擬似抵抗回路によれば、第1の電圧源が、第1の電界効果トランジスタのドレイン電圧と第2の電界効果トランジスタのドレイン電圧及び基準抵抗素子の他方の端部の電圧とに一定の電位差を与えることにより、第1の電界効果トランジスタのドレイン電圧が正負に変動しても、第1の電界効果トランジスタの擬似抵抗値を所定値に安定して維持することができる。

[0030] また、本発明の第3の局面における擬似抵抗回路によれば、第1の電界効果トランジスタのゲート端子と第2の電界効果トランジスタのゲート端子とを電氣的に接続する電気配線に所定の電圧の第2の電圧源を設けることにより、第2の電圧源を利用して第1の電界効果トランジスタの擬似抵抗値を調整することができる。

[0031] また、本発明の第4の局面における擬似抵抗回路によれば、第1の電圧源

及び第2の電圧源が、P T A T電流源と抵抗素子とを備えるフローティング電圧源であることにより、第1の電界効果トランジスタの疑似抵抗値における温度依存性を相殺することで、第1の電界効果トランジスタの疑似抵抗値を調整自在とし、かつその温度依存性を低減することができる。

[0032] また、本発明の第5の局面における擬似抵抗回路によれば、第1の演算増幅器の2つの入力端子には、第1の電界効果トランジスタのドレイン電圧と一定の関係を保つ電圧及び基準抵抗素子の他方の端子の電圧が対応して入力され、第1の演算増幅器の出力端子が、第1の電流源及び第2の電流源の各々の電流供給動作を制御するための電圧を第1の電流源及び第2の電流源に各々入力し、第2の演算増幅器の2つの入力端子には、基準抵抗素子の他方の端子の電圧及び第2の電界効果トランジスタのドレイン電圧が対応して入力され、第2の演算増幅器の出力端子が、第2の電界効果トランジスタのゲート端子にゲート電圧を入力することにより、第1の演算増幅器が、第1の電流源及び第2の電流源の各々の電流供給動作を制御しながら、第2の演算増幅器が、負帰還動作をするものであるため、第1の電界効果トランジスタの疑似抵抗値を所定値に安定させることができる。

[0033] また、本発明の第6の局面における擬似抵抗回路によれば、第1の演算増幅器の2つの入力端子には、第1の電界効果トランジスタのドレイン電圧と一定の関係を保つ電圧及び基準抵抗素子の他方の端子の電圧が対応して入力され、第1の演算増幅器の出力端子が、第1の電流源及び第2の電流源の各々の電流供給動作を制御するための電圧を第1の電流源及び第2の電流源に各々入力し、第2の演算増幅器の2つの入力端子には、第1の電界効果トランジスタのドレイン電圧と一定の関係を保つ電圧及び第2の電界効果トランジスタのドレイン電圧が対応して入力され、第2の演算増幅器の出力端子が、第2の電界効果トランジスタのゲート端子にゲート電圧を入力することにより、第1のゲート電圧調整回路が、第1の演算増幅器及び第2の演算増幅器を備え、第1の演算増幅器が、第1の電流源及び第2の電流源の各々の電流供給動作を制御しながら、第2の演算増幅器が、負帰還動作をするもので

あるため、第 1 の電界効果トランジスタの疑似抵抗値を所定値に安定させることができる。

[0034] また、本発明の第 7 の局面における電荷検出回路によれば、第 1 から第 6 の局面のいずれかに記載の疑似抵抗回路と、第 1 の電界効果トランジスタのソース端子に電氣的に接続された反転入力端子、基準電圧が入力される非反転入力端子、及び第 1 の電界効果トランジスタのドレイン端子に電氣的に接続された出力端子を有する第 3 の演算増幅器と、第 3 の演算増幅器の反転入力端子と第 3 の演算増幅器の出力端子との間、及び第 1 の電界効果トランジスタのソース端子と第 1 の電界効果トランジスタのドレイン端子との間に電氣的に接続されたコンデンサとを備えることにより、第 1 から第 4 のいずれかに記載の疑似抵抗回路の効果と相まって、疑似抵抗値の非線形性に起因する波形歪みが低減された電荷検出回路の出力信号を得ることができる。また、第 1 の電界効果トランジスタの疑似抵抗値は、相対的に大きな値を呈することができるので、電荷出力センサからの低周波数領域の検出信号も、第 3 の演算増幅器で確実に増幅して、電荷検出回路から出力することができる。更に、このように疑似抵抗回路を含む電荷検出回路では、容易に集積化することができる。

図面の簡単な説明

[0035] [図1]図 1 は、本発明の実施形態における疑似抵抗回路の構成を示す回路図である。

[図2]図 2 は、図 1 に示す疑似抵抗回路の具体例 1 の構成を示す回路図である。

[図3]図 3 は、図 2 に示す疑似抵抗回路の具体例 1 の構成を適用した電荷検出回路の構成を示す回路図である。

[図4]図 4 は、図 1 に示す疑似抵抗回路の具体例 2 の構成を示す回路図である。

[図5]図 5 は、図 4 に示す疑似抵抗回路の具体例 2 の構成を適用した電荷検出回路の構成を示す回路図である。

[図6]図6は、図1に示す擬似抵抗回路の具体例3の構成を示す回路図である。

[図7]図7は、図6に示す擬似抵抗回路の具体例3の構成を適用した電荷検出回路の構成を示す回路図である。

[図8]図8は、図1に示す擬似抵抗回路の具体例4の構成を示す回路図である。

[図9]図9は、図8に示す擬似抵抗回路の具体例4の構成を適用した電荷検出回路の構成を示す回路図である。

[図10]図10は、図1に示す擬似抵抗回路の具体例5の構成を示す回路図である。

[図11]図11は、図10に示す擬似抵抗回路の具体例5の構成を適用した電荷検出回路の構成を示す回路図である。

[図12]図12は、図1に示す擬似抵抗回路の具体例6の構成を示す回路図である。

[図13]図13は、図12に示す擬似抵抗回路の具体例6の構成を適用した電荷検出回路の構成を示す回路図である。

発明を実施するための形態

[0036] 以下、図面を適宜参照して、本発明の実施形態における擬似抵抗回路及びそれを用いた電荷検出回路につき、詳細に説明する。

[0037] [擬似抵抗回路の構成]

まず、図1を参照して、本実施形態における擬似抵抗回路1の構成につき、詳細に説明する。

[0038] 図1は、本実施形態における擬似抵抗回路の構成を示す回路図である。

[0039] 図1に示すように、本実施形態における擬似抵抗回路1は、第1の電界効果トランジスタ M_a と、第1の電界効果トランジスタ M_a の抵抗値の変動に起因する波形歪みを低減する歪補償バイアス源2と、を備えている。

[0040] 第1の電界効果トランジスタ M_a は、典型的には、MOSFETであり、 n 型のMOSFETによって構成されているものとする。第1の電界効果ト

ランジスタM aは、弱反転領域で動作させることによって擬似抵抗素子として機能する。つまり、第1の電界効果ランジスタM aの抵抗値は、その弱反転領域における擬似抵抗値である。

[0041] ここで、第1の電界効果ランジスタM aのソース端子Sは、接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。第1の電界効果ランジスタM aのドレイン端子Dは、その電圧が負のドレイン電圧V_oである端子であり、詳細は後述する歪補償バイアス源2における第1のゲート電圧調整回路21に電氣的に接続されている。また、第1の電界効果ランジスタM aのゲート端子Gは、詳細は後述する歪補償バイアス源2における第2のゲート電圧調整回路22に電氣的に接続されている。

[0042] 歪補償バイアス源2は、第2の電界効果ランジスタM bと、基準抵抗素子R_{s t d}と、第1のゲート電圧調整回路21と、第2のゲート電圧調整回路22と、第1の電流源23 aと、第2の電流源23 bと、を備えている。

[0043] 第2の電界効果ランジスタM bの電氣的特性は、第1の電界効果ランジスタM aの電氣的特性とマッチングされている。つまり、本実施形態においては、第2の電界効果ランジスタM bは、典型的には、第1の電界効果ランジスタM aと同一ウェハ上で一連の同一工程により同じ物性的構成のものとして作製されたものである。すなわち、第2の電界効果ランジスタM bは、第1の電界効果ランジスタM aと同一の極性を有し、典型的には、MOSFETであり、n型のMOSFETによって構成されているものとする。また、第2の電界効果ランジスタM bは、第1の電界効果ランジスタM aと同様に、弱反転領域で動作されるものであり、第2の電界効果ランジスタM bの抵抗値は、その弱反転領域における擬似抵抗値である。

[0044] ここで、第2の電界効果ランジスタM bのソース端子Sは、接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。第2の電界効果ランジスタM bのドレイン端子Dは、第1のゲート電圧調整回路21及び第1の電流源23 aに電氣的に接続されている。また、第2の電界効果ランジスタM bのゲート端子Gは、第1のゲート電圧調整回路21及び第2

のゲート電圧調整回路 2 2 に電氣的に接続されている。

[0045] 基準抵抗素子 R_{std} の一方の端部は、接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されていると共に、基準抵抗素子 R_{std} の他方の端部は、第 1 のゲート電圧調整回路 2 1 及び第 2 の電流源 2 3 b に電氣的に接続されている。

[0046] 第 1 のゲート電圧調整回路 2 1 は、第 2 の電界効果トランジスタ M_b のドレイン電圧と基準抵抗素子 R_{std} の他方の端部の電圧とを等しくさせ、かつ、第 1 の電界効果トランジスタ M_a のドレイン電圧と第 2 の電界効果トランジスタ M_b のドレイン電圧とを一定の関係に保たせるように、第 1 の電流源 2 3 a の電流及び第 2 の電流源 2 3 b 電流を調整すると共に、第 2 の電界効果トランジスタ M_b のゲート電圧を調整する。ここで、第 1 の電界効果トランジスタ M_a のドレイン電圧と第 2 の電界効果トランジスタ M_b のドレイン電圧及び基準抵抗素子 R_{std} の他方の端部の電圧とを一定の関係に保たせることには、それらを等しくさせることを含む。

[0047] 第 2 のゲート電圧調整回路 2 2 は、第 1 の電界効果トランジスタ M_a のゲート電圧と第 2 の電界効果トランジスタ M_b のゲート電圧とを一定の関係に保たせるように、第 1 の電界効果トランジスタ M_a のゲート電圧を調整する。ここで、第 1 の電界効果トランジスタ M_a のゲート電圧と第 2 の電界効果トランジスタ M_b のゲート電圧とを一定の関係に保たせることには、それらを等しくさせることを含む。

[0048] ここで、図中、第 2 の電界効果トランジスタ M_b のドレイン端子 D、第 1 のゲート電圧調整回路 2 1、及び第 1 の電流源 2 3 a を電氣的に接続する電気配線上の部位をノード N 1 で示す。また、基準抵抗素子 R_{std} の他方の端部、第 1 のゲート電圧調整回路 2 1、及び第 2 の電流源 2 3 b を電氣的に接続する電気配線上の部位をノード N 2 で示す。

[0049] 〔擬似抵抗回路の動作〕

次に、以上の構成を有する擬似抵抗回路 1 の動作につき、詳細に説明する。

[0050] 以上の構成を有する擬似抵抗回路 1 において、第 1 の電界効果トランジスタ M a のゲート端子 G の電圧及び第 2 の電界効果トランジスタ M b のゲート端子 G の電圧が、所定値よりも高い、つまり、これらの擬似抵抗値が所定値よりも小さくなっている場合において、かかる擬似抵抗回路 1 の動作について検討する。

[0051] かかる条件下では、第 1 のゲート電圧調整回路 2 1 は、ノード N 1 の電圧とノード N 2 の電圧とを等しくさせ、かつ、第 1 の電界効果トランジスタ M a のドレイン電圧と第 2 の電界効果トランジスタ M b のドレイン電圧とを一定の関係に保せることにより、第 1 の電流源 2 3 a 及び第 2 の電流源 2 3 b を介して、第 2 の電界効果トランジスタ M b のゲート電圧を調整する。また、第 2 のゲート電圧調整回路 2 2 は、第 1 の電界効果トランジスタ M a のゲート電圧と第 2 の電界効果トランジスタ M b のゲート電圧とを一定の関係に保たせるように、第 1 の電界効果トランジスタ M a のゲート電圧を調整する。その結果、第 1 の電界効果トランジスタ M a のゲート電圧は所定値に安定していくことになる。よって、以上の構成を有する擬似抵抗回路 1 においては、第 1 の電界効果トランジスタ M a の擬似抵抗値が、所定値に安定的に維持されることになる。

[0052] なお、以上の構成の擬似抵抗回路 1 は、詳細は後述する各具体例における電荷検出回路に適用できることはもちろんである。

[0053] 以下、以上の構成を有する擬似抵抗回路 1 及びそれを用いた電荷検出回路の各具体例につき、図面を参照して、詳細に説明する。

[0054] 〔具体例 1 〕

最初に、図 1 に示す擬似抵抗回路 1 及びそれを用いた電荷検出回路の具体例 1 につき、図 2 及び図 3 を参照して、詳細に説明する。

[0055] 図 2 は、本具体例における擬似抵抗回路の構成を示す回路図である。

[0056] 〔擬似抵抗回路の構成〕

まず、図 2 を参照して、本実施形態における擬似抵抗回路 1 0 の構成及び動作につき、詳細に説明する。

[0057] 図2に示すように、本具体例における擬似抵抗回路10では、図1に示す第1のゲート電圧調整回路21が、第1の演算増幅器OP1、第2の演算増幅器OP2、及び第1の演算増幅器OP1と第1の電界効果トランジスタMaのドレイン端子Dとを電氣的に接続する電気配線によって具体的に構成され、図1に示す第2のゲート電圧調整回路22が、第1の電界効果トランジスタMaのゲート端子Gと第2の電界効果トランジスタMbのゲート端子Gとを電氣的に接続する電気配線のみによって具体的に構成され、更に、図1に示す第1の電流源23a及び第2の電流源23bが、各々、電界効果トランジスタによって具体的に構成されていることが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる具体化された相違点に着目して説明することとし、同一な構成については、同じ符号を用い、その説明を簡略化又は省略するものとする。なお、第1の電流源23a及び第2の電流源23bを各々構成する電界効果トランジスタは、強反転領域で動作されるものとする。

[0058] ここで、第1の演算増幅器OP1の非反転入力端子(+)は、基準抵抗素子Rstdの他方の端部、第2の演算増幅器OP2の非反転入力端子(+)、及び第2の電流源23bを構成する電界効果トランジスタのソース端子Sに電氣的に接続されている。第1の演算増幅器OP1の反転入力端子(-)は、第1の電界効果トランジスタMaのドレイン端子Dに電気配線のみによって電氣的に接続されている。つまり、本具体例では、第1の電界効果トランジスタMaのドレイン電圧と第2の電界効果トランジスタMbのドレイン電圧とは、等しく保たされることになる。また、第1の演算増幅器OP1の出力端子は、第1の電流源23a、第2の電流源23bを各々構成する2つの電界効果トランジスタのゲート端子Gに電氣的に接続されている。

[0059] 第2の演算増幅器OP2の非反転入力端子(+)は、基準抵抗素子Rstdの他方の端部、第1の演算増幅器OP1の非反転入力端子(+)、及び第2の電流源23bを構成する電界効果トランジスタのドレイン端子Dに電氣的に接続されている。第2の演算増幅器OP2の反転入力端子(-)は、第

2の電界効果トランジスタM_bのドレイン端子D及び第1の電流源23aを構成する電界効果トランジスタのドレイン端子Dに電氣的に接続されている。また、第2の演算増幅器OP2の出力端子は、第2の電界効果トランジスタM_bのゲート端子Gに電氣的に接続されている。

[0060] 第1の電流源23a及び第2の電流源23bを構成する2つの電界効果トランジスタのソース端子Sは、電源V_{ss}に各々電氣的に接続される。なお、第1の電流源23a及び第2の電流源23bは、バイポーラトランジスタによって構成されてもよい。

[0061] 第1の電界効果トランジスタM_aのゲート端子Gと第2の電界効果トランジスタM_bのゲート端子Gとは、電気配線のみによって電氣的に接続されている。つまり、本具体例では、これらのゲート電圧は等しく保たされることになる。

[0062] ここで、図中、第2の電界効果トランジスタM_bのドレイン端子D、第2の演算増幅器OP2の反転入力端子（－）、及び第1の電流源23aを電氣的に接続する電気配線上の部位をノードN1で示す。また、基準抵抗素子R_{std}の他方の端部、第1の演算増幅器OP1及び第2の演算増幅器OP2の非反転入力端子（＋）、及び第2の電流源23bを電氣的に接続する電気配線上の部位をノードN2で示す。

[0063] 〔擬似抵抗回路の動作〕

次に、以上の構成を有する擬似抵抗回路10の動作につき、詳細に説明する。

[0064] 以上の構成を有する擬似抵抗回路10において、第1の電界効果トランジスタM_aのゲート端子Gの電圧及び第2の電界効果トランジスタM_bのゲート端子Gの電圧が所定値よりも高い、つまり、これらの擬似抵抗値が所定値よりも小さくなっており、第1の電界効果トランジスタM_aのドレイン電圧V_oが負の電圧になっている場合において、かかる擬似抵抗回路10の動作について検討する。

[0065] かかる条件下では、第1の演算増幅器OP1の非反転入力端子（＋）には

基準抵抗素子 R_{std} の他方の端部の電圧、つまりノード N_2 の電圧が入力されると共に、第1の演算増幅器 OP_1 の反転入力端子（－）には負の電圧が入力される。このため、第1の演算増幅器 OP_1 の出力電圧が変化することによって、第1の電流源 $23a$ 及び第2の電流源 $23b$ を構成する電界効果トランジスタの各々のゲート電圧を介して、それらが流す電流が変化し、最終的に第1の演算増幅器 OP_1 の比反転入力端子（＋）の電圧と反転入力端子（－）の電圧とがほぼ等しい状態に収束する。これにより、第2の電界効果トランジスタ M_b 及び第1の電流源 $23a$ 、並びに基準抵抗素子 R_{std} 及び第2の電流源 $3b$ を各々介しながら、接地端子等の基準電圧を与える基準電圧端子と電源 V_{ss} の間に電流が流れて、ノード N_1 、 N_2 にこれに応じた電圧が発生する。この際、ノード N_1 の電圧は、第2の電界効果トランジスタ M_b のドレイン端子 D のドレイン電圧を反映した値となると共に、ノード N_2 の電圧は、基準抵抗素子 R_{std} の他方の端部の電圧を反映した値となる。

[0066] このとき、第2の電界効果トランジスタ OP_2 の反転入力端子（＋）にはノード N_2 の電圧が入力され、非反転入力端子（＋）にはノード N_1 の電圧が入力される。このため、ノード N_1 、 N_2 の各々の電圧の差に応じて第2の演算増幅器 OP_2 の出力電圧が低下することによって、第1の電界効果トランジスタ M_a 及び第2の電界効果トランジスタ $M_a M_b$ のゲート電圧が互いに同じだけ低下し、第1の電界効果トランジスタ M_a 及び第2の電界効果トランジスタ M_a の擬似抵抗値が増加する。

[0067] 更に、第2の演算増幅器 OP_2 により、引き続き負帰還がかかることによって、ノード N_1 、 N_2 の各々の電圧の差が減小していく。この結果、第2の電界効果トランジスタ M_b のゲート電圧が減小して所定値に安定していき、これに対応して第1の電界効果トランジスタ M_a のゲート電圧が減小して所定値に安定していく。

[0068] つまり、このように第2の演算増幅器 OP_2 の負帰還動作によって、第2の電界効果トランジスタ M_b の擬似抵抗値及び第1の電界効果トランジスタ

M a の擬似抵抗値が、共に、次第に大きくなっていき、最終的には所定値に安定することになる。

[0069] よって、以上の構成を有する擬似抵抗回路 10 においては、第 2 の電界効果トランジスタ M b のドレイン電圧と基準抵抗素子 R s t d の他方の端部の電圧とを等しくし、かつ、第 1 の電界効果トランジスタ M a のドレイン電圧と第 2 の電界効果トランジスタ M b のドレイン端子 D のドレイン電圧とを等しく保つように、第 2 の電界効果トランジスタ M b のゲート電圧を変化させて安定させ、第 1 の電界効果トランジスタ M a のゲート電圧と第 2 の電界効果トランジスタ M b のゲート電圧を等しく保たせることで、第 1 の電界効果トランジスタ M a の擬似抵抗値が所定値に安定的に維持されることになる。

[0070] 〔電荷検出回路の構成及び動作〕

次に、図 3 を参照して、以上の構成を有する擬似抵抗回路 10 が適用された電荷検出回路 100 の構成及び動作につき、詳細に説明する。

[0071] 図 3 は、具体例 1 における擬似抵抗回路 10 を適用した電荷検出回路 100 の構成を示す回路図である。

[0072] 図 3 に示すように、電荷検出回路 100 は、擬似抵抗回路 10 と、第 3 の演算増幅器 O P 3 と、コンデンサ C f と、を備えている。

[0073] ここで、第 3 の演算増幅器 O P 3 の非反転入力端子 (+) は、接地端子等の基準電圧端子に電氣的に接続されている。第 3 の演算増幅器 O P 3 の反転入力端子 (-) は、第 1 の電界効果トランジスタ M a のソース端子 S に電氣的に接続されている。また、第 3 の演算増幅器 O P 3 の出力端子は、第 1 の電界効果トランジスタ M a のドレイン端子 D に電氣的に接続されている。コンデンサ C f は、第 3 の演算増幅器 O P 3 の出力端子とその反転入力端子 (-) との間、及び第 1 の電界効果トランジスタ M a のソース端子 S とそのドレイン端子 D との間に、並列に電氣的に接続されている。

[0074] 以上の構成を有する電荷検出回路 100 では、図示を省略する電荷出力センサからの検出信号が、第 3 の演算増幅器 O P 3 の反転入力端子 (-) に入力されることによって、増幅された信号として出力される。

[0075] この際、擬似抵抗回路 10 によれば、第 1 の電界効果トランジスタ M a の擬似抵抗値が所定値に安定しているため、第 3 の演算増幅器 O P 3 の反転入力端子（－）から出力される電荷検出回路 100 の出力信号には、擬似抵抗値の非線形性に起因する波形歪みが低減される。また、第 1 の電界効果トランジスタ M a の擬似抵抗値は、相対的に大きな値を呈することができるので、電荷出力センサからの低周波数領域の検出信号も、第 3 の演算増幅器 O P 3 で確実に増幅されて、電荷検出回路 100 から出力される。更に、このように擬似抵抗回路 10 を含む電荷検出回路 100 では、集積化が容易である。

[0076] 〔具体例 2〕

次に、図 1 に示す擬似抵抗回路 1 及びそれを用いた電荷検出回路の具体例 2 につき、図面を参照して、詳細に説明する。

[0077] 図 4 は、本具体例における擬似抵抗回路の構成を示す回路図である。また、図 5 は、本具体例における擬似抵抗回路を適用した電荷検出回路の構成を示す回路図である。

[0078] 図 4 及び図 5 に示すように、本具体例における擬似抵抗回路 20 及び電荷検出回路 200 では、図 2 及び図 3 に示す第 1 の電界効果トランジスタ M a のドレイン端子 D と第 1 の演算増幅器 O P 1 の反転入力端子（－）とを結ぶ電気配線に、第 1 のゲート電圧調整回路 21 の構成要素として所定の電圧の直流電圧源 201 a が付加され、図 2 及び図 3 に示す第 1 の電界効果トランジスタ M a のゲート端子 G と第 2 の電界効果トランジスタ M b のゲート端子 G とを結ぶ電気配線に、第 2 のゲート電圧調整回路 22 の構成要素として所定の電圧の直流電圧源 201 b が付加されたことが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる相違点に着目して説明することとし、同一な構成については、同じ符号を用い、その説明を簡略化又は省略するものとする。

[0079] 〔擬似抵抗回路の構成及び動作〕

まず、図 4 を参照して、本具体例における擬似抵抗回路 20 の構成及び動

作につき、詳細に説明する。

[0080] 図4に示すように、本具体例における擬似抵抗回路20では、具体例1における擬似抵抗回路10に対して、第1の電界効果トランジスタMaのドレイン端子Dと第1の演算増幅器OP1の反転入力端子(－)とを結ぶ電気配線に所定の電圧の直流電圧源201aが設けられ、第1の電界効果トランジスタMaのゲート端子Gと第2の電界効果トランジスタMbのゲート端子Gとを結ぶ電気配線に所定の電圧の直流電圧源201bが設けられている。

[0081] 詳しくは、直流電圧源201aの負極端子は、第1の演算増幅器OP1の反転入力端子(－)に電氣的に接続されると共に、直流電圧源201aの正極端子は、第1の電界効果トランジスタMaのドレイン端子Dに電氣的に接続されている。また、直流電圧源201bの負極端子は、第1の電界効果トランジスタMaのゲート端子Gに電氣的に接続されると共に、直流電圧源201bの正極端子は、第2の電界効果トランジスタMbのゲート端子Gに電氣的に接続されている。

[0082] ここで、本実施形態における擬似抵抗回路20において、直流電圧源201aを設けているのは、以下のような現象に対処するためである。

[0083] つまり、第1の電界効果トランジスタMaのドレイン電圧Voが、前提とする負の電圧ではなく正の電圧になってしまった場合には、第1の演算増幅器OP1の出力電圧が低下し、これに伴って第2の電流源23bの電流を小さくすることで、ノードN2の電圧を上げようと試みるが、ノードN2の電位は基準電圧までしか上がらない。この結果、第2の演算増幅器OP2の負帰還機能が発揮され得ない状態になってしまう。

[0084] そこで、本実施形態における擬似抵抗回路20においては、直流電圧源201aが設けられることにより、第1の電界効果トランジスタMaのドレイン電圧Voが正の値である場合においても、第1の演算増幅器OP1の反転入力端子(－)に対して、具体例1におけるものと同様に負の値の電圧を与えることができる。また、これに伴って、第2の電界効果トランジスタMbのドレイン端子Dのドレイン電圧は、第1の電界効果トランジスタMaのド

レイン電圧よりも低下する。但し、かかる直流電圧源 201 a の電圧の値 V_{off} は、第 1 の電界効果トランジスタ M_a のドレイン電圧 V_o の振幅の最大値 V_{max} よりも大きい正の値に設定されることが必要である ($V_{off} > V_{max}$)。

[0085] また、本実施形態における擬似抵抗回路 20 においては、このような直流電圧源 201 b を設けることにより、その電圧を利用して、第 1 の電界効果トランジスタ M_a のゲート電圧を第 2 の電界効果トランジスタ M_b のゲート電圧よりも低下させるように調整することができ、第 1 の電界効果トランジスタ M_a の擬似抵抗値をより大きな値へと調整自在としている。

[0086] この結果、本実施形態における擬似抵抗回路 20 においては、以上の構成の直流電圧源 201 a、201 b を設けることにより、具体例 1 における擬似抵抗回路 10 と同様に、第 1 の電界効果トランジスタ M_a のドレイン電圧 V_o が負の電圧の場合に、第 1 の電界効果トランジスタ M_a の擬似抵抗値が、所定値に安定して維持されることに加えて、第 1 の電界効果トランジスタ M_a のドレイン電圧 V_o が変動して正の電圧になったとしても、擬似抵抗値を所定値に維持し、更に第 1 の電界効果トランジスタ M_a の擬似抵抗値をより大きな値へと調整自在とする。なお、本実施形態における擬似抵抗回路 20 においては、必要に応じて、直流電圧源 201 a、201 b の一方のみを設けてもよい。

[0087] [電荷検出回路の構成及び動作]

次に、図 5 を参照して、以上の構成を有する擬似抵抗回路 20 が適用された電荷検出回路 200 の構成及び動作につき、詳細に説明する。

[0088] 図 5 に示すように、本具体例における電荷検出回路 200 は、擬似抵抗回路 20 に加え、具体例 1 における電荷検出回路 100 と同様に、第 3 の演算増幅器 OP3 と、コンデンサ C_f と、を備えている。

[0089] ここで、本具体例における擬似抵抗回路 20 においては、直流電圧源 201 a、201 b が設けられることにより、具体例 1 における擬似抵抗回路 10 と同様に、第 1 の電界効果トランジスタ M_a の擬似抵抗値が、所定値に安

定して維持されることに加えて、第1の電界効果トランジスタM_aのドレイン電圧V_oが変動して正の電圧になったとしても、第1の電界効果トランジスタM_aの擬似抵抗値をより大きな値へと調整自在としている。

[0090] このため、本具体例における電荷検出回路200においては、第3の演算増幅器OP3の反転入力端子(−)から出力される電荷検出回路200の出力信号には、具体例1における電荷検出回路100と同様に、擬似抵抗値の非線形性に起因する波形歪みが低減されることに加え、具体例1における電荷検出回路100に比較して、第1の電界効果トランジスタM_aのドレイン電圧V_oが正の電圧に変動するような場合であっても、電荷出力センサからのより低周波数領域の検出信号が、第3の演算増幅器OP3で確実に増幅されて、電荷検出回路200から出力されることになる。

[0091] [具体例3]

次に、図1に示す擬似抵抗回路1及びそれを用いた電荷検出回路の具体例3につき、図面を参照して、詳細に説明する。

[0092] 図6は、本具体例における擬似抵抗回路の構成を示す回路図である。また、図7は、本具体例における擬似抵抗回路を適用した電荷検出回路の構成を示す回路図である。

[0093] 図6及び図7に示すように、本具体例における擬似抵抗回路30及び電荷検出回路300では、図4及び図5に示す直流電圧源201a、201bをフローティング電圧源301a、301bに対応して置換したことが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる相違点に着目して説明することとし、同一な構成については、同じ符号を用い、その説明を簡略化又は省略するものとする。

[0094] [擬似抵抗回路の構成及び動作]

まず、図6を参照して、本具体例における擬似抵抗回路30の構成及び動作につき、詳細に説明する。

[0095] 図6に示すように、本具体例における擬似抵抗回路30は、具体例2における擬似抵抗回路20の直流電圧源201a、201bの代わりに、PTA

T (Proportional To Absolute Temperature) 電流源 302a、302b と抵抗素子 303a、303b とを各々対応して有するフローティング電圧源 301a、301b を備えている。また、かかるフローティング電圧源 301a の電圧の値 V_{off} は、具体例 2 における直流電圧源 201a の場合と同様に、第 1 の電界効果トランジスタ M_a のドレイン電圧 V_o の振幅の最大値 V_{max} よりも大きい正の値に設定されることが必要である ($V_{off} > V_{max}$)。

[0096] 詳しくは、PTAT 電流源 302a の一方の端子は第 1 の演算増幅器 OP1 の反転入力端子 (−) 及び抵抗素子 303a の一方の端部に電氣的に接続され、PTAT 電流源 302a の他方の端子は接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。また、抵抗素子 303a の一方の端部は PTAT 電流源 302a の一方の端子及び第 1 の演算増幅器 OP1 の反転入力端子 (−) に電氣的に接続され、抵抗素子 303a の他方の端部は第 1 の電界効果トランジスタ M_a のドレイン端子 D に電氣的に接続されている。

[0097] PTAT 電流源 302b の一方の端子は第 1 の電界効果トランジスタ M_a のゲート端子 G 及び抵抗素子 303b の一方の端部に電氣的に接続され、PTAT 電流源 302b の他方の端子は接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。また、抵抗素子 303b の一方の端部は PTAT 電流源 302b の一方の端子及び第 1 の電界効果トランジスタ M_a のゲート端子 G に電氣的に接続され、抵抗素子 303b の他方の端部は第 2 の電界効果トランジスタ M_b のゲート端子 G に電氣的に接続されている。

[0098] 本具体例における擬似抵抗回路 30 においては、このようなフローティング電圧源 301a、301b を設けることにより、その温度に比例した出力電圧を利用して、第 1 の電界効果トランジスタ M_a のゲート電圧を調整することができ、第 1 の電界効果トランジスタ M_a の擬似抵抗値における温度依存性を相殺するように、第 1 の電界効果トランジスタ M_a の擬似抵抗値を調整自在としている。

[0099] この結果、本実施形態における擬似抵抗回路30においては、以上の構成のフローティング電圧源301a、301bを設けることにより、具体例2における擬似抵抗回路20と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが変動して正の電圧になったとしても、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値等へと調整自在とすることに加え、第1の電界効果トランジスタMaの擬似抵抗値における温度依存性を相殺するように、第1の電界効果トランジスタMaの擬似抵抗値を調整自在として、その温度依存性を低減する。

[0100] [電荷検出回路の構成及び動作]

次に、図7を参照して、以上の構成を有する擬似抵抗回路30が適用された電荷検出回路300の構成及び動作につき、詳細に説明する。

[0101] 図7に示すように、本具体例における電荷検出回路300は、擬似抵抗回路30に加え、具体例2における電荷検出回路200と同様に、第3の演算増幅器OP3と、コンデンサCfと、を備えている。

[0102] ここで、本実施形態における擬似抵抗回路30においては、フローティング電圧源301a、301bが設けられることにより、具体例2における擬似抵抗回路20と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが変動して正の電圧になったとしても、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値等へと調整自在とすることに加え、第1の電界効果トランジスタMaの擬似抵抗値における温度依存性を相殺するように、第1の電界効果トランジスタMaの擬似抵抗値を調整自在として、その温度依存性を低減している。

[0103] このため、本実施形態における電荷検出回路300においては、第3の演算増幅器OP3の反転入力端子(－)から出力される電荷検出回路300の出力信号は、具体例2における電荷検出回路200と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが正の電圧に変動するような場合であっても、電荷出力センサからのより低周波数領域の検出信号が第3の演算増幅器OP3で確実に増幅され、かつ、擬似抵抗値の非線形性に起因する波

形歪みが低減された態様で出力されることになることに加え、具体例 2 における電荷検出回路 200 に比較して、その温度依存性が低減されることになる。

[0104] なお、本具体例においては、必要に応じて、具体例 2 における擬似抵抗回路 20 の直流電圧源 201 a、201 b の一方を、フローティング電圧源 301 a、301 b の対応するもので置換してよい。

[0105] [具体例 4]

次に、図 1 に示す擬似抵抗回路 1 及びそれを用いた電荷検出回路の具体例 4 につき、図 8 及び図 9 を参照して、詳細に説明する。

[0106] [擬似抵抗回路の構成]

図 8 は、本具体例における擬似抵抗回路の構成を示す回路図である。

[0107] 図 8 及び図 9 に示すように、本具体例における擬似抵抗回路 40 は、図 2 及び図 3 に示すに示す具体例 1 の擬似抵抗回路 10 における第 2 の演算増幅器 OP2 の非反転入力端子 (+) が、第 1 の電界効果トランジスタ Ma のドレイン端子 D と第 1 の演算増幅器 OP1 の反転入力端子 (-) とを電氣的に接続する電気配線上のノード N3 に接続されていることが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる相違点に着目して説明することとし、同一な構成については、同じ符号を用い、その説明を簡略化又は省略するものとする。

[0108] ここで、図中、第 2 の電界効果トランジスタ Mb のドレイン端子、第 2 の演算増幅器 OP2 の反転入力端子 (-)、及び第 1 の電流源 23 a を電氣的に接続する電気配線上の部位をノード N1 で示す。また、基準抵抗素子 Rstd の他方の端部、第 1 の演算増幅器 OP1 の非反転入力端子 (+)、及び第 2 の電流源 23 b を電氣的に接続する電気配線上の部位をノード N2 で示す。

[0109] [擬似抵抗回路の動作]

次に、以上の構成を有する擬似抵抗回路 40 の動作につき、詳細に説明する。

[0110] 以上の構成を有する擬似抵抗回路40において、第1の電界効果トランジスタMaのゲート端子Gの電圧及び第2の電界効果トランジスタMbのゲート端子Gの電圧が所定値よりも高い、つまり、これらの擬似抵抗値が所定値よりも小さくなっており、第1の電界効果トランジスタMaのドレイン電圧Voが負の電圧になっている場合において、かかる擬似抵抗回路40の動作について検討する。

[0111] かかる条件下では、第1の演算増幅器OP1の非反転入力端子(+)には基準抵抗素子Rstdの他方の端部の電圧、つまりノードN2の電圧が入力されると共に、第1の演算増幅器OP1の反転入力端子(-)には第1の電界効果トランジスタMaのドレイン電圧Vo、つまりノードN3の負の電圧が入力される。このため、第1の演算増幅器OP1の出力電圧が増加することによって、第1の電流源23a及び第2の電流源23bを構成する電界効果トランジスタの各々のゲート電圧が変化してそれらが流す電流が変化し、最終的に第1の演算増幅器OP1の比反転入力端子(+)の電圧と反転入力端子(-)の電圧とがほぼ等しい状態に収束する。これにより、第2の電界効果トランジスタMb及び第1の電流源23a、並びに基準抵抗素子Rstd及び第2の電流源3bを各々介しながら、接地端子等の基準電圧を与える基準電圧端子と電源Vssの間に電流が流れて、ノードN1、N2にこれに応じた電圧が発生する。この際、ノードN1の電圧は、第2の電界効果トランジスタMbのドレイン端子Dのドレイン電圧を反映した値となると共に、ノードN2の電圧は、基準抵抗素子Rstdの他方の端部の電圧を反映した値となる。

[0112] このとき、第2の電界効果トランジスタOP2の反転入力端子(+)にはノードN3の電圧が入力され、非反転入力端子(+)にはノードN1の電圧が入力される。このため、ノードN1、N3の各々の電圧の差に応じて第2の演算増幅器OP2の出力電圧が低下することによって、第1の電界効果トランジスタMa及び第2の電界効果トランジスタMaMbのゲート電圧が互いに同じだけ低下し、第1の電界効果トランジスタMa及び第2の電界効果

トランジスタM aの擬似抵抗値が増加する。

[0113] 更に、第2の演算増幅器OP 2により、引き続き負帰還がかかることによって、ノードN 1、N 3の各々の電圧の差が減少していく。この結果、第2の電界効果トランジスタM bのゲート電圧が減少して所定値に安定していき、これに対応して第1の電界効果トランジスタM aのゲート電圧が減少して所定値に安定していく。

[0114] つまり、このように第2の演算増幅器OP 2の負帰還動作によって、第2の電界効果トランジスタM bの擬似抵抗値及び第1の電界効果トランジスタM aの擬似抵抗値が、共に、次第に大きくなっていき、最終的には所定値に安定することになる

[0115] よって、以上の構成を有する擬似抵抗回路4 0においては、第2の電界効果トランジスタM bのドレイン電圧と基準抵抗素子R s t dの他方の端部の電圧とを等しくし、かつ、第1の電界効果トランジスタM aのドレイン電圧と第2の電界効果トランジスタM bのドレイン端子Dのドレイン電圧とを等しく保つように、第2の電界効果トランジスタM bのゲート電圧を変化させて安定させ、第1の電界効果トランジスタM aのゲート電圧と第2の電界効果トランジスタM bのゲート電圧を等しく保たせることで、第1の電界効果トランジスタM aの擬似抵抗値が所定値に安定的に維持されることになる。

[0116] 〔電荷検出回路の構成及び動作〕

次に、図9を参照して、以上の構成を有する擬似抵抗回路4 0が適用された電荷検出回路4 0 0の構成及び動作につき、詳細に説明する。

[0117] 図9は、本具体例における擬似抵抗回路を適用した電荷検出回路の構成を示す回路図である。

[0118] 図9に示すように、電荷検出回路4 0 0は、図3に示す電荷検出回路1 0 0と同様に、擬似抵抗回路4 0と、第3の演算増幅器OP 3と、コンデンサC fと、を備えている。

[0119] ここで、第3の演算増幅器OP 3の非反転入力端子(+)は、接地端子等の基準電圧端子に電氣的に接続されている。第3の演算増幅器OP 3の反転

入力端子（－）は、第１の電界効果トランジスタM aのソース端子Sに電氣的に接続されている。また、第３の演算増幅器O P 3の出力端子は、第１の電界効果トランジスタM aのドレイン端子Dに電氣的に接続されている。コンデンサC fは、第３の演算増幅器O P 3の出力端子とその反転入力端子（－）との間、及び第１の電界効果トランジスタM aのソース端子Sとそのドレイン端子Dとの間に、並列に電氣的に接続されている。

[0120] 以上の構成を有する電荷検出回路4 0 0では、図示を省略する電荷出力センサからの検出信号が、第３の演算増幅器O P 3の反転入力端子（－）に入力されることによって、増幅された信号として出力される。

[0121] この際、擬似抵抗回路4 0によれば、第１の電界効果トランジスタM aの擬似抵抗値が所定値に安定しているため、第３の演算増幅器O P 3の反転入力端子（－）から出力される電荷検出回路4 0 0の出力信号には、擬似抵抗値の非線形性に起因する波形歪みが低減される。また、第１の電界効果トランジスタM aの擬似抵抗値は、相対的に大きな値を呈することができるので、電荷出力センサからの低周波数領域の検出信号も、第３の演算増幅器O P 3で確実に増幅されて、電荷検出回路4 0 0から出力される。更に、このように擬似抵抗回路4 0を含む電荷検出回路4 0 0では、集積化が容易である。

[0122] 〔具体例５〕

次に、図１に示す擬似抵抗回路１及びそれを用いた電荷検出回路の具体例５につき、図面を参照して、詳細に説明する。

[0123] 図１０は、本具体例における擬似抵抗回路の構成を示す回路図である。また、図１１は、本具体例における擬似抵抗回路を適用した電荷検出回路の構成を示す回路図である。

[0124] 図１０及び図１１に示すように、本具体例における擬似抵抗回路５０及び電荷検出回路５００では、図８及び図９に示す第１の電界効果トランジスタM aのドレイン端子Dと第１の演算増幅器O P 1の反転入力端子（－）とを結ぶ電気配線に、第１のゲート電圧調整回路２１の構成要素として所定の電

圧の直流電圧源 501a が付加され、図 8 及び図 9 に示す第 1 の電界効果トランジスタ Ma のゲート端子 G と第 2 の電界効果トランジスタ Mb のゲート端子 G とを結ぶ電気配線に、第 2 のゲート電圧調整回路 22 の構成要素として所定の電圧の直流電圧源 501b が付加されたことが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる相違点に着目して説明することとし、同一な構成については、同じ符号を用い、その説明を簡略化又は省略するものとする。

[0125] 〔擬似抵抗回路の構成及び動作〕

まず、図 10 を参照して、本具体例における擬似抵抗回路 50 の構成及び動作につき、詳細に説明する。

[0126] 図 10 に示すように、本具体例における擬似抵抗回路 50 では、具体例 4 における擬似抵抗回路 40 に対して、第 1 の電界効果トランジスタのドレイン端子 D と第 1 の演算増幅器 OP1 の反転入力端子（－）とを結ぶ電気配線に所定の電圧の直流電圧源 501a が設けられ、第 1 の電界効果トランジスタ Ma のゲート端子 G と第 2 の電界効果トランジスタ Mb のゲート端子 G とを結ぶ電気配線に所定の電圧の直流電圧源 501b が設けられている。

[0127] 詳しくは、直流電圧源 501a の負極端子は、第 1 の演算増幅器 OP1 の反転入力端子（－）に電氣的に接続されると共に、直流電圧源 501a の正極端子は、第 1 の電界効果トランジスタ Ma のドレイン端子 D に電氣的に接続されている。また、直流電圧源 501b の負極端子は、第 1 の電界効果トランジスタ Ma のゲート端子 G に電氣的に接続されると共に、直流電圧源 501b の正極端子は、第 2 の電界効果トランジスタ Mb のゲート端子 G に電氣的に接続されている。

[0128] ここで、本実施形態における擬似抵抗回路 50 において、直流電圧源 501a を設けているのは、以下のような現象に対処するためである。

[0129] つまり、第 1 の電界効果トランジスタ Ma のドレイン電圧 V_o が、前提とする負の電圧ではなく正の電圧になってしまった場合には、第 1 の演算増幅器 OP1 の出力電圧が低下し、これに伴って第 2 の電流源 23b の電流を小

さくすることで、ノードN2の電圧を上げようと試みるが、ノードN2の電位は基準電圧までしか上がらない。この結果、第2の演算増幅器OP2の負帰還機能が発揮され得ない状態になってしまう。

[0130] そこで、本実施形態における擬似抵抗回路50においては、直流電圧源501aが設けられることにより、第1の電界効果トランジスタMaのドレイン電圧 V_o が負の値である場合においても、第1の演算増幅器OP1の反転入力端子(−)に対して、具体例4におけるものと同様に負の値の電圧を与えることができる。また、これに伴って、第2の電界効果トランジスタMbのドレイン端子Dのドレイン電圧は、第1の電界効果トランジスタMaのドレイン電圧よりも低下する。但し、かかる直流電圧源501aの電圧の値 V_{off} は、第1の電界効果トランジスタMaのドレイン電圧 V_o の振幅の最大値 V_{max} よりも大きい正の値に設定されることが必要である($V_{off} > V_{max}$)。

[0131] また、本実施形態における擬似抵抗回路50においては、このような直流電圧源501bを設けることにより、その電圧を利用して、第1の電界効果トランジスタMaのゲート電圧を第2の電界効果トランジスタMbのゲート電圧よりも低下させるように調整することができ、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値へと調整自在としている。

[0132] この結果、本実施形態における擬似抵抗回路50においては、以上の構成の直流電圧源501a、501bを設けることにより、具体例4における擬似抵抗回路40と同様に、第1の電界効果トランジスタMaの擬似抵抗値が、所定値に安定して維持されることに加えて、第1の電界効果トランジスタMaのドレイン電圧 V_o が変動して正の電圧になったとしても、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値へと調整自在とする。なお、本実施形態における擬似抵抗回路50においては、必要に応じて、直流電圧源501a、501bの一方のみを設けてもよい。

[0133] [電荷検出回路の構成及び動作]

次に、図11を参照して、以上の構成を有する擬似抵抗回路50が適用さ

れた電荷検出回路 500 の構成及び動作につき、詳細に説明する。

[0134] 図 11 に示すように、本具体例における電荷検出回路 500 は、擬似抵抗回路 50 に加え、具体例 4 における電荷検出回路 400 と同様に、第 3 の演算増幅器 OP3 と、コンデンサ Cf と、を備えている。

[0135] ここで、本具体例における擬似抵抗回路 50 においては、直流電圧源 501a、501b が設けられることにより、具体例 4 における擬似抵抗回路 400 と同様に、第 1 の電界効果トランジスタ Ma の擬似抵抗値が、所定値に安定して維持されることに加えて、第 1 の電界効果トランジスタ Ma のドレイン電圧 Vo が変動して正の電圧になったとしても、第 1 の電界効果トランジスタ Ma の擬似抵抗値をより大きな値へと調整自在としている。

[0136] このため、本具体例における電荷検出回路 500 においては、第 3 の演算増幅器 OP3 の反転入力端子 (−) から出力される電荷検出回路 500 の出力信号には、具体例 4 における電荷検出回路 400 と同様に、擬似抵抗値の非線形性に起因する波形歪みが低減されることに加え、具体例 4 における電荷検出回路 400 に比較して、電荷出力センサからのより低周波数領域の検出信号も、第 3 の演算増幅器 OP3 で確実に増幅されて、電荷検出回路 500 から出力されることになる。

[0137] [具体例 6]

最後に、図 1 に示す擬似抵抗回路 1 及びそれを用いた電荷検出回路の具体例 6 につき、図面を参照して、詳細に説明する。

[0138] 図 12 は、本具体例における擬似抵抗回路の構成を示す回路図である。また、図 13 は、本具体例における擬似抵抗回路を適用した電荷検出回路の構成を示す回路図である。

[0139] 図 12 及び図 13 に示すように、本具体例における擬似抵抗回路 60 及び電荷検出回路 600 では、図 10 及び図 11 に示す直流電圧源 501a、501b をフローティング電圧源 601a、601b に対応して置換したことが主たる相違点であり、残余の構成は同様である。よって、本具体例では、かかる相違点に着目して説明することとし、同一な構成については、同じ符

号を用い、その説明を簡略化又は省略するものとする。

[0140] 〔擬似抵抗回路の構成及び動作〕

まず、図 12 を参照して、本具体例における擬似抵抗回路 60 の構成及び動作につき、詳細に説明する。

[0141] 図 12 に示すように、本具体例における擬似抵抗回路 60 は、具体例 5 における擬似抵抗回路 50 の直流電圧源 501a、501b の代わりに、PTAT 電流源 602a、602b と抵抗素子 603a、603b とを各々対応して有する備えるフローティング電圧源 601a、601b を備えている。また、かかるフローティング電圧源 601a の電圧の値 V_{off} は、具体例 5 における直流電圧源 501a の場合と同様に、第 1 の電界効果トランジスタ M_a のドレイン電圧 V_o の振幅の最大値 V_{max} よりも大きい正の値に設定されることが必要である ($V_{off} > V_{max}$)。

[0142] 詳しくは、PTAT 電流源 602a の一方の端子は第 1 の演算増幅器 OP1 の反転入力端子 (−) 及び抵抗素子 603a の一方の端部に電氣的に接続され、PTAT 電流源 602a の他方の端子は接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。また、抵抗素子 603a の一方の端部は PTAT 電流源 602a の負極端子及び第 1 の演算増幅器 OP1 の反転入力端子 (−) に電氣的に接続され、抵抗素子 603a の他方の端部は第 1 の電界効果トランジスタ M_a のドレイン端子 D に電氣的に接続されている。

[0143] PTAT 電流源 602b の一方の端子は第 1 の電界効果トランジスタ M_a のゲート端子 G 及び抵抗素子 603b の一方の端部に電氣的に接続され、PTAT 電流源 602b の他方の端子は接地端子等の基準電圧を与える基準電圧端子に電氣的に接続されている。また、抵抗素子 603b の一方の端部は PTAT 電流源 602b の一方の端子及び第 1 の電界効果トランジスタ M_a のゲート端子 G に電氣的に接続され、抵抗素子 603b の他方の端部は第 2 の電界効果トランジスタ M_b のゲート端子 G に電氣的に接続されている。

[0144] 本具体例における擬似抵抗回路 60 においては、このようなフローティン

グ電圧源601a、601bを設けることにより、その温度に比例した出力電圧を利用して、第1の電界効果トランジスタMaのゲート電圧を調整することができ、第1の電界効果トランジスタMaの擬似抵抗値における温度依存性を相殺するように、第1の電界効果トランジスタMaの擬似抵抗値を調整自在としている。

[0145] この結果、本実施形態における擬似抵抗回路60においては、以上の構成のフローティング電圧源601a、601bを設けることにより、具体例5における擬似抵抗回路50と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが変動して正の電圧になったとしても、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値等へと調整自在とすることに加え、フローティング電圧源601a、601bが設けられることにより、第1の電界効果トランジスタMaの擬似抵抗値における温度依存性を相殺するように、第1の電界効果トランジスタMaの擬似抵抗値を調整自在として、その温度依存性を低減する。

[0146] [電荷検出回路の構成及び動作]

次に、図13を参照して、以上の構成を有する擬似抵抗回路60が適用された電荷検出回路600の構成及び動作につき、詳細に説明する。

[0147] 図13に示すように、本具体例における電荷検出回路600は、擬似抵抗回路60に加え、具体例5における電荷検出回路500と同様に、第3の演算増幅器OP3と、コンデンサCfと、を備えている。

[0148] ここで、本実施形態における擬似抵抗回路60においては、フローティング電圧源601a、601bが設けられることにより、具体例5における擬似抵抗回路50と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが変動して正の電圧になったとしても、第1の電界効果トランジスタMaの擬似抵抗値をより大きな値等へと調整自在とすることに加え、フローティング電圧源601a、601bが設けられることにより、第1の電界効果トランジスタMaの擬似抵抗値における温度依存性を相殺するように、第1の電界効果トランジスタMaの擬似抵抗値を調整自在として、その温度依存

性を低減している。

[0149] このため、本実施形態における電荷検出回路600においては、第3の演算増幅器OP3の反転入力端子(−)から出力される電荷検出回路600の出力信号は、具体例5における電荷検出回路500と同様に、第1の電界効果トランジスタMaのドレイン電圧Voが正の電圧に変動するような場合であっても、電荷出力センサからのより低周波数領域の検出信号が第3の演算増幅器OP3で確実に増幅され、かつ、擬似抵抗値の非線形性に起因する波形歪みが低減された態様で出力されることになることに加え、具体例5における電荷検出回路500に比較して、その温度依存性が低減されることになる。

[0150] なお、本具体例においては、必要に応じて、具体例5における擬似抵抗回路50の直流電圧源501a、501bの一方を、フローティング電圧源601a、601bの対応するもので置換してよい。

[0151] また、以上の各具体例においては、第1の電界効果トランジスタMa及び第2の電界効果トランジスタMbは、共にn型のMOSFETであるとしたが、各実施形態の構成は、原理的にはMOSFETのキャリアの種別に関係なく適用できるため、これらは、p型のMOSFETであってもよい。かかる場合には、第1の演算増幅器OP1を介した負帰還が成立するように、第1の演算増幅器OP1における反転入力端子及び非反転入力端子の電氣的な接続先を入れ替えればよい。

[0152] また、以上の各具体例においては、第1の電界効果トランジスタMa及び第2の電界効果トランジスタMbは、共にMOSFETであるとしたが、弱反転領域に見られる電氣的特性に相当する電氣的特性を有する電界効果トランジスタであれば、MOSFET以外の電界効果トランジスタであってもよい。

産業上の利用可能性

[0153] 以上のように、本発明においては、電界効果トランジスタの擬似抵抗値を、製造工程のばらつき、及び電源電圧、温度の変化に応じて調整する付加的

な調整回路を設ける必要性を排すると共に、電界効果トランジスタの電源電圧の変動に起因する波形歪みを低減可能な擬似抵抗回路及びそれを用いた電荷検出回路を提供することができるものであるため、その汎用普遍的な性格から広範に擬似抵抗回路や電荷検出回路等の分野に適用され得るものと期待される。

請求の範囲

[請求項1]

第1の電流源と、

第2の電流源と、

弱反転領域で動作する第1の電界効果トランジスタと、

前記第1の電界効果トランジスタの電気的特性とマッチングされた電気的特性を有し、ソース端子が基準電圧端子に電氣的に接続され、ドレイン端子が前記第1の電流源に電氣的に接続された第2の電界効果トランジスタと、

一方の端部が前記基準電圧端子に電氣的に接続され、他方の端部が前記第2の電流源に電氣的に接続された基準抵抗素子と、

前記第2の電界効果トランジスタのドレイン電圧と前記基準抵抗素子の前記他方の端部の電圧とを等しくさせ、かつ、前記第1の電界効果トランジスタのドレイン電圧と前記第2の電界効果トランジスタの前記ドレイン電圧とを一定の関係に保たせるように、前記第1の電流源の電流及び前記第2の電流源の電流を調整すると共に、前記第2の電界効果トランジスタのゲート電圧を調整する第1のゲート電圧調整回路と、

前記第1の電界効果トランジスタのゲート電圧と前記第2の電界効果トランジスタの前記ゲート電圧とを一定の関係に保たせるように、前記第1の電界効果トランジスタの前記ゲート電圧を調整する第2のゲート電圧調整回路と、
を備えた擬似抵抗回路。

[請求項2]

前記第1のゲート電圧調整回路は、前記第1の電界効果トランジスタの前記ドレイン電圧と前記第2の電界効果トランジスタの前記ドレイン電圧及び前記基準抵抗素子の前記他方の端部の前記電圧とに一定の電位差を与えるための第1の電圧源を備える請求項1に記載の擬似抵抗回路。

[請求項3]

前記第2のゲート電圧調整回路は、前記第1の電界効果トランジスタ

タの前記ゲート電圧と前記第2の電界効果トランジスタの前記ゲート電圧とに一定の電位差を与えるための第2の電圧源を備える請求項2に記載の擬似抵抗回路。

[請求項4] 前記第1の電圧源及び前記第2の電圧源は、各々、P T A T電流源と抵抗素子とを備えるフローティング電圧源である請求項3に記載の擬似抵抗回路。

[請求項5] 前記第1のゲート電圧調整回路は、第1の演算増幅器及び第2の演算増幅器を備え、前記第1の演算増幅器の2つの入力端子には、前記第1の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記基準抵抗素子の前記他方の端子の前記電圧が対応して入力され、前記第1の演算増幅器の出力端子は、前記第1の電流源及び前記第2の電流源の各々の電流供給動作を制御するための電圧を前記第1の電流源及び前記第2の電流源に各々入力し、前記第2の演算増幅器の2つの入力端子には、前記基準抵抗素子の前記他方の端子の前記電圧及び前記第2の電界効果トランジスタの前記ドレイン電圧が対応して入力され、前記第2の演算増幅器の出力端子は、前記第2の電界効果トランジスタの前記ゲート端子に前記ゲート電圧を入力する請求項1から4のいずれかに記載の擬似抵抗回路。

[請求項6] 前記第1のゲート電圧調整回路は、第1の演算増幅器及び第2の演算増幅器を備え、前記第1の演算増幅器の2つの入力端子には、前記第1の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記基準抵抗素子の前記他方の端子の前記電圧が対応して入力され、前記第1の演算増幅器の出力端子は、前記第1の電流源及び前記第2の電流源の各々の電流供給動作を制御するための電圧を前記第1の電流源及び前記第2の電流源に各々入力し、前記第2の演算増幅器の2つの入力端子には、前記第1の電界効果トランジスタの前記ドレイン電圧と一定の関係を保つ電圧及び前記第2の電界効果トランジスタの前記ドレイン電圧が対応して入力され、前記第2の演算増幅

器の出力端子は、前記第2の電界効果トランジスタの前記ゲート端子に前記ゲート電圧を入力する請求項1から4のいずれかに記載の擬似抵抗回路。

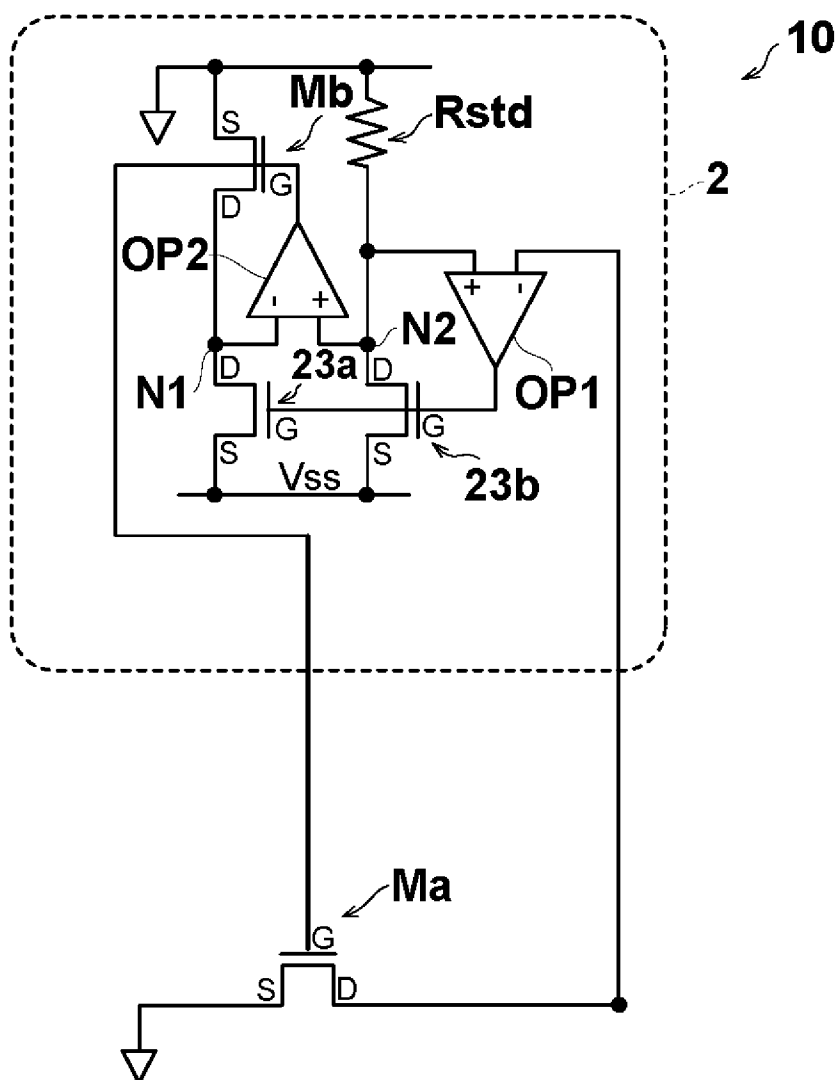
[請求項7]

請求項1から請求項6のいずれかに記載の前記擬似抵抗回路と、

前記第1の電界効果トランジスタの前記ソース端子に電氣的に接続された反転入力端子、基準電圧が入力される非反転入力端子、及び前記第1の電界効果トランジスタの前記ドレイン端子に電氣的に接続された出力端子を有する第3の演算増幅器と、

前記第3の演算増幅器の前記反転入力端子と前記第3の演算増幅器の前記出力端子との間、及び前記第1の電界効果トランジスタの前記ソース端子と前記第1の電界効果トランジスタの前記ドレイン端子との間に電氣的に接続されたコンデンサと、
を備えた電荷検出回路。

FIG. 2



[図3]

FIG. 3

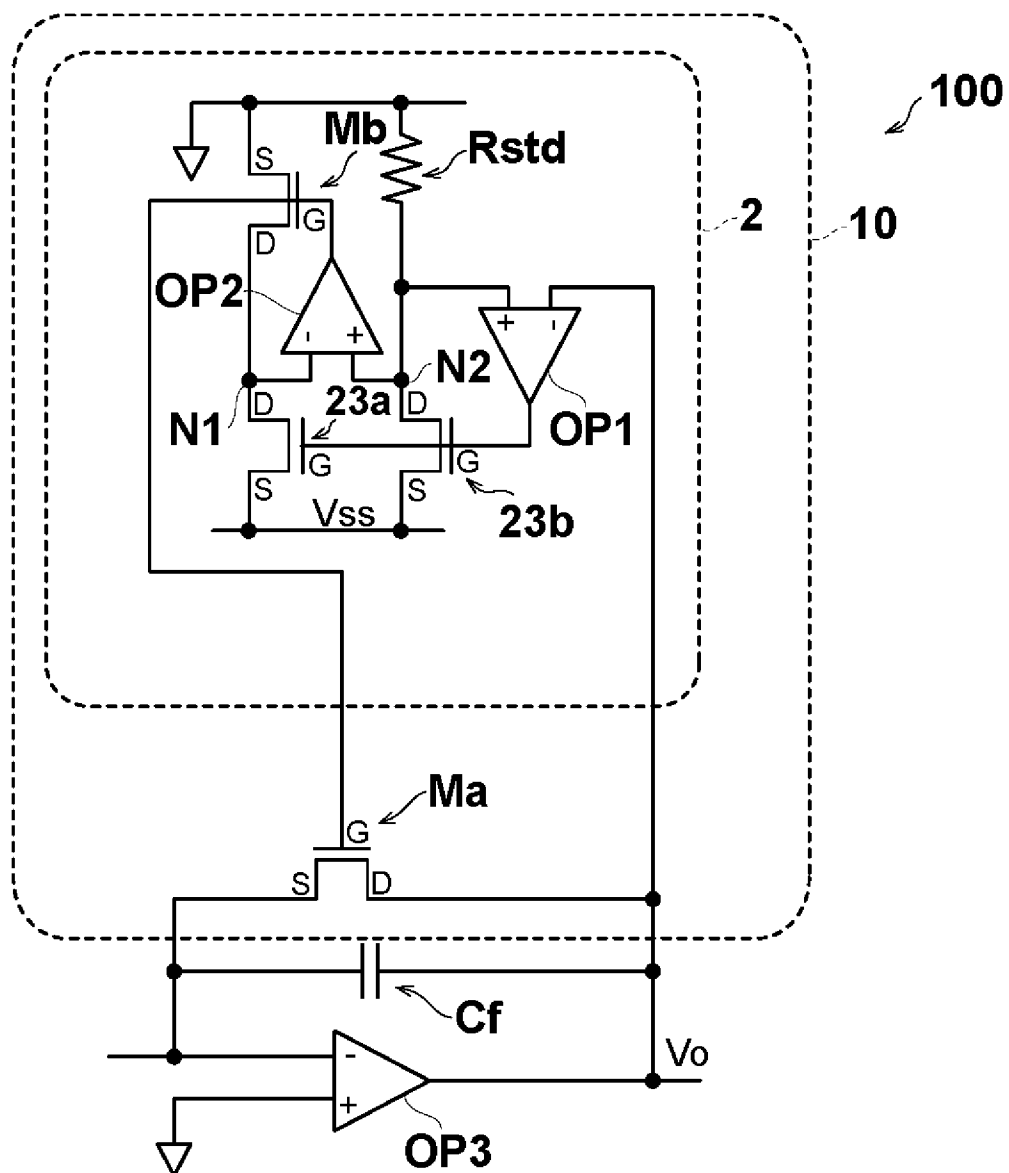
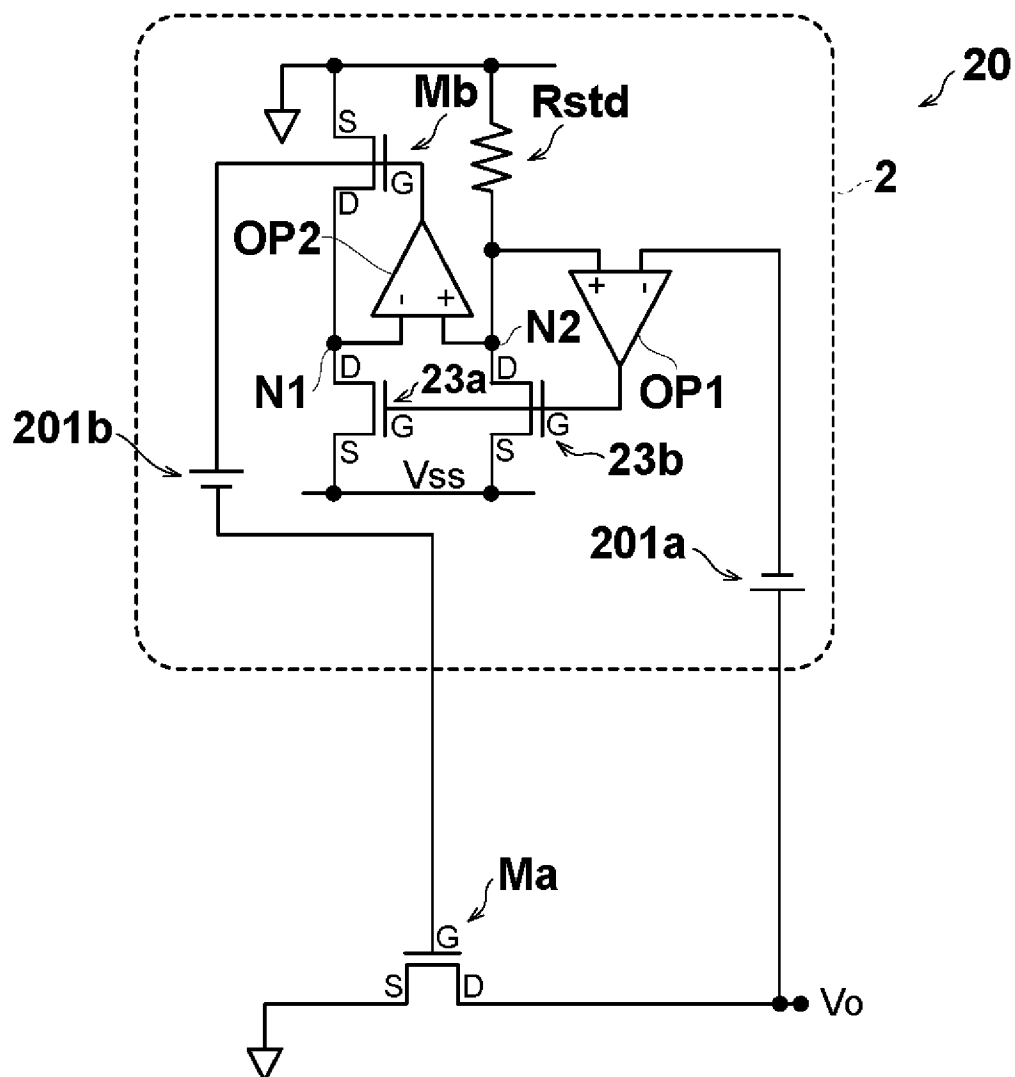
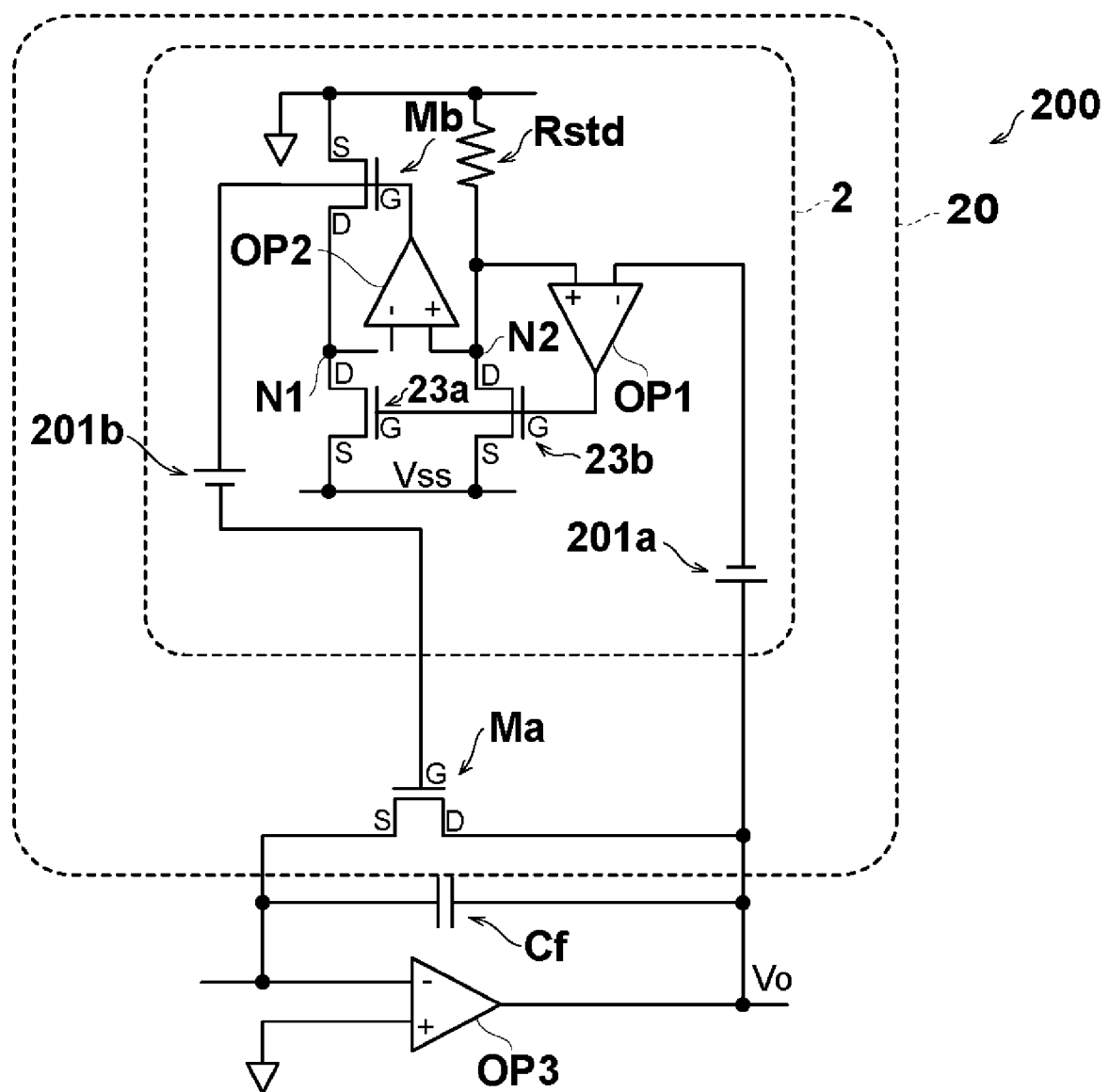


FIG. 4



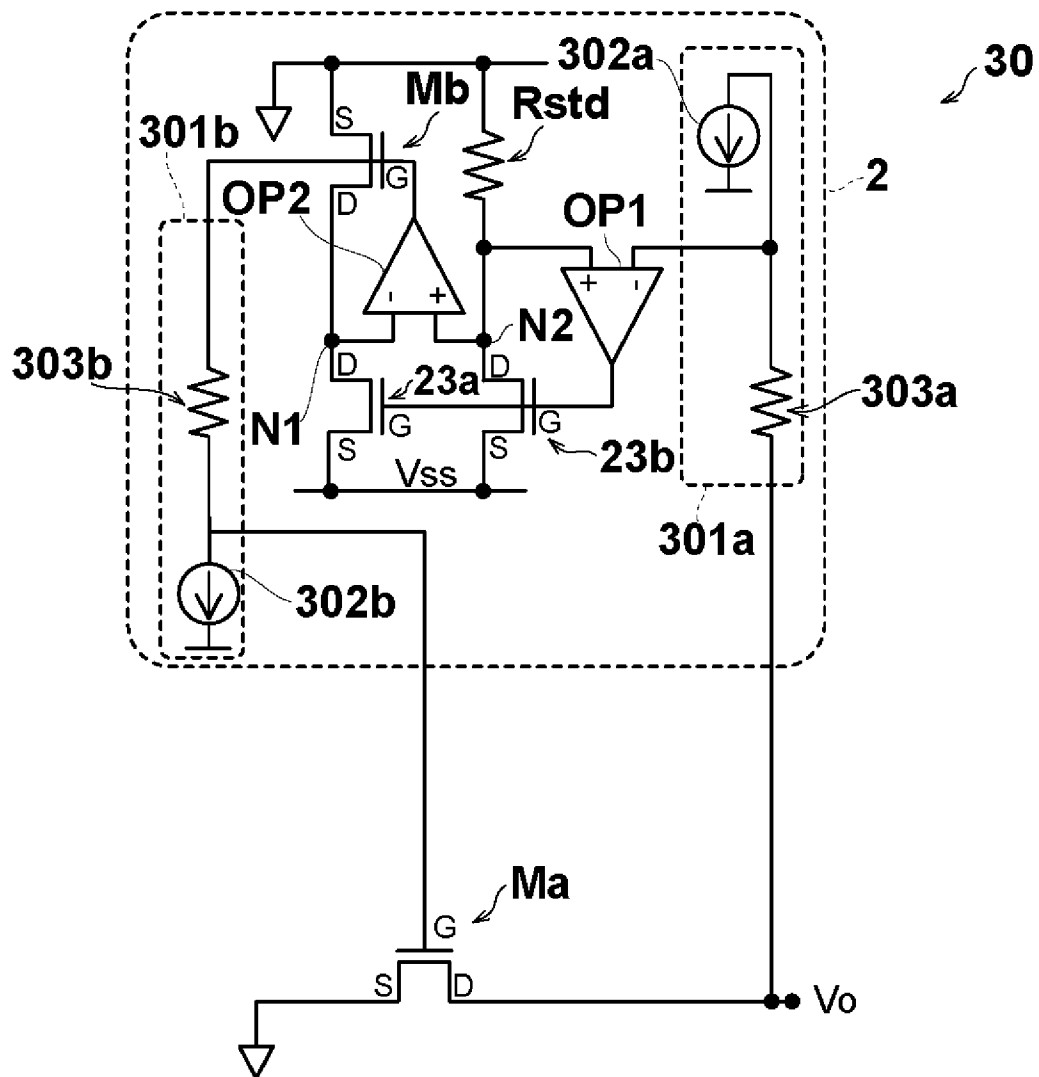
[図5]

FIG. 5



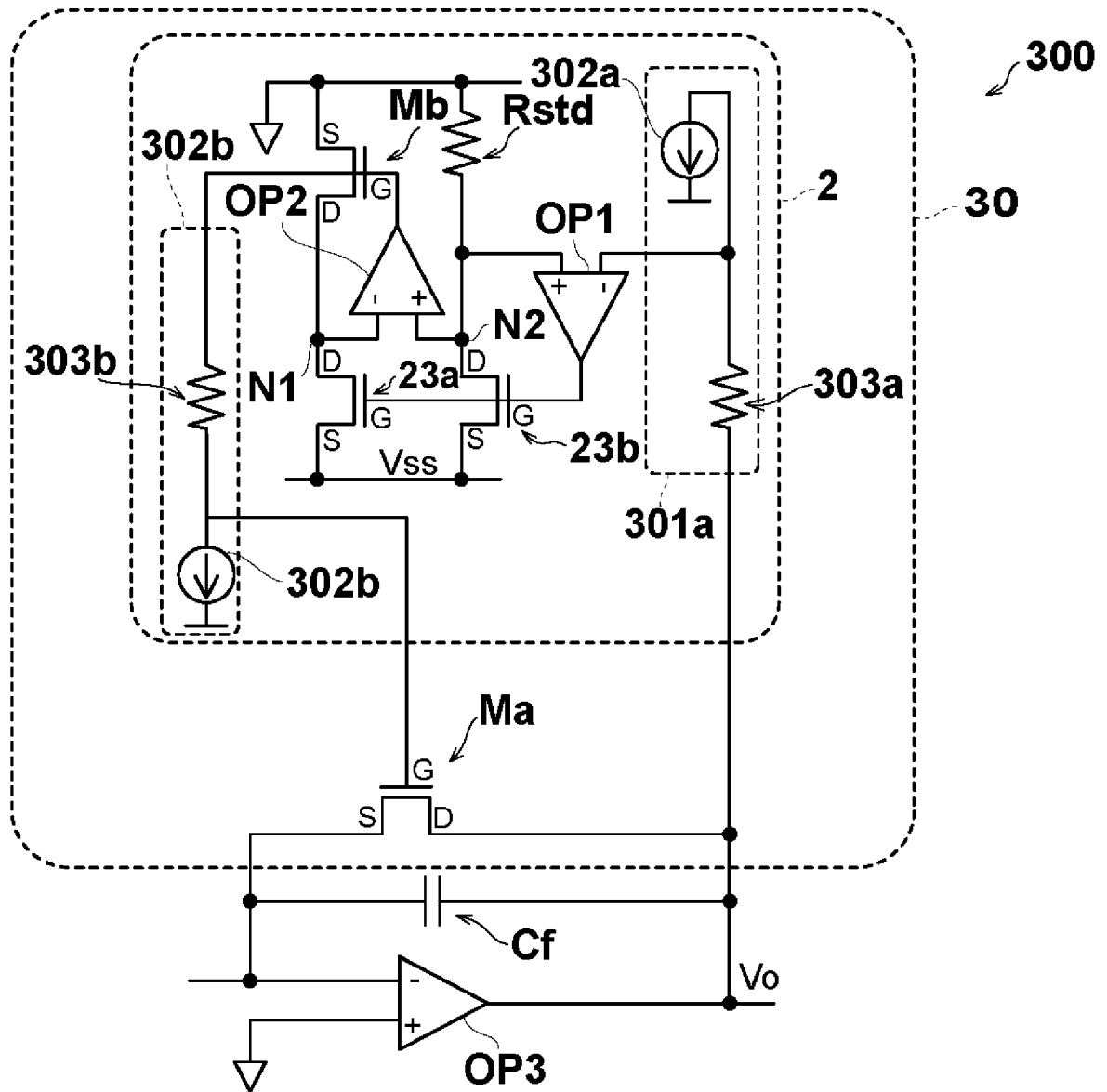
[図6]

FIG. 6



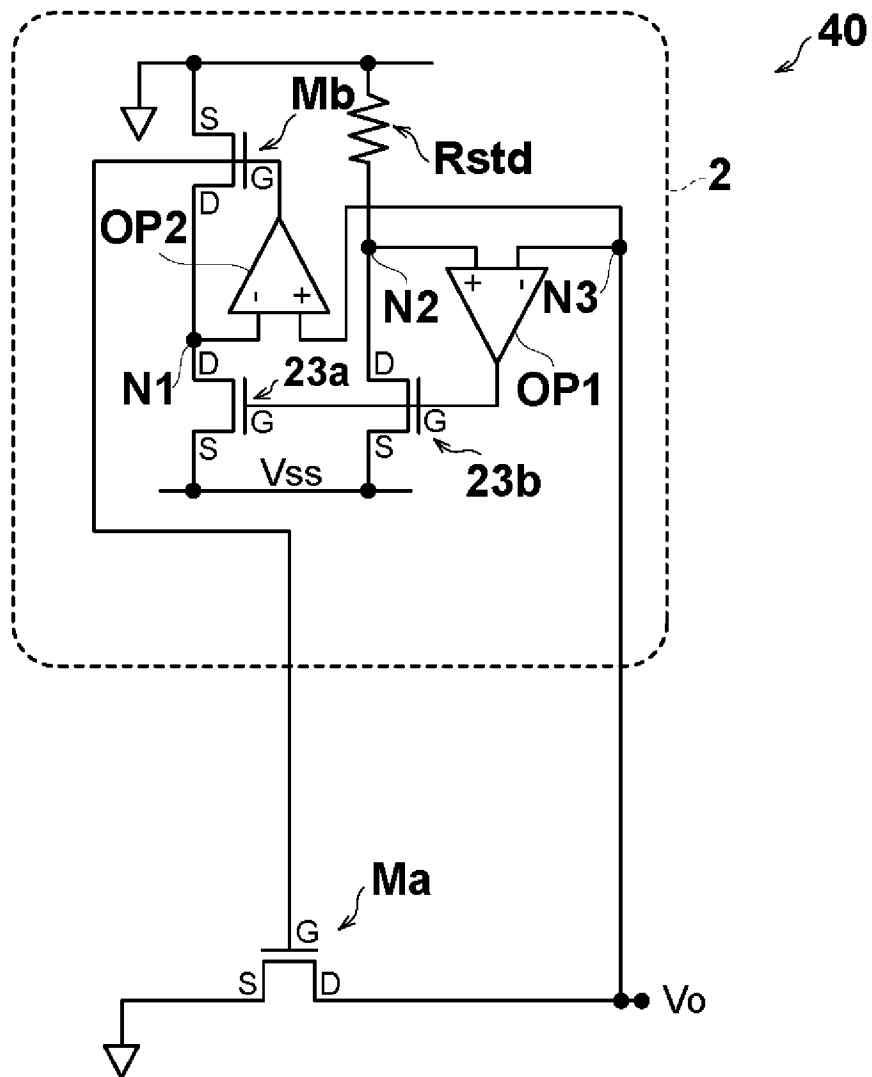
[図7]

FIG. 7



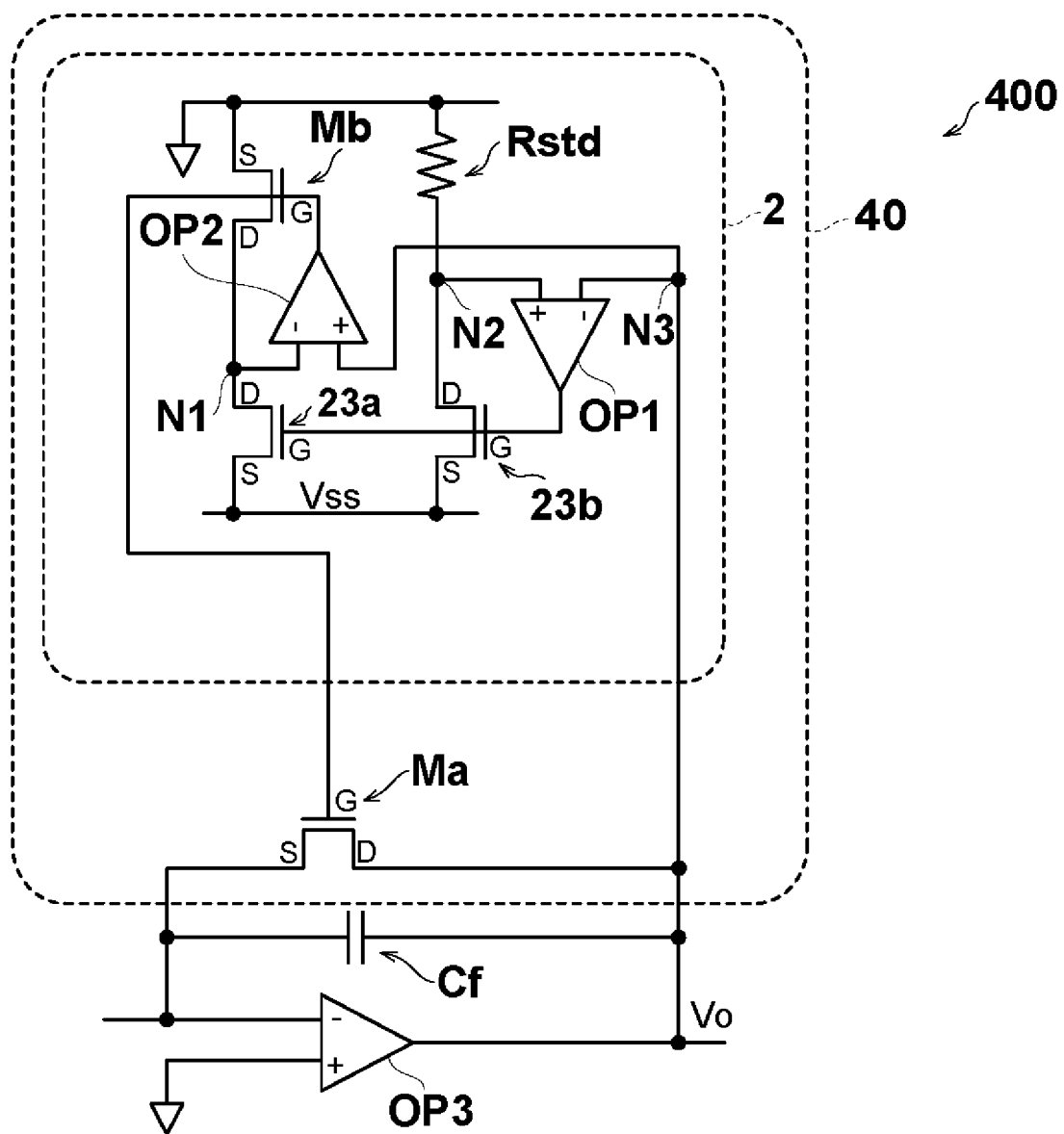
[図8]

FIG. 8



[図9]

FIG. 9



[図10]

FIG. 10

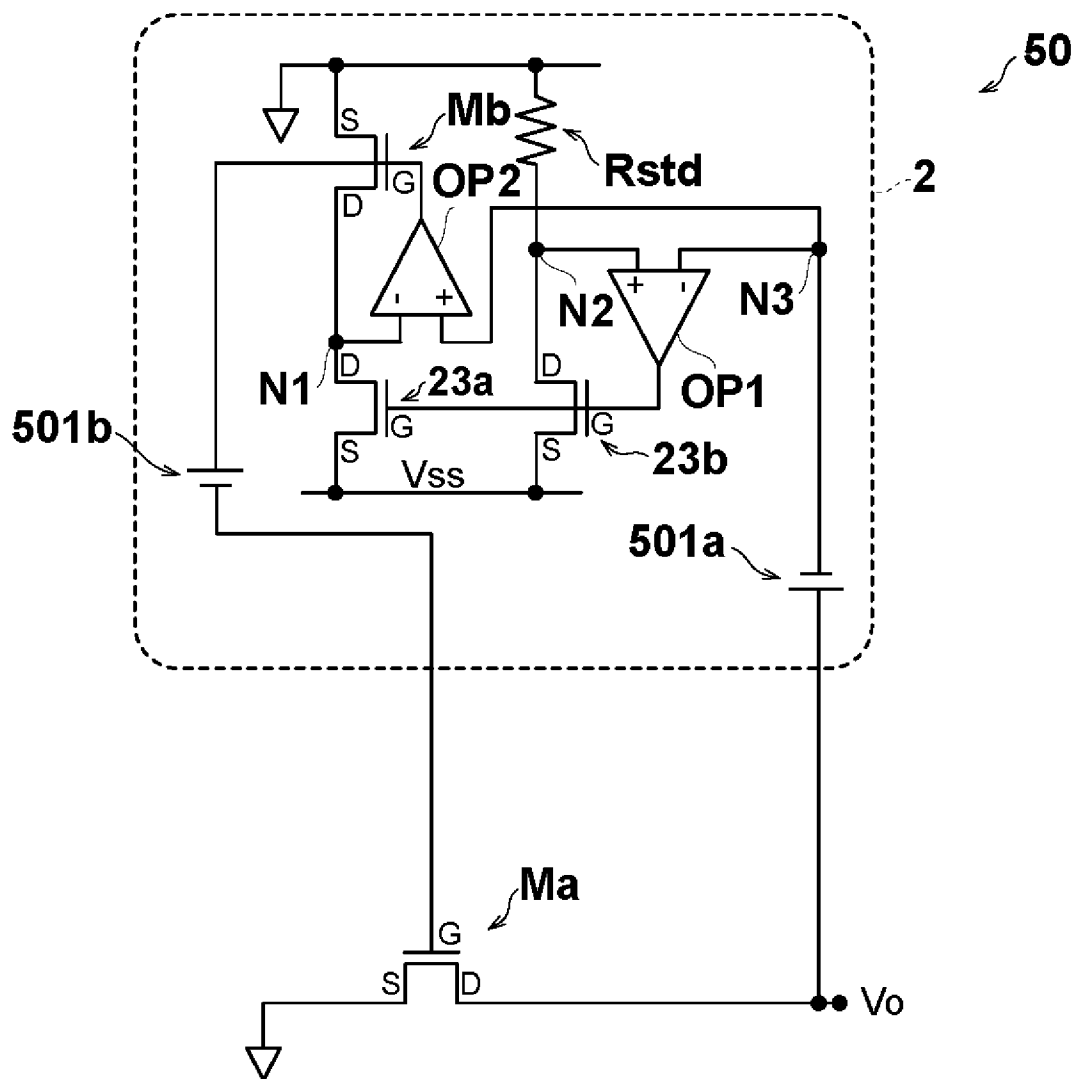
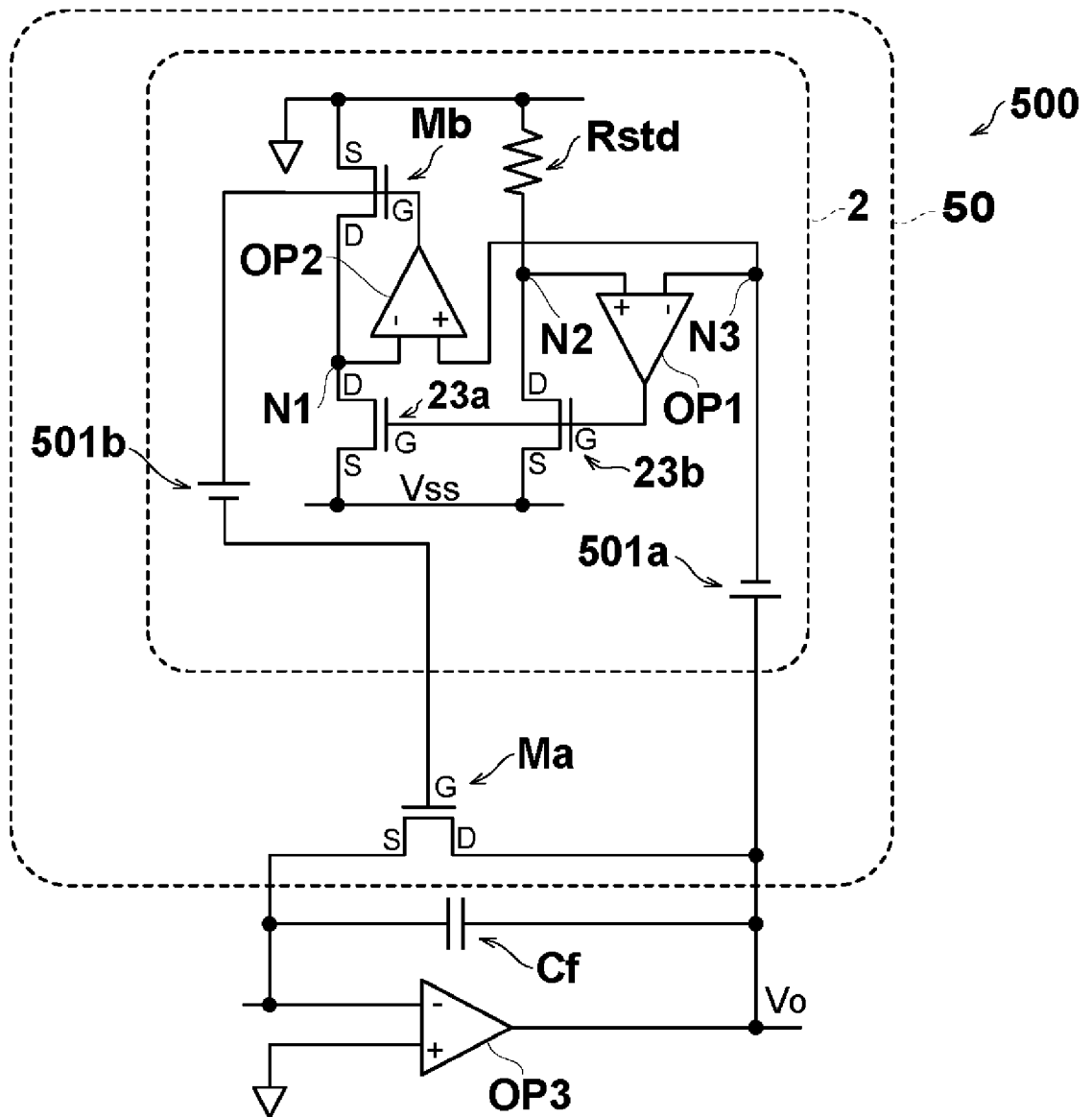
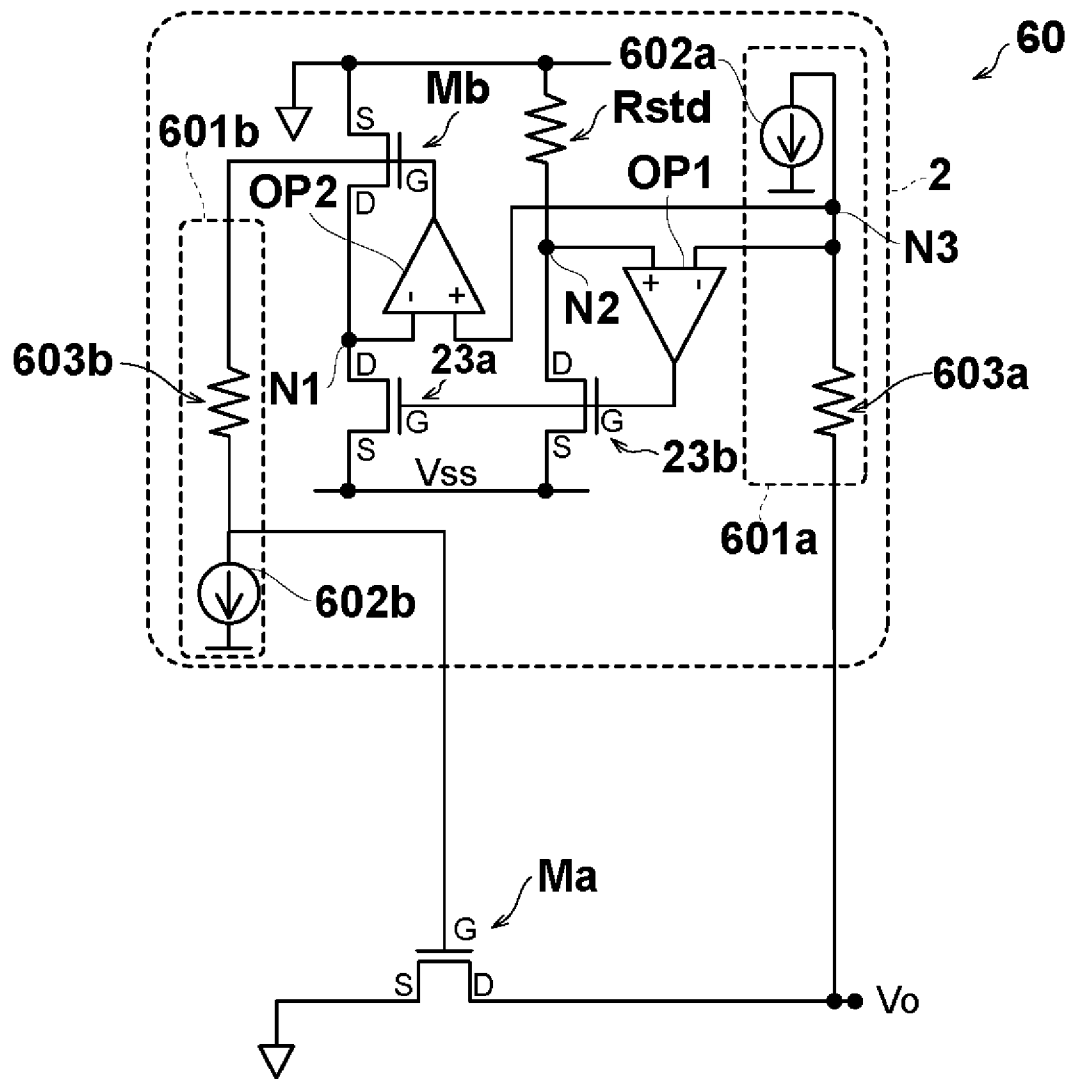


FIG. 11



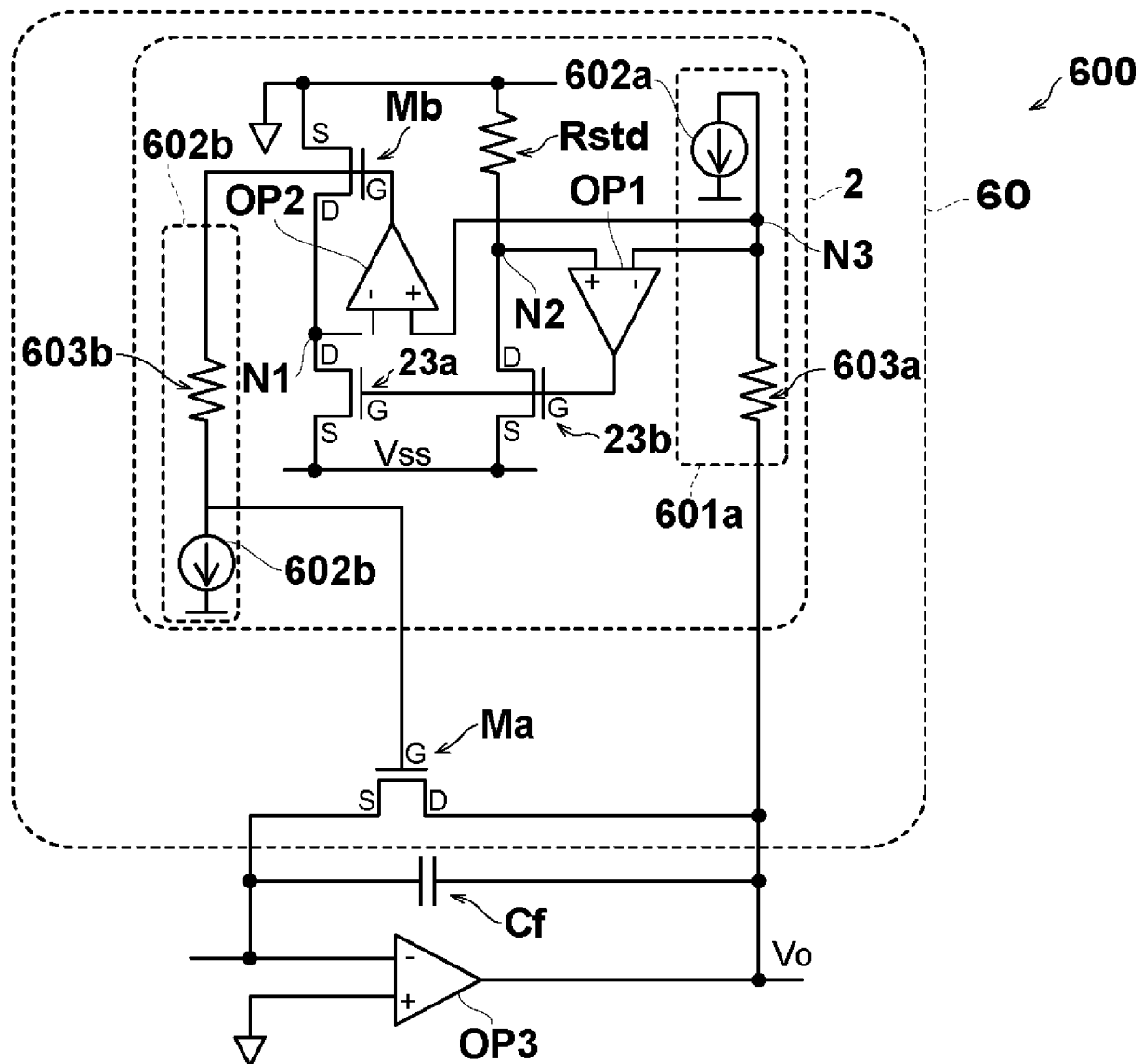
[図12]

FIG. 12



[図13]

FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/063763

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/45(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03H11/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/45, H01L21/822, H01L27/04, H03H11/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4868482 A (Western Digital Corp.), 19 September 1989 (19.09.1989), entire text; all drawings (Family: none)	1-7
A	JP 60-167513 A (Hitachi, Ltd.), 30 August 1985 (30.08.1985), entire text; all drawings (Family: none)	1-7
A	JP 2006-80993 A (Asahi Kasei Microsystems Co., Ltd.), 23 March 2006 (23.03.2006), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 June 2015 (18.06.15)

Date of mailing of the international search report
30 June 2015 (30.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/063763

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-502471 A (Unitrode Corp.), 03 March 1998 (03.03.1998), entire text; all drawings & US 5585741 A & WO 95/29532 A1	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/45(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03H11/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/45, H01L21/822, H01L27/04, H03H11/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 4868482 A (Western Digital Corp.) 1989.09.19, 全文, 全図 (ファミリーなし)	1 - 7
A	JP 60-167513 A (株式会社日立製作所) 1985.08.30, 全文, 全図 (ファミリーなし)	1 - 7
A	JP 2006-80993 A (旭化成マイクロシステム株式会社) 2006.03.23, 全文, 全図 (ファミリーなし)	1 - 7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 6 . 2 0 1 5

国際調査報告の発送日

3 0 . 0 6 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-502471 A (ユニットロード コーポレイション) 1998.03.03, 全文, 全図 & US 5585741 A & WO 95/29532 A1	1 - 7