

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96145353

※申請日期：96.11.29

※IPC 分類：H04L 25/06 (2006.01)

H04B 7/00 (2006.01)

一、發明名稱：(中文/英文)

一種處理電路中信號的方法和系統

Method and System for Multimode DC Offset Compensation

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美國博通公司/BROADCOM CORPORATION

代表人：(中文/英文) 狄·韓德森/HENDERSON, DEE

住居所或營業所地址：(中文/英文)

美國加州爾灣市奧爾頓公園路 16215 號 92618-7013

16215 ALTON PARKWAY, IRVINE, CALIFORNIA USA, 92618-7013

國籍：(中文/英文) 美國/U.S.A.

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 李俊強/ Junqiang Li

2. 納爾遜·索倫伯格/ Nelson Sollenberger

3. 蔺立楓/ Li Fung Chang

國籍：(中文/英文)

1-3：美國/U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2006 年 11 月 30 日；11/565,562

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及無線通信，更具體地說，涉及一種用於多模式 DC 偏移補償的方法和系統。

【先前技術】

在一些現有的系統中，射頻 (RF) 信號可轉換成中頻 (IF)，然後再轉換成基帶信號，其中中頻可在兆赫的範圍內。通常地，RF 信號可與本地振蕩器信號混合，以產生兩個邊帶信號，該兩個邊帶信號是 RF 信號與本地振蕩器信號的頻率和以及頻率差。該兩個邊帶信號的其中之一可選擇為 IF 信號，對於所有接收到的 RF 信號，該 IF 信號可以是相同的。因此，一個無線收發器可接收多個通道，例如 AM 或 FM 廣播，並且可通過改變本地振蕩器信號的頻率使 IF 保持為常數，從而調諧至一特定的站。當 IF 不變時，接收器中的大多數路徑可以是共有的。別的無線收發器可直接將接收到的信號，從 RF 轉換到基帶信號，以減少 IF 電路。

從 RF 信號重獲資訊的過程將涉及到解調。在解調的過程中，如果資料被準確地恢復時，是不期望出現直流 (DC) 偏移的。當發射器的本地振蕩器所生成的信號與接收器的本地振蕩器所生成信號相比，其頻率有稍微不同時，例如在調頻 (FM) 系統的解調輸出中，就會發生 DC 偏移。由於頻率的錯配所導致的 DC 偏移，將對從 IF 或基帶信號中析取資料產生負面影響。

本文的後續部分將結合附圖對本發明進行闡述。通過把本發

明的系統與上述的常規系統比較，對本領域的技術人員來說，常規或傳統系統的局限性和缺點是顯而易見的。

【發明內容】

一種用於多模式 DC 偏移補償的方法和/或系統，在至少一張附圖中進行了描述，並在權利要求中進行了完整的說明。

根據本發明的一個方面，提供了一種處理電路中信號的方法，該方法包括以下步驟：

選擇多個信號樣本，以用於生成反饋信號；

對所述多個信號樣本取平均值；和

累加所述平均值，用於生成所述反饋信號，以便削弱信號偏移。

優選的，所述信號樣本是 WCDMA 信號樣本。

優選的，所述選擇的信號樣本的數量是基於信號偏移誤差的。

優選的，所述選擇的信號樣本的數量是至少兩個數量中的其中之一。

優選的，所述方法進一步包括：當信號偏移誤差小於或等於閾值時，所述選擇的信號樣本的數量取所述至少兩個數量中的較大值。

優選的，所述方法進一步包括：當信號偏移誤差大於閾值時，所述選擇的信號樣本的數量為所述至少兩個數量中的較小值。

優選的，所述方法進一步包括：累加所述選擇的多個信號樣本的總值，用於對所述多個信號樣本取平均值。

優選的，所述選擇的信號樣本的數量等於 2^N ，其中 N 是整數。

優選的，所述方法進一步包括：將所述總值右移 N 位，以對所述多個信號樣本取平均值。

根據本發明的一個方面，提供一種機器可讀記憶體，其上存儲有電腦程式，所述電腦程式包括至少一個代碼段，用於電路中的信號處理，所述至少一個代碼段可由機器執行，並使得所述機器執行以下步驟：

選擇多個信號樣本，以用於生成反饋信號；

對所述多個信號樣本取平均值；和

累加所述平均值，用於生成所述反饋信號，以便削弱信號偏移。

優選的，所述信號樣本是 WCDMA 信號樣本。

優選的，所述選擇的信號樣本的數量是基於信號偏移誤差的。

優選的，所述選擇的信號樣本的數量是至少兩個數量中的其中之一。

優選的，所述至少一個代碼段包括用於當信號偏移誤差小於或等於域值時，所述選擇的信號樣本的數量為所述至少兩個數量中的較大值的代碼。

優選的，所述至少一個代碼段包括用於當信號偏移誤差大於閾值時，所述選擇的信號樣本的數量為所述至少兩個數量中的較小值的代碼。

優選的，所述至少一個代碼段包括用於累加所述所選擇數量

的信號樣本的總值，以對所述多個信號樣本取平均值的代碼。

優選的，所述選擇的信號樣本的數量等於 2^N ，其中 N 是整數。

優選的，所述至少一個代碼段包括用於將所述總值右移所述 N 位，以對所述信號樣本取平均值的代碼。

根據本發明的一個方面，一種處理電路中信號的系統，包括：

至少一電路，用於選擇多個信號樣本，以生成反饋信號；

所述至少一電路可確定所述信號樣本的平均值；和

所述至少一電路可累加所述經確定的平均值，用於生成所述反饋信號。

優選的，所述信號樣本是 WCDMA 信號樣本。

優選的，所述信號樣本的數量是基於信號偏移誤差的。

優選的，所述選擇的信號樣本的數量是至少兩個數量中的其中之一。

優選的，當信號偏移誤差小於或等於域值時，所述至少一個電路將所述選擇的信號樣本的數量賦值為所述至少兩個數量中的較大值。

優選的，當信號偏移誤差大於域值時，所述至少一個電路將所述選擇的信號樣本的數量賦值為所述至少兩個數量中的較小值。

優選的，所述至少一個電路生成用於累加所述所選擇數量的信號樣本的總值，以對所述信號樣本取平均值。

優選的，所述選擇的信號樣本的數量等於 2^N ，其中 N 是整數。

優選的，所述至少一個電路將所述總值右移 N 位，以對所述信號樣本取平均值。

通過以下的描述和附圖，可以更深入地理解本發明的各種優點、各個方面、創新特徵、及其實施例的細節。

【實施方式】

本發明的一些實施例涉及一種用於多模式 DC 偏移補償的方法和系統。該方法的一些方面包括：積累選定數量的信號樣本、確定所積累的信號樣本的平均值、和保持該平均值的累積的總值以用於反饋信號的生成。該信號樣本可以是，例如 WCDMA 信號樣本。通過跟蹤信號偏移誤差，可確定信號偏移誤差。例如，信號偏移誤差可包括 DC 分量和/或正弦分量。積累的以用於平均值計算的信號樣本的數量是基於信號偏移誤差的，其可是剩餘的 DC 值。

可基於例如對接收器特性的分析，來確定閾值頻率。當信號偏移誤差小於或等於閾值頻率時，可使用所選擇的信號樣本。當信號偏移誤差大於閾值頻率時，可選擇和使用較小數量的信號樣本。所積累的信號樣本的數量除以信號樣本的數量，從而確定所積累的信號樣本的平均信號偏移誤差。本發明一實施例可使用的信號樣本的數量可以是，例如 2^N 。除以 2^N 可包括右移該值 N 個比特位。

圖 1A 是關於本發明一實施例所使用的示範性發射器系統和接收器系統的結構框圖。圖 1A 中示出了發射器單元 110 和接收器

單元 120。發射器單元 110 可包括合適的邏輯、電路、和/或代碼，以用於濾波和調製基帶信號為 RF 信號，並發送該 RF 信號。接收器單元 120 可包括合適的邏輯、電路、和/或代碼，以用於解調 RF 信號為基帶信號。例如，接收器單元 120 可包括低噪音放大器 122、混頻器 124 和本地振盪器 126。

在實施中，發射器單元 110 可通過有線或無線媒介，發送 RF 信號。接收器單元 120 可接收 RF 信號，並對其進行處理以獲得適合於進一步處理的基帶信號，例如資料或語音。例如，低噪音放大器 122 可放大接收到的 RF 信號，混頻器 124 可將放大的 RF 信號與來自本地振盪器 126 的信號混合。混頻器 124 輸出可以是頻率比接收到的 RF 頻率低的信號。例如，混頻器的輸出可以是基帶信號。在一些例子中，當來自本地振盪器 126 的信號與接收到的 RF 頻率的 RF 載波的頻率不相配時，混頻器 124 可引入偏置信號。該偏置信號可以是 DC 偏移或正弦信號。可期望削弱該偏置信號。

圖 1B 是關於本發明一實施例所使用的示範性 RF 接收器系統的結構框圖。如圖 1B 所示，RF 接收器系統 150 包括接收器前端 152、基帶處理器 154、處理器 156 和系統記憶體 158。接收器前端 152 可包括合適的邏輯、電路、和/或代碼，以用於接收 RF 信號。接收器前端 152 可連接到外部天線，以用於接收信號。接收器前端 152 可在進一步處理之前解調接收到的信號。而且，接收器前端 152 可包括別的功能，例如，對接收到的信號進行濾波、放大接收到的信號、和/或將接收到的信號降頻為非常低的中頻

(VLIF) 信號和/或基帶信號。接收器前端 152 可包括 IF 處理器，其可數位化 IF 信號，並對該數位化的 IF 信號進行數位化處理，以對數位化的 IF 信號進行濾波和/或降頻，從而獲得數位基帶信號。IF 處理器然後可將數位化的基帶信號轉換成類比基帶信號。

基帶處理器 154 可包括合適的邏輯、電路、和/或代碼，以處理接收器前端 (RFE) 152 所生成的類比基帶信號。處理器 156 可包括合適的邏輯、電路、和或代碼，以控制接收器前端 152 和/或基帶處理器 154 的操作。例如，可使用處理器 156 更新和/或修改接收器前端 152 和/或基帶處理器 154 中的多個元件、設備、和/或處理元件的可編程參數和/或值。控制和/或資料資訊可從 RF 接收器系統 150 外部的處理器發送到處理器 156。類似的，處理器 156 可將控制和/或資料資訊發送到 RF 接收器系統 150 外部的至少一個控制器和/或處理器。

處理器 156 可使用接收到的控制和/或資料資訊，以確定 RFC152 的運行模式。例如，處理器 156 可為本地振蕩器 152 選擇一特定頻率、或為可變增益放大器選擇一特定增益。而且，所選擇的特定頻率和/或所需的用於計算該特定頻率的參數、和/或特定增益和/或所需的用於計算特定增益的參數，可通過處理器 156 存儲到系統記憶體 158 中。存儲在系統記憶體 158 中的資訊，可通過處理器 156，從系統記憶體 158 發送到 RFE152。系統記憶體 158 可包括合適的邏輯、電路、和/或代碼，以存儲多個控制和/或資料資訊，包括計算頻率和/或增益、和/或頻率值和/或增益值所需的參

數。

圖 2A 是本發明一實施例的示範性接收路徑的結構框圖。參考 2A，其示出了組合器 210、模數轉換器 (ADC) 212、晶片匹配濾波器 (CMF) 單元 214、和基帶處理器 216。組合器 210 可以是 RF 接收器中所使用的電路的邏輯表示，其可將 DC 偏移引入接收到的信號中。例如，輸入到組合器 210 中的偏移信號偏置可以是 DC 偏移，該 DC 偏移由接收器前端 152 引入到所接收到的 RF 信號的基帶信號中。

ADC 212 可包括合適的邏輯、電路、和/或代碼，以將類比信號轉換成相同的數位信號。CMF 單元 214 可包括合適的邏輯、電路、和/或代碼，從而對數位基帶信號進行濾波。CMF 單元 214 可用於，例如接收 WCDMA 信號。CMF 單元 214 可包括多個數位濾波器，其用於對數位基帶信號的同相 (I) 分量和正交 (Q) 分量進行濾波。數位濾波器可具有組合的脈衝回應，其可以是，例如 WCDMA 所要求的平方根升余弦 (SRRC)。框圖所展示的示範性採樣在圖 2B 中進行描述。

在實施中，可使用接收器前端 152 處理接收到的信號，以對接收到的 RF 信號進行解調和下變頻。組合器 210 的輸出可合理地表示經接收器前端 152 處理後所得到的類比基帶信號。偏移信號偏置可以是 DC 偏移，其在處理接收到的 RF 信號的過程中，通過接收器前端 152 的不同元件所引入。例如，如果本地振蕩器 (未示出) 頻率與接收到的 RF 信號的載波頻率不同時，本地振蕩器可

引入 DC 偏移，其中本地振蕩器用於將接收到的 RF 信號下變頻為基帶信號。

經處理的信號可（其可是類比基帶信號）發送到 ADC 212。ADC 212 可將類比基帶信號轉換成數位基帶信號。每一樣本的比特位元的數量取決於設計的考慮。對於每一類比樣本，比特位元的示範性數量可以是 8 個符號位元。因此，每一樣本所具有值的範圍，例如，-127 到+127。本發明的其他實施例可使用其他範圍，例如從-128 到+127 或從-127 到+128。數位基帶信號可發送到 CMF 單元 214，以對該數位基帶信號進行合適的濾波。CMF 單元 214 可位於，例如 RF 接收器系統 150 中，並可執行數位濾波操作，該數位濾波相當於發送器單元 110 中的相應的 CMF 單元(未示出)所執行的數位濾波。例如，CMF 單元 214 可每次接收 8 個比特位元的資料和每次輸出 8 個比特位元的資料。

可將數位濾波信號發送基帶處理器 216 作合適的處理，例如，偏置由接收器前端 152 所引入的偏移信號偏置。基帶處理器 216 的輸出可以是，例如數位基帶信號 Sig_Out。出於示範性目的，可將接收路徑描述為單一信號。然而，本發明的一實施例可接收，例如來自由組合器 210 所表示的接收器前端 152 的 I 和 Q 信號。因此，ADC 212、CMF 214、和基帶處理器 216 可處理獨立於 Q 信號的 I 信號。一種結構可包括兩個分離的單元或電路，以處理 I 和 Q 信號。

圖 2B 是依據本發明一實施例的示範性波形採樣的示意圖。參

考圖 2B，其示出兩幅圖表 250 和 260。圖表 250 示出正弦波 252。如果正弦波 252 在 DC_0 具有零 DC 的偏移，那麼在時刻 T1 和 T4 之間的波形部分具有正的幅值，在時刻 T4 和 T7 之間的波形部分具有負的幅值。時刻 T1、T4 和 T7 表示零交叉點。如果正弦波 252 在 DC_1 具有負的 DC 偏移，那麼在時刻 T2 和 T3 之間的波形部分具有正的幅值，同時在時刻 T1 和 T2、T3 和 T7 之間的波形部分具有負的幅值。時刻 T2 和 T3 表示零交叉點。如果正弦波 252 在 DC_2 具有正的 DC 偏移，那麼在時刻 T1 和 T5、T6 和 T7 之間的波形部分具有正的幅值，在時刻 T5 和 T6 之間的波形部分具有負的幅值。時刻 T5 和 T6 表示零交叉點。

圖 260 示出正弦波 252 的樣本，其在 DC_0 具有零 DC 偏移。例如，可通過 ADC 212 對正弦波 252 進行採樣。因此，在採樣點 S1、S11 和 S21 的樣本，分別對應於時刻 T1、T4 和 T7 的零交叉點，其數位值為零。在採樣點 S2...S10 的樣本可包括正的數位值，在採樣點 S12...S20 的樣本可包括負的數位值。例如，如果用 8 位的數位表示在採樣點 S1...S21 的樣本，那麼振幅的範圍可以從 -127 到正的 127。本發明的其他實施例具有的範圍可以是，例如 -128 到 +127 或 -127 到 +128。

圖 3 是依據本發明一實施例的示範性 DC 偏移補償電路的結構框圖。參考圖 3，其示出基帶處理器 216，其包括內插器單元 310、偏移補償器單元 320、偏移估計器單元 330、和誤差檢測器單元 340。基帶處理器 216 的輸入可包括諸如來自 CMF 單元 214 的數

位信號 Sig_in。基帶處理器 216 可包括，例如兩個輸出。第一個輸出可以是數位基帶信號 Sig-Out，其可以是用於補償 DC 偏移的數位基帶信號。第二個輸出可以是數位信號偏移誤差，其包括表示數位基帶信號信號_輸出中的 DC 偏移量的資訊。偏移補償器單元 320 可包括組合器單元 322、換算單元 324、和去換算單元 326。偏移估計器單元 330 可包括累加器單元 332 和 336、以及去換算單元 334。

內插器單元 310 可包括合適的邏輯、電路、和/或代碼，以在輸入的數位之間內插數位。例如，內插器單元 310 可在 4 位元的輸入值之間內插數位，以生成 16 位的輸出值。例如，從每 CDMA 晶片 4 個樣本到每 CDMA 晶片 16 個樣本的過採樣 (oversample) 中可發生。例如，每個輸入可以是 8 比特位，以及每輸出可以是 17 比特位。8-比特輸入和內插的 8-比特值可向左移 9 比特，以生成 17-比特輸出。組合器單元 322 可包括合適的邏輯、電路、和/或代碼，以組合多個輸入。例如，組合器單元 322 可組合來自內插器單元 310 的數位輸入、來自換算單元 324 的負值、以及數值修整因數 (Rounding_Factor)。數值修整因數所具有的值取決於基帶處理器 216 的設計。例如，本發明的一實施例對數值修整因數的賦值為 256。通過例如處理器 156，修整因數可發送到組合器單元 322。本發明的其他實施例，可將修整因數保持為一常數。組合器單元 322 可接收來自內插器單元 310 和換算單元 324 的 17-位元的輸入，並輸出 17-位的值。

換算單元 324 可包括合適的邏輯、電路、和/或代碼，從而通過表示縮放比例輸入，對數位輸入進行換算。例如，通過輸入的縮放比例因數 (scaling_Factor) 可對累加器 336 所發送的數位輸入進行適當的換算。因為輸入的縮放比例因數所表示的值可以是 2 的冪，所以本發明的一實施例中，通過以下方式實現換算單元 324：例如對數位輸入信號左移一合適的位。因此，縮放比例因數可以是表示左移位元數的數位。通過例如處理器 156，可將縮放比例因數發送到換算單元 324。換算單元 324 可通過縮放比例因數，對 8-位的輸入進行換算，其中縮放比例因數所表示的指數可大到 9。因此，換算單元 324 可輸出 17-位的值。

去換算單元 326 可包括合適的邏輯、電路、和/或代碼，以通過合適的值對輸入進行劃分。本發明不同的實施例可通過以下方式實現去換算單元 326：例如右移一合適數量的比特位。例如，右移的比特位的數量可以是 9 比特。因此，來自組合器單元 322 的 17-位元輸入可降低到去換算單元 326 的 8-位元輸出。去換算單元 326 的輸出可以是數位信號信號_輸出 (Sig_Out)。例如，數位信號 Sig_Out 可由基帶處理器作進一步處理、和/或發送到 RF 接收器系統 150 中的別的電路，進一步處理為應用系統的音頻、視頻、和/或文本，例如電子郵件 (email)。

累加器單元 332 可包括合適的邏輯、電路、和/或代碼，以接收和累加數位信號 Sig_Out 的 8-位元值。累加器單元 332 可支援帶符號的 8-位元值。因此，累加器單元 332 所累加的總和可以增加

或減少接收自去換算單元 326 的 8-位元值。累加器單元 332 可累加 N 個 8-位輸入，並可在第 N 個輸入後，清除最終所累加的值。因此，在清除累加的值後，累加器單元 332 的值為零。上述輸出可發送到去換算單元 334 和誤差檢測器 340。累加器單元的輸出可以是，例如 18 位。在本發明的一實施例中，N 可等於例如 1024。

去換算單元 334 可包括合適的邏輯、電路、和/或代碼，以通過合適的值（例如 1024）對輸入進行劃分。因此，如果劃分因數是 2 的冪，那麼本發明的一實施例可通過以下方式實現去換算單元 334：例如右移一合適數量的位。如果劃分因數是 1024，那麼去換算單元 334 可將輸入資料右移 10 位元。因此，去換算單元 334 的輸出可以是 8 位。去換算單元 334 的 8-位元輸出可以是累加器單元 332 所累加的 1024 個 8-位輸入的大致的平均值。去換算單元 334 的輸出可發送到累加器單元 336。

累加器單元 336 可包括合適的邏輯、電路、和/或代碼，以接收 8-位輸入，並在不清除的基礎上對該 8-位輸入進行累加。因此，累加器單元 336 所生成的輸出可以是接收到的信號的 DC 偏移，該 DC 偏移可經常地更新。累加器單元 336 的輸出可以是，例如 8 到 11 位寬。誤差檢測器 340 可包括合適的邏輯、電路、和/或代碼，以處理累加器單元 332 的輸出，以生成誤差信號偏移誤差 (Offset_Error)。用於生成誤差信號 Offset_Error 演算法可獨立地實施。誤差信號 Offset_Error 可發送到處理器，例如處理器 156。處理器 156 可確定接收到的誤差信號 Offset_Error 是否高於誤差閾

值。上述閾值可事先確定或根據不同的傳輸特性動態地確定，例如信噪比、接收到的信號的強度、和/或比特誤差率，。處理器 156 可基於誤差信號 Offset_Error，調節 RF 接收器系統 150 的接收參數。在圖 4 中對接收參數的調節作更詳細的討論。

在實施中，內插器單元 310 可接收來自 CMF 214 的每次 8 位元的數位資料 Sig_In，其中每 8 位元的資料表示類比信號樣本。內插器單元 310 可處理數位資料 Sig_In，以對每 4 位元組的數位資料 Sig_In 內插 16 位元組的資料。例如，在從每 CDMA 晶片 4 個樣本到每 CDMA 晶片 16 個樣本的 4 倍過採樣時所產生上述情況。內插器單元 310 可使用 512 FIR 濾波器增益，對每 8 位元的資料進行濾波，以生成 17 位元的資料。因此，內插器單元 310 的輸出可以是 17-位寬。內插器單元 310 的 17-位元輸出可發送到組合器單元 322。組合器單元 322 可將來自內插器單元 310 的 17 位元的資料和來自換算單元 324 負的 17 位元的資料、以及修整因數 256 進行組合或相加。其結果是 17-位值，並發送到去換算單元 326。去換算單元 326 可對 17-位輸入右移 9 位。其結果是 8 位元的資料，並通過組合器單元 322 與值為 256 的修整因數相加，從而修整為最接近的二進位整數。

去換算單元 326 輸出的 8 位元的資料可發送並作進一步處理，以向 RF 接收器系統 150 的用戶顯示。去換算單元 326 輸出的 8 位元的資料也可發送到累加器單元 332。累加器單元 332 可將 1024 個 8 位元的資料累加或相加，然後將最終累加的資料發送到

去換算單元 324 和誤差檢測器單元 340。因為所累加的 8 位元的資料可以是帶符號的，所以累加的資料可保持對偏移信號偏置進行跟蹤，因為非偏置值往往可相互消除。

將累加的資料發送後，累加器單元 332 可將累加的資料清零。因此，每一累加的資料取決於在將前一累加的資料發送後，下一批所接收到的 1024 個 8 位元的資料。累加器單元 332 的輸出可以是 18 位寬。誤差檢測器單元 340 可生成誤差信號，並由例如基帶處理器 216 和/或處理器 156 所使用，以控制 RF 接收器系統的操作。

例如，去換算單元 334 可將來自累加器單元 332 的 18 位元的資料右移 10 位元。最終的 8 位元的資料可表示為累加器單元 332 所累加的 1024 個 8 位元的資料的舍位元的平均值。因此，來自去換算單元 334 的 8 位元的資料可以是接收到的 1024 個樣本的平均剩餘 DC 偏移值。去換算單元 334 輸出的 8 位元的資料可發送到累加器單元 336。累加器單元 336 可將該 8 位元的資料累加。累加器單元 336 可將來自去換算單元 334 的 8 位元的資料進行累加，因此可有效地集成平均的 DC 偏移。因此，累加器單元 336 的輸出可用作反饋信號，以降低內插器單元 310 所接收到的數位輸入信號 Sig_In 中的 DC 偏移。

累加器單元 336 的輸出可包括 8 個以上 (9-P_DC_GAIN) 比特位。累加器單元 336 的輸出可發送到換算單元 324。換算單元 324 可用因數 $2^{\wedge} P_DC_GAIN$ ，對來自累加器單元 336 的輸出進行

換算。例如，通過對來自累加器單元的輸出左移 P_DC_GAIN 個比特位，以完成換算。因此，其結果是 17-位元寬的資料。該 17-位元寬的資料可發送到組合器單元 322。

在本發明的一些實施例中， P_DC_GAIN 是一固定值。在本發明的別的實施例中，處理器（例如處理器 156）可將 P_DC_GAIN 的值發送到累加器 336 和換算單元 324。另外，假設偏移信號是 DC 信號更易於解釋。然而，本發明不限於對 DC 偏移信號的減少。使用本發明各種不同的實施例，也可減少非 DC 偏移信號。

圖 4 是依據本發明一實施例的示範性多模式 DC 偏移補償電路的結構框圖。參考圖 4，其示出了基帶處理器 216。基帶處理器 216 可包括內插器單元 310、偏移補償器單元 320、偏移估計器單元 400、和誤差檢測器單元 340。內插器單元 310、偏移補償器單元 320、誤差檢測器單元 340 已在圖 3 中作了描述。偏移估計器單元 400 可包括選擇器單元 402、累加器單元 404、406、和 414、開關單元 408、和去換算單元 410 和 412。

選擇器單元 402 可包括合適的邏輯、電路、和/或代碼，以選擇累積器單元 404 或 406 進行操作。選擇器單元 402 也可實現將來自累積器 404 或累加器 406 的輸出發送到去換算單元 410 或去換算單元 412 的轉換。選擇器單元 402 也可指示去換算單元 410 和 412 執行操作，並顯示是否每一單元可生成一輸出。例如，處理器 156 或基帶處理器 216 中別的電路可將命令發送到選擇器單元 402，以實現對累加器 404 和 406 的選擇和操作，以及實現對去

換算單元 410 和 412 的選擇和操作。累加器單元 404 可對 1024 個樣本進行累加，而累加器單元 406 可對 512 個樣本進行累加。去換算單元 410 可將因數 1024 進行去換算，而去換算單元 412 可將因數 512 去換算。

在實施中，處理器 156 可監控來自誤差檢測器 340 的誤差信號 Offset_Error。誤差信號 Offset_Error 可表示用於誤差校正的不同數量的樣本，並可由處理器 156 確定。因此，處理器 156 可發送合適的命令給選擇器單元 402。然後，選擇器單元 402 可選擇一合適的累加器以對資料進行累加，以及選擇一合適的去換算單元以生成平均的誤差資料。

如果誤差信號 Offset_Error 相對較快地變化，例如速率為 100Hz，那麼處理器 156 可確定累加較少的樣本，以便提供較快的反饋。因此，可選擇累加器單元 406 和去換算單元 412。然而，如果誤差信號 Offset_Error 相對較小，那麼處理器 156 可確定累加較大量的樣本。因此，可選擇累加器 404 和去換算單元 410。

儘管圖 4 描述了本發明的一實施例，但本發明不限於此。例如，本發明別的實施例可包括單個累加器，其可輸出 N 個輸入資料的累加。該輸出資料可發送單個去換算單元，並以一合適的值 2^N 進行去換算。因此，多模式誤差估計器單元的功能可以不同的方式實施。

圖 5 是依據本發明一實施例的用於 DC 偏移補償的示範性流程圖。參見圖 5，其示出步驟 500 到 514。在步驟 500 中，通過內插

器單元 310 接收數位資料。內插器單元 310 可處理接收到的數位資料，每 4 個 8-位輸入生成 16 個 8 位元的資料。例如，從每 CDMA 晶片 4 個樣本到每 CDMA 晶片 16 個樣本的過採樣時即可發生。該 4 個 8-位輸入可以是接收 WCDMA 晶片的 4 個樣本。每個 8 位元的資料也可左移 9 位元，最終資料以 17 位元的資料輸出。在步驟 502 中，組合器單元 322 可將來自內插器單元 310 的 17 位元的資料和 17 位元的反饋資料、以及修整因數 256 進行組合或相加。來自組合器單元 322 的經組合的 17 位元的資料可發送到去換算單元 326。在步驟 504 中，去換算單元 326 可將該 17 位的的輸入右移，以生成 8 位元的資料。去換算單元 326 所生成的 8 位元的資料可作為資料 Sig_Out 發送到基帶處理器 216 或處理器 156 中別的電路，以作進一步處理，然後再以例如語音、視頻、和/或文本顯示給用戶。來自去換算單元 326 的資料也可發送到累加器單元 404 和 406。

在步驟 506 中，累加器單元 404 和/或 406 可累加來自去換算單元 326 的資料。累加器單元 404 和/或 406 可累加合適數量的資料。例如，累加器單元 404 可以每晶片 4 個 8 位元的樣本，累加 256 個 WCDMA 晶片的資料，累加器單元 406 可以每晶片 4 個 8 位元的樣本，累加 128 個 WCDMA 晶片資料。因為來自去換算單元 326 的輸出可包括每 WCDMA 晶片 16 個 8 位元的資料，累加器單元 404 和 406 可累加去換算單元 326 所發送的四分之一的資料。因為資料往往是可相互消除，所以所累加的資料可考慮為共

同的偏置或偏移的累加。

接下來的步驟是 508 和 514。在步驟 508 中，在累加了合適數量的 8 位元的資料後，累加器單元 404 和 406 可發送該總的累加的資料給開關單元 408。開關單元 408 可將來自累加器單元 404 和 406 的經累加的資料，分別發送給合適的去換算單元 410 和 412。去換算單元 410 和 412 可將接收到的經累加的資料右移，以生成舍位的平均值。舍位元的平均值可表示累加器單元 404 或 406 所累加的各自數量的樣本的平均偏移值。

例如，去換算單元 410 可將累加器單元 404 所生成的 18-比特資料右移 10 位元，以生成 8 位元的資料。去換算單元也可將累加器單元 406 所生成的 17 位元的資料右移 9 位元，以生成 8 位元的資料。去換算單元所生成的 8 位元的資料可看作累加器單元 404 和 406 所接收並累加的偏移誤差資料的平均值。在輸出累加的資料後，累加器單元 404 和 406 可將累加值設為零，以開始再一次的累加。

在步驟 510 中，去換算單元 410 或 412 輸出的平均偏移值可發送到累加器單元 414。累加器單元 414 不可像累加器單元 404 和 406 一樣將累加值消除或清除。然而累加器單元 414 可不斷地累加平均偏移值。因此，累加器單元 414 可隨時間以集成誤差，從而提供反饋信號，用於校正輸入信號 Sig_In 中的偏移。在步驟 512 中，累加器單元 414 可將資料輸出到去換算單元 324。去換算單元 324 可對累加器單元 414 輸出的資料作進一步換算，以生成 17 位

元的反饋資料，並發送給組合器單元 322。在步驟 514 中，經由開關單元 408，誤差檢測器單元 340 可接收累加器單元 404 或 406 的資料。誤差檢測器單元 340 可生成誤差信號，其可發送到處理器 156。處理器 156 可確定是否使用累加器單元 404 或 406。

圖 6 是依據本發明一實施例的多模式 DC 偏移補償的示範性流程圖。參見圖 6，其示出了步驟 600 到 606。在步驟 600 中，處理器 15 可接收誤差檢測器 340 輸出的誤差信號。在步驟 602 中，處理器 156 可根據誤差信號確定所使用的反饋類型。例如，處理器 156 可確定誤差信號是快速變化的偏移誤差（例如大於 100Hz）或慢速變化的偏移誤差（例如小於或等於 100Hz）。在步驟 604 中，處理器 156 可確定所累加的合適數量的樣本，以用於偏移誤差的反饋校正。例如，處理器 156 可選擇較少的樣本進行累加，從而為快速變化的偏移誤差提供較快的反饋。如果處理器 156 確定誤差信號不是快速變化的偏移誤差（例如小於或等於 100Hz），那麼處理器 156 可選擇累加器單元 404 使用較大量的樣本提供反饋，其可提供更高的精確度。

在步驟 606 中，在處理器 156 的控制下，選擇器單元 402 可選擇特定的單元，以累加一定數量的樣本，從而用於反饋。本發明的一些實施例可在兩個不同數量的樣本之間進行選擇以進行累加，同時本發明的其他實施例可動態地構造不同的單元，以便提供可最佳數量的樣本以進行累加。例如，選擇器單元 402 和/或處理器 156 可設置累加器單元 404 和/或 406，以累加特定數量的樣

本。類似的，例如，選擇器單元 402 和/或處理器 156 可設置去換算單元 410 和/或 412，以使用合適的值進行去換算。

一種用於多模式 DC 偏移補償的方法和系統的一些方面可包括：處理器 156 選擇多個信號樣本，以用於反饋信號的生成。累加器單元 404 和/或 406 可將所選擇的多個信號樣本進行累加，去換算單元 410 和/或 412 可確定所累加的信號樣本的平均值。累加器單元 414 可將累加器單元 404 和/或 406 輸出的平均值進行累加，以生成連續的反饋誤差值。該信號樣本可以是 WCDMA 信號樣本。

累加器單元 404 和/或 406 所累加的信號樣本的數量可以是基於信號偏移誤差或剩餘 DC。例如，本發明的一實施例可包括兩個不同數量的信號樣本，以進行累加。當信號偏移誤差小於或等於閾值時，累加一較大數量的信號樣本。當信號偏移誤差大於閾值時，累加一較小數量的信號樣本。在本發明的一實施例中，累加器 404 和/或 406 可累加的信號樣本的數量可以等於 2^N 。因此，去換算單元 410 和/或 412 可將累加器單元 404 和/或 406 輸出的總值，右移 N 個比特位元，以確定信號樣本數量的平均值。

本發明的另一實施例可提供一種機器可讀記憶體，其上存儲有電腦程式，該電腦程式具有至少一個可由機器執行的代碼段，因此使得該機器執行如上所描述的用於多模式 DC 偏移補償的步驟。

本發明可以通過硬體、軟體，或者軟、硬體結合來實現。本發明可以在至少一個電腦系統中以集中方式實現，或者由分佈在

幾個互連的電腦系統中的不同部分以分散方式實現。任何可以實現所述方法的電腦系統或其他設備都是可適用的。常用軟硬體의結合可以是安裝有電腦程式的通用電腦系統，通過安裝和執行所述程式控制電腦系統，使其按所述方法運行。在電腦系統中，利用處理器和存儲單元來實現所述方法。

本發明還可以嵌入電腦程式產品，所述套裝程式含上述能夠實現本發明方法的全部特徵，當其安裝到電腦系統中時，通過運行可以實現本發明的方法。本申請文件中的電腦程式所指的是：可以採用任何程式語言、代碼或符號編寫的一組指令的任何運算式，該指令組使系統具有資訊處理能力，以直接實現特定功能，或在進行下述一個或兩個步驟之後實現特定功能：a)轉換成其他語言、編碼或符號；b)以不同的格式再現。

本發明是通過一些實施例進行描述的，本領域技術人員知悉，在不脫離本發明的精神和範圍的情況下，可以對這些特徵和實施例進行各種改變或等效替換。另外，在本發明的教導下，可以對這些特徵和實施例進行修改以適應具體的情況及材料而不會脫離本發明的精神和範圍。因此，本發明不受此處所公開的具體實施例的限制，所有落入本申請的權利要求範圍內的實施例都屬於本發明的保護範圍。

【圖式簡單說明】

圖 1A 是關於本發明一實施例所使用的示範性發射器系統和接收器系統的結構框圖；

圖 1B 是關於本發明一實施例所使用的示範性 RF 接收器系統的結構框圖；

圖 2A 是關於本發明一實施例所使用的示範性接收路徑的結構框圖；

圖 2B 是依據本發明一實施例的示範性波形採樣的示意圖；

圖 3 是依據本發明一實施例的示範性 DC 偏移補償電路的結構框圖；

圖 4 是依據本發明一實施例的示範性多模式 DC 偏移補償電路的結構框圖；

圖 5 是依據本發明一實施例的用於 DC 偏移補償的流程圖；

圖 6 是依據本發明一實施例的多模式 DC 偏移補償的示範性流程圖。

【主要元件符號說明】

發射器單元 110	接收器單元 120
低噪音放大器 122	混頻器 124
本地振盪器 126	RF 接收器系統 150
接收器前端 152	基帶處理器 154
處理器 156	系統記憶體 158
組合器 210	模數轉換器 (ADC) 212
晶片匹配濾波器 (CMF) 單元 214	基帶處理器 216
圖表 250、260	正弦波 252
內插器單元 310	偏移補償器單元 320

組合器單元 322

去換算單元 326

累加器單元 332、336

誤差檢測器單元 340

選擇器單元 402

開關單元 408

換算單元 324

偏移估計器單元 330

去換算單元 334

偏移估計器單元 400

累加器單元 404、406、414

去換算單元 410、412

五、中文發明摘要：

本發明涉及一種用於多模式 DC 偏移補償的方法和系統。該系統的一些方面包括：累加多個信號樣本、確定所累加的信號樣本的平均值、以及保持該平均值的累積總計以用於生成反饋信號。該信號樣本可以是 WCDMA 信號樣本。通過保持對所述信號偏移誤差的跟蹤，確定所述信號偏移誤差或剩餘 DC。例如信號偏移誤差可包括 DC 分量和/或正弦分量。累加用於取平均值的信號樣本的數量可以是基於信號偏移誤差。例如，閾值的確定可作為本發明一實施例設計的一部分。

六、英文發明摘要：

Aspects of a method and system for multimode DC offset compensation are presented. Aspects of the system may include accumulating a selected number of signal samples, determining an average of the accumulated signal samples, and keeping a running total of the average for use feedback signal generation. The signal samples may be, for example, samples of WCDMA signals. By keeping track of the signal offset error, the signal offset error, or residual DC, may be determined. For example the signal offset error may comprise a DC component and/or a sinusoidal component. The number of signal samples to accumulate for the average may be based on the signal offset error. For example, a threshold may be determined as part of design of an embodiment of the invention.

十、申請專利範圍：

1、一種處理電路中信號的方法，其特徵在於，包括以下步驟：

選擇多個信號樣本，以用於生成反饋信號；

取所述多個信號樣本的平均值；

累加所述平均值，用於生成所述反饋信號，以便削弱信號偏移。

2、如申請專利範圍第 1 項所述的方法，其中，所述信號樣本是 WCDMA 信號樣本。

3、如申請專利範圍第 1 項所述的方法，其中，所述選擇的信號樣本的數量是基於信號偏移誤差的。

4、如申請專利範圍第 1 項所述的方法，其中，所述選擇的信號樣本的數量是至少兩個數量中的其中之一。

5、如申請專利範圍第 4 項所述的方法，其中，當信號偏移誤差小於或等於閾值時，所述選擇的信號樣本的數量取所述至少兩個數量中的較大值。

6、如申請專利範圍第 4 項所述的方法，其中，當信號偏移誤差大於閾值時，所述選擇的信號樣本的數量取所述至少兩個數量中的較小值。

7、一種機器可讀記憶體，其特徵在於，其上存儲有電腦程式，所述電腦程式包括至少一個代碼段，用於電路中的信號處理，所述至少一個代碼段可由機器執行，並使得所述機器執行以下步驟：

選擇多個信號樣本，以用於生成反饋信號；

取所述多個信號樣本的平均值；

累加所述平均值，用於生成所述反饋信號，以便削弱信號偏移。

8、一種處理電路中信號的系統，其特徵在於，包括：

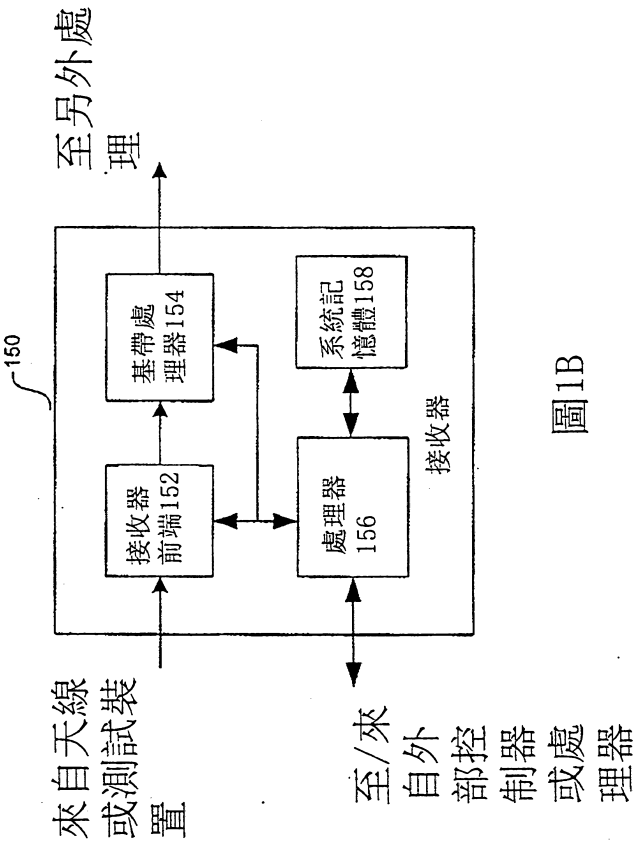
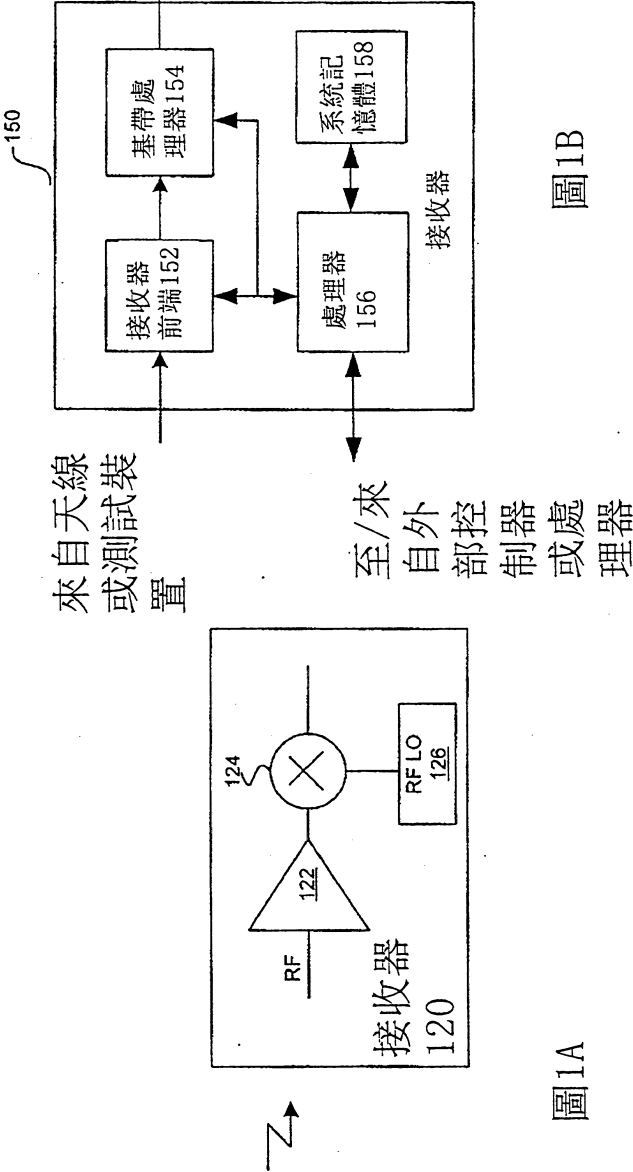
至少一電路，用於選擇多個信號樣本，以生成反饋信號；

所述至少一電路可確定所述數量的信號樣本的平均值；和

所述至少一電路可累加所述經確定的平均值，用於生成所述反饋信號。

9、如申請專利範圍第 8 項所述的系統，其中，所述信號樣本為 WCDMA 信號樣本。

10、如申請專利範圍第 8 項所述的系統，其中，所述選擇的信號樣本的數量是基於信號偏移誤差的。



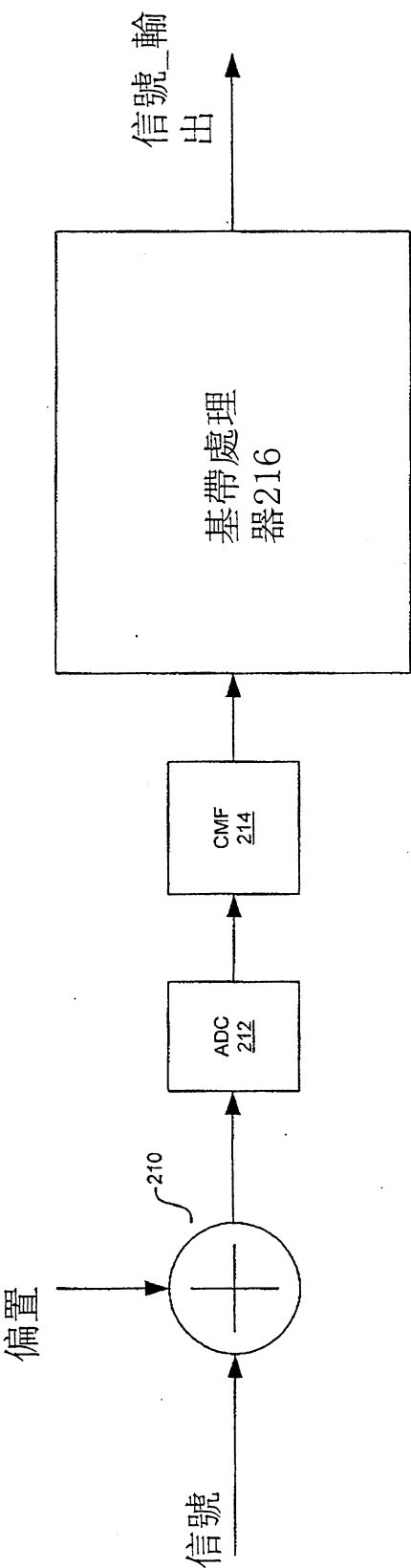


圖2A

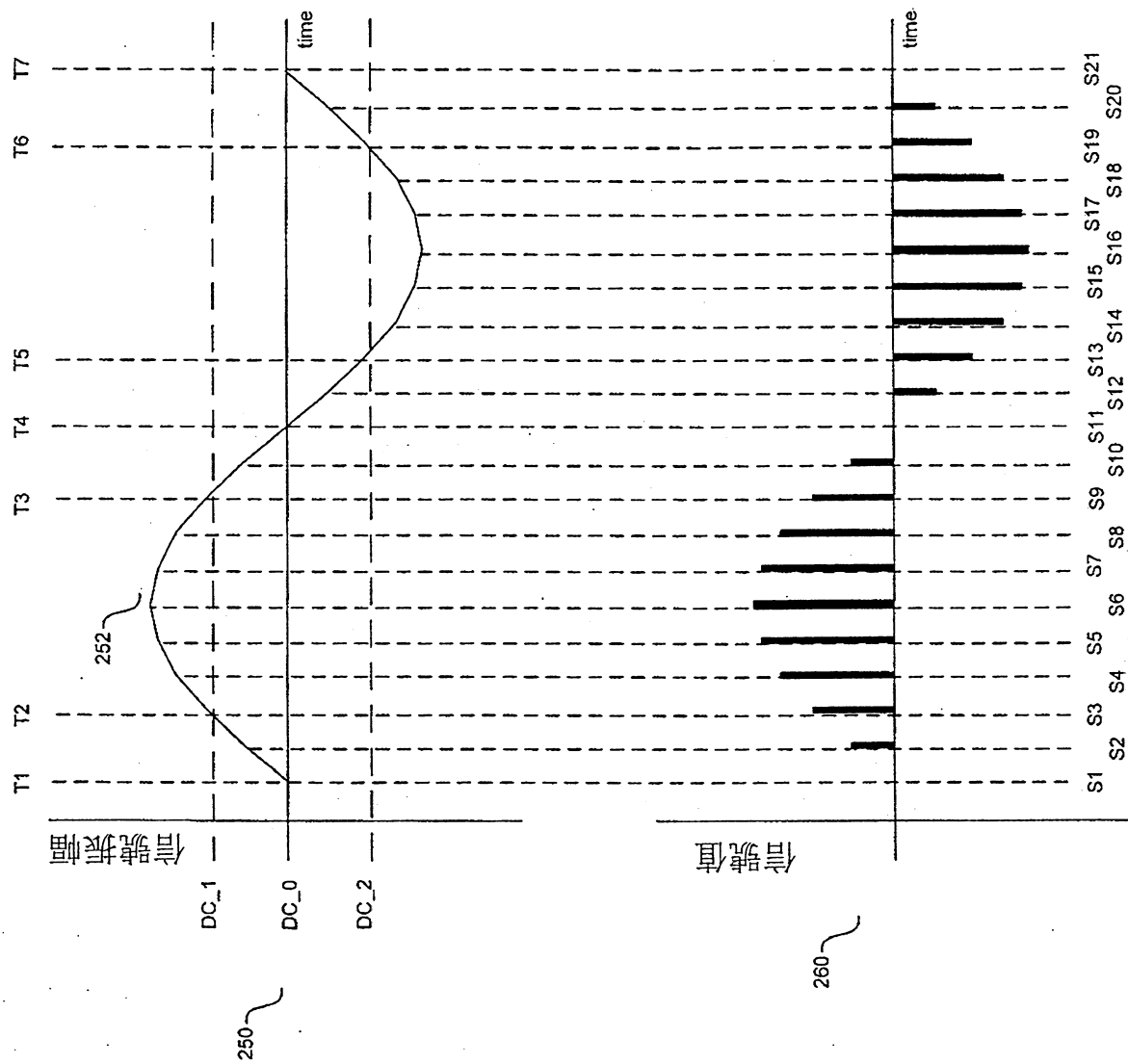


圖 2B

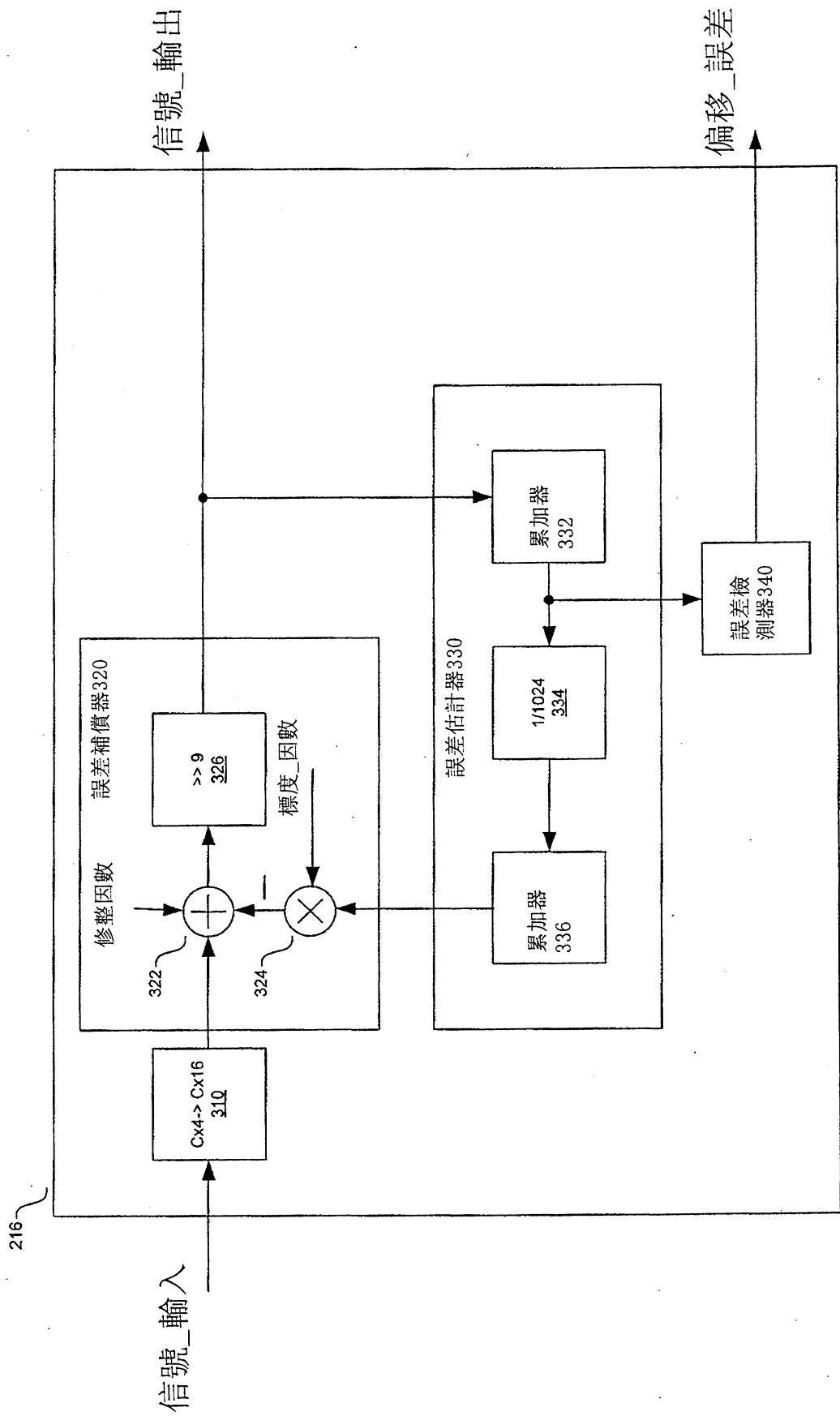


圖3

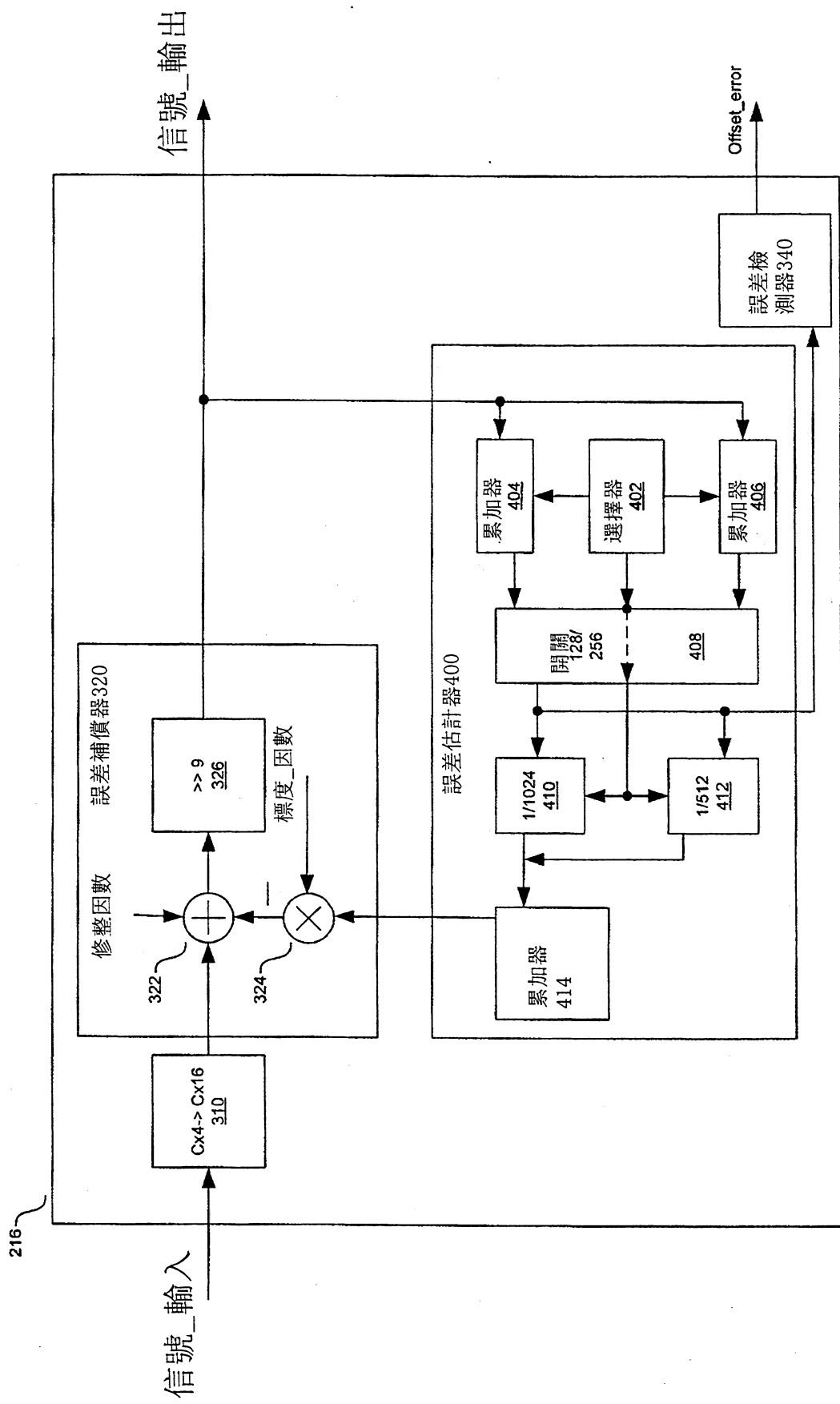


圖 4

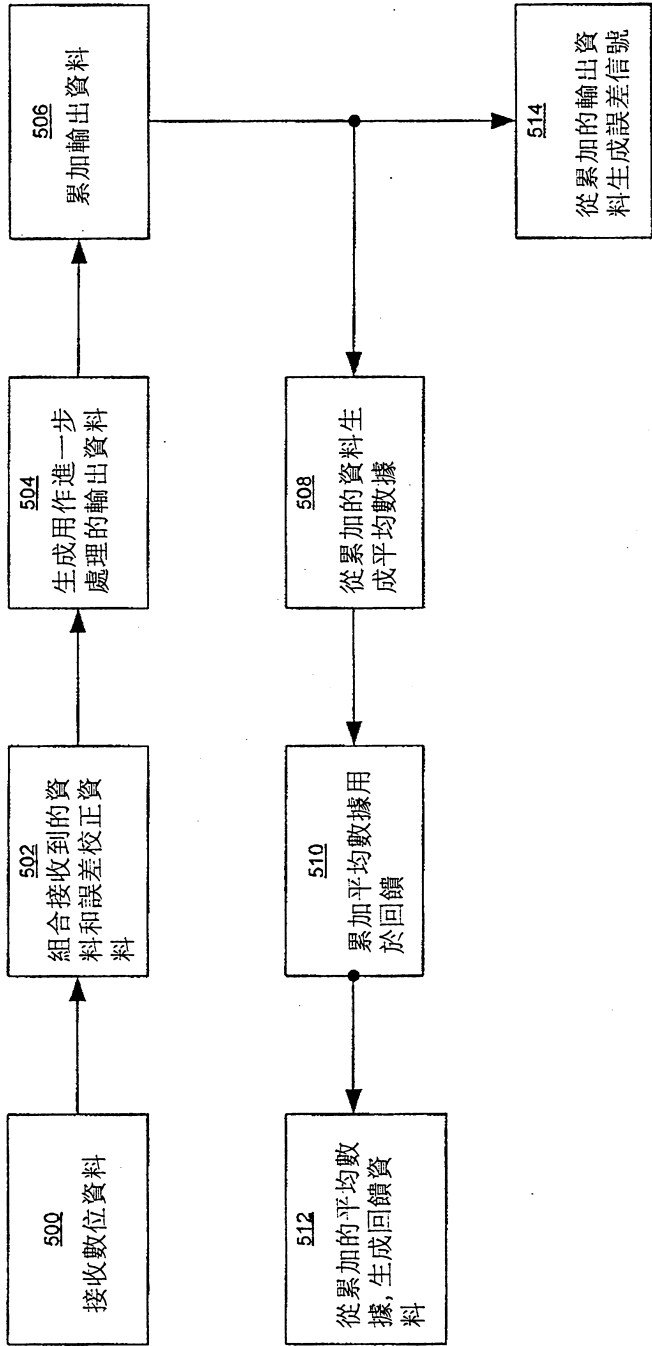


圖5

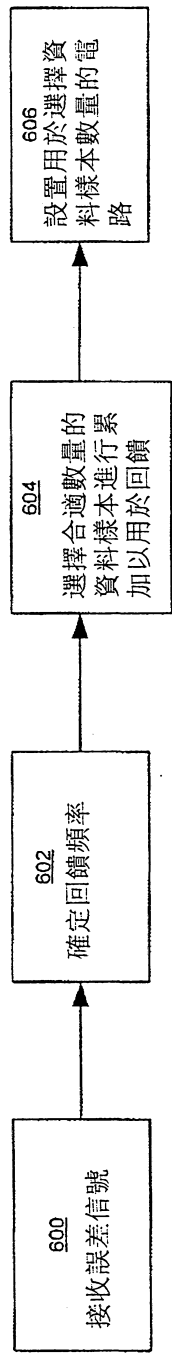


圖6

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

圖 6 是流程圖,無元件符號說明

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：