

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4642800号  
(P4642800)

(45) 発行日 平成23年3月2日 (2011.3.2)

(24) 登録日 平成22年12月10日 (2010.12.10)

(51) Int. Cl.

H04N 1/028 (2006.01)

F I

H04N 1/028

C

請求項の数 6 (全 24 頁)

(21) 出願番号	特願2007-103042 (P2007-103042)	(73) 特許権者	000001007
(22) 出願日	平成19年4月10日 (2007.4.10)		キヤノン株式会社
(65) 公開番号	特開2008-263298 (P2008-263298A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成20年10月30日 (2008.10.30)	(74) 代理人	100076428
審査請求日	平成22年4月12日 (2010.4.12)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 ラインセンサ

(57) 【特許請求の範囲】

【請求項 1】

モノクロ画素及び複数の異なる色成分のカラー画素と、前記モノクロ画素及び前記複数の異なる色成分のカラー画素から複数の配線のうち該当する配線を介して伝達される光信号をそれぞれ保持する複数の保持手段と、前記複数の配線にそれぞれ一端が接続された複数のスイッチ手段とをそれぞれ含んだ複数の基本セルと、各基本セルに属する前記複数のスイッチ手段の他端にそれぞれ接続された複数の光信号共通出力線を含むラインセンサであって、

各前記基本セルは、当該基本セルに属する前記複数の保持手段のうち隣接する保持手段のそれぞれの間を接続する複数のM O Sトランジスタを有し、当該基本セルに属する各M O Sトランジスタのゲート電極は、平面図において、当該M O Sトランジスタによって接続される隣接する保持手段に接続された隣接する配線の間に配置され、前記複数のM O Sトランジスタのドレイン容量が互いに等しくなるようレイアウトされ、

前記ラインセンサは、平面図において、各前記基本セルの端の配線を当該基本セルに属する前記複数のM O Sトランジスタのうち当該基本セルの端の配線に最も近いM O Sトランジスタのゲート電極との間で挟むように配置された追加のゲート電極を備え、前記追加のゲート電極には、各前記基本セルに属する前記複数のM O Sトランジスタのゲート電極が接続された制御配線とは異なる制御配線が接続されていることを特徴とするラインセンサ。

【請求項 2】

10

20

前記カラー画素の各色成分は、R、G、Bの三つの色成分であることを特徴とする請求項1記載のラインセンサ。

【請求項3】

各前記基本セルにおいて、前記複数のMOSトランジスタを導通させることによって、前記複数の保持手段のうちモノクロ画素に対応する保持手段と前記複数の保持手段のうちカラー画素に対応する保持手段とを導通させた状態で、前記複数の光信号共通出力線のうちモノクロ画素に対応する光信号共通出力線への読み出し動作を行うモノクロ読み出しモードを有することを特徴とする請求項1記載のラインセンサ。

【請求項4】

複数の異なる色成分のカラー画素と、前記複数の異なる色成分のカラー画素から複数の配線のうち該当する配線を介して伝達される光信号をそれぞれ保持する複数の保持手段と、前記複数の配線にそれぞれ一端が接続された複数のスイッチ手段とをそれぞれ含んだ複数の基本セルと、各基本セルに属する前記複数のスイッチ手段の他端にそれぞれ接続された複数の光信号共通出力線を含むラインセンサであって、

各前記基本セルは、当該基本セルに属する前記複数の保持手段のうち隣接する保持手段のそれぞれの間を接続する複数のMOSトランジスタを有し、当該MOSトランジスタによって接続される隣接する保持手段に接続された隣接する配線の間に配置され、前記複数のMOSトランジスタのドレイン容量が互いに等しくなるようレイアウトされ、

前記ラインセンサは、平面図において、各前記基本セルの端の配線を当該基本セルに属する前記複数のMOSトランジスタのうち当該基本セルの端の配線に最も近いMOSトランジスタのゲート電極との間で挟むように配置された追加のゲート電極を備え、前記追加のゲート電極には、各前記基本セルに属する前記複数のMOSトランジスタのゲート電極が接続された制御配線とは異なる制御配線が接続されていることを特徴とするラインセンサ。

【請求項5】

前記カラー画素の各色成分は、R、G、Bの三つの色成分であることを特徴とする請求項4記載のラインセンサ。

【請求項6】

各前記基本セルにおいて、前記複数のMOSトランジスタを導通させることによって、前記複数の保持手段のうち或る一つのカラー画素に対応する保持手段と他のカラー画素に対応する保持手段とを導通させた状態で、前記複数の光信号共通出力線のうち前記或る一つのカラー画素に対応する光信号共通出力線への読み出し動作を行うモノクロ読み出しモードを有することを特徴とする請求項4記載のラインセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にラインセンサに関し、例えばモノクロ画像撮像時のゲイン増加が可能なラインセンサに関する。

【背景技術】

【0002】

画素が一次元状に配列されてなるラインセンサは、複写機やファクシミリ等の画像入力装置やスキャナ等の画像読み取り装置のイメージセンサとして用いられている。

【0003】

一般的に、このようなラインセンサをカラー読み出しモードとモノクロ読み出しモードの両スキャンモードを有する複写機に用いた場合、特にモノクロスキャン時の高速読み出しが要求される。しかし、読み出し期間を高速化すれば、電荷の蓄積時間が短くなる分、ラインセンサの出力が低下してしまう。よって、モノクロスキャン時の感度増加が必要となる。

【0004】

感度増加を行う一つ的手段として、図13に示すような、光信号を保持容量上で加算す

10

20

30

40

50



6 W, 6 R, 6 G, 6 Bと、走査回路23と、リセット手段8と、出力回路部7 W, 7 R, 7 G, 7 Bとを有している。容量5 W, 5 R, 5 G, 5 Bは各色毎の光信号共通出力線6 W, 6 R, 6 G, 6 Bにそれぞれ付加する容量である。以下で説明するモノクロスキャンモード時には画素1 Wの信号を読み出す。またカラーสキャンモード時には画素1 W, 1 R, 1 G, 1 Bの信号をそれぞれ読み出す。

#### 【0013】

基本セル22は、その内部に画素1 W, 1 R, 1 G, 1 Bを備える。基本セル22は、それらに加えて、各画素からの光信号を保持する光信号保持手段3 W, 3 R, 3 G, 3 Bを備える。基本セル22は、更に、各画素に接続され、光信号保持手段3 W, 3 R, 3 G, 3 Bへの信号の書き込みを制御する第一のスイッチ手段2を有する。また、光信号保持手段3 W, 3 R, 3 G, 3 Bから光信号共通出力線6 W, 6 R, 6 G, 6 Bへの信号読出しを制御する第二のスイッチ手段4と、光信号保持手段3 W, 3 R, 3 G, 3 B間の相互の接続を制御する第三のスイッチ手段11とを有する。また、第一のスイッチ手段2と光信号保持手段3 R, 3 G, 3 Bの間に第四のスイッチ手段9を有する。さらに、第二のスイッチ手段4と光信号保持手段3 R, 3 G, 3 Bの間に第五のスイッチ手段10を有する。

10

#### 【0014】

尚、本例においては、光信号保持手段3 W, 3 R, 3 G, 3 Bとして容量素子を用いている。また、第一のスイッチ手段2、第二のスイッチ手段4、第三のスイッチ手段11、第四のスイッチ手段9、第五のスイッチ手段10として、NMOSトランジスタ素子を用いた場合を例にとって説明する。

20

#### 【0015】

第三のスイッチ手段11は、3つのNMOSトランジスタ素子を備える。中央のNMOSトランジスタ11 Gが、隣接する2つのMOSTランジスタ11 R、11 Bのゲートとゲートの間に形成されたひとつのドレイン領域を互いのドレイン領域として共用しており、かつ共用されたドレイン領域が保持手段3 R、3 Gに接続されている。

#### 【0016】

まず、このラインセンサのモノクロスキャンモード時の動作について、図4のタイミングチャートを用いて説明する。制御配線上の $\phi_1$ は第一のスイッチ手段2を制御する制御信号である。制御配線上の $\phi_2$ 、 $\phi_3$ は走査回路23から順次出力されるシフトパルスであり、第二のスイッチ手段4、 $\phi_4$ をそれぞれ制御する。制御配線上の $\phi_{CHR}$ はリセット手段を制御する制御信号である。また、ここでは図示していないが、第三のスイッチ手段11は制御配線上の制御信号 $MODE\_b$ で制御され、第四のスイッチ手段9、第五のスイッチ手段10は制御配線上の制御信号 $MODE$ で制御されるものである。

30

#### 【0017】

モノクロスキャンモード時には $MODE$ がローレベル、 $MODE\_b$ がハイレベルとなり、第三のスイッチ手段11は全ての基本セル22でオンとなり、第四のスイッチ手段9及び第五のスイッチ手段10は全ての基本セル22でオフとなる。以下、この時の動作について説明する。

#### 【0018】

まず、 $\phi_1$ をハイレベルにすることにより、全ての基本セル一括で第一のスイッチ手段2をオンする。この時、第四のスイッチ手段9がオフとなっているため、画素1 R, 1 G, 1 Bにより得られた光信号は光信号保持手段3 R, 3 G, 3 Bには読み出されない。

40

#### 【0019】

一方、画素1 Wにより得られた光信号は光信号保持手段3 Wに読み出されるが、この時、第三のスイッチ手段11がオンとなっているため、光信号保持手段3 Wには並列に光信号保持手段3 R, 3 G, 3 Bが接続されている。よって、画素1 Wの光信号は光信号保持手段3 W, 3 R, 3 G, 3 Bの並列容量に読み出される。

#### 【0020】

次に、 $\phi_{CHR}$ をハイレベルにすることにより、光信号共通出力線6 W, 6 R, 6 G,

50

6 B は、所望のリセット電圧  $V_{CH R}$  にリセットされる。

【 0 0 2 1 】

その後、走査回路 2 3 のシフトパルス 1 を用いて第二のスイッチ手段 4 をオンする。この時、第五のスイッチ手段 1 0 はオフとなっているので、光信号保持手段 3 R , 3 G , 3 B は光信号共通出力線 6 R , 6 G , 6 B から切り離されている。よって、光信号共通出力線 6 W にのみ、光信号保持手段 3 W , 3 R , 3 G , 3 B の並列容量に保持された光信号が読み出される。光信号保持手段 1 つあたりの容量値を  $CT$  とすると、この時の並列容量値は、 $4CT$  である。この時の信号の読み出しゲイン  $G$  は、光信号共通出力線 6 W の容量を  $CH$  として、

【 0 0 2 2 】

【 数 2 】

$$G = \frac{4CT}{4CT + CH} = \frac{1}{1 + CH/4CT} \quad \dots (1)$$

【 0 0 2 3 】

である。光信号共通出力線 6 W に読み出された光信号は出力回路部 7 W に入力され、光信号が出力される。その後、 $C_{H R}$  をハイレベルにすることにより再度、光信号共通出力線 6 W は所望のリセット電圧  $V_{CH R}$  にリセットされる。

【 0 0 2 4 】

次に、走査回路 2 3 のシフトパルス 2 により第二のスイッチ手段 4 ' をオンし、同様な読み出し動作を繰り返す。よって、出力回路部 7 W からは、まず基本セル 2 2 のモノクロ画素の光信号が読み出され、次に基本セル 2 2 ' のモノクロ画素の光信号、というふうに順次読み出される。

【 0 0 2 5 】

一方、カラースキャンモード時には、図 3 において、 $MODE$  がハイレベル、 $MODE\_b$  がローレベルとなり、第三のスイッチ手段 1 1 は全ての基本セル 2 2 でオフとなり、第四のスイッチ手段 9 及び第五のスイッチ手段 1 0 は全ての基本セル 2 2 でオンとなる。

【 0 0 2 6 】

画素 1 W , 1 R , 1 G , 1 B により得られた光信号は光信号保持手段 3 W , 3 R , 3 G , 3 B に、 $C_T$  をハイレベルにすることで、第一のスイッチ手段 2 をオンすることによって読み出される。その後、 $C_{H R}$  をハイレベルにすることにより、光信号共通出力線 6 W , 6 R , 6 G , 6 B は、所望のリセット電圧  $V_{CH R}$  にリセットされる。

【 0 0 2 7 】

次に、走査回路 2 3 のシフトパルス 1 により第二のスイッチ手段 4 をオンし、光信号保持手段 3 W , 3 R , 3 G , 3 B の光信号を光信号共通出力線 6 W , 6 R , 6 G , 6 B に読み出す。光信号保持手段 1 つあたりの容量値を  $CT$  とすると、それぞれの信号の読み出しゲイン  $G$  は、光信号共通出力線 6 W , 6 R , 6 G , 6 B の寄生容量を  $CH$  として、

【 0 0 2 8 】

【 数 3 】

$$G = \frac{CT}{CT + CH} = \frac{1}{1 + CH/CT} \quad \dots (2)$$

【 0 0 2 9 】

である。その後、出力回路部 7 W , 7 R , 7 G , 7 B から各色成分毎の光信号を読み出し

10

20

30

40

50

た後、光信号共通出力線 6 W , 6 R , 6 G , 6 B は、 $C_{H R}$  をハイレベルにすることにより再度、所望のリセット電圧  $V_{C H R}$  にリセットされる。

【 0 0 3 0 】

次に、走査回路 2 3 のシフトパルス 2 により第二のスイッチ手段 4 ' をオンし、同様な読み出し動作を繰り返す。よって、出力回路部 7 W , 7 R , 7 G , 7 B からは、まず 1 つ目の基本セル 2 2 のモノクロ画素及び R , G , B 画素の光信号が同時に読み出され、次に 2 つ目の基本セル 2 2 ' のモノクロ画素及び R , G , B 画素の光信号、というふうに順次読み出される。

【 0 0 3 1 】

このようにして、カラスキャンモード時には、モノクロ画素及び R , G , B 画素からの出力の同時読み出しが行われる。

10

【 0 0 3 2 】

ここで、( 1 ) 式と ( 2 ) 式を比較すると、モノクロスキャンモード時の方が、光信号共通出力線への読み出しゲインが大きい。よって、光信号保持手段 3 R , 3 G , 3 B を光信号保持手段 3 W に並列に接続して、光信号共通出力線 6 W に読み出すことにより、モノクロスキャン時の感度増加が可能となっていることがわかる。

【 0 0 3 3 】

これにより、高速でモノクロスキャンを行い、蓄積時間が短くなる際のラインセンサの出力低下を補うことができる。言い換えると、本例に係るラインセンサを用いることによって、より高速なモノクロスキャンを行うことが可能となる。

20

【 0 0 3 4 】

また、本例においては、モノクロスキャン時に用いられない光信号保持手段 3 R , 3 G , 3 B を光信号保持手段 3 W に接続して、読み出しゲインの増加を達成している。これにより、信号加算を行った際にも、図 3 において、一つの基本セル 2 2 から一つのモノクロ信号が得られる。よって、解像度を低下させることなくモノクロスキャン時のゲイン増加を行うことができる。

【 0 0 3 5 】

一方、上述のようにカラスキャンモード時には、第三のスイッチ手段 1 1 は全ての基本セル 2 2 でオフとし、各色の光信号を光信号保持手段 3 W , 3 R , 3 G , 3 B から各色毎の光信号共通出力線 6 W , 6 R , 6 G , 6 B に読み出す。

30

【 0 0 3 6 】

この時、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量にバラツキがあると、各色毎に光信号共通出力線 6 R , 6 G , 6 B へ信号を読み出す際の読み出しゲインが異なってしまう。つまり、R , G , B 間の相対感度が設計値からずれてしまう。

【 0 0 3 7 】

また、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量にバラツキがあると、画素 1 R , 1 G , 1 B から信号を光信号保持手段 3 R , 3 G , 3 B に書き込む際に重畳される熱雑音の大きさが異なる。加えて、図 3 において  $\tau$  がオフする際に光信号保持手段 3 R , 3 G , 3 B に保持されている光信号に重畳されるリセットノイズの大きさが異なる。つまり、色間でランダムノイズの大きさが異なってしまう。

40

【 0 0 3 8 】

更にまた、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量にバラツキがあると、 $\tau$  がオフする際の光信号保持手段 3 R , 3 G , 3 B 上の電位のフラレ量が異なる。上述のようにフラレ量が異なると、暗時においても出力回路部 7 R , 7 G , 7 B から出力される各信号の電位は等しくならない。つまり、色間の出力信号間のオフセット成分が大きくなってしまふ。

【 0 0 3 9 】

図 5 は MOS トランジスタで構成された第三のスイッチ手段 1 1 の模式平面図である。本例においては、第三のスイッチ手段 1 1 を図 5 のようにレイアウトすることによって、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量のバラツキを低減している。

50

## 【 0 0 4 0 】

図 5 において、配線 1 2 W は光信号保持手段 3 W と第三のスイッチ手段 1 1 R のソースもしくはドレイン領域及び第二のスイッチ手段 4 W を接続するものである。また、図 5 において、配線 1 2 R , 1 2 G , 1 2 B は光信号保持手段 3 R , 3 G , 3 B と第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B のソースもしくはドレイン領域及び第五のスイッチ手段 1 0 R , 1 0 G , 1 0 B を接続するものである。1 3 は半導体領域であり、第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B のソースもしくはドレイン領域が形成される。また、1 4 は第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B の共通ゲート電極であり、前記ソースもしくはドレイン領域の間の半導体領域上に形成される。

## 【 0 0 4 1 】

図 6 は図 5 の a - b の断面図である。配線 1 2 W , 1 2 R , 1 2 G , 1 2 B はコンタクト 1 6 を介して第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B のソースもしくはドレイン領域 1 5 W , 1 5 R , 1 5 G , 1 5 B に接続されている。1 8 は MOS トランジスタのウエル層である。2 4 は素子分離領域であり、図 5 の基本セル間に対応して形成される。

## 【 0 0 4 2 】

ソースもしくはドレイン領域 1 5 W , 1 5 R , 1 5 G , 1 5 B はウエル層 1 8 との間に接合容量 1 7 W , 1 7 R , 1 7 G , 1 7 B を形成する。また、配線 1 2 W , 1 2 R , 1 2 G , 1 2 B は、第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B のゲート電極 1 4 との間に寄生容量 2 0 を形成する。

## 【 0 0 4 3 】

ドレイン容量はドレイン領域の面積に応じてほぼその大きさが決まる。図 5 に示したように、配線 1 2 W , 1 2 R , 1 2 G , 1 2 B にそれぞれ接続するドレイン領域の数がいずれもひとつずつであり、かつそれぞれのドレイン面積が等しくなるように第三のスイッチ手段 1 1 R , 1 1 G , 1 1 B を構成する MOS トランジスタのゲート幅を決めている。これにより、配線 1 2 R , 1 2 G , 1 2 B に付加されるドレイン容量はほぼ等しくすることができる。よって、配線 1 2 R , 1 2 G , 1 2 B に接続する光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量の差を軽減することができる。

## 【 0 0 4 4 】

図 6 において、金属配線 1 2 R , 1 2 G には、第三のスイッチ手段 1 1 のゲート電極 1 4 との間の寄生容量 2 0 がそれぞれ 2 つずつ付加されている。しかし、配線 1 2 B には 1 つしか付加されていない。よって、図 6 においてもまだ、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量に差が存在する。

## 【 0 0 4 5 】

そこで、本発明は、各色の光信号保持手段に付加される寄生容量の差がなくなったラインセンサを提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 4 6 】

本発明の第 1 の側面は、モノクロ画素及び複数の異なる色成分のカラー画素と、前記モノクロ画素及び前記複数の異なる色成分のカラー画素から複数の配線のうち該当する配線を介して伝達される光信号をそれぞれ保持する複数の保持手段と、前記複数の配線にそれぞれ一端が接続された複数のスイッチ手段とをそれぞれ含んだ複数の基本セルと、各基本セルに属する前記複数のスイッチ手段の他端にそれぞれ接続された複数の光信号共通出力線を含むラインセンサに係り、各前記基本セルは、当該基本セルに属する前記複数の保持手段のうち隣接する保持手段のそれぞれの間を接続する複数の MOS トランジスタを有し、当該基本セルに属する各 MOS トランジスタのゲート電極は、平面図において、当該 MOS トランジスタによって接続される隣接する保持手段に接続された隣接する配線の間に配置され、前記複数の MOS トランジスタのドレイン容量が互いに等しくなるようレイアウトされ、前記ラインセンサは、平面図において、各前記基本セルの端の配線を当該基本セルに属する前記複数の MOS トランジスタのうち当該基本セルの端の配線に最も近い MOS トランジスタのゲート電極との間で挟むように配置された追加のゲート電極を備え、

10

20

30

40

50

前記追加のゲート電極には、各前記基本セルに属する前記複数のＭＯＳトランジスタのゲート電極が接続された制御配線とは異なる制御配線が接続されていることを特徴とする。

【００４７】

本発明の第２の側面は、複数の異なる色成分のカラー画素と、前記複数の異なる色成分のカラー画素から複数の配線のうち該当する配線を介して伝達される光信号をそれぞれ保持する複数の保持手段と、前記複数の配線にそれぞれ一端が接続された複数のスイッチ手段とをそれぞれ含んだ複数の基本セルと、各基本セルに属する前記複数のスイッチ手段の他端にそれぞれ接続された複数の光信号共通出力線を含むラインセンサに係り、各前記基本セルは、当該基本セルに属する前記複数の保持手段のうち隣接する保持手段のそれぞれの間を接続する複数のＭＯＳトランジスタを有し、当該ＭＯＳトランジスタによって接続される隣接する保持手段に接続された隣接する配線の間に配置され、前記複数のＭＯＳトランジスタのドレイン容量が互いに等しくなるようレイアウトされ、前記ラインセンサは、平面図において、各前記基本セルの端の配線を当該基本セルに属する前記複数のＭＯＳトランジスタのうち当該基本セルの端の配線に最も近いＭＯＳトランジスタのゲート電極との間で挟むように配置された追加のゲート電極を備え、前記追加のゲート電極には、各前記基本セルに属する前記複数のＭＯＳトランジスタのゲート電極が接続された制御配線とは異なる制御配線が接続されていることを特徴とする。

10

【発明の効果】

【００４８】

本発明によれば、解像度を低下させることなくモノクロスキャン時のゲインを増加させる効果を得る事ができる。また、信号を非加算で読み出す際に各保持容量に付加される寄生容量のバラツキを低減させる効果を得ることができる。

20

【発明を実施するための最良の形態】

【００４９】

以下、図面に基づき本発明に係るラインセンサについて説明する。

【００５０】

図１は第三のスイッチ手段１１の第二の模式平面図である。図１において、２１は半導体領域であり、第三のスイッチ手段１１のソースもしくはドレイン領域が形成される。前記半導体領域２１は基本セル間にまたがって形成されている。１９は第２のゲート電極である。第２のゲート電極１９の電位を常にローレベルとして、光信号保持手段３Ｂと３Ｗ間を常に非導通にすることで、電気的には図３の回路構成を実現したものである。

30

【００５１】

図２は図１のｃ－ｄの断面図である。図２からわかるように、金属配線１２Ｒ，１２Ｇ，１２Ｂには寄生容量２０がそれぞれ２つずつ付加されている。よって、図６と比較して、光信号保持手段３Ｒ，３Ｇ，３Ｂに付加される寄生容量の差を更に軽減することができる。

【００５２】

これにより、Ｒ，Ｇ，Ｂ間の読み出しゲインのバラツキによる相対感度の設計値からのずれ、Ｒ，Ｇ，Ｂ間のランダムノイズの大きさの差異、Ｒ，Ｇ，Ｂの出力信号間のオフセット成分を軽減することができる。

40

【００５３】

このようにして、本実施形態においては、モノクロスキャン時のゲインを増加させることが可能なラインセンサを、解像度を低下させることなく、また、信号を非加算で読み出す際の寄生容量のバラツキを低減させて提供することができる。

【００５４】

尚、第三のスイッチ手段１１は、図３に示した構成に限られるものではない。光信号保持手段３Ｗと３Ｒ，３Ｇ，３Ｂの導通と非導通の切り替えができ、かつ３Ｒ，３Ｇ，３Ｂに付加される容量が等しくなるよう配置できれば、どのような構成でも構わない。また、本例においては、３Ｗと３Ｒ，３Ｇ，３Ｂの４つの加算例を示したが、これに限るものではない。また、図３では、ｎＭＯＳトランジスタ素子を用いているが、他のスイッチ手段

50



でも構わない。例えば、CMOSスイッチを用いても構わない。

【0055】

尚、第四のスイッチ手段9は、図3に示した構成に限られるものではなく、各々のカラー画素1R, 1G, 1Bと各々のカラー画素の光信号保持手段3R, 3G, 3B間の導通と非導通の切り替えができればどのような構成でも構わない。例えば、第四のスイッチ手段9は、各々のカラー画素1R, 1G, 1Bと第一のスイッチ手段2との間に接続される構成でも構わない。また、図3では、nMOSトランジスタ素子を用いているが、他のスイッチ手段でも構わない。例えば、CMOSスイッチを用いても構わない。

【0056】

また、第五のスイッチ手段10は、図3に示した構成に限られるものではなく、各々のカラー画素の光信号保持手段3R, 3G, 3Bと光信号共通出力線6R, 6G, 6B間の導通と非導通の切り替えができればどのような構成でも構わない。例えば、第五のスイッチ手段10は、光信号共通出力線6R, 6G, 6Bと第二のスイッチ手段4との間に接続される構成でも構わない。また、図3では、nMOSトランジスタ素子を用いているが、他のスイッチ手段でも構わない。例えば、CMOSスイッチを用いても構わない。

10

【0057】

図7に本発明に係るラインセンサの第一の実施形態を示す。但し、ここでは参考形態との相違点についてのみ説明する。

【0058】

図7において、図3のラインセンサと異なる点は、第四のスイッチ手段9及び第五のスイッチ手段10をより少ない素子数で実現していることである。基本セル22内の素子数削減により、受光部の面積を増やして一層の感度増加を図ることが可能となる。

20

【0059】

図7において、第四のスイッチ手段9は9-1, 9-2から成っている。また、第五のスイッチ手段10は10-1, 10-2から成っている。

【0060】

モノクロスキャンモード時にはMODEがローレベル、MODE\_\_bがハイレベルとなり、第三のスイッチ手段11は全ての基本セル22でオンとなる。また、第五のスイッチ手段10の内、10-1はオフとなり、10-2はオンとなる。この時、第二のスイッチ手段4の内、4R, 4G, 4Bは常にオフとなる。さらにまた、第四のスイッチ手段9の内、9-1はオフとなり、9-2はオンとなる。この時、第一のスイッチ手段2の内、2R, 2G, 2Bは常にオフとなる。

30

【0061】

よって、 $\phi_T$ をハイレベルにすることにより、画素1Wの光信号は光信号保持手段3W, 3R, 3G, 3Bの並列容量に読み出される。その後、走査回路23のシフトパルス1により、第二のスイッチ手段4の内、4Wのみがオンとなる。よって、光信号共通出力線6Wにのみ、光信号保持手段3W, 3R, 3G, 3Bの並列容量の光信号が読み出される。読み出しゲインは参考形態のモノクロスキャンモード時と同様である。

【0062】

一方、カラーสキャンモード時にはMODEがハイレベル、MODE\_\_bがローレベルとなり、第三のスイッチ手段11は全ての基本セル22でオフとなる。また、第五のスイッチ手段10の内、10-1はオンとなり、10-2はオフとなる。さらにまた、第四のスイッチ手段9の内、9-1はオンとなり、9-2はオフとなる。この時、図7のラインセンサの動作は、カラーสキャンモード時の図3のラインセンサと同様で、モノクロ画素及びR, G, B画素からの出力の同時読み出しを行う。光信号共通出力線への読み出しゲインは参考形態のカラーสキャンモード時と同様である。

40

【0063】

よって、本実施形態においても参考形態と同様に、モノクロスキャン時の感度の増加を、解像度を低下させることなく可能としている。

【0064】

50

本実施形態では、モノクロスキャン時のゲイン増加のために、第三のスイッチ手段 1 1 R, 1 1 G, 1 1 B 及び第五のスイッチ手段 1 0 - 1, 1 0 - 2 及び第四のスイッチ手段 9 - 1, 9 - 2 を用いている。第四のスイッチ手段 9 - 1, 9 - 2 は基本セル 2 2 に含まれないので、基本セルあたり 5 個のスイッチ手段でモノクロスキャン時のゲイン増加を達成しているので、参考形態よりも少ない回路規模で同様の効果を得る事ができる。

【 0 0 6 5 】

また、本実施形態においても、第三のスイッチ手段 1 1 の配置を図 5 もしくは図 1 のようにすることによって、光信号保持手段 3 R, 3 G, 3 B に付加される寄生容量のバラツキを低減させることができる。

【 0 0 6 6 】

10

図 8 に本発明に係るラインセンサの第二の実施形態を示す。但し、ここでは参考形態との相違点についてのみ説明する。図 9 は図 8 のラインセンサの動作を示すタイミング図である。

【 0 0 6 7 】

本実施形態は、解像度を低下させることなくモノクロスキャン時のゲイン増加が可能であり、かつノイズ成分の除去手段を備えている。

【 0 0 6 8 】

C M O S 型の固体撮像素子においては、各画素内に用いている増幅素子のバラツキが固定パターンノイズとなることが知られている。このようなノイズ成分の除去方法として、光信号と暗状態の信号（以下、ノイズ信号と定義する）の差分をとることにより、増幅素子のバラツキを補正する方法が知られている。以下で、図 8 のラインセンサにおいて如何にしてノイズ成分が除去されるかについて説明する。

20

【 0 0 6 9 】

図 8 のラインセンサは、複数の基本セル 2 2 と、各色毎の光信号共通出力線 6 W, 6 R, 6 G, 6 B と、各色毎の光信号共通出力線 6 W, 6 R, 6 G, 6 B の容量 5 W, 5 R, 5 G, 5 B と、を有している。また、各色毎のノイズ信号共通出力線 3 2 W, 3 2 R, 3 2 G, 3 2 B と、各色毎のノイズ信号共通出力線 3 2 W, 3 2 R, 3 2 G, 3 2 B の容量 3 1 W, 3 1 R, 3 1 G, 3 1 B と、を有している。更にまた、走査回路 2 3 と、リセット手段 8 と、差動出力回路部 3 4 W, 3 4 R, 3 4 G, 3 4 B と、を有している。

【 0 0 7 0 】

30

基本セルは各画素と、各画素からの光信号及びノイズ信号を保持する光信号保持手段 3 W, 3 R, 3 G, 3 B 及びノイズ信号保持手段 3 0 W, 3 0 R, 3 0 G, 3 0 B と、を有している。また、第一のスイッチ手段 2 と、第二のスイッチ手段 4 と、第三のスイッチ手段 1 1 と、第四のスイッチ手段 9 と、第五のスイッチ手段 1 0 と、第六のスイッチ手段 3 3 と、第七のスイッチ手段 3 5 と、を有している。

【 0 0 7 1 】

図 8 のラインセンサは、モノクロスキャンモード時には MODE\_\_b がハイレベルとなり、第三のスイッチ手段 1 1 及び第七のスイッチ手段 3 5 は全ての基本セルでオンとなる。また、MODE がローレベルとなり、第四のスイッチ手段 9 及び第五のスイッチ手段 1 0 は全ての基本セルでオフとなる。以下、この時の動作について図 9 を用いて説明する。

40

【 0 0 7 2 】

まず、 $T_N$  をハイレベルにすることにより、全ての基本セル一括で第六のスイッチ手段 3 3 をオンすることによって、画素 1 W により得られたノイズ信号はノイズ信号保持手段 3 0 W に読み出される。この時、第七のスイッチ手段 3 5 が全ての基本セルでオンとなっているため、画素 1 W のノイズ信号はノイズ信号保持手段 3 0 W, 3 0 R, 3 0 G, 3 0 B の並列容量に読み出される。一方、第四のスイッチ手段 9 がオフとなっているため、画素 1 R, 1 G, 1 B により得られたノイズ信号はノイズ信号保持手段 3 0 R, 3 0 G, 3 0 B には読み出されない。次に、 $T_S$  をハイレベルにすることにより、全ての基本セル一括で第一のスイッチ手段 2 をオンすることによって、画素 1 W により得られた光信号

50

は光信号保持手段 3 W に読み出される。この時、第三のスイッチ手段 1 1 が全ての基本セルでオンとなっているため、画素 1 W の光信号は光信号保持手段 3 W , 3 R , 3 G , 3 B の並列容量に読み出される。一方、第四のスイッチ手段 9 がオフとなっているため、画素 1 R , 1 G , 1 B により得られた光信号は光信号保持手段 3 R , 3 G , 3 B には読み出されない。その後、走査回路 2 3 のシフトパルス 1 , 2 を用いて順次、第二のスイッチ手段 4 , 4 ' をオンする。この時、第五のスイッチ手段 1 0 がオフとなっており、光信号保持手段 3 R , 3 G , 3 B 及びノイズ信号保持手段 3 0 R , 3 0 G , 3 0 B は光信号共通出力線 6 R , 6 G , 6 B 及びノイズ信号共通出力線 3 2 R , 3 2 G , 3 2 B からそれぞれ切り離されている。よって、光信号共通出力線 6 W 及びノイズ信号共通出力線 3 2 W にのみ、基本セル単位で順次、光信号及びノイズ信号がそれぞれ読み出される。この時の光信号及びノイズ信号に対する読み出しゲイン G は、光信号共通出力線 6 W 及びノイズ信号共通出力線 3 2 W の容量を C H として、

【 0 0 7 3 】

【数 4】

$$G = \frac{4CT}{4CT + CH} = \frac{1}{1 + CH/4CT} \dots (1)$$

【 0 0 7 4 】

である。光信号共通出力線 6 W 及びノイズ信号共通出力線 3 2 W に読み出された光信号及びノイズ信号は差動出力回路部 3 4 W に入力され、差分成分が読み出される。この動作により、画素内で発生するノイズ成分が除去されたモノクロ画素からの光信号が出力される。尚、光信号共通出力線 6 W , 6 R , 6 G , 6 B 及びノイズ信号共通出力線 3 2 W , 3 2 R , 3 2 G , 3 2 B は、参考形態の動作と同様に信号を読み出す前に毎回、C H R により所望のリセット電圧 V C H R にリセットされる。

【 0 0 7 5 】

一方、カラスキャンモード時には M O D E \_ b がローレベルとなり、第三のスイッチ手段 1 1 及び第七のスイッチ手段 3 5 は全ての基本セルでオフとなる。また、M O D E がハイレベルとなり、第四のスイッチ手段 9 及び第五のスイッチ手段 1 0 は全ての基本セルでオンとなる。以下、この時の動作について図 9 のタイミング図を用いて説明する。

【 0 0 7 6 】

画素 1 W , 1 R , 1 G , 1 B により得られたノイズ信号はノイズ信号保持手段 3 0 W , 3 0 R , 3 0 G , 3 0 B に、T N をハイレベルにすることにより、全ての基本セル一括で第六のスイッチ手段 3 3 をオンすることによって読み出される。また、画素 1 W , 1 R , 1 G , 1 B により得られた光信号は光信号保持手段 3 W , 3 R , 3 G , 3 B に、T S をハイレベルにすることにより、全ての基本セル一括で第一のスイッチ手段 2 をオンすることによって読み出される。その後、走査回路 2 3 のシフトパルス 1 , 2 を用いて順次、第二のスイッチ手段 4 , 4 ' をオンする。この動作により、基本セル単位で順次、光信号保持手段 3 W , 3 R , 3 G , 3 B の光信号が光信号共通出力線 6 W , 6 R , 6 G , 6 B に一括で読み出される。また、基本セル単位で順次、ノイズ信号保持手段 3 0 W , 3 0 R , 3 0 G , 3 0 B のノイズ信号がノイズ信号共通出力線 3 2 W , 3 2 R , 3 2 G , 3 2 B に一括で読み出される。この時の光信号及びノイズ信号に対する読み出しゲイン G は、光信号共通出力線 6 W , 6 R , 6 G , 6 B 及びノイズ信号共通出力線 3 2 W , 3 2 R , 3 2 G , 3 2 B の寄生容量を C H として、

【 0 0 7 7 】

10

20

30

40

【数 5】

$$G = \frac{CT}{CT + CH} = \frac{1}{1 + CH/CT} \quad \dots (2)$$

【0078】

である。各色毎の光信号共通出力線 6 W, 6 R, 6 G, 6 B 及びノイズ信号共通出力線 3 2 W, 3 2 R, 3 2 G, 3 2 B に出力された光信号及びノイズ信号は、差動出力回路部 3 4 W, 3 4 R, 3 4 G, 3 4 B に入力され、差分成分が読み出される。この動作により、各画素内で発生するノイズ成分が除去された各画素からの光信号が出力される。

10

【0079】

このようにして、カラスキャンモード時には、ノイズ成分が除去されたモノクロ画素及び各 R, G, B 画素からの出力の同時読み出しが行われる。

【0080】

ここで、(1) 式と (2) 式を比較すると、モノクロスキャンモード時の方が、光信号共通出力線への読み出しゲインが大きい。よって、解像度を低下させることなくモノクロスキャン時の感度増加が可能となっていることがわかる。

【0081】

20

図 10 は図 9 における第三のスイッチ手段及び第七のスイッチ手段の模式平面図である。

【0082】

また、第三および第七のスイッチ手段 1 1、3 5 の配置を図 10 のようにすることによって、光信号保持手段 3 R, 3 G, 3 B およびノイズ信号保持手段 3 0 R, 3 0 G, 3 0 B に付加される寄生容量のバラツキを参考形態と同様に低減させることができる。

【0083】

図 10 において、配線 3 6 W はノイズ信号保持手段 3 0 W と第七のスイッチ手段 3 5 R のソースもしくはドレイン領域及び第二のスイッチ手段 4 W を接続するものである。また、図 10 において、配線 3 6 R, 3 6 G, 3 6 B はノイズ信号保持手段 3 0 R, 3 0 G, 3 0 B と第七のスイッチ手段 3 5 R, 3 5 G, 3 5 B のソースもしくはドレイン領域及び第五のスイッチ手段 1 0 R, 1 0 G, 1 0 B を接続するものである。

30

【0084】

図 11 は図 10 の e - f における断面図である。同図からわかるように、配線 1 2 R, 1 2 G, 1 2 B に付加されるドレイン容量はほぼ等しくなる。また、配線 1 2 R, 1 2 G, 1 2 B に付加される寄生容量 2 0 もほぼ等しくなる。配線 3 0 R, 3 0 G, 3 0 B に関しても同様である。よって、光信号保持手段 3 R, 3 G, 3 B に付加される寄生容量のバラツキ及びノイズ信号保持手段 3 0 R, 3 0 G, 3 0 B に付加される寄生容量のバラツキを低減させることができる。

【0085】

40

尚、第七のスイッチ手段 3 5 は、図 8 に示した構成に限られるものではない。ノイズ保持手段 3 0 W と 3 0 R, 3 0 G, 3 0 B の導通と非導通の切り替えができ、かつ 3 0 R, 3 0 G, 3 0 B に付加される容量が等しくなるよう配置できれば、どのような構成でも構わない。また、本例においては、3 0 W と 3 0 R, 3 0 G, 3 0 B の 4 つの加算例を示したが、これに限るものではない。また、図 8 では、n MOS トランジスタ素子を用いているが、他のスイッチ手段でも構わない。例えば、CMOS スイッチを用いても構わない。

【0086】

図 12 は本発明に係るラインセンサの第三の実施形態を示す概略図である。但し、ここでは参考形態との相違点について説明する。

【0087】

50

図 1 2 において、図 3 のラインセンサと異なる点は、別個に設けたモノクロ画素を備えていないことである。一般にモノクロスキャンとは色情報を出力せずに輝度情報を出力するものである。よって、ある色成分の画素からの光信号を輝度信号として用いれば、実質的にモノクロスキャンを行うことが可能である。

【 0 0 8 8 】

図 1 2 のラインセンサは、R ( 赤 ) , G ( 緑 ) , B ( 青 ) 画素 1 R , 1 G , 1 B を含む複数の基本セル 2 2 と、各色毎の光信号共通出力線 6 R , 6 G , 6 B と、走査回路 2 3 と、光信号共通出力線のリセット手段 8 と、出力回路部 7 R , 7 G , 7 B と、から成っている。容量 5 R , 5 G , 5 B は各色毎の光信号共通出力線 6 R , 6 G , 6 B にそれぞれ付加する容量である。

10

【 0 0 8 9 】

基本セル 2 2 は R , G , B 画素と、各画素からの光信号を保持する光信号保持手段 3 R , 3 G , 3 B と、第一のスイッチ手段 2 と、第二のスイッチ手段 4 と、第三のスイッチ手段 1 1 と、第四のスイッチ手段 9 と、第五のスイッチ手段 1 0 と、からなっている。

【 0 0 9 0 】

図 1 2 のラインセンサにおいて、モノクロスキャンモード時には MODE がローレベルとなる。また、MODE\_\_b がハイレベルとなる。更に、第三のスイッチ手段 1 1 は全ての基本セルでオンとなる。更に、第四のスイッチ手段 9 及び第五のスイッチ手段 1 0 は全ての基本セルでオフとなる。以下、この時の動作について説明する。

【 0 0 9 1 】

20

画素 1 R により得られた光信号は光信号保持手段 3 R に、 $\phi_T$  をハイレベルにすることにより、全ての基本セル一括で第一のスイッチ手段 2 をオンすることによって読み出される。この時、第三のスイッチ手段 1 1 が全ての基本セルでオンとなっているため、光信号保持手段 3 R には並列に光信号保持手段 3 G , 3 B が接続されている。よって、画素 1 R の光信号は光信号保持手段 3 R , 3 G , 3 B の並列容量に読み出される。

【 0 0 9 2 】

一方、第四のスイッチ手段 9 がオフとなっているため、画素 1 G , 1 B により得られた光信号は光信号保持手段 3 G , 3 B には読み出されない。その後、走査回路 2 3 のシフトパルス  $\phi_1$  ,  $\phi_2$  を用いて順次、第二のスイッチ手段 4 , 4' をオンする。この時、第五のスイッチ手段 1 0 がオフとなっており、光信号保持手段 3 G , 3 B は光信号共通出力線 6 G , 6 B から切り離されている。よって、光信号共通出力線 6 R にのみ、基本セル単位で順次、光信号保持手段 3 R , 3 G , 3 B の並列容量の光信号が読み出される。この時の信号の読み出しゲイン G は、光信号共通出力線 6 W の容量を CH として、

30

【 0 0 9 3 】

【 数 6 】

$$G = \frac{3CT}{3CT + CH} = \frac{1}{1 + CH/3CT} \dots (3)$$

40

【 0 0 9 4 】

である。このようにして読み出した R 画素からの光信号をモノクロ信号として用いることで、モノクロスキャンを行う。

【 0 0 9 5 】

一方、カラーสキャンモード時には、MODE がハイレベル、MODE\_\_b がローレベルとなり、第三のスイッチ手段 1 1 は全ての基本セルでオフとなり、第四のスイッチ手段 9 及び第五のスイッチ手段 1 0 は全ての基本セルでオンとなる。この時、図 1 2 のラインセンサは、カラーสキャンモード時の図 3 のラインセンサと同様な動作により、光信号保持手段 3 R , 3 G , 3 B の光信号を光信号共通出力線 6 R , 6 G , 6 B に同時に読み出す。光信号保持手段 1 つあたりの容量値を CT とすると、それぞれの信号の読み出しゲ

50

イン G は、光信号共通出力 6 R , 6 G , 6 B の寄生容量を C H として、

【 0 0 9 6 】

【 数 7 】

$$G = \frac{CT}{CT + CH} = \frac{1}{1 + CH/CT} \quad \cdot \cdot \cdot (4)$$

【 0 0 9 7 】

である。

【 0 0 9 8 】

( 3 ) 式と ( 4 ) 式を比較すると、モノクロスキャンモード時の方が、光信号共通出力線への読み出しゲインが大きい。よって、光信号保持手段 3 G , 3 B を光信号保持手段 3 R に並列に接続して、光信号共通出力線 6 R に読み出すことにより、解像度を低下させることなくモノクロスキャン時の感度増加が可能となっていることがわかる。

【 0 0 9 9 】

また、第三のスイッチ手段を図 5 もしくは図 1 のように配置することによって、光信号保持手段 3 R , 3 G , 3 B に付加される寄生容量のバラツキを低減させることができる。

【 0 1 0 0 】

尚、本実施形態において、モノクロスキャンモード時に R 画素からの光信号をモノクロ信号として用いたが、これは R 画素に限られるものではなく、他のどのカラー画素でも構わない。

【 図面の簡単な説明 】

【 0 1 0 1 】

【 図 1 】 ラインセンサの構成例を示す概略構成図である。

【 図 2 】 ラインセンサの構成例を示す概略構成図である。

【 図 3 】 ラインセンサの構成例を示す概略構成図である。

【 図 4 】 ラインセンサの動作を示すタイミング図である。

【 図 5 】 参考形態に係るラインセンサの構成例を示す概略構成図である。

【 図 6 】 参考形態に係るラインセンサの構成例を示す概略構成図である。

【 図 7 】 本発明の第一の実施形態に係るラインセンサの構成例を示す概略構成図である。

【 図 8 】 本発明の第二の実施形態に係るラインセンサの構成例を示す概略構成図である。

【 図 9 】 本発明の第二の実施形態に係るラインセンサの動作を示すタイミング図である。

【 図 1 0 】 本発明の第二の実施形態に係るラインセンサの構成例を示す概略構成図である。

。

【 図 1 1 】 本発明の第二の実施形態に係るラインセンサの構成例を示す概略構成図である。

。

【 図 1 2 】 本発明の第三の実施形態に係るラインセンサの構成例を示す概略構成図である。

。

【 図 1 3 】 従来例に係る構成例を示す概略構成図である。

【 符号の説明 】

【 0 1 0 2 】

- 1 画素
- 2 第一のスイッチ手段
- 3 光信号保持手段
- 4 第二のスイッチ手段
- 5 光信号共通出力線の容量
- 6 光信号共通出力線
- 7 出力回路部

10

20

30

40

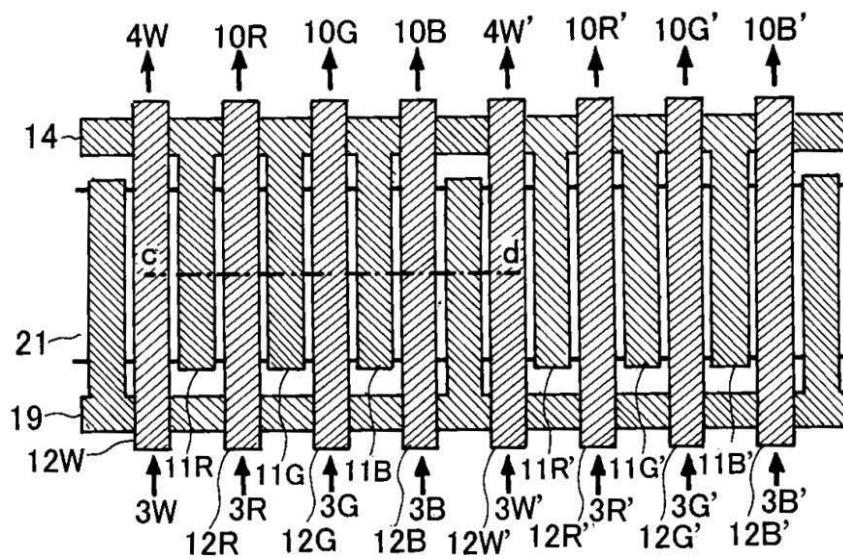
50

- 8 光信号共通出力線のリセット手段
- 9 第四のスイッチ手段
- 10 第五のスイッチ手段
- 11 第三のスイッチ手段
- 12 金属配線
- 13 半導体領域
- 14 第三のスイッチ手段 11 の共通ゲート電極
- 15 第三のスイッチ手段 11 のソース・ドレイン領域
- 16 コンタクト
- 17 ドレイン容量
- 18 Pウエル
- 19 ゲート電極
- 20 寄生容量
- 21 半導体領域
- 22 基本セル
- 23 走査回路
- 24 素子分離領域
- 30 ノイズ信号保持手段
- 31 ノイズ信号共通出力線の容量
- 32 ノイズ信号共通出力線
- 33 第六のスイッチ手段
- 34 差動出力回路部
- 35 第七のスイッチ手段
- 36 配線

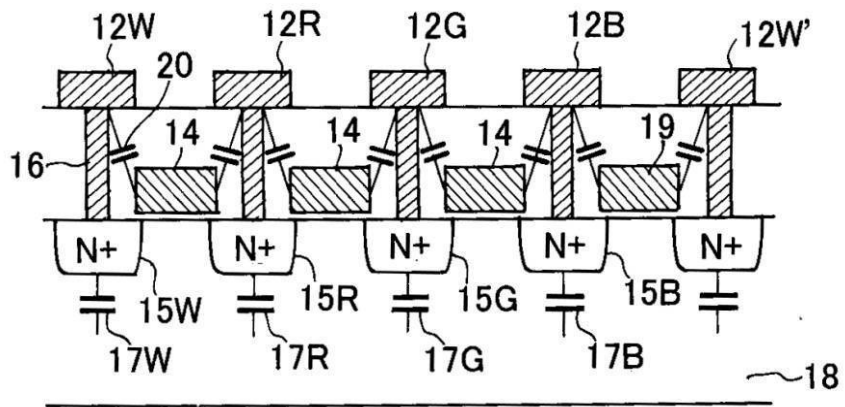
10

20

【図 1】



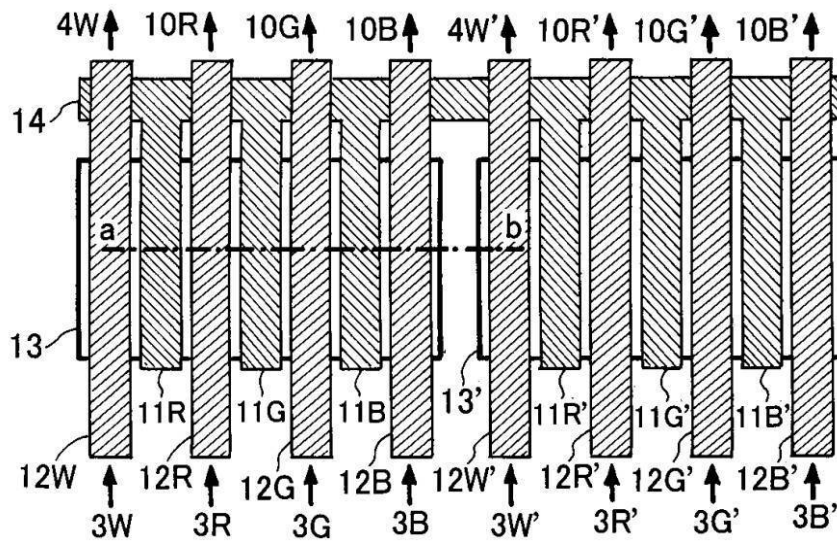
【図2】



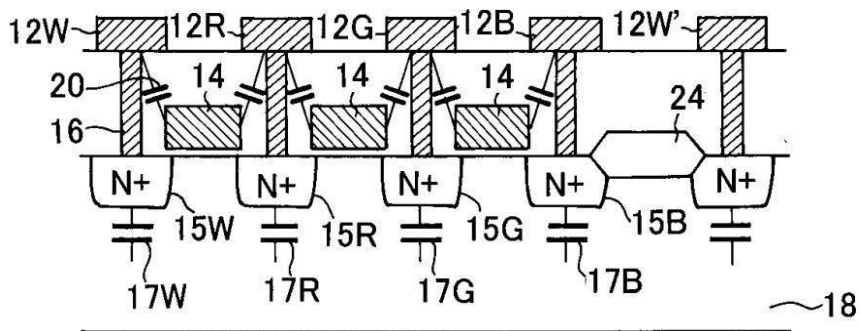


The diagram illustrates a 4-bit parallel adder circuit. It features four input lines at the top labeled 7B, 7G, 7R, and 7W, each connected to an inverter. The circuit is organized into four main stages, each enclosed in a dashed box and labeled 4, 10, 11, and 9. Stage 4 contains transistors 4W, 4R, 4G, and 4B. Stage 10 contains transistors 10W, 10R, 10G, and 10B. Stage 11 contains transistors 11W, 11R, 11G, and 11B. Stage 9 contains transistors 9W, 9R, 9G, and 9B. The circuit also includes a carry propagation section on the right with transistors 2W, 2R, 2G, 2B, 1W, 1R, 1G, 1B, and 3B. Control signals  $\Phi_1$  and  $\Phi_2$  are shown as horizontal lines across the top. A vertical line labeled 23 is on the far left. The output lines are labeled 22 and 27. The circuit is powered by  $V_{CH}$  and  $\Phi_{CH}$  signals.

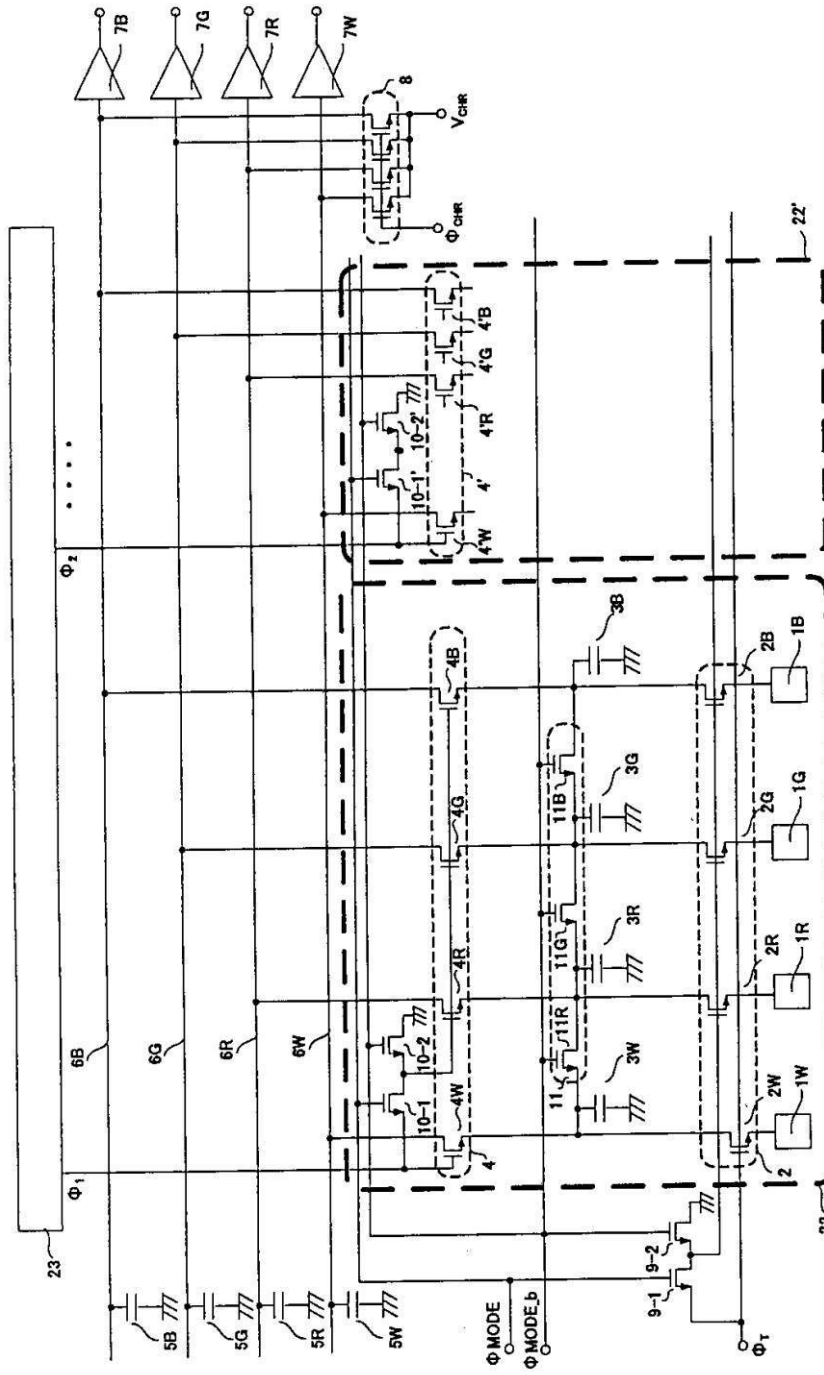
【図5】



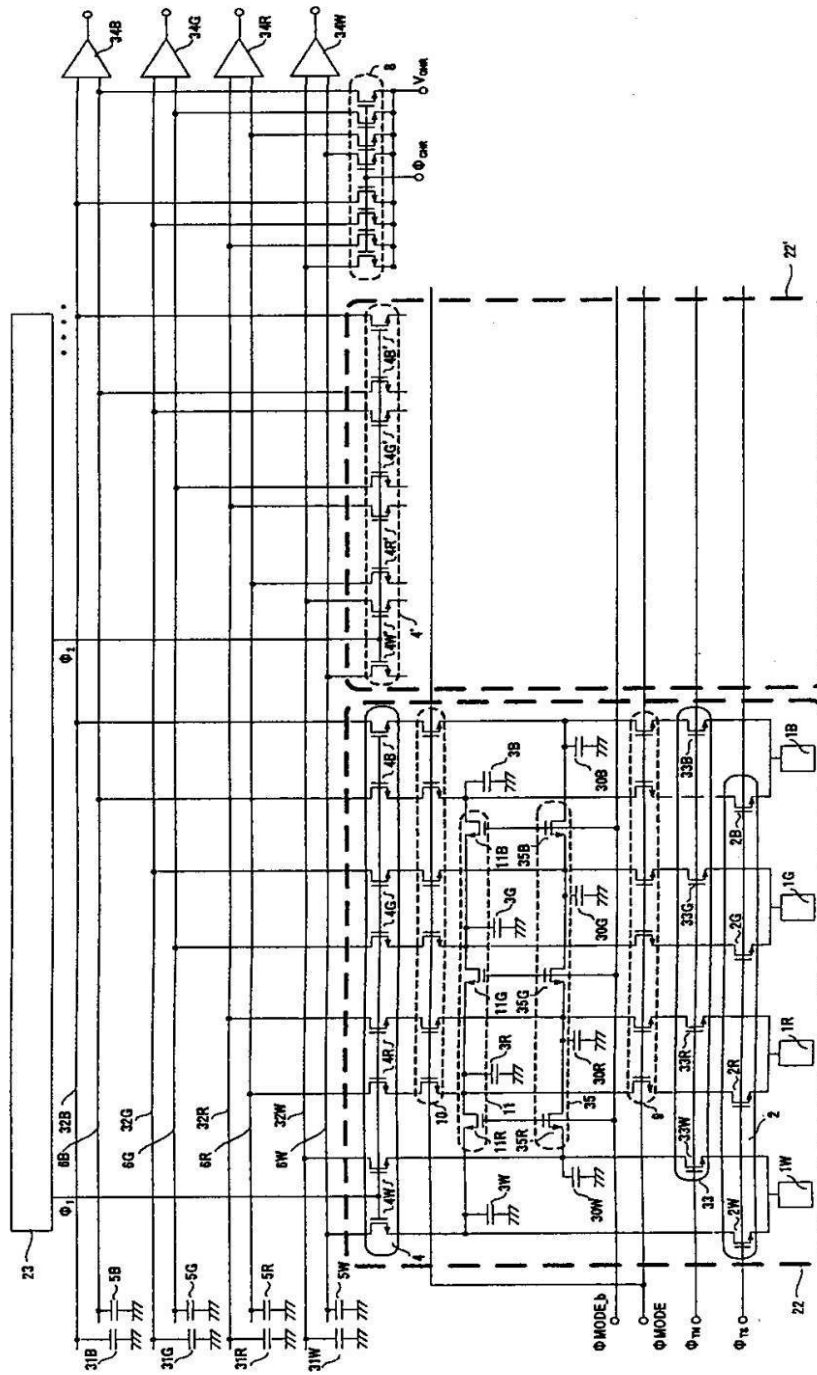
【図6】



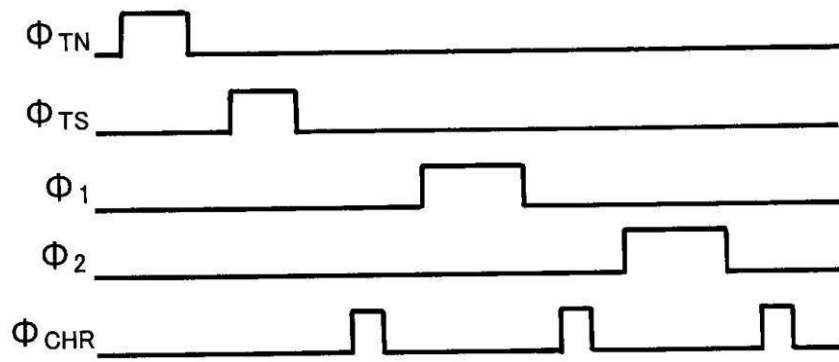
【図 7】



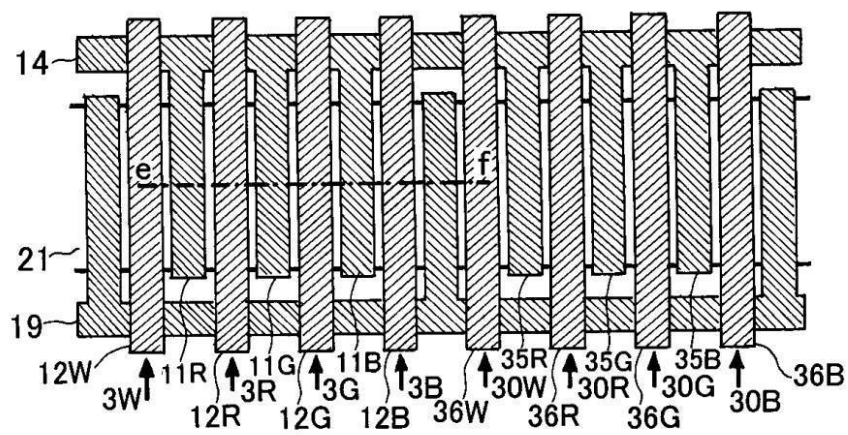
【図 8】



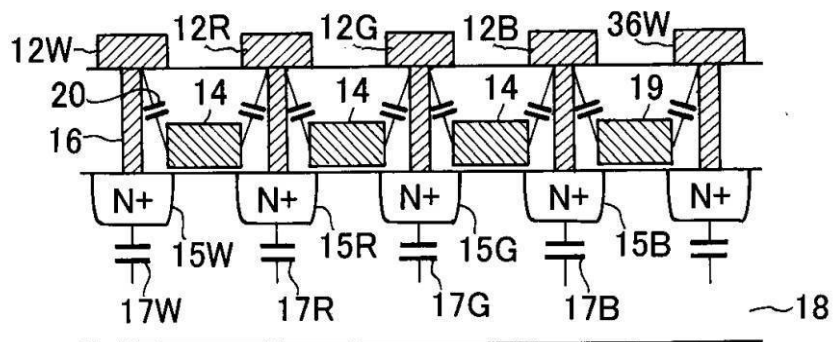
【図 9】



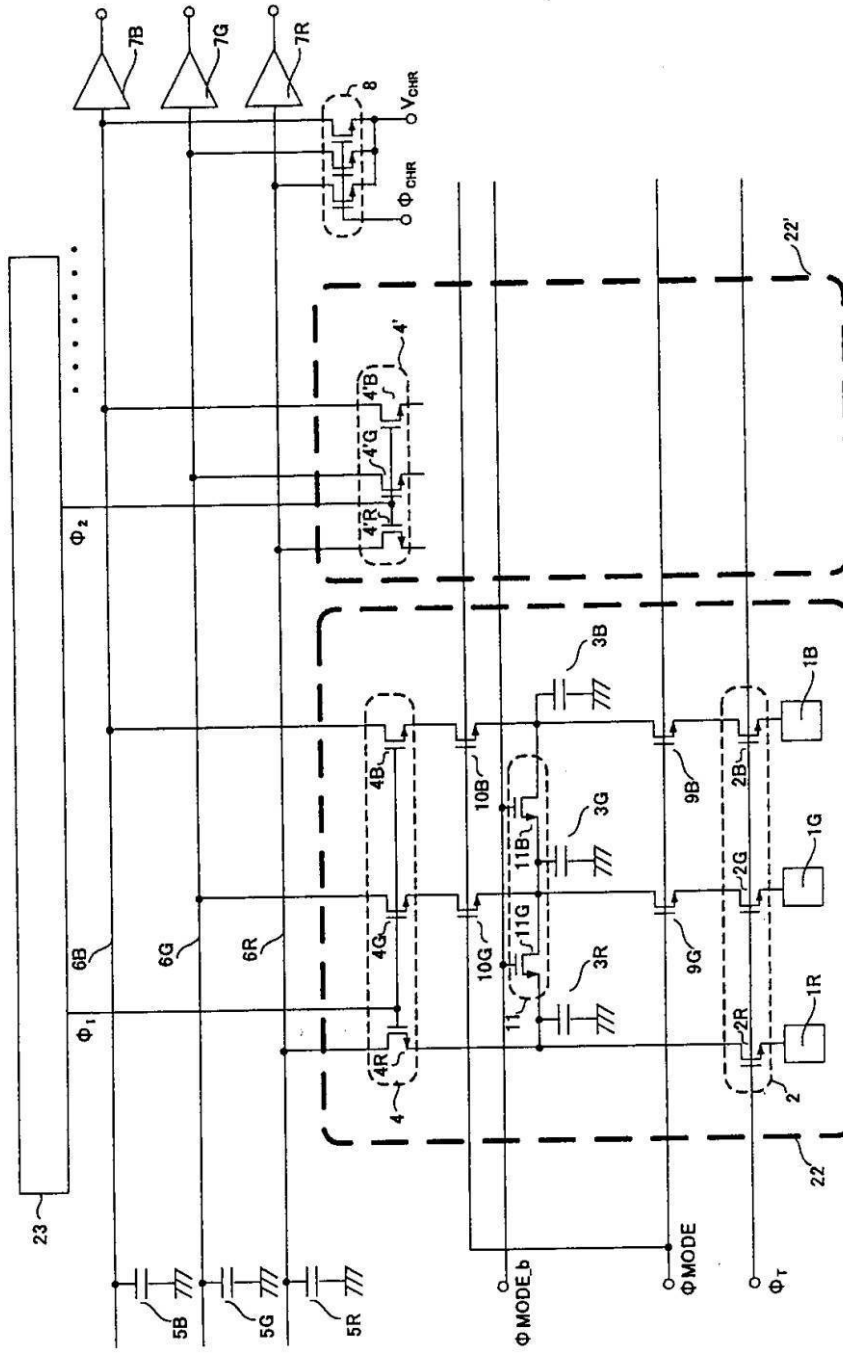
【図 10】



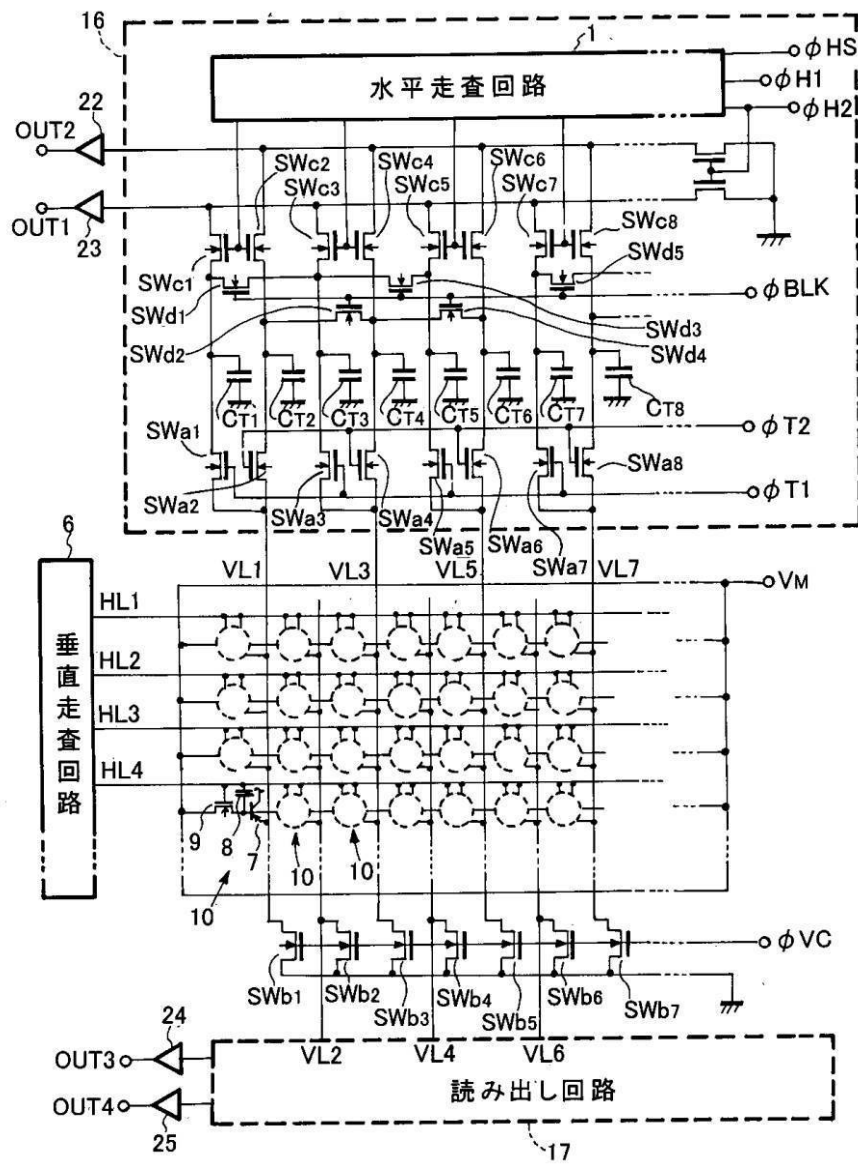
【図 11】



【図 12】



【図 13】



---

フロントページの続き

- (72)発明者 小林 秀央  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 戸塚 洋史  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 渡辺 努

- (56)参考文献 特開2006-50658(JP,A)  
特開平06-245031(JP,A)  
特開平08-181821(JP,A)  
特開昭62-140461(JP,A)  
特開平06-045579(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H04N 1/024 - 1/028