

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P31224PP

※申請日期：P3-7-28

※IPC 分類：H01L21/00

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 三洋電機股份有限公司 / SANYO ELECTRIC CO., LTD.

2. 關東三洋半導體股份有限公司 / KANTO SANYO SEMICONDUCTORS CO., LTD.

代表人：(中文/英文)

1. 桑野幸德 / KUWANO, YUKINORI

2. 真下利夫 / MASHIMO, TOSHIO

住居所或營業所地址：(中文/英文)

1. 日本國大阪府守口市京阪本通2丁目5番5號

5-5, 2-chome, Keihan-Hondori, Moriguchi-City, Osaka, Japan

2. 日本國群馬縣邑樂郡大泉町仙石二丁目2468番地1

2468-1, 2-chome, Sengoku, Oizumi-machi, Ora-gun, Gunma, Japan

國籍：(中文/英文) 1. 2. 日本國 / JAPAN

三、發明人：(共 9 人)

姓名：(中文/英文)

1. 野間崇 / NOMA, TAKASHI

2. 北川勝彥 / KITAGAWA, KATSUHIKO

3. 大塚久夫 / OTSUKA, HISAO

4. 鈴木彰 / SUZUKI, AKIRA

5. 關嘉則 / SEKI, YOSHINORI

6. 高尾幸弘 / TAKAO, YUKIHIRO

7. 山口惠一 / YAMAGUCHI, KEIICHI

8. 和久井元明 / WAKUI, MOTOAKI

9. 飯田正則 / IIDA, MASANORI

國籍：(中文/英文) 1. 至 9. 日本國 / JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本國 2003 年 08 月 06 日 特願 2003-288150（主張優先權）

2. 日本國 2004 年 01 月 30 日 特願 2004-022989（主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置的製造方法，尤指關於安裝於外型尺寸與半導體晶片具有大致同樣大小的封裝體的半導體裝置及其製造方法。

【先前技術】

近年來，CSP (Chip Size Package) 係一種備受矚目的封裝技術。CSP 意旨：外型尺寸與半導體晶片具有大致同樣大小的小型封裝體。以往，BGA 型半導體裝置係週知 CSP 之一種技術。該 BGA 型半導體裝置係將錫劑等金屬構件所構成的複數個球狀導電端子呈格子狀配列於封裝體的一主面上，且與封裝體另一面所形成的半導體晶片呈電性連接。

將該 BGA 型半導體裝置組裝於電子機器時，藉由將各導電端子壓接於印刷基板上的配線圖案，俾將半導體晶片和搭載於印刷基板上的外部電路電性連接。

此種 BGA 型半導體裝置，與具有側部突出有引腳(lead pin) 的 SOP (Small Outline Package) 或 QFP (Quad Flat Package) 等其他 CSP 型半導體裝置相比較，可設置多數的導電端子，且具有可小型化的優點。該 BGA 型半導體裝置乃具有作為搭載於例如行動電話機之數位相機的影像感測晶片 (image sensor chip) 之用途。

第 13 圖係習知 BGA 型半導體裝置的概略構成，第 13 圖 (a) 係該 BGA 型半導體裝置之表面側斜視圖。此外，

第 13 圖 (b) 係該 BGA 型半導體裝置之背面側斜視圖。

BGA 型半導體裝置 100 係半導體晶片 101 藉由樹脂 105a、105b 密封於第 1 及第 2 玻璃基板 104a、104b 之間而構成者。在第 2 玻璃基板 104b 的一主面上，即 BGA 型半導體裝置 100 的背面上，呈格子狀配置有複數個球狀端子（以下，稱為導電端子 111）。該導電端子 111 係經由第 2 配線 109 與半導體晶片 101 連接。在複數條第 2 配線 109 上，連接有分別從半導體晶片 101 的內部拉出的鋁配線，使各導電端子 111 和半導體晶片 101 構成電性連接。

參佐第 14 圖，更詳細地說明該 BGA 型半導體裝置 100 的剖面構造。第 14 圖係表示沿著切割線分割成各晶片之 BGA 型半導體裝置 100 的剖視圖。

在配置於半導體晶片 101 表面的絕緣膜 102 上，設有第 1 配線 103。該半導體晶片 101 係藉由樹脂 105a 而與第 1 玻璃基板 104a 接合。此外，該半導體晶片 101 之背面係藉由樹脂 105b 而與第 2 玻璃基板 104b 接合。然後，第 1 配線 103 的一端係與第 2 配線 109 連接。該第 2 配線 109 係從第 1 配線 103 的一端延伸至第 2 玻璃基板 104b 的表面。而且，在延伸於第 2 玻璃基板 104b 上的第 2 配線 109 上，形成有球狀導電端子 111。

上述技術係記載於下列的專利文獻 1。

[專利文獻 1]

日本專利公表 2002—512436 號公報

【發明內容】

[發明所欲解決之課題]

由於上述半導體裝置係使用兩片玻璃基板，故會有半導體裝置變厚、成本變高的缺點。因此，經檢討僅在形成第 1 配線側接合玻璃基板的方法時，沒有接合玻璃基板之側係為半導體基板，故相較於玻璃基板，蝕刻加工得以容易進行。為了發揮該優點，而令第 1 配線和第 2 配線連接時，需將刻劃線區域的半導體基板或絕緣膜加以蝕刻，以令第 1 配線露出。其結果，與使用兩片玻璃的方法相比較時，可令第 1 配線和第 2 配線的接觸面積增大。接著，形成第 2 配線、保護膜、導電端子等，最後，切斷玻璃基板，藉以將半導體裝置個別地分離。

相反地，令第 1 配線露出後，刻劃線區域會構成在半導體基板上形成電路時所成膜之絕緣膜露出的狀態。此時，上述刻劃線區域上，僅存有上述絕緣膜、樹脂、玻璃基板。考慮各部位的厚度時，實質上係為僅藉由玻璃基板支承所有半導體晶片的狀態。再者，由於半導體基板的材料和玻璃基板的熱膨脹率不同，所以玻璃基板會產生很大的翹度。由於作業中途的運送 (handling)，使與半導體相接合之半導體晶片等的負荷，會施加在玻璃基板上。結果，如第 11 圖所示，在半導體晶片的外周部，於半導體晶片和未圖示的玻璃基板之間產生剝離 204，或在玻璃基板 202 上產生龜裂 205。其結果，造成半導體裝置的良率及可靠性降低的問題。

[用以解決課題之手段]

本發明中，如第 12 圖所示，不對刻劃線區域整體施以蝕刻，而僅對第 1 配線露出的部分施以蝕刻。接著，將該第 1 配線露出的部分稱為窗孔 303。因此，大部分未圖示的玻璃基板，乃藉由未圖示之樹脂或絕緣膜，保持與半導體基板 302 接合的狀態。在該狀態下，形成絕緣膜、第 2 配線等，最後，藉由切割去除第 12 圖中以 304 所示之區域，以令半導體裝置個別分離。

又，本發明中，將半導體裝置個別分離時，係沿著切割時的切斷區域 304 整體，形成未圖示的缺口，接著，用保護膜覆蓋該缺口後，再進行切割。

[發明效果]

本發明係藉由防止玻璃基板發生龜裂或半導體晶片周邊部發生剝離的情形，而達成令半導體裝置的良率及可靠性提升的效果。此外，藉由將玻璃基板從兩片變成一片，亦可達成半導體裝置的薄型化或成本降低。

【實施方式】

繼之，參佐第 1 圖至第 10 圖之半導體裝置的剖視圖、以及第 12 圖之半導體裝置的俯視圖，說明本發明實施例之半導體裝置的製造方法。

首先，如第 1 圖所示，準備半導體基板 1。該等半導體基板 1，係藉由半導體製程而將例如 CCD 之影像感測器或半導體記憶體形成於上述半導體基板 1 上。在其表面上，介著第 1 絕緣膜 2，在用以分割成各半導體晶片的交界 S（稱為切割線或劃分線）附近，保持預定間隙而形成

第 1 配線 3。在此，第 1 配線 3 係從半導體裝置的搭接銲墊，擴張至交界 S 附近的銲墊。亦即，第 1 配線 3 係外部連接銲墊，與半導體裝置之未圖示電路形成電性連接。

繼之，在形成有第 1 配線 3 的半導體基板 1 上，使用作為透明接合劑的樹脂 5（例如環氧樹脂），接合玻璃基板 4 作為支承體。此外，此處雖然以玻璃基板作為支承體，以環氧樹脂作為接合劑，然而，亦可使用矽基板或塑膠板作為支承體，而接合劑則可選擇適用於此等支承體的接合劑。

其後，對接合玻璃基板 4 之上述半導體基板 1 之面的相反面實施背面研磨，以將基板厚度變薄。在已施行背面研磨之半導體基板 1 的面上產生劃痕，得以形成寬度、深度為數 μm 左右的凹凸。為了將凹凸變小，而使用比半導體基板 1 的矽材料和第 1 絕緣膜 2 的氧化矽膜材料具有更高蝕刻選擇比的藥液，來進行溼式蝕刻。

如上所述，選擇比矽和氧化矽膜具有更高蝕刻選擇比的藥液時，並沒有特別的限制。例如，本發明中，使用氫氟酸 2.5%、硝酸 50%、醋酸 10% 及水 37.5% 的溶液，作為矽蝕刻溶液。

此外，雖然施行該溼式蝕刻較理想，然而，本發明中，並不限定於一定要施行溼式蝕刻。

接著，如第 2 圖（a）及第 2 圖（b）所示，對上述半導體基板 1 中接合玻璃基板 4 之面的相反面，以可露出部分第 1 配線 3 之方式，以設有開口部之未圖示的抗蝕劑圖

案作為遮罩，進行半導體基板 1 的等向性蝕刻（或異向性蝕刻）。結果，存有第 1 配線 3 的部分係如第 2 圖（a）所示，在交界 S 的部位形成具有開口的窗孔（window）20，而呈現露出第 1 絕緣膜 2 的狀態。另一方面，不存有第 1 配線 3 的部分，則如第 2 圖（b）所示，呈現殘留半導體基板 1 的狀態。因此，從半導體基板 1 側觀看第 2 圖（a）及第 2 圖（b）的半導體裝置時，乃構成第 12 圖的俯視圖。

如上所述，藉由設置僅得以露出第 1 配線 3 之對應位置的窗孔 20，半導體基板 1 和玻璃基板 4 藉由第 1 絕緣膜 2 或樹脂 5 而接合的區域得以增大。以此構成，可提升玻璃基板 4 所產生的支承強度。此外，得以減少因半導體基板 1 和玻璃基板 4 的熱膨脹率差異而導致玻璃基板 4 翹度增大的情形，且得以減少因半導體裝置所產生之龜裂或剝離的情形。

又，該蝕刻亦可實施乾式蝕刻、溼式蝕刻之任一種。再者，繼後步驟的說明係與第 2 圖（a）及第 2 圖（b）同樣地，形成有窗孔 20 之部分的剖視圖係以圖號（a）來表示，沒有形成窗孔 20 之部分的剖視圖則以圖號（b）來表示。

在已蝕刻之半導體基板 1 的面上，面內具有凹凸或殘渣、異物，又，如第 2 圖（a）的圓圈 1a、1b 所示，窗孔 20 具有角度的部位成為尖銳狀。

在此，如第 3 圖（a）及第 3 圖（b）所示，為去除殘渣或異物、將尖銳部的前端變圓弧狀，而進行溼式蝕刻。

藉此方式，第 2 圖 (a) 之圓圈 1a、1b 的尖銳部，係如第 3 圖 (a) 之圓圈 1a、1b 所示，變成圓滑狀。

繼之，如第 4 圖 (a) 及第 4 圖 (b) 所示，對上述半導體基板 1 中接合玻璃基板 4 之面的相反面，進行第 2 絕緣膜 6 的成膜。本實施形態中，係進行 3 μ m 的矽烷基質氧化膜的成膜。

對上述半導體基板 1 之與玻璃基板 4 接合面的相反面，塗佈未圖示的抗蝕劑，且進行圖案化，令沿著窗孔 20 內之交界 S 的部位形成開口，而形成抗蝕劑膜。接著，如第 5 圖 (a) 及第 5 圖 (b) 所示，以未圖示的抗蝕劑膜作為遮罩，蝕刻第 2 絕緣膜 6、第 1 絕緣膜 2，以令部分第 1 配線 3 露出。

如第 6 圖 (a) 及第 6 圖 (b) 所示，其後形成具有柔軟性的緩衝構件 7，使其對應於導電端子 11 的形成位置。此外，緩衝構件 7 得以吸收施加於導電端子 11 的力量，且具有緩和導電端子 11 接合時之壓力的功能，但是，本發明中，並不限定一定要使用緩衝構件 7。

接著，在上述玻璃基板 4 的相反側面，形成第 2 配線層 8。藉此構成，第 1 配線 3 和第 2 配線層 8 乃形成電性連接。

然後，在上述玻璃基板 4 的相反面，塗佈未圖示的抗蝕劑。此處乃在形成有窗孔 20 的部位，進行抗蝕劑膜的圖案形成，令其沿著窗孔 20 內之交界 S 的部分形成開口。另一方面，在未開設窗孔 20 的部分，以露出第 2 配線層 8

的方式，進行抗蝕劑膜的圖案形成。繼之，以上述未圖示之抗蝕劑膜作為遮罩，並實施蝕刻，去除交界 S 附近的第 2 配線層 8，形成第 2 配線 8。再者，去除沒有形成窗 20 之部分的第 2 配線 8。

如第 7 圖 (a) 及第 7 圖 (b) 所示，沿著交界 S，形成缺口 30 (倒 V 字型的溝)，俾將玻璃基板 4 切削成例如 3 μ m 左右的深度。

即，在半導體基板 1 上存有第 1 配線 3 的區域之部分 (即，沿著窗孔 20 內之交界 S 的部分)，切削樹脂 5 及一部分玻璃基板 4，而形成上述缺口 30。此時，必須使用其寬度不會與窗孔 20 內之第 2 配線產生接觸的刀刃。

另一方面，在半導體基板 1 上不存有第 1 配線 3 的區域 (即，沒有形成窗孔 20 的區域)，切削半導體基板 1、第 1 絕緣膜 2、樹脂 5 及一部分玻璃基板 4，而形成上述缺口 30。

此外，本實施形態中，缺口 30 的形狀乃形成楔形的剖面形狀，但是，亦可形成矩形的剖面形狀。此外，本發明中，並不強制一定要進行形成上述缺口 30 的步驟。

如第 8 圖 (a) 及第 8 圖 (b) 所示，對玻璃基板 4 的相反側面，進行無電解電鍍處理，對第 2 配線 8 形成 Ni—Au 電鍍膜 9。由於該膜係電鍍膜，故僅形成於存有第 2 配線 8 的部分。

如第 9 圖 (a) 及第 9 圖 (b) 所示，在玻璃基板 4 的相反側面，形成保護膜 10。為了形成保護膜 10，故將玻璃

基板 4 的相反側之面朝上，從上方滴下熱硬化性有機系樹脂，令半導體基板本身旋轉，藉以利用該旋轉所產生的離心力，將該有機系樹脂擴延於基板面上。藉此方式，得以在包含沿著交界 S 而形成之缺口 30 內壁的半導體基板 1 之背面側，形成保護膜 10。

亦即，在半導體基板 1 上存有第 1 配線 3 的部分（即，沿著窗孔 20 內之交界 S 的部分），從第 2 絕緣膜 6 的表面，以覆蓋缺口 30 之內壁所露出之樹脂 5 及玻璃基板 4 的方式，形成保護膜 10。另一方面，在半導體基板 1 上存有第 1 配線 3 之部分以外的區域（即，沒有形成窗孔 20 的區域），從第 2 絕緣膜 6 的表面，以覆蓋缺口 30 內壁所露出之第 2 絕緣膜 6、半導體基板 1、第 1 絕緣膜 2、樹脂 5、及玻璃基板 4 之各露出部的方式，形成保護膜 10。

然後，利用未圖示之抗蝕劑遮罩（在對應於緩衝構件 7 的位置具有開口部）的蝕刻，藉以去除形成有導電端子 11 之部分的保護膜 10，且在與緩衝構件 7 對應之 Ni—Au 電鍍膜 9 上的位置，形成導電端子 11。該導電端子 11 係藉由 Ni—Au 電鍍膜 9，與第 2 配線 8 電性連接。導電端子 11 係用鋐劑凸塊或金凸塊製成者。尤其使用金凸塊時，可令導電端子 11 的厚度從 160 μm 減少成數 μm 至數十 μm 。

如第 10 圖（a）及第 10 圖（b）所示，從設置缺口 30 的部分，沿著交界 S 進行切割，俾將半導體裝置分離成各半導體晶片。此時，使用於切割之刀刃的寬度，必須是僅得以切削玻璃基板 4、及缺口 30 內之保護膜的寬度。

如上所述，根據本實施形態之半導體裝置的製造方法，乃進行兩階段的切割，亦即，形成缺口 30，接著，形成覆蓋該缺口 30 的保護膜 10 後，再進行切割。藉此方式，施行將半導體裝置分離成各半導體晶片的切割時，沿著交界 S（即，切割線）而形成的缺口 30 內壁，乃由保護膜 10 覆蓋，所以藉由僅切割玻璃基板 4 及保護膜 10，即得以進行分離。也就是說，玻璃基板 4 及保護膜 10 以外的層（樹脂 5、及第 2 配線 8 等），並沒有與刀刃產生接觸。因此，在分離的半導體裝置，即，半導體晶片的剖面或邊緣部，因切割時刀刃之接觸所產生的剝離可極力受到抑制。

因此，可提升半導體裝置的良率及可靠性。此外，因為本發明半導體裝置係由一片玻璃基板構成者，故可達成半導體裝置的薄型化或成本降低。

此外，本實施形態中，雖然形成與第 2 配線 8 電性連接的導電端子 11，但是，本發明不限定於此。即，本發明亦可適用於沒有形成導電端子的半導體裝置（例如 LGA；Land Grid Array 型封裝體）。

【圖式簡單說明】

第 1 圖係本發明實施形態之半導體裝置製造方法的剖視圖。

第 2 圖(a)及(b)係本發明實施形態之半導體裝置製造方法的剖視圖。

第 3 圖(a)及(b)係本發明實施形態之半導體裝置製造方法的剖視圖。

第 4 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 5 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 6 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 7 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 8 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 9 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 10 圖 (a) 及 (b) 係本發明實施形態之半導體裝置製造方法的剖視圖。

第 11 圖係習知例之 BGA 型半導體裝置之製造中途的俯視圖。

第 12 圖係本發明實施形態之半導體裝置之製造中途的俯視圖。

第 13 圖 (a) 及 (b) 係習知例之 BGA 型半導體裝置的斜視圖。

第 14 圖係習知例之 BGA 型半導體裝置的剖視圖。

【主要元件符號說明】

- | | |
|-------|---------|
| 1,302 | 半導體基板 |
| 2 | 第 1 絕緣膜 |

I236046

3,103,201,301	第 1 配線
4,202	玻璃基板
5,105a,105b	樹脂
6	第 2 絕緣膜
7	緩衝構件
8,109	第 2 配線
9	Ni—Au 電鍍
10	保護膜
11,111	導電端子
20,303	窗孔
30	缺口
101	半導體晶片
102	絕緣膜
104a	第 1 玻璃基板
104b	第 2 玻璃基板
204	剝離
205	龜裂
304	切割時的切斷區域

五、中文發明摘要：

一種半導體裝置及其製造方法，係得以改善構成晶片尺寸封裝體（Chip Size Package）之半導體裝置的製造方法，且達成良率及可靠性的提升。

該半導體裝置一係在半導體基板(302)中，於僅存有第1配線(301)的區域，形成可露出第1配線的窗孔(303)。以此構成，藉由令半導體基板(302)和未圖示之玻璃基板隔著絕緣膜或樹脂而接合的區域增大，得以防止龜裂或剝離的發生。此外，窗孔(303)形成之後，沿著切割線，形成缺口(30)，接著，用保護膜覆蓋住該缺口後，施行切割，使半導體裝置分離成各半導體晶片。因此，在分離之半導體晶片的剖面或邊緣部，因刀刃接觸所產生的剝離得以儘量地獲得抑制。

六、英文發明摘要：

To improve the manufacturing method of a semiconductor device constituted as Chip Size Package so as to rise the yield and the reliability thereof. On a semiconductor substrate (302), only the area where the first wiring (301) exists is formed with a window (303) from which the first wiring (301) is exposed, thereby the crack or peeling off can be prevented by enlarging the area to which the semiconductor substrate (302) and the glass substrate not shown are bonded through an insulation film or resin. After the formation of window (303), a cut groove (30) is formed along the dicing line and then covered with a protection film, and the semiconductor device is subsequently diced to be separated into respective semiconductor chips. Therefore, the peeling off due to the contact of blade occurred at the cross-section or the edge portion of the separated semiconductor chips can be inhibited as could as possible.

七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 301 第1配線
- 302 半導體基板
- 303 窗孔
- 304 切割時的切斷區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵為具備下列步驟：

形成於含有複數個半導體晶片之半導體基板的第 1 面上，且以覆蓋介著上述複數個半導體晶片之交界而相對向配置的一對第 1 配線的方式，藉著接合劑接合支承體的步驟；及

選擇性地去除上述半導體基板的一部分，形成將位於上述一對配線的下部及上述一對配線間之絕緣膜露出之開口部的步驟。

2. 一種半導體裝置之製造方法，其特徵為具備下列步驟：

形成於含有複數個半導體晶片之半導體基板的第 1 面上，且以覆蓋介著上述複數個半導體晶片之交界而相對向配置的一對第 1 配線的方式，藉著接合劑接合支承體的步驟；

選擇性地去除上述半導體基板的一部分，以露出第 1 絕緣膜的步驟；

在上述半導體基板的第 2 面上，形成第 2 絕緣膜的步驟；

選擇性地蝕刻上述第 1 絕緣膜和上述第 2 絕緣膜，以令上述第 1 配線露出的步驟；

在上述半導體基板的第 2 面上，形成與上述一對第 1 配線連接之第 2 配線的步驟；

在上述半導體基板的第 2 面上，沿著上述交界形成缺口的步驟；及

沿著缺口，進行切割，以分離上述各半導體晶片的步驟。

3. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中，上述切割時所去除的區域寬度，係小於上述一對第 1 配線的間隔。
4. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中，形成缺口的步驟係將缺口加工至上述支承體為止。
5. 如申請專利範圍第 2 項之半導體裝置之製造方法，其中，具有以保護膜覆蓋上述缺口的步驟，且上述切割係僅切削上述保護膜及上述支承體。
6. 一種半導體裝置，係具備：

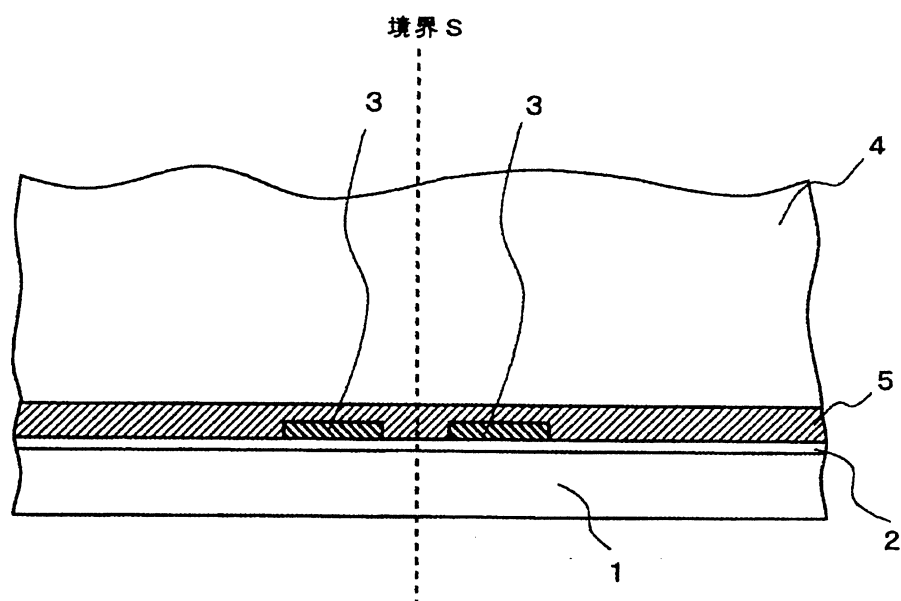
複數條第 1 配線，介著第 1 絕緣膜而形成於切割線附近的半導體晶片上；

支承體，藉著接合劑接合於含有上述第 1 配線上的上述第 1 絕緣膜上；

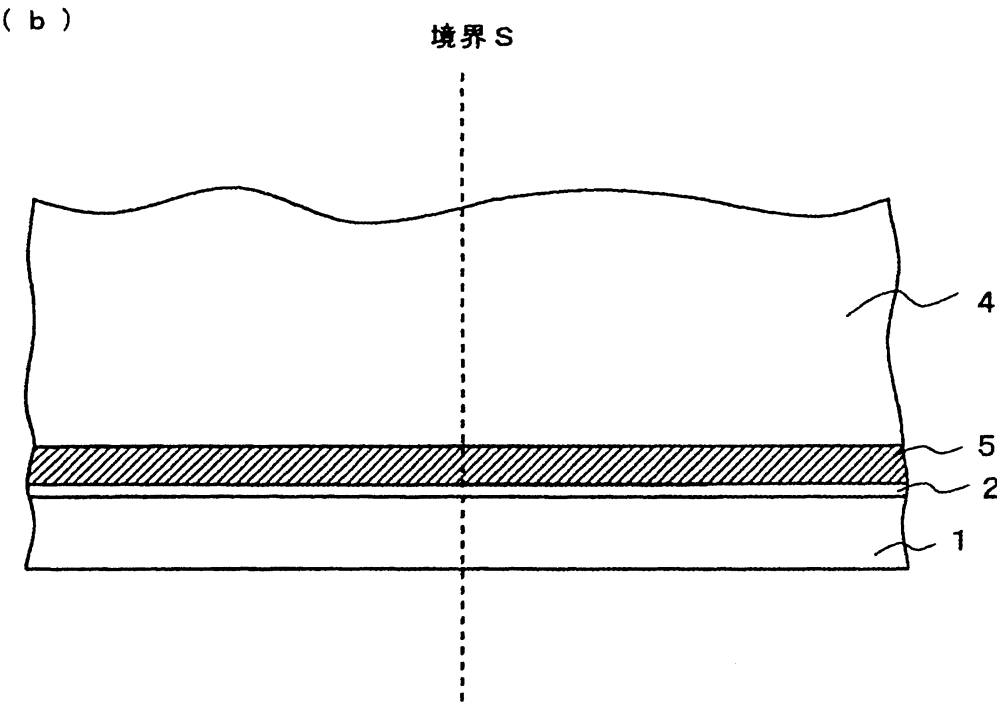
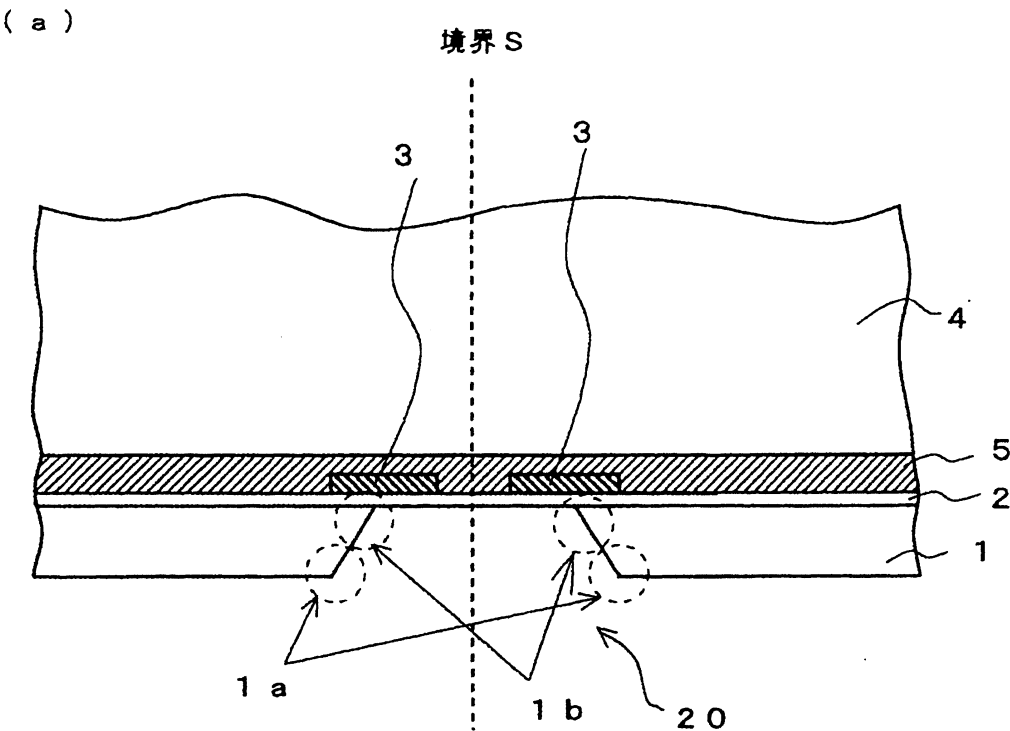
複數個開口部，以從未接合有上述支承體之面的半導體晶片，露出上述第 1 配線，且到達切割線之方式開設；及

第 2 配線，經由上述開口部，連接於上述第 1 配線。

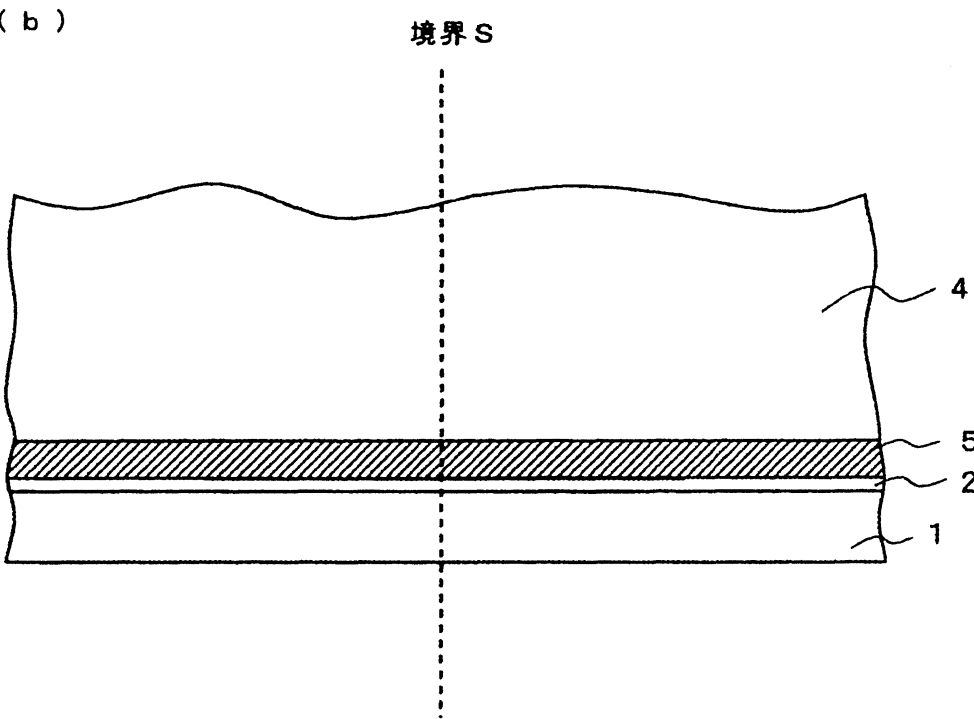
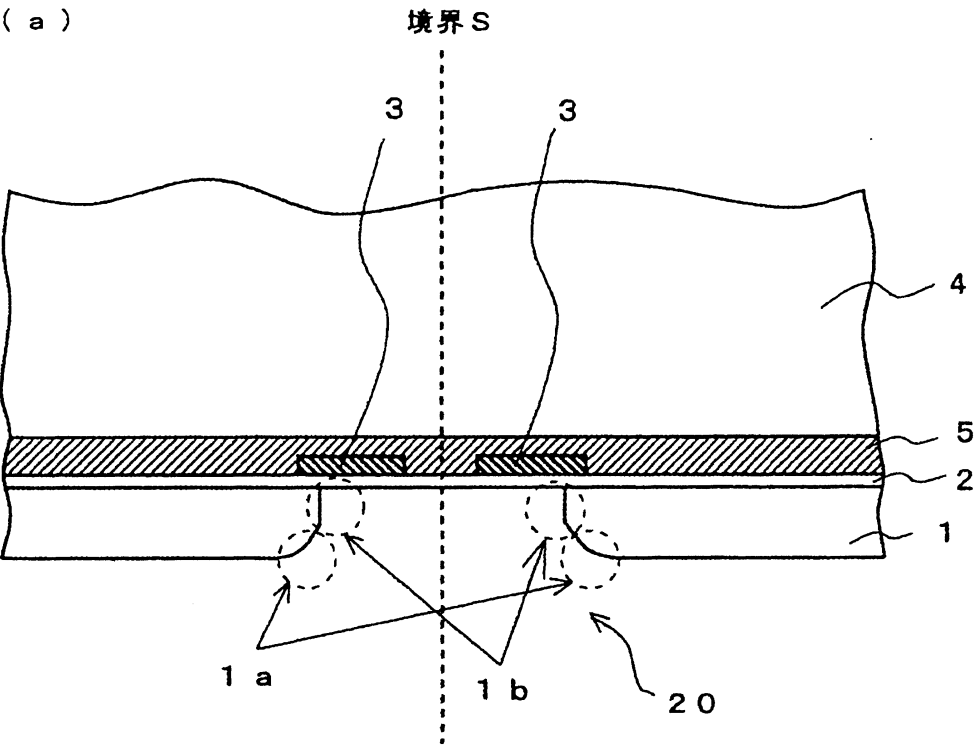
7. 如申請專利範圍第 6 項之半導體裝置，其中，在相當於上述切割線之半導體晶片的端部處，從上述半導體晶片至支承體形成有缺口。
8. 如申請專利範圍第 7 項之半導體裝置，其中，以覆蓋上述缺口的方式形成有保護膜。



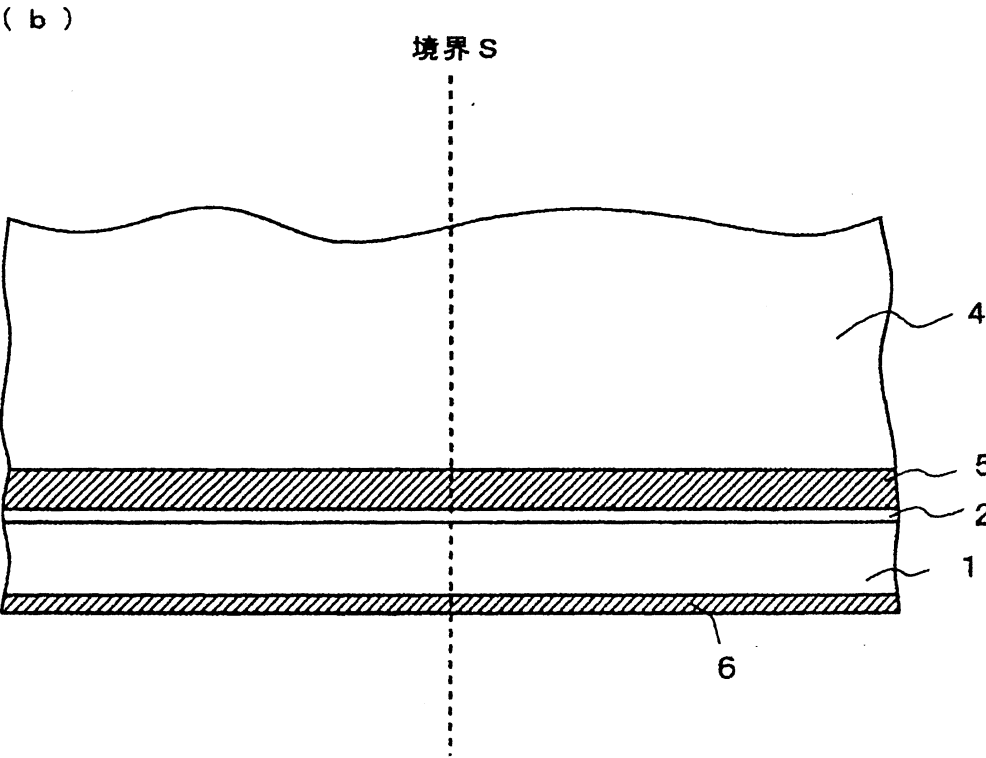
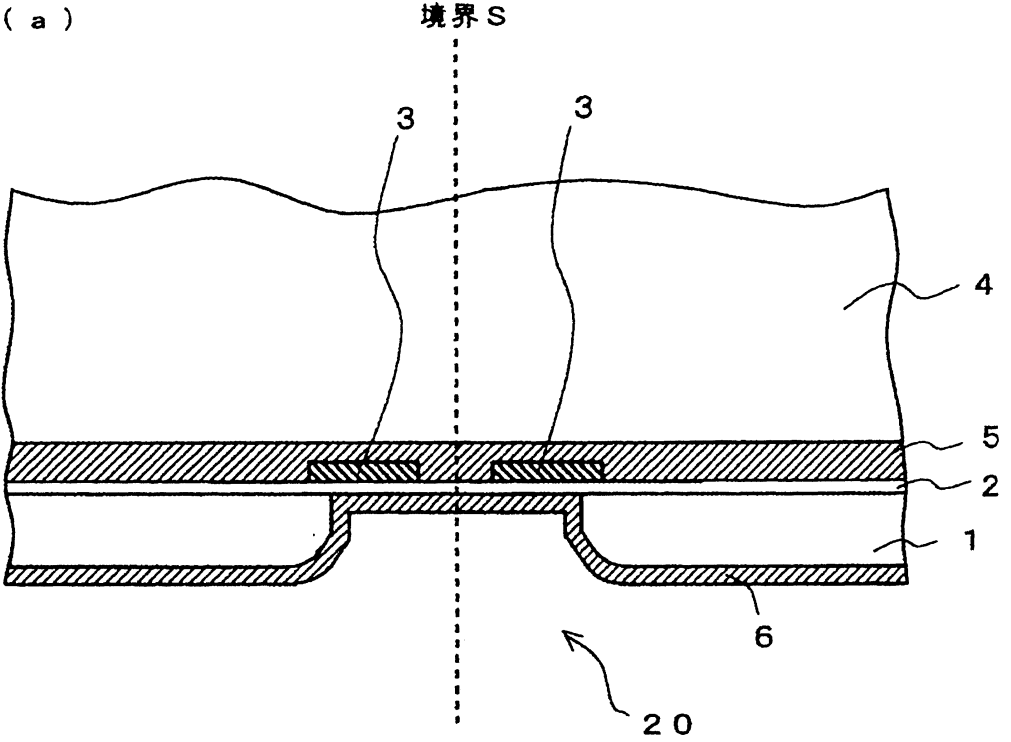
第1圖



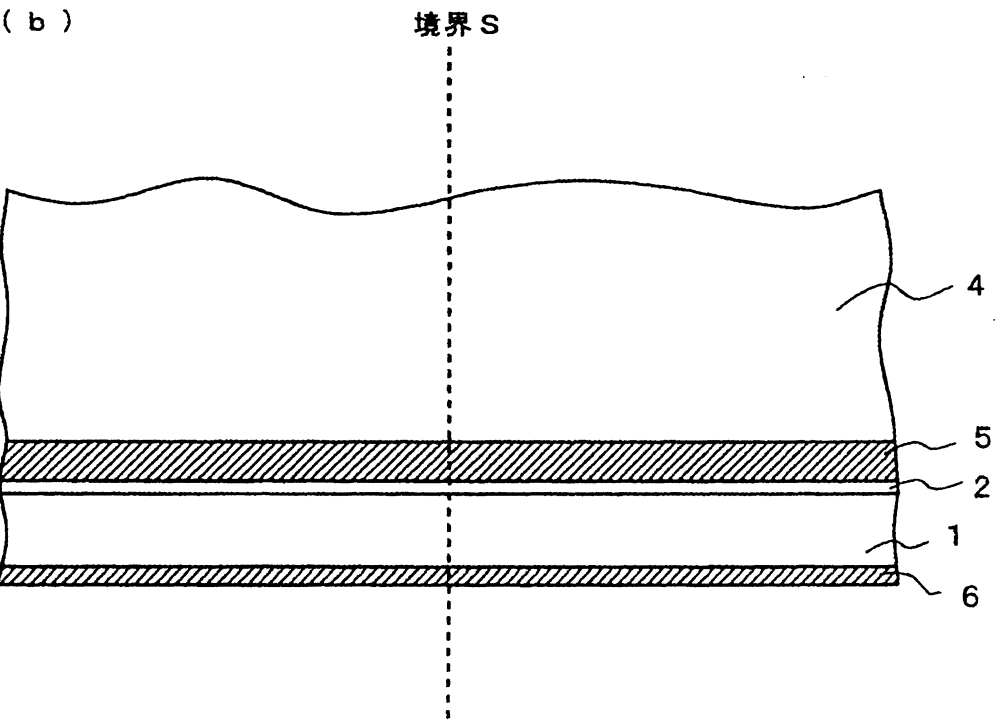
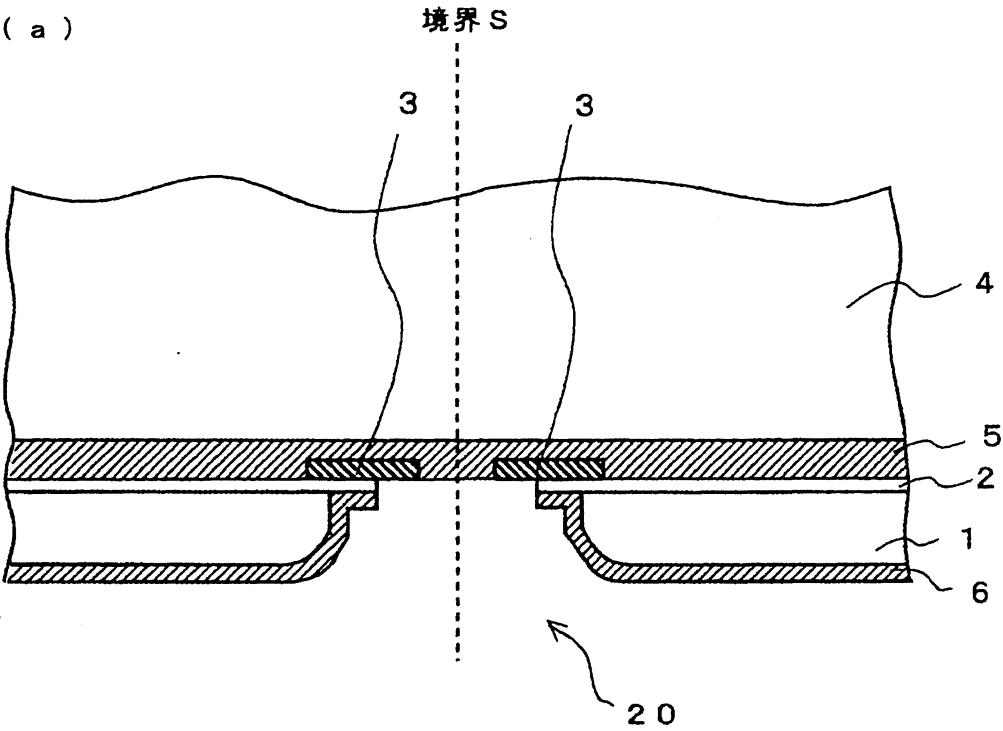
第2圖



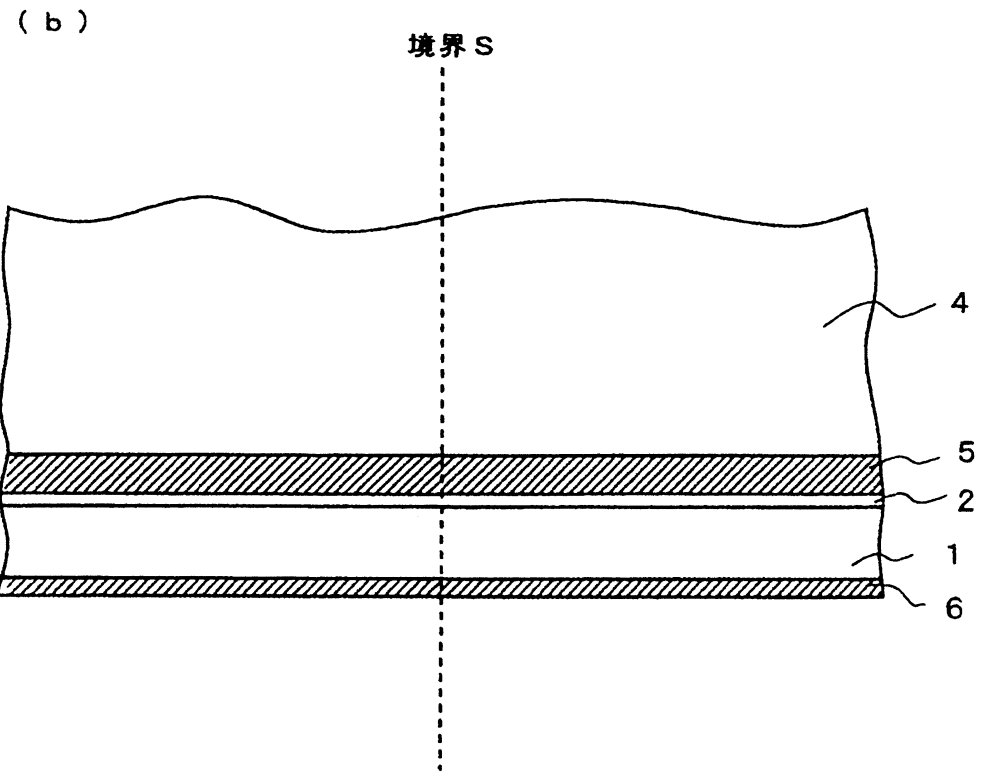
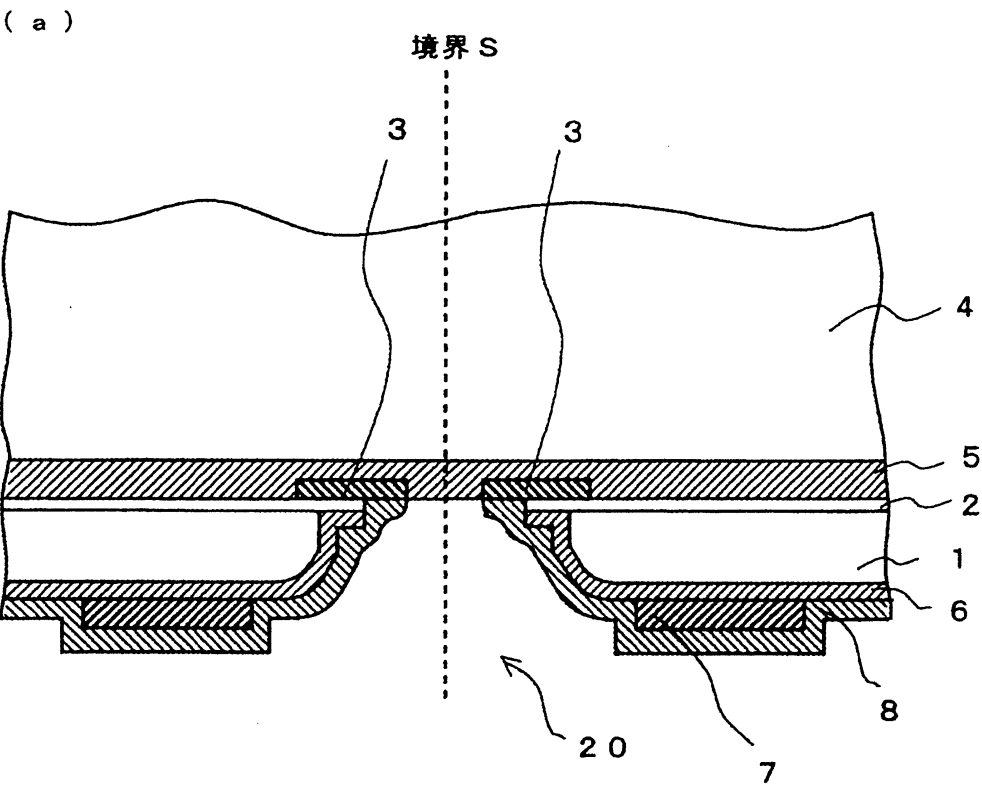
第3圖



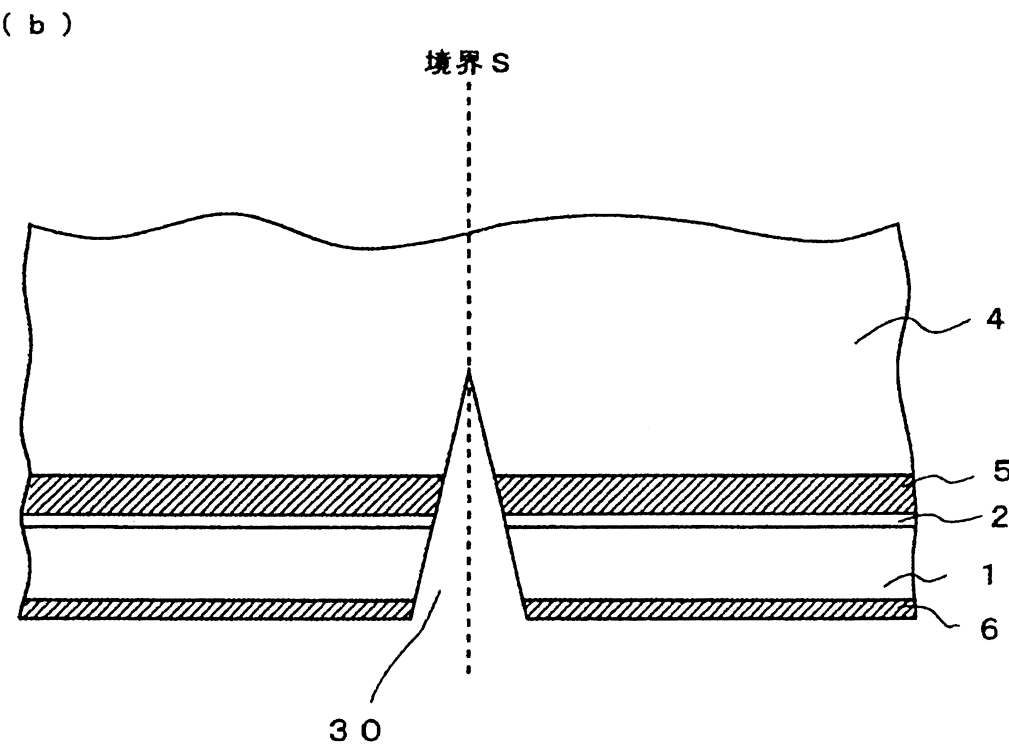
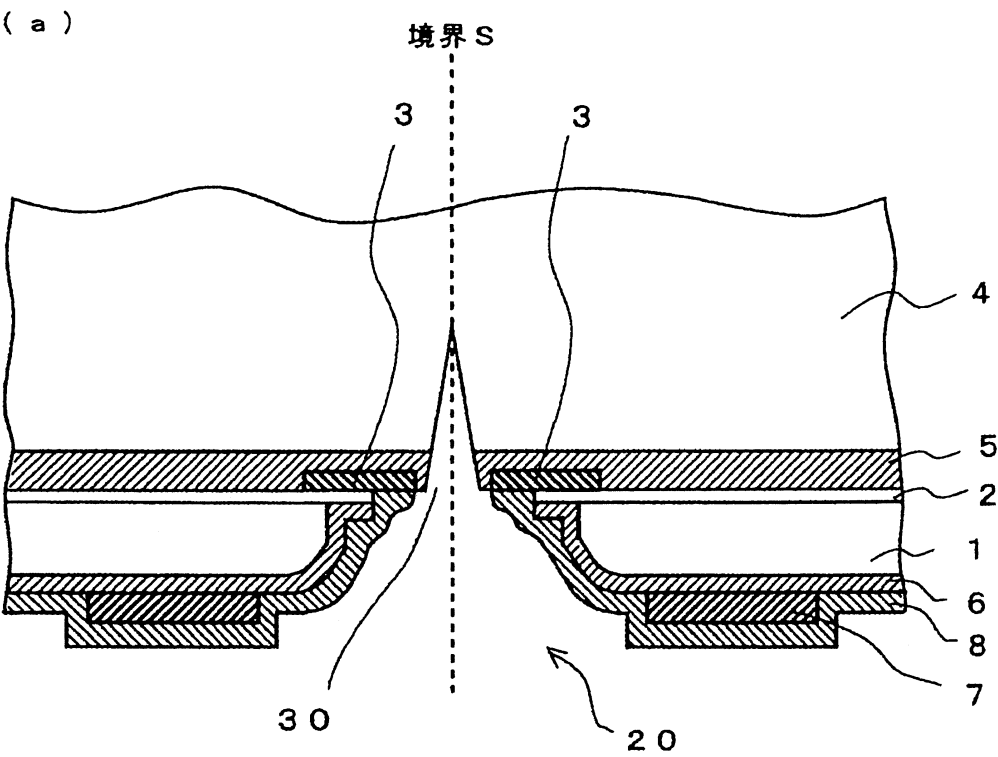
第4圖



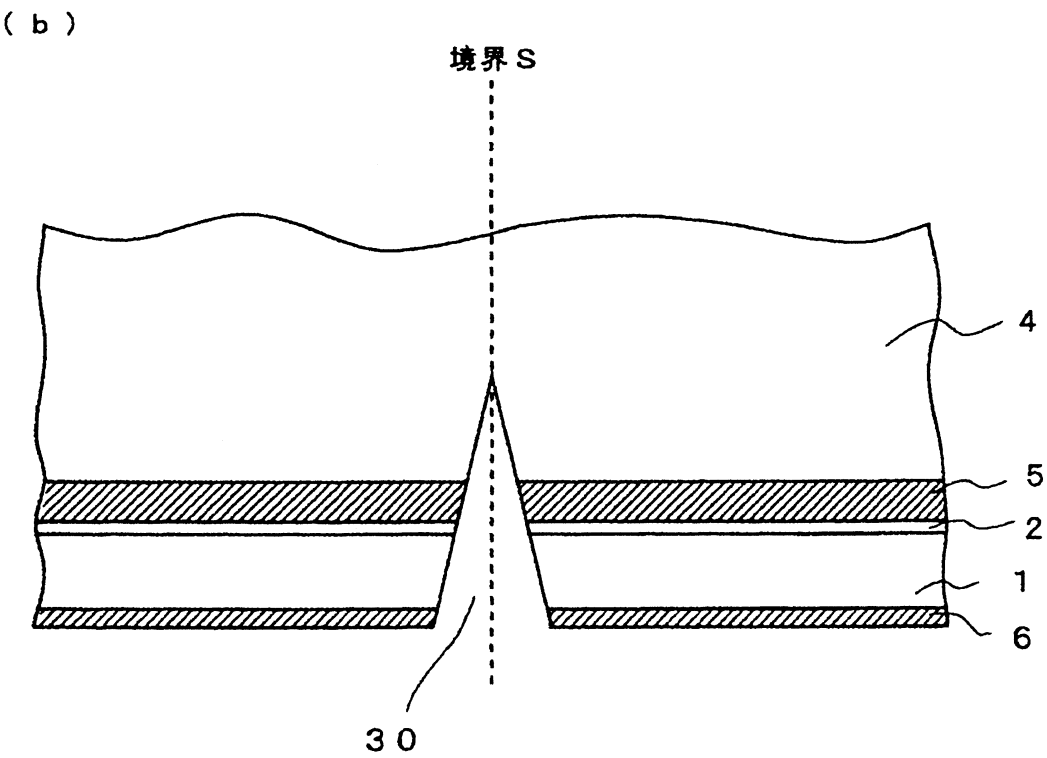
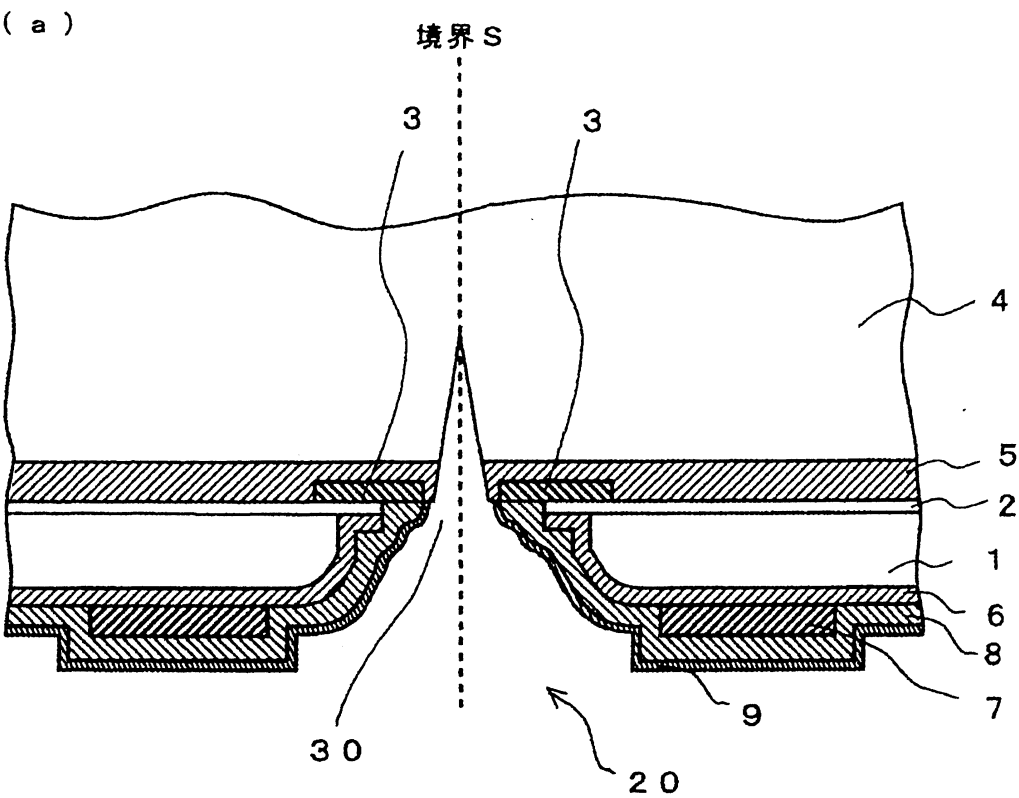
第5圖



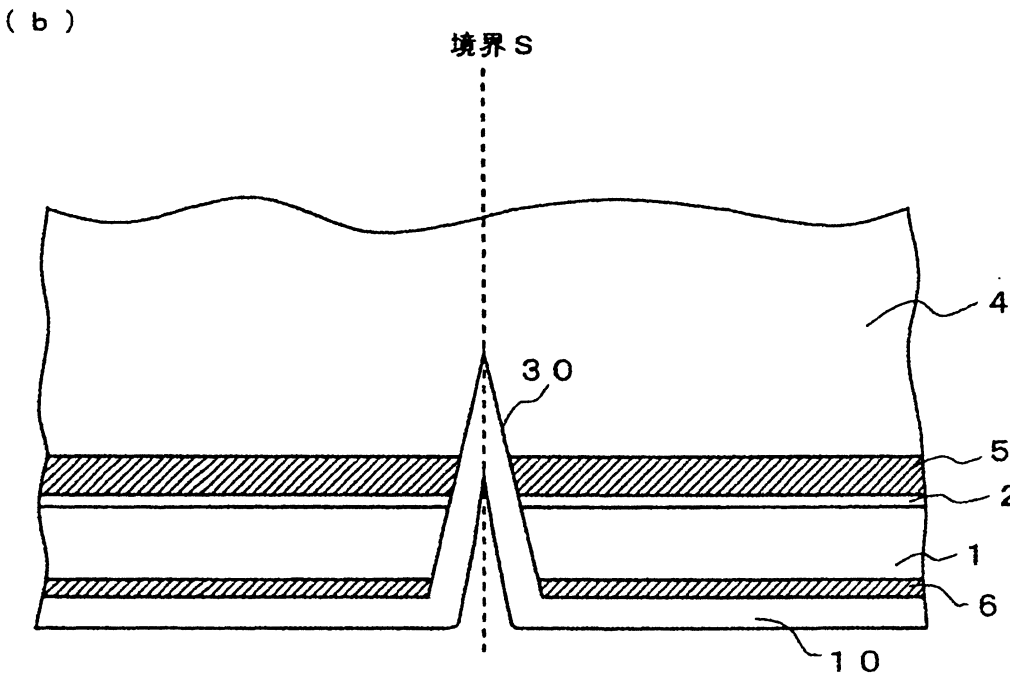
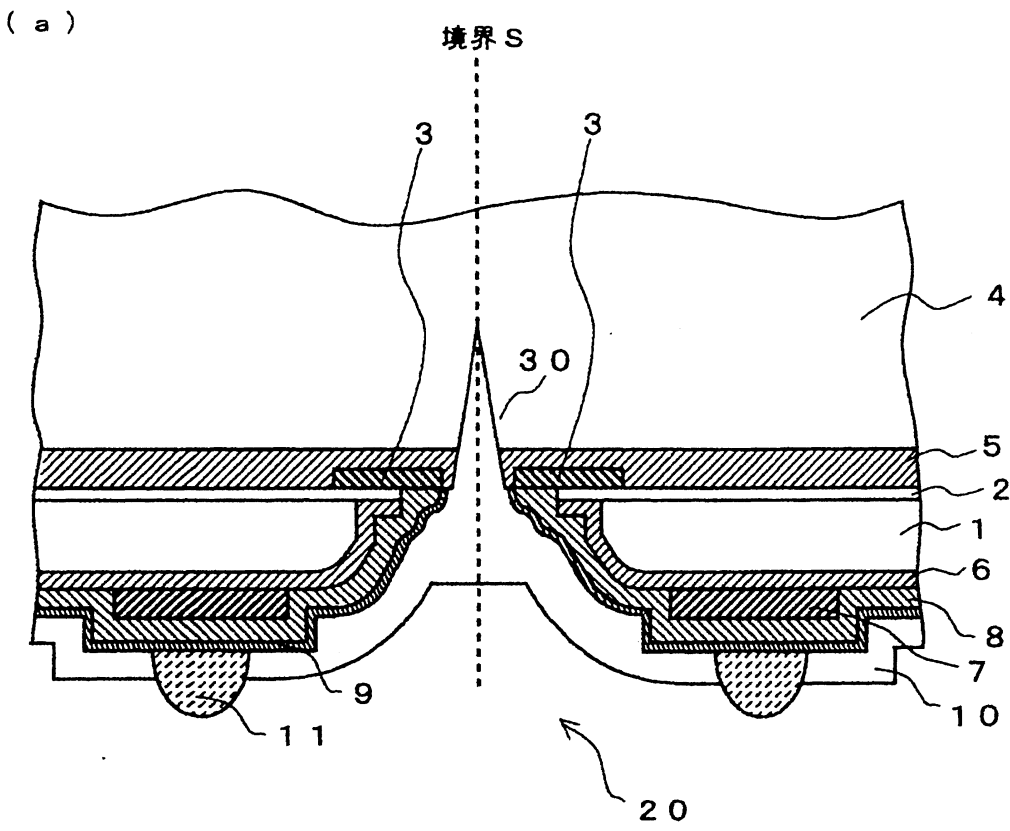
第6圖



第7圖

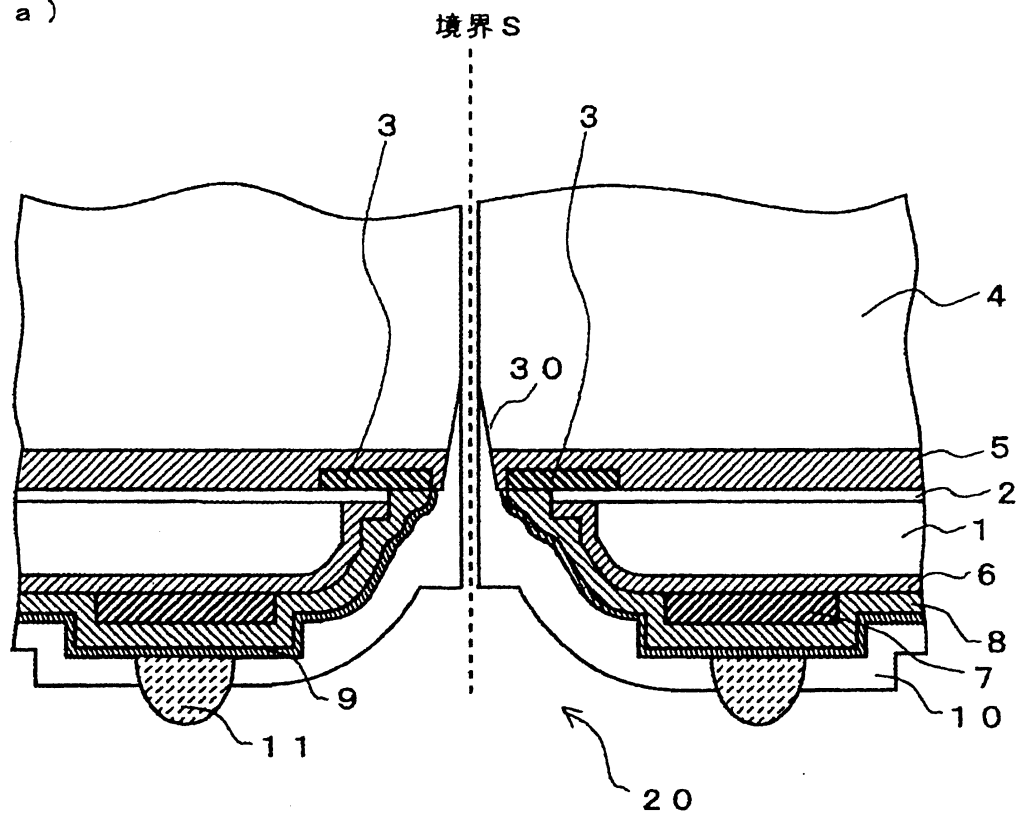


第8圖

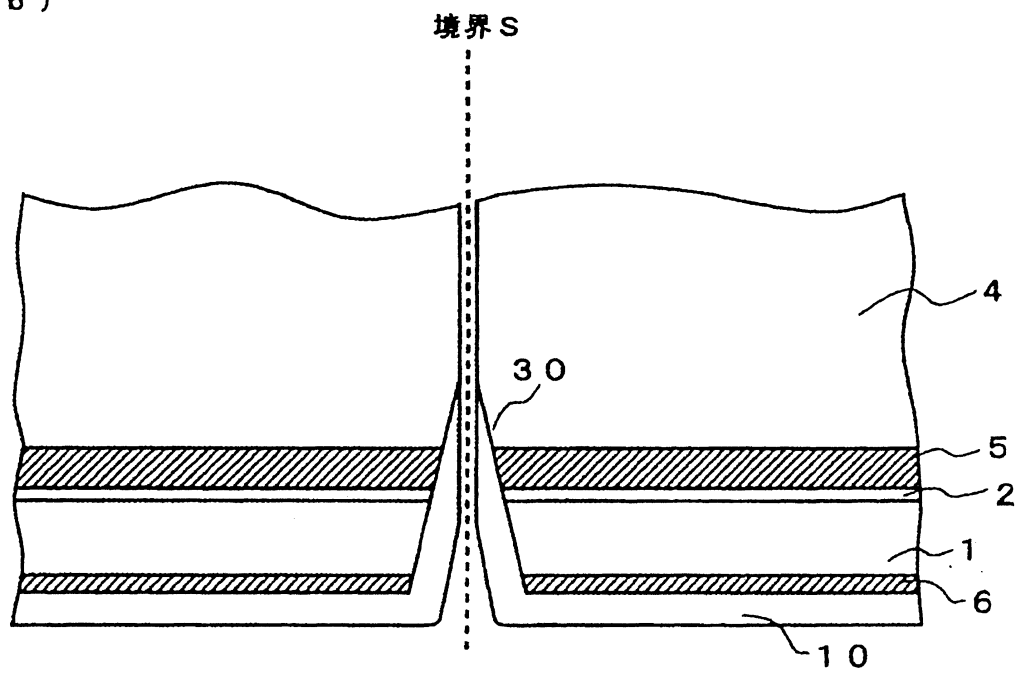


第9圖

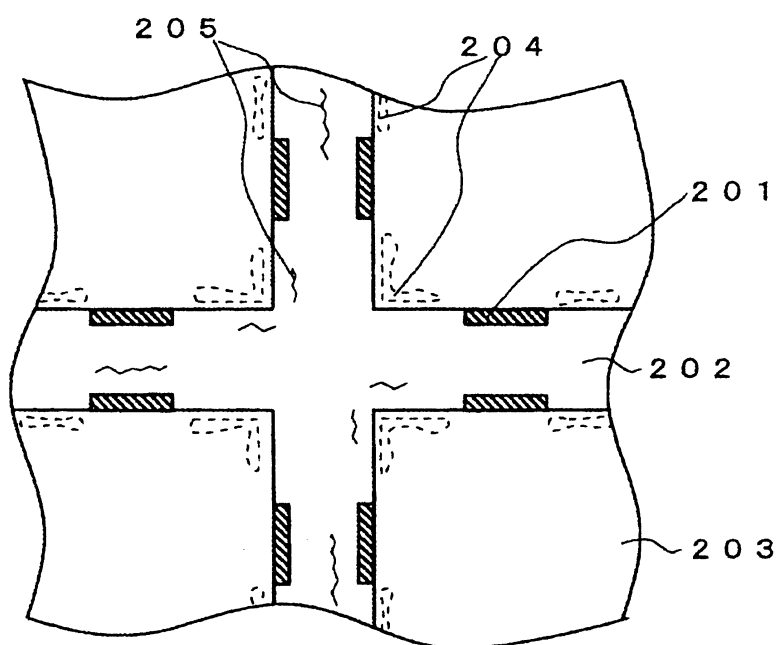
(a)



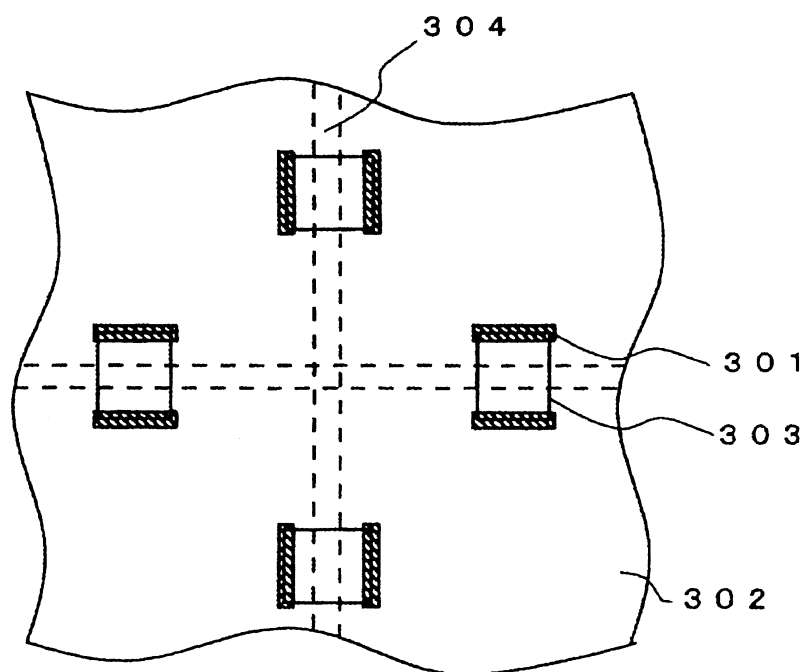
(b)



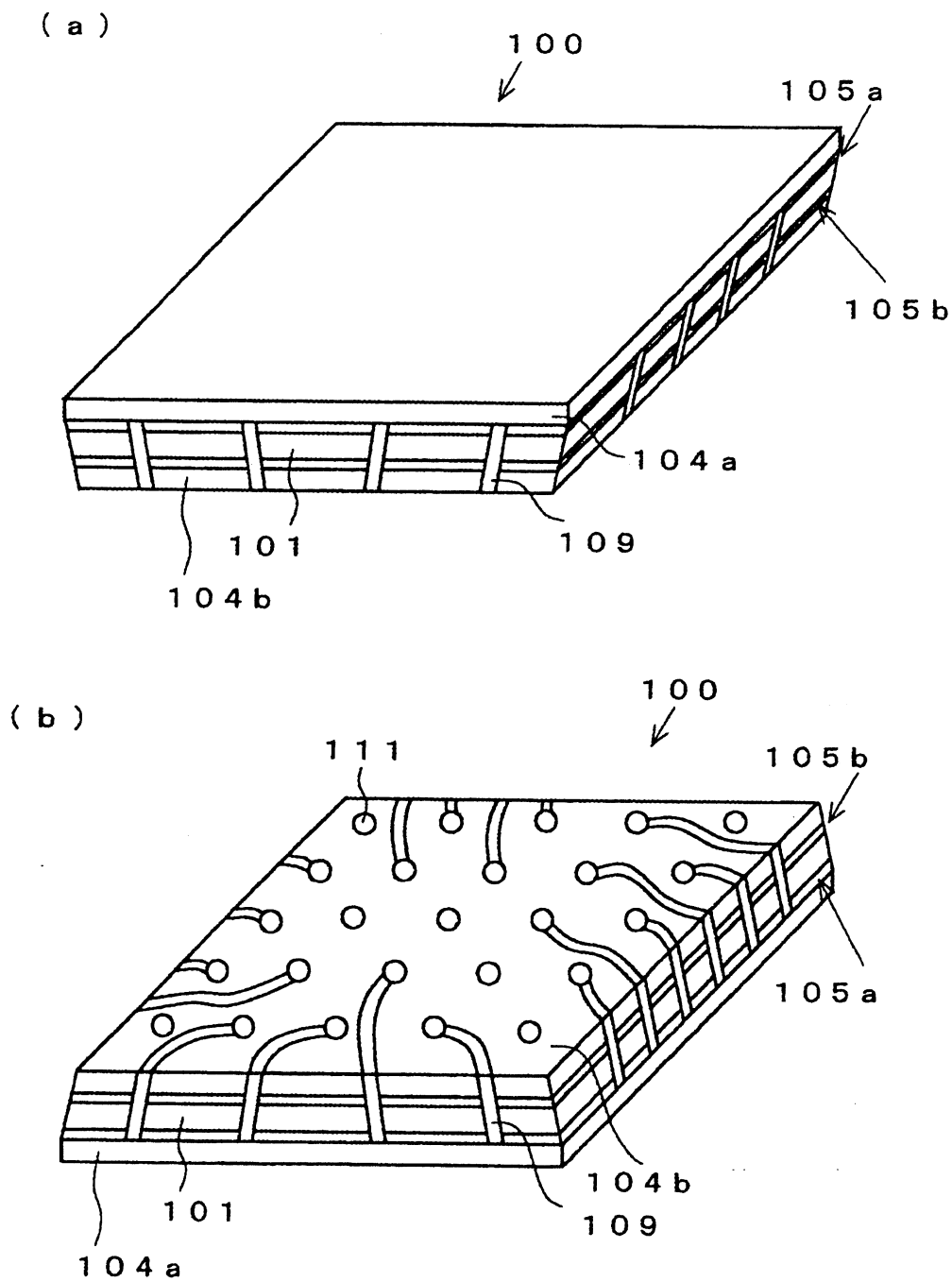
第10圖



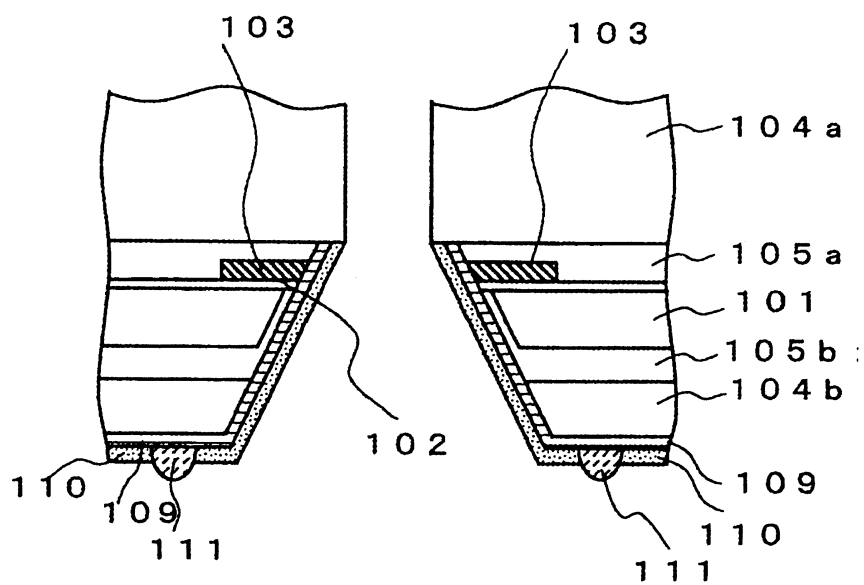
第11圖



第12圖



第13圖



第14圖