(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015 년 1 월 29 일 (29.01.2015)

WIPO | PCT

(10) 국제공개번호
WO 2015/012454 A1

(51) 국제특허분류:
H04L 12/931 (2013.01) *H04L 12/50* (2006.01)

(21) 국제출원번호: PCT/KR2013/011648

(22) 국제출원일: 2013 년 12 월 16 일 (16.12.2013)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2013-0087350 2013 년 7 월 24 일 (24.07.2013) KR

(71) 출원인: **전자부품연구원 (KOREA ELECTRONICS TECHNOLOGY INSTITUTE)** [KR/KR]; 463-816 경기도 성남시 분당구 야탑동 68, Gyeonggi-do (KR).

(72) 발명자: **박부식 (PARK, Pu Sik)**; 464-722 경기도 광주시 초월읍 산이리 벽산블루밍아파트 105 동 306 호, Gyeonggi-do (KR).

(74) 대리인: **특허법인 지명 (JIMYUNG PATENT FIRM)**; 137-881 서울시 서초구 서초 1 동 1676-1 신승빌딩 6 층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

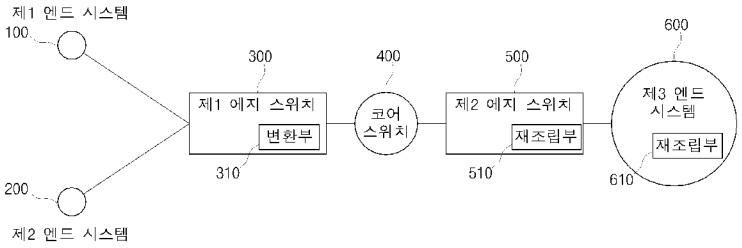
규칙 4.17 에 의한 선언서:

— 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

[다음 쪽 계속]

(54) **Title**: METHOD OF IMPROVING NETWORK PERFORMANCE BY CONTROLLING VIRTUAL LINK, AND NETWORK SYSTEM EMPLOYING SAME

(54) **발명의 명칭** : 가상 링크 조정에 의한 네트워크 성능 개선 방법 및 이를 적용한 네트워크 시스템



100 ... First end system
200 ... Second end system
300 ... First edge switch
310 ... Conversion unit
400 ... Core switch
500 ... Second edge switch
510 ... Reassembly unit
600 ... Third end system
610 ... Reassembly unit

(57) **Abstract**: The present invention relates to a method of improving network performance by controlling a virtual link and a network system employing the same. The purpose of the present invention is to provide a method of improving the performance of an AFDX network for converting and transmitting BAG and Lmax of a virtual link and performing frame reassembly, and an AFDX network system employing the same. The method comprises the steps of: receiving at least one frame from a first end system and a second end system; converting BAG and Lmax of a virtual link on the basis of a conversion table; transmitting fragmented frames; and reassembling the received frames and transmitting the completed frames. According to the present invention, it is possible to reduce the capacity requirement for a switch internal memory by performing optimal fragmentation when transmitting frames. Further, it is possible to lower the price of a memory and switch development costs in developing a switch by reducing a maximum memory size.

(57) **요약서**:

[다음 쪽 계속]

WO 2015/012454 A1

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 가상 링크 조정에 의한 네트워크 성능 개선 방법 및 이를 적용한 네트워크 시스템에 관한 것으로서, 가상 링크의 BAG 와 Lmax 을 변환하고 전송한 후 프레임 재조립을 수행하는 AFDX 네트워크 성능 개선 방법 및 이를 적용한 AFDX 네트워크 시스템을 제공하는 것을 목적으로, 제 1 엔드 시스템과 제 2 엔드 시스템으로부터 적어도 하나의 프레임을 수신하고 변환 테이블을 기초로 가상 링크의 BAG 및 Lmax 를 변환한 후, 단편화된 프레임을 전송하고, 수신된 프레임을 재조립하고 완성된 프레임을 전송하는 것을 그 요지로 한다. 본 발명에 따르면, 프레임 전송시 최적의 단편화를 수행하여 스위치 내부 메모리 용량의 요구도를 낮출 수 있다. 최대 메모리 크기를 낮추어 스위치 개발에 있어서 메모리 비용 및 스위치 개발 비용을 절감할 수 있다.

명세서

발명의 명칭: 가상 링크 조정에 의한 네트워크 성능 개선 방법 및 이를 적용한 네트워크 시스템

기술분야

[1] 본 발명은 네트워크 성능 개선 방법 및 이를 적용한 네트워크 시스템에 관한 것으로서, 더 구체적으로는 종단 간의 데이터 전송 지연시간에 대한 최대 허용 값이 설정된 네트워크에서 프레임 단편화에 의한 성능 개선 방법과 이를 적용한 네트워크 시스템에 관한 것이다.

배경기술

[2] AFDX(Avionics Full-DupleX Ethernet Switched Network)는 최신예 항공전자 시스템인 IMA(Integrated Modular Avionics)의 핵심 네트워크 시스템 규격이다. ARINC 664에 의해서 표준화되어 있다.

[3] COTS(Cost-Off-The-Shelf) 개념의 기술로서 기존의 이더넷을 기반으로 하여 신뢰성과 경제성을 확보하고 항공전자 시스템에서 요구하는 확정적(Determinstic) QoS(Quality-of-Service) 요구사항을 만족시키기 위해서 특별한 MAC(Media Access Control) 기능이 있다.

[4] 100 Mb/s 이더넷 링크에 가상 링크(Virtual Link)가 설정되어 여러 어플리케이션이 공유해서 사용할 수 있으며, 각 가상 링크에는 QoS 보장을 위해서 최대 사용 가능한 대역폭을 미리 정의한다. 최소 전송 가능한 간격인 BAG(Bandwidth Allocation Gap)와 최대 전송 길이 (Lmax)로 각 가상 링크의 전송 용량을 정의한다.

[5] AFDX 네트워크에서 데이터의 근원지 또는 목적지가 되는 엔드 시스템(End-System ; ES)에는 여러 개의 가상 링크들이 설정되어 있다. 그리고 ES는 스위치에 연결된다. ES는 설정된 가상 링크의 BAG와 Lmax에 맞게 프레임을 송신해야 한다. 그리고 스위치는 ES 혹은 다른 스위치로부터 수신한 프레임이 미리 설정된 약속대로 전송하고 있는지를 감시하고 위반하는 프레임의 경우에 해당 프레임을 버린다.

[6] 상용 이더넷은 몇 개의 노드가 스위치에 연결될지 스위치가 몇 개가 연결되어 네트워크를 구성할 지에 대한 예측이 어려운 데 비하여, AFDX 네트워크는 항공기 설계시 항공 전자 부품들이 미리 정해지기 때문에 그 설계 내용에 맞추어 네트워크 설정을 결정할 수 있어 확정적 QoS를 보장하기 위해서 전체 네트워크의 설정 정보를 미리 결정하고 반영한다.

[7] 이더넷 스위치 내부에는 스위칭을 하기 위해서 메모리가 있는데, 이는 여러 입력 포트에 도착한 프레임들이 동일한 출력 포트로 나가려고 할 때의 충돌(Head of line blocking)을 막기 위해 프레임들을 잠시 보관하는 역할을 한다. 그런데 이 메모리의 크기가 프레임의 길이에 의존적이다.

[8] 복수 개의 입력 포트에 도착한 프레임들이 하나의 출력 포트로 나가는 경우 특정 가상 링크에 대해 최대 길이 Lmax를 갖는 프레임이 입력 포트들로 동시에 도착하여 동일한 출력 포트들로 나갈려고 한다. 그러므로 하드웨어로 스위칭을 구성할 경우에는 프레임의 최대 크기가 메모리 크기를 좌우하기 때문에 Lmax값을 작게 유지하는 것이 필요하다. 메모리 크기가 작으면 그만큼 제작 비용이 감소하기 때문이다.

[9] 단, Lmax를 작게 유지할 경우에는 그에 따른 헤더 오버헤드가 발생해서 네트워크 대역폭의 사용률이 그만큼 나빠지게 된다.

[10] 도 1은 종래의 방식을 적용하는 경우 AFDX 네트워크에서 프레임 지연 상황을 설명하기 위한 도면이다.

[11] 기존의 ARINC 664는 가상 링크 관리법을 다음과 같이 정의한다.

[12] 모든 가상 링크는 BAG와 Lmax 값을 갖는다. 그리고 VLID(가상 링크 식별자)는 모든 프레임 MAC Destination 주소 영역에 16비트 값으로 기재되어 있다.

[13] 모든 스위치에는 자신의 스위치를 통과하는 가상 링크가 어떤 입력 포트로 들어와서 어떤 출력 포트(들)로 나갈지에 대한 라우팅 정보가 미리 저장되어 있다.

[14] 각 스위치는 라우팅 정보를 바탕으로 입력된 프레임이 Lmax 길이를 초과하는지 검사하고 BAG에 맞게 허용된 대역폭으로 전송되는지를 검사한다.

[15] AFDX Switch에서는 Token bucket 알고리즘을 통해 입력되는 트래픽을 검사한다. (Policing) 그런데, ARINC 664 Part 7 Chapter 2.0 Switch Specification 규격에 따르면 스위치는 두 가지 방식의 token bucket 알고리즘 중 하나를 선택해 구현할 수 있다.

[16] 하나는 Byte-based 이고 다른 하나는 Frame-based 이다. 또는 둘 다 구현할 수 있다. Frame-based 방식의 알고리즘을 적용하는 경우에는 프레임의 전송 개수가 QoS에 의미있는 값으로 사용되고 있어서, 단편화로 인해 늘어나는 프레임을 전송할 수 없게 되는 경우가 있다.

[17] 또한, Byte-based의 경우 헤더가 추가되어 발생하는 초과 데이터로 인하여 프레임을 전송하지 못할 수도 있다.

[18] 뿐만 아니라, 종래의 AFDX에서는 프레임에 포함된 가상 링크 값이 도중에 변경되거나 동일한 가상 링크에 대한 LmaX, BAG의 설정이 변경되는 경우가 없다.

[19] 도 1을 참조하여 종래의 AFDX 망에서의 지연 발생의 경우를 예시하면, 두 개의 엔드 시스템(ES#1, ES#2)으로부터 각각 프레임(VL#1, VL#2 프레임)을 수신한 에지 스위치(Sa)는 상대적으로 더 긴 제2가상 링크 프레임(VL#2 프레임)을 먼저 전송하고, 코어 스위치(S4)에서 제2가상 링크 프레임(VL#2 프레임)과 제3가상 링크 프레임(VL#3 프레임)이 동시에 도착한다. 이때에도 제3가상 링크(VL#3)가 먼저 스위칭되면 에지 스위치(Sd)에 도착하는 제1가상 링크 프레임(VL#1 프레임)의 지연 시간이 더 늘어나게 된다.

[20] 따라서, 각 스위치에 상이한 가상 링크의 프레임이 동시에 도착할 때, 특정 가상 링크의 프레임이 과도하게 지연되는 불공정한 경우가 발생할 수 있다.

[21] 이러한 지연 시간이 시스템에서 요구하는 최대 지연 시간을 초과한다면 시스템 구성은 사용하기 어려운 문제점이 있었다.

발명의 상세한 설명

기술적 과제

[22] 본 발명은 가상 링크의 BAG와 Lmax을 변환 테이블을 이용하여 변환하고 전송한 뒤 프레임 재조립을 수행하도록 가상 링크의 설정을 조정하여, 모든 프레임이 과도한 지연 발생 없이 요구 QoS를 충족할 수 있는 네트워크 성능 개선 방법 및 이를 적용한 시스템을 제공하는 것을 목적으로 한다.

과제 해결 수단

[23] 본 발명의 일면에 따른 네트워크 시스템은 제1엔드 시스템과 제2엔드 시스템으로부터 적어도 하나의 프레임을 수신한 후, 변환 테이블을 기초로 상기 프레임의 BAG과 Lmax를 동시에 변환하는 변환부를 포함하며, 변환된 프레임을 전송하는 제1에지 스위치; 및 상기 제1에지 스위치로부터 수신된 프레임의 유효성을 판단하고, 상기 프레임이 유효하면 상기 프레임을 재조립하는 재조립부를 포함하고, 완성된 프레임을 목적지 엔드 시스템으로 전송하는 제2에지 스위치를 포함한다.

[24] 본 발명의 다른 면에 따른 네트워크 성능 개선 방법은 적어도 하나의 가상 링크를 통하여 프레임을 수신하는 단계; 변환 테이블을 기초로 상기 가상 링크의 BAG과 Lmax를 변환하고 이에 기초하여 상기 프레임을 단편화하여 전송하는 단계; 및 상기 단편화된 프레임을 수신하고 수신된 프레임이 유효하면 상기 단편화된 프레임을 재조립하는 단계를 포함한다.

발명의 효과

[25] 본 발명에 따르면, 프레임 전송시 최적의 단편화를 수행하여 스위치 내부 메모리 용량의 요구도를 낮출 수 있다. 최대 메모리 크기를 낮추어 스위치 개발에 있어서 메모리 비용 및 스위치 개발 비용을 절감할 수 있다.

[26] 또한, Lmax 길이의 단편화를 통해 복수 개의 입력 포트에 도착한 프레임들이 하나의 출력 포트로 나가는 경우 End-to-end 지연 시간이 줄어들게 되어, 네트워크 지연의 상위 범위를 종전보다 낮게 설정할 수 있어 네트워크 성능을 향상시킬 수 있다.

[27] 뿐만 아니라, 동일한 지연 범위 내에서 전송할 수 있는 패킷 양이 증가하여 가상 링크의 개수를 늘릴 수 있어 네트워크 성능을 향상시킬 수 있다.

도면의 간단한 설명

[28] 도 1은 AFDX 네트워크에서 프레임 전송 흐름을 예시한 도면.

[29] 도 2는 본 발명의 실시 예에 따른 네트워크 시스템의 구성도.

[30] 도 3은 본 발명의 실시 예에 따른 변환부의 구성도.

[31] 도 4는 본 발명의 실시 예에 따른 프레임 버퍼의 내부 메모리를 도시한 도면.

[32] 도 5는 본 발명의 실시 예에 따른 다른 시각에서 본 프레임 버퍼를 도시한 도면.

[33] 도 6은 본 발명의 실시 예에 따른 변환 테이블을 도시한 도면.

[34] 도 7은 본 발명의 실시 예에 따른 재조립부의 구성도.

[35] 도 8은 본 발명의 실시 예에 따른 재조립을 수행하는 에지 스위치에서 재조립 메모리의 동작을 도시한 도면.

[36] 도 9는 본 발명의 실시 예에 따른 페이로드 재조립이 완료된 상황을 도시한 도면.

[37] 도 10은 본 발명의 실시 예에 따른 프레임을 재조립하는 것을 도시한 도면.

[38] 도 11은 본 발명의 실시 예에 따른 제2에지 스위치에서 프레임을 재조립하는 것을 도시한 도면.

[39] 도 12는 본 발명의 실시 예에 따른 제3엔드 시스템에서 프레임을 재조립하는 것을 도시한 도면.

[40] 도 13은 일반 이더넷 프레임 구조를 도시한 도면.

[41] 도 14는 AFDX 이더넷 프레임 구조를 도시한 도면.

[42] 도 15는 본 발명의 실시 예에 따른 BAG, Lmax를 변화한 경우 프레임 전송을 도시한 도면.

[43] 도 16은 본 발명의 실시 예에 따른 네트워크 성능 개선 방법의 순서도.

발명의 실시를 위한 최선의 형태

[44] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의된다. 한편, 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성소자, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성소자, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[45] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다.

[46] 도 2는 본 발명의 실시 예에 따른 네트워크 시스템의 구성도이다. 도 2에 도시한 바와 같이, 본 발명에 따른 네트워크 시스템은 제1 내지 제3엔드 시스템(100, 200, 600), 제1에지 스위치(300), 제2에지 스위치(500)와 에지 스위치간의 하나 이상의 코어 스위치(400)를 포함한다.

[47] 본 발명이 적용되는 네트워크 시스템은 종단 간의 데이터 전송 지연시간에

대한 최대 허용 값이 설정되는 특징이 있는데, 대표적인 예로 최신예 항공전자 시스템인 IMA(Integrated Modular Avionics)의 핵심 네트워크 시스템 규격인 AFDX(Avionics Full-DupleX Ethernet Switched Network)를 들 수 있다.

[48] 설명의 편의를 위해, 아래에서는 AFDX 네트워크 시스템을 예를 들어 본 발명에 대해서 설명하나, 본 발명의 권리범위는 AFDX 즉, 항공기 내부의 네트워크 시스템에 한정되는 것이 아니라, 종단 간의 데이터 전송 지연시간에 대한 최대 허용 값이 설정된 네트워크라면 미칠 수 있음은 당업자에게 자명할 것이다.

[49] 도 2를 참조하면, 제1에지 스위치(300)는 제1엔드 시스템(100)과 제2엔드 시스템(200)으로부터 적어도 하나의 프레임을 수신한 후, 변환 테이블을 기초로 각 가상 링크의 BAG과 Lmax를 변환하는 변환부(310)를 포함하며, 단편화된 프레임을 전송한다.

[50] 제2에지 스위치(500)는 제1에지 스위치(300)로부터 수신된 프레임의 유효성을 판단하고, 프레임이 유효하면 프레임을 재조립하는 재조립부(510)를 포함하고, 완성된 프레임을 목적지 엔드 시스템으로 전송한다.

[51] 한편, 본 명세서에서 제1에지 스위치(300) 및 제2에지 스위치(500), 제1엔드 시스템(100), 제2엔드 시스템(200) 및 제3엔드 시스템(600)을 중심으로 설명하나, 이는 설명의 편의와 이해의 증진을 위함이고 본 발명에 따른 네트워크 시스템에는 두 개의 엔드 시스템 사이에는 둘 이상의 다수의 스위치(에지 스위치, 코어 스위치 포함)가 존재하고 둘 이상의 다수의 엔드 시스템이 존재할 수 있음은 물론이다.

[52] 본 발명에서, 송신측 엔드 시스템(100, 200)에 연결된 제1에지 스위치(300)는 변환부(310)를 포함하고, 아래의 수학식 1에 충족하는 변환된 Lmax' 및 BAG'를 구하고 이에 따라 프레임 단편화를 수행하여 네트워크 내 다음 스위치로 전송한다.

[53] 수학식 1

$$L_{\max} \leq \frac{BAG}{BAG'} \times L_{\max'}$$

[54]

$$L_{\max} > L_{\max'} \text{and} BAG > BAG'$$

[55] Lmax : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 Lmax)

[56] Lmax' : 새로운 설정 (제1에지 스위치에서 새롭게 정의된 가상 링크의 Lmax)

[57] BAG : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 BAG)

[58] BAG' : 새로운 설정 (제1에지 스위치에 새롭게 정의된 제2가상 링크의 BAG)

[59] 여기서, Lmax는 MAC Destination Address, MAC Source Address, EtherType, Sequence number와 FCS를 제외한 Ethernet 페이로드 길이를 의미한다.

[60] Lmax, BAG, Lmax', BAG'는 정수만이 유효하다. 이때, BAG'가 이미 결정되어

있고 그에 따른 새로운 Lmax'를 결정할 때 수학식 1에 의해 Lmax'를 구한다. 이때, Lmax'가 이미 결정되어 있고 그에 따른 새로운 BAG'를 결정할 때, 수학식 1에 의해 BAG'를 구한다. 이때 BAG'가 정수가 아닌 경우에는 그 수보다 작은 최대의 정수가 유효한 최대의 수가 된다.

[61] 변환부(310)에서 Lmax'의 결정은 네트워크에서 요구되는 종단 간 지연시간과, 스위치 내의 최대버퍼 용량을 고려하여 수행됨이 바람직하다.

[62] 즉, 엔드 시스템을 포함한 네트워크 내 각 스위치의 최대버퍼 용량보다 작게 Lmax'를 결정하되, 허용 가능한 종간 간 지연시간을 충족할 수 있는 네트워크 동작이 가능한 Lmax'를 반복적 시도를 통해 찾아서 가장 적절한 값이 결정된다.

[63] Lmax'가 결정되면, 전술한 수학식 1에 따라 BAG'가 결정되고, 상기 Lmax' 및 BAG'에 따라 엔드 시스템의 가상링크 파라미터를 조정하여 엔드 시스템으로부터 프레임을 Lmax'를 BAG에 맞추어 단편화하여 전송한다.

[64] 한편, AFDX 네트워크 표준 (ARINC664)에 따르면 BAG의 단위는 ms이다. 그러나 개발자에 따라서 이보다 더 정밀한 단위를 사용할 수 있다.

[65] - 변환부 -

[66] 도 3은 본 발명의 실시 예에 따라 제1에지 스위치(300)에 포함된 변환부(310)의 구성도이다. 변환부(310)는 변환 테이블을 기초로 각 가상 링크의 BAG 및 Lmax를 변환시킨다.

[67] 보다 구체적으로, 변환부(310)는 수학식 1을 이용하여 변환 테이블을 작성하고 가상 링크의 설정 변환을 수행한다.

[68] 변환부(310)는 프레임 버퍼(312), 스케줄러(314), 프레임 전송부(316) 및 BAG 타이머(318)를 포함한다.

[69] 구체적으로, 프레임 버퍼(312)는 전송되지 않고 남은 프레임을 저장한다. 즉, 프레임 버퍼(312)는 단편화를 위해서 쪼개고 전송되지 않고 남은 프레임을 저장한다.

[70] 스케쥴러(314)는 변환 테이블을 기초로 프레임 페이로드 중 첫 번째 단편을 전송하고 프레임 중 나머지 부분은 프레임 버퍼(312)에 저장한 후 변환된 BAG에 맞추어 후속의 단편을 순차적으로 전송하도록 제어한다.

[71] 프레임 전송부(316)는 스케쥴러(314)로부터 제어 신호에 응답하여 변환 테이블에 대응하는 단편화된 프레임을 전송한다.

[72] 또한, 스케쥴러(314)는 BAG 타이머(318)가 만료되는 시점에 변환 테이블에 대응하는 후속의 단편을 순차적으로 전송하도록 제어한다.

[73] 구체적으로, 프레이머(미도시)는 새롭게 쪼개진 이더넷 페이로드에 이전과 동일한 헤더를 구성하여 프레임을 생성하고 새로운 시퀀스 번호를 붙인다. 프레임 개수가 단편화에 의해 늘어가기 때문에 새롭게 시퀀스 번호를 관리해야 한다.

[74] 각 가상 링크 별로 시퀀스 번호 카운터가 8비트 카운터로 사용된다. BAG 크기의 비율에 비례하여 시퀀스 카운팅 속도도 증가한다.

[75] 도 4는 프레임 버퍼부(312)의 내부 구조를 개념적으로 도시한 것이다. Lmax에 헤더 등을 포함한 최대 프레임 길이를 저장할 수 있는 영역이 각 가상 링크마다 준비되어 있다. 그리고 ES로부터 프레임이 도착하면 버퍼에 저장한다.

[76] 이어, 앞 부분에 해당하는 단편화된 프레임을 새로운 헤더와 시퀀스 번호, FCS를 붙여서 전송한다.

[77] 도 4와 같이 이미 보낸 부분이 메모리에 저장되어 있는 구조로 구현이 가능하고, 이미 보낸 단편의 데이터는 메모리에 저장하지 않는 구조로도 구현이 가능하다.

[78] 만약 후자의 경우, FIFO 형태로 구현될 것이고, 내부 메모리에는 아직 보내지 않은 단편의 데이터만 저장된다. 프레임 버퍼부(122)에 저장된 데이터는 ES로부터 다음 프레임이 도착하기 전까지 모두 전송되어야 한다. 그러므로, 프레임

[79] 버퍼부(312)의 크기는 가상 링크 별로 최대 크기의 프레임 1개를 저장할 수 있는 공간이면 충분하다.

[80] 도 4는 가상 링크가 n개인 경우를 도시한 도면으로, 도 4에서는 제1가상 링크의 경우 Lmax가 1/2배가 되었고, 제2가상 링크의 경우 1/4배가 되었으며, 제3가상 링크의 경우 1/8배가 된 경우를 도시하였다. 제1가상 링크, 제2가상 링크, 제3가상 링크에서 변환 후 Lmax값이 서로 다르기 때문에 최초에 전송되는 프레임의 길이는 각각 다르다.

[81] 물론 이것은 새로운 Lmax값이 Lmax'보다 긴 프레임이 도착한 경우에 한한다.

[82] 만약 Lmax'보다 짧은 프레임이 도착한 경우라면 단편화없이 즉, 버퍼링 없이 헤더 변환만 처리하고 전달될 것이기 때문이다.

[83] 구체적으로, 제3가상 링크에서는 Lmax 길이가 짧은 대신에 제2가상 링크보다도 자주 프레임을 전송한다. 도 4에서는 각 가상 링크별 BAG에 관한 설정은 도시되지 않았는데, 이것은 제2가상 링크와 제3가상 링크의 BAG이 서로 같은 경우로 볼 수 있다.

[84] 만약 제3가상 링크의 BAG이 제2가상 링크의 BAG보다 1/8배인 경우라면 Lmax를 1/2배 설정하더라도 프레임을 더 자주 보내지 않게 된다.

[85] 도 5는 본 발명의 실시 예에 따른 다른 시각에서 본 프레임 버퍼를 도시한 도면이다. 도 5에 도시된 바와 같이, 기준 시점이 제2가상 링크의 변환된 첫번째 BAG'이 만료되는 시점에서 제2가상 링크의 두 번째 단편 프레임이 전송된다.

[86] 이때, 제3가상 링크의 경우 이미 두 번째 단편 프레임 전송을 마쳤고, 세 번째 단편 프레임을 전송한다.

[87] 도 5에서 좌우의 화살표는 프레임을 의미하는데, 왼쪽은 제1에지 스위치(110)에서 입력되는 프레임이다. 하나의 프레임이 수신되고 이것이 단편화되어 오른쪽 화살표처럼 쪼개어 여러 번 전송된다.

[88] - 가상 링크에 대한 정보 -

[89] 변환 테이블 내의 가상 링크에 대한 정보는 변환 전 정보(Config#1)와 변환 후

정보(Config#2)로 구성된다. 프레임이 제1에지 스위치(300)의 입력 포트로 도착하면 우선 기존 AFDX MAC에서처럼 Integrity Check를 통한 Filtering과 Policing을 수행한다. Integrity Check는 프레임의 유효성을 확인하는 과정이다. 프레임의 유효성 확인은 헤더 내의 상수 값 확인, FCS 오류 확인, 프레임 길이가 최소 길이보다 짧은지 최대 길이 Lmax보다 긴지 여부 확인 등을 포함한다.

[90] Policing에서는 프레임이 올바른 것이 확인되면 변환 전 가상 링크 설정대로 도착했는지를 검사한다. BAG 간격보다 이전에 입력되면 그 프레임을 무시한다. ARINC 664 Part 7 규격 4.0 Switch Specification 장에 따르면 스위치에서의 Policing은 token bucket 알고리즘을 기본으로 동작한다.

[91] 이렇게 통과된 프레임 중 변환이 필요한 경우, 변환부(310)로 들어간다. 변환 테이블에 변환 정보가 없는 가상 링크인 경우에는 변환부(310)를 거치지 않고 Policing에서 리던던트 모듈(미도시)로 바로 전달되어 다른 스위치로 전송되도록 한다.

[92] - 변환 테이블 -

[93] 도 6은 본 발명의 실시 예에 따른 변환 테이블을 예시한 도면이다. 도 6에 도시된 바와 같이, 제1에지 스위치(300)에서는 변환 테이블이 있다. 변환이 필요한 가상 링크가 n개일 때, n개의 가상 링크 변환 정보가 있다. Config#2(변환 후)에 위치한 값들은 수학식 1 조건을 만족한다.

[94] 예를 들어, BAG가 8 ms 이고 Lmax가 1499바이트인 Config#1(변환 전)의 가상 링크가 Config#2로 변환되는데, BAG가 4 ms에 Lmax 750바이트로 변환된다. 1499바이트를 BAG 변동폭만큼 나누면 749.5의 값을 갖는데 이 값보다 큰 최소의 정수는 750이다.

[95] 가상 링크 ID가 3인 경우에는 BAG가 1로 줄어들며 전송 빈도를 늘였을 때의 수학식 1에 따라 Lmax'가 187.375 바이트가 나온다. 따라서 새로운 Config#2로 Lmax'는 187.375보다 큰 최소의 정수인 188 바이트로 결정된다.

[96] 3가지 가상 링크가 있으며 각각 서로 다르게 단편화된다. 단편화될 때에는 새로운 Lmax와 BAG의 값은 수학식 1을 이용하여 결정된다.

[97] 도 7은 본 발명의 실시 예에 따른 제2에지 스위치(500)의 재조립부(510)의 구성도이다. 도 7에 도시한 바와 같이, 제2에지 스위치(500)는 전송 프레임의 목적지인 제3엔드 시스템(600)의 바로 앞에 있는 스위치로서, 수학식1을 이용하여 수신한 프레임 유효 여부를 판단한다. 재조립부(510)는 재조립 메모리(512), 재조립 제어부(514), 프레임 전송부(516) 및 프레이머(518)를 포함한다.

[98] 보다 구체적으로, 재조립 메모리(512)는 수신한 프레임이 유효한 경우 프레임의 페이로드만 저장한다.

[99] 재조립 제어부(514)는 프레임 시퀀스 번호를 저장하고 프레임 시퀀스 번호 오류 여부를 확인한다.

[100] 프레임 전송부(516)는 저장된 프레임이 완성된 페이로드가 되는지 확인하고

완성된 페이로드를 프레이머(518)로 전달한다.

[101] 프레이머(518)는 프레임 전송부(516)로부터 수신한 페이로드에 변환 테이블의 Config#1에 부합하는 변환 전 헤더, 시퀀스 번호 및 FCS를 부착하여 프레임을 완성하고 전송한다.

[102] 도 8은 본 발명의 실시 예에 따른 재조립을 수행하는 제2에지 스위치(500)에서 재조립 메모리(512)에 변환 프레임이 축적되어 가는 양태를 도시한 개념도이다.

[103] 수신되는 프레임은 도 8과 같이 재조립 메모리(512)에 페이로드만 쌓는다.

[104] - 페이로드 재조립이 완료된 상황 -

[105] 도 9는 본 발명의 실시 예에 따른 페이로드 재조립이 완료된 상황을 도시한 도면이다. 완성된 프레임의 페이로드에 헤더와 시퀀스 번호, FCS 등의 정보가 추가되어 이더넷 프레임으로 만들어지고 엔드 스위치로 전달된다. 이때, 단편화 과정과 같이 시퀀스 번호는 복원되어 부여된다.

[106] - 프레임을 재조립하는 경우 -

[107] 도 10은 본 발명의 실시 예에 따른 프레임 재조립하는 과정을 도시한 도면이다. 제2에지 스위치(500)는 변환 후 정보(Config #2)에 따라 Integrity와 Policing 검사를 행하여 수신한 프레임의 유효성을 확인한다. 수신한 프레임이 유효한 프레임인 경우, 재조립 메모리(512)에 페이로드만 저장한다. 그리고, 재조립 제어부(514)가 수신한 프레임의 시퀀스 번호를 SEQ 메모리(미도시)에 저장하고 매 수신 프레임마다 시퀀스 번호 오류가 없는지 확인한다.

[108] 오류 없이 모두 도착한 단편화된 프레임이 완성된 페이로드가 되면 프레임 전송부(516)가 재조립 메모리(512)에서 읽어 프레이머(518)로 전달한다. 프레이머(518)는 전달받은 페이로드에 변환전 정보(Config#1)에 맞는 헤더와 시퀀스번호, FCS을 붙여 이더넷 프레임을 전송한다.

[109] FCS(Frame Check Sequence)는 SFD 다음 Frame들의 비트열에서 오류 발생을 검사하는 기능을 수행한다.

[110] 제2에지 스위치(500)는 프레임을 재조립하여 제3엔드 시스템(600)에게 전달하면 송신 엔드 시스템인 제1 및 제2엔드 시스템(100, 200)과 동일한 가상 링크 설정으로 프레임을 교환할 수 있다.

[111] 만약 제3엔드 시스템(600)에서 Config#2로 설정되어 있고, 재조립하는 에지 스위치가 없는 경우라면 기존의 AFDX 프레임의 수신 과정과 동일하게 제3엔드 시스템(600)이 변환된 프레임을 수신한다.

[112] - 제3엔드 시스템(600)에서 프레임을 재조립하는 경우 -

[113] 한편, 다른 실시 예로서, 단편화된 프레임의 재조립은 제2에지 스위치(500)가 아닌 프레임의 최종 목적지인 제3엔드 시스템(600)에서 이루어질 수도 있다.

[114] 이를 위하여 제3엔드 시스템(600)은 재조립부(510)와 동일 기능을 수행하는 재조립부(610)를 포함한다.

[115] 도 11은 본 발명의 일 실시 예에 따라 제2에지 스위치(500)에서 프레임을 재조립하는 것을 도시한 도면이고, 도 12는 본 발명의 다른 일 실시 예에 따른

제3엔드 시스템(600)에서 프레임을 재조립하는 것을 도시한 도면이다.

[116] 도 11의 제1에지 스위치(300)는 빗금친 프레임을 수신하여 2개로 단편화해 2번 전송하여 코어 스위치(400)에 전달한다. 그리고 코어 스위치(400)는 단편화된 빗금친 프레임을 제2에지 스위치(500)까지 기존 AFDX 네트워크 규격대로 전달한다. 제2에지 스위치(500)에서는 빗금친 단편화된 프레임을 재조립하여 엔드 시스템(미도시)으로 전달한다.

[117] 가는 테두리 프레임의 경우에는 단편화 과정이 없이 전달된다. 굵은 테두리 프레임은 코어 스위치(410)의 입력포트로 입력된 후 단편화되어 2번 나누어 제2에지 스위치(500)에 전달되고 이를 재조립하여 제3엔드 시스템(600)으로 전달된다.

[118] 위 두 실시 예에서는, 최종단에서 수신하는 방법이 다르다. 도 11에 도시된 실시 예에서는 제2에지 스위치(500)가 프레임 재조립을 수행하고 완성된 프레임을 제3엔드 시스템(600)에게 전달한다.

[119] 도 12에 도시된 실시 예에서는 제2에지 스위치(500)는 수신한 대로 전송하고, 제3엔드 시스템(600)이 프레임 재조립을 수행한다.

[120] 그러므로, 두 가지 경우에 따라 제2에지 스위치(500)와 제3엔드 시스템(600)에서의 설정이 다르게 된다.

[121] 도 11에서는, 제3엔드 시스템(600)은 제1엔드 시스템(100), 제2엔드 시스템(200)과 동일한 BAG, Lmax를 갖는다. 각 엔드 시스템은 단편화 과정을 알 수 없다.

[122] 도 12에서는, 제3엔드 시스템(600)에 제1에지 스위치(300), 코어 스위치 S1(400), 코어 스위치 S2(410), 제2에지 스위치(500)에 설정되어 있는 새로운 가상 링크 설정 값과 같은 값이 설정되어 있다. 특별하게 재조립하여 원래의 설정대로 전송하는 과정은 필요하지 않다. 따라서, 도 12는 도 11의 경우보다 네트워크 설정이 더 간소하다. 그러나 엔드 스위치 간 또는 엔드 시스템 간에 BAG, Lmax설정이 맞지 않아 유지 관리시에 혼동을 줄 우려가 있다.

[123] 예컨대 굵은 테두리 프레임을 전송하는 가상 링크의 경우 ES#3의 가상 링크 설정과 ES#8의 동일한 프레임이 해당하는 가상 링크의 설정이 서로 다르게 된다. 따라서 실질적으로 같은 프레임인데도 가상 링크 설정이 다른 경우가 발생할 수 있다.

[124] 도 13은 일반 이더넷 프레임 구조를 도시한 도면이고 도 14는 AFDX 이더넷 프레임 구조를 도시한 도면이다. AFDX 이더넷 프레임은 일반 프레임과 달리 시퀀스 번호가 저장되는 1바이트 공간이 FCS(Frame Check Sequence) 앞에 위치한다.

[125] 시퀀스 번호 영역 때문에 페이로드를 일반 이더넷 프레임보다 1바이트 적게 보낼 수 있다. 일반 프레임에서는 최대 1500 바이트를 전송할 수 있지만, AFDX에서는 1바이트 적은 1499 바이트를 페이로드를 최대로 전송할 수 있다.

[126] 그리고 이더넷에서는 점보 프레임이라는 9000 바이트까지 큰 프레임이

존재한다. 그러나, 프레임 구조가 변경되는 것이 아니라 이더넷 페이로드가 커지는 것이어서 본 특허의 내용을 점보 프레임에 용이하게 적용할 수 있다.

[127] 프레임 간에는 Interframe spacing(IFS)라는 96비트의 빈 공간이 존재한다. 이는 프레임을 송/수신하는데 필요한 기술적인 지연 시간을 고려하여 마련된 것이다.

[128] 도 15는 본 발명의 실시 예에 따른 BAG, Lmax를 변화한 경우 프레임 전송을 도시한 도면이다. 도 15에 도시된 바와 같이, BAG가 2배 빨라지고(값은 1/2배가 되고), Lmax가 1/2배 만큼 짧아진 경우의 프레임 전송 모습을 도시한다.

[129] 실제로 단편화로 인해서 사용되는 전체 트래픽의 양이 증가한다. 추가된 헤더, FCS IFS 등 때문이다. AFDX 설정을 결정하는 엔지니어는 변환 테이블을 생성할 때 증가된 트래픽의 양을 고려하여 변환 테이블의 각 값들을 결정해야 할 것이다.

[130] 프레임 페이로드의 마지막에는 1바이트의 시퀀스 번호가 붙는다. 가상 링크별로 독립적으로 관리되는 번호로 0부터 255까지의 값을 갖고 초기값은 0으로 시작한다. 그리고 255가 되면 1로 변해 순환한다. 송신측에서 시퀀스 번호를 초기화시키고 싶을 경우에는 0을 실어 전송한다. 수신단은 0번의 시퀀스 번호를 수신한 경우, 수신단은 송신측의 시퀀스 번호 초기화로 판단하고 시퀀스 번호를 초기화한다.

[131] 단편화, 재조립 과정에서 프레임의 개수가 바뀌어서 시퀀스 번호의 운영에 차이가 발생한다. Config#1으로 설정된 가상 링크보다 Config#2의 가상 링크에서 더 자주 프레임을 전송한다.

[132] 또한, Lmax가 Lmax'보다 2배 길지만 실제 전송에 실리는 페이로드가 Lmax의 절반 미만일 경우에는 단편화 과정이 발생하지 않는다. 이럴 경우에는 시퀀스 번호는 변환 전 또는 변환 후 모두 동일하다.

[133] 그러나, Lmax의 절반 크기 초과의 페이로드를 실어 전송하는 경우가 한 번이라도 발생하면, 그때부터 시퀀스 번호는 달라지게 된다.

[134] 제1에지 스위치(300)에서 시퀀스 번호가 0으로 된 프레임을 수신하는 경우, 단편화된 프레임 시퀀스 번호도 0부터 다시 시작한다. 재조립을 하는 과정에서도 첫번째 단편화된 프레임 시퀀스 번호가 0이면 재조립된 프레임의 시퀀스 번호도 0으로 초기화된다.

[135] IP(Internet Protocol)의 경우 Fragmentation을 위해서 ID(Identification)필드와 More 필드를 사용한다. 동일한 ID값을 갖는 패킷들은 단편화되었음을 의미하고 마지막 단편화된 패킷 여부는 More필드 값으로 확인한다.

[136] 하지만, AFDX 프레임에는 IP처럼 단편화를 위해서 별도의 필드를 제공하지 않는다.

[137] AFDX는 확정적(Deterministic) QoS를 보장하기 위해 네트워크 프로파일링에 따른 BAG와 Lmax에 따라서 확정적으로(Deterministic) 동작한다.

[138] - 프레임의 재조립 완료 동작 논리 -

[139] BAG_a : 변환 전의 BAG

[140] BAG_b : 변환 후의 BAG

[141] Lmax_a : 변환 전의 Lmax

[142] Lmax_b : 변환 후의 Lmax

[143] T1 : 첫 번째 단편화 프레임이 도착한 시각

[144] Tc : 현재 수신된 단편화 프레임이 도착한 시각

[145] N : 현재까지 수신한 단편화 프레임의 개수

[146] DIFF_BAG : BAG_a / BAG_b의 값 이상의 최소의 정수값, 1보다 큰 값이다.

[147] 프레임이 도착할 때마다 아래의 동작을 수행한다.

[148] 먼저, BAG_a 시간이 경과했는지를 검사한다. 만약 경과한 경우, 단편화 프레임이 더 이상 도착할 수 없다.

[149] BAG_a 시간이 경과하고 이후에 도착한 프레임은 새로운 프레임이기 때문이다.

[150] Tc - T1이 BAG_a 이상인 경우, 제2에지 스위치(500)는 이전에 수신되어 재조립된 프레임의 개수는 DIFF_BAG 미만이지만 재조립된 데이터는 완성된 것으로 간주한다. 이러한 경우, 제2에지 스위치(500)는 프레임을 프레이머로 전달한다.

[151] 그리고, 시퀀스 번호 N을 0으로 초기화한다. 또한, 현재 수신한 단편화된 프레임은 첫 번째 단편화 프레임이 되고, 단편화된 프레임을 재조립 메모리 제일 앞 부분에 보관한다.

[152] 다음으로, 현재 수신한 시퀀스 번호가 0이면 함께 초기화하고, 그렇지 않으면 1을 증가시킨다. 255이면 1로 변경한다.

[153] 후속 프레임이 아직 BAG_a 시간이 경과하지 않고 도착한 경우에는, 추가 단편화 프레임이 도착한 것일 수 있다.

[154] 따라서, 이하의 1) 내지 4)의 조건에 따라 재조립 과정을 수행한다.

[155] 1) N+1이 DIFF_BAG 과 동일한 경우에는 제2에지 스위치(500)는 마지막 단편화 프레임이 도착한 것으로 확인한다. 즉, 이전에 수신되어 재조립되고 있던 프레임이 완성된 것이다. 제2에지 스위치(500)는 완성된 프레임을 프레이머로 전달하고, N을 0으로 초기화한다. N이 0인 경우에는, 현재 수신한 단편화된 프레임은 첫 번째 단편화 프레임이 된다.

[156] 2) 제2에지 스위치(500)는 수신된 프레임을 재조립 메모리 제일 앞 부분에 보관한다. 현재 수신한 시퀀스 번호가 0이면 함께 초기화하고, 그렇지 않으면 1을 증가시킨다. 시퀀스 번호가 계속 증가하여 255인 경우에는 1로 변경한다.

[157] 3) N+1이 DIFF_BAG THEN 미만인 경우에는, 제2에지 스위치(500)는 현재 수신한 단편화된 프레임이 마지막인지 알 수 없다. 따라서 제2에지 스위치(500)는 프레임을 재조립 메모리에 이어서 붙여 보관한다.

[158] 4) 위 1) 내지 3)에 해당하지 않으면, 제2에지 스위치(500)는 오류 상황으로 판단한다.

[159] 도 15는 본 발명의 실시 예에 따른 AFDX 네트워크 성능 개선 방법의

순서도이다.

[160] 도 15에 도시된 바와 같이, 먼저, 제1에지 스위치(300)는 송신 엔드 시스템으로부터 적어도 하나의 가상 링크를 통하여 프레임을 수신한다(S310).

[161] 다음으로, 수신한 프레임을 변환 테이블을 기초로 단편하여 전송한다(S320). 구체적으로 변환부(310)는 변환 테이블을 기초로 각 가상 링크의 BAG 및 Lmax를 변환한다. 이 경우, 변환부(310)는 수학식 1을 이용하여, 변환 테이블을 작성하고 가상 링크 변환을 수행한다.

[162] 보다 구체적으로, 변환부(310) 내의 스케줄러(314)는 변환 테이블을 기초로 프레임 페이로드 중 변환된 Lmax에 맞추어 첫번째 단편을 전송하고 프레임 중 나머지 부분을 프레임 버퍼(312)에 저장한 후, 변환된 BAG에 맞추어 변환된 Lmax 단위로 순차적으로 전송한다.

[163] 프레임 전송부(316)는 스케줄러(314)의 제어에 따라 단편화된 프레임을 전송한다.

[164] 가상 링크를 거쳐 단편화된 프레임을 수신한 제2에지 스위치(500)는 수신된 프레임의 유효성을 확인하고, 수신된 프레임이 유효하면 프레임을 재조립한다(S330).

[165] 구체적으로, 제2에지 스위치(500)는 수신된 프레임의 유효성을 수학식 1을 이용하여 판단한다. 제2에지 스위치(500)가 수신된 프레임이 유효하다고 판단한 경우, 수신된 프레임의 페이로드만을 저장하고, 프레임 시퀀스 번호를 저장하고, 프레임 시퀀스 번호 오류 여부를 확인한다.

[166] 이어, 저장된 프레임이 완성된 페이로드가 되는지 확인하고, 저장된 프레임 재조립 완료 여부를 확인한다.

[167] 구체적으로, 제2에지 스위치(500)는 첫번째 단편화 프레임 도착시간과 현재 수신된 단편화 프레임 도착시간의 차이가 변환 전 BAG 이상이면 재조립 완료로 확인한다.

[168] 본 발명에 따르면, 프레임 전송시 최적의 단편화를 수행하여 스위치 내부 메모리 용량의 요구도를 낮출 수 있다. 최대 메모리 크기를 낮추어 스위치 개발에 있어서 메모리 비용 및 스위치 개발 비용을 절감할 수 있다.

[169] 또한, Lmax 길이의 단편화를 통해 복수 개의 입력 포트에 도착한 프레임들이 하나의 출력 포트로 나가는 경우 End-to-end 지연 시간이 줄어들게 되어, 네트워크 지연의 상위 범위를 종전보다 낮게 설정할 수 있어 네트워크 성능을 향상시킬 수 있다.

[170] 뿐만 아니라, 동일한 지연 범위 내에서 전송할 수 있는 패킷 양이 증가하여 가상 링크의 개수를 늘릴 수 있어 네트워크 성능을 향상시킬 수 있다.

[171] 이상의 설명은 본 발명의 기술적 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 본질적 특성을 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능하다. 따라서, 본 발명에 표현된 실시 예들은 본 발명의 기술적 사상을 한정하는 것이

아니라, 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 권리범위가 한정되는 것은 아니다. 본 발명의 보호범위는 아래의 특허청구범위에 의하여 해석되어야 하고, 그와 동등하거나, 균등한 범위 내에 있는 모든 기술적 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

[172]

[173]

청구범위

[청구항 1] 종단 간의 데이터 전송 지연시간에 대한 최대 허용 값이 설정된 네트워크 시스템에 있어서,
제1엔드 시스템과 제2엔드 시스템으로부터 각 가상 링크를 통하여 적어도 하나의 프레임을 수신한 후, 변환 테이블을 기초로 상기 각 가상 링크의 최소 전송 가능한 간격인 BAG(Bandwidth Allocation Gap)와 최대 전송 길이 (Lmax)를 변환하는 변환부를 포함하며, 변환된 BAG과 Lmax에 따라 프레임을 단편화하여 전송하는 제1에지 스위치; 및
상기 제1에지 스위치로부터 수신된 프레임의 유효성을 판단하고, 상기 프레임이 유효하면 상기 프레임을 재조립하는 재조립부를 포함하고, 완성된 프레임을 목적지 엔드 시스템으로 전송하는 제2에지 스위치
를 포함하는 네트워크 시스템.

[청구항 2] 제1항에 있어서, 상기 변환부는
아래의 수학식을 이용하여 상기 변환 테이블을 작성하고 가상 링크의 설정 변환을 수행하는 것
인 네트워크 시스템.

$$L_{\max} \leq \frac{BAG}{BAG'} \times L_{\max'}$$

$$L_{\max} > L_{\max'} \text{and} BAG > BAG'$$

Lmax : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 Lmax)
Lmax' : 새로운 설정 (제1에지 스위치에서 새롭게 정의된 가상 링크의 Lmax)
BAG : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 BAG)
BAG' : 새로운 설정 (제1에지 스위치에 새롭게 정의된 제2가상 링크의 BAG)
여기서, Lmax는 MAC Destination Address, MAC Source Address, EtherType, Sequence number와 FCS를 제외한 Ethernet 페이로드 길이를 의미한다.

[청구항 3] 제1항에 있어서, 상기 변환부는
전송되지 않고 남은 프레임을 저장하는 프레임 버퍼;
상기 변환 테이블을 기초로 상기 프레임 페이로드 중 첫번째 단편을 전송하고 상기 프레임 중 나머지 부분은 상기 프레임 버퍼에 저장한 후 상기 변환된 BAG에 맞추어 후속의 단편을

순차적으로 전송하도록 제어하는 스케쥴러; 및
상기 스케쥴러로부터 제어 신호에 응답하여 상기 변환 테이블에 대응하는 단편화된 프레임을 전송하는 프레임 전송부를 포함하는 것
인 네트워크 시스템.

[청구항 4] 제3항에 있어서, BAG 타이머를 더 포함하고,
상기 스케쥴러는 상기 BAG 타이머가 만료되는 시점에 상기 변환 테이블에 대응하는 후속의 단편을 순차적으로 전송하도록 제어하는 것
인 네트워크 시스템.

[청구항 5] 제1항에 있어서, 제2에지 스위치는 상기 변환된 BAG과 Lmax를 이용하여 수신한 프레임 유효 여부를 판단하는 것
인 네트워크 시스템.

[청구항 6] 제1항에 있어서, 상기 재조립부는
수신한 프레임이 유효한 경우 상기 프레임의 페이로드만 저장하는 재조립 메모리;
상기 프레임 시퀀스 번호를 저장하고 상기 프레임 시퀀스 번호 오류 여부를 확인하는 재조립 제어부;
저장된 프레임이 완성된 페이로드가 되는지 확인하고 상기 페이로드를 전송하는 프레임 전송부; 및
상기 프레임 전송부로부터 수신한 상기 페이로드에 상기 가상 링크의 변환 전 설정에 대응하는 헤더, 시퀀스 번호 및 FCS를 부착하여 프레임을 완성하고 전송하는 프레이머를 포함하는 것
인 네트워크 시스템.

[청구항 7] 제1항에 있어서, 제2에지 스위치는
첫번째 단편화 프레임 도착시간과 현재 수신된 단편화 프레임 도착시간의 차이가 변환 전 BAG 이상이면 프레임 재조립 완료로 확인하는 것
인 네트워크 시스템.

[청구항 8] 종단 간의 데이터 전송 지연시간에 대한 최대 허용 값이 설정된 네트워크 시스템에 있어서,
제1엔드 시스템과 제2엔드 시스템으로부터 각 가상 링크를 통하여 적어도 하나의 프레임을 수신한 후, 변환 테이블을 기초로 각 가상 링크의 최소 전송 가능한 간격인 BAG(Bandwidth Allocation Gap)와 최대 전송 길이 (Lmax)를 변환하는 변환부를 포함하며, 변환된 BAG 및 Lmax를 기초로 프레임을 단편화하여 전송하는 에지 스위치; 및
상기 에지 스위치로부터 수신된 프레임의 유효성을 판단하고,

상기 프레임이 유효하면 상기 프레임을 재조립하는 재조립부를 포함하는 제3엔드 시스템을 포함하는 것
인 네트워크 시스템.

[청구항 9] 제8항에 있어서, 상기 제3엔드 시스템은 상기 변환된 BAG 및 Lmax를 이용하여 수신한 프레임 유효 여부를 판단하는 것
인 네트워크 시스템.

[청구항 10] 제8항에 있어서, 상기 재조립부는
수신한 프레임이 유효한 경우 상기 프레임의 페이로드만 저장하는 재조립 메모리;
상기 프레임의 시퀀스 번호를 저장하고 상기 시퀀스 번호 오류 여부를 확인하는 재조립 제어부;
저장된 프레임이 완성된 페이로드가 되는지 확인하고 상기 페이로드를 전송하는 프레임 전송부; 및
상기 프레임 전송부로부터 수신한 상기 페이로드에 상기 가상 링크의 변환전 설정에 대응하는 헤더, 시퀀스 번호 및 FCS를 부착하여 프레임을 완성하고 전송하는 프레이머를 포함하는 것
인 네트워크 시스템.

[청구항 11] 종단 간의 데이터 전송 지연시간에 대한 최대 허용 값이 설정된 네트워크 시스템의 성능 개선방법에 있어서,
적어도 하나의 가상 링크를 통하여 프레임을 수신하는 단계;
변환 테이블을 기초로 상기 가상 링크의 최소 전송 가능한 간격인 BAG(Bandwidth Allocation Gap)와 최대 전송 길이 (Lmax)를 변환하고 이에 기초하여 상기 프레임을 단편화하여 전송하는 단계; 및
단편화된 프레임을 수신하고 수신된 프레임이 유효하면 상기 단편화된 프레임을 재조립하는 단계
를 포함하는 네트워크 성능 개선 방법.

[청구항 12] 제11항에 있어서, 상기 전송하는 단계는
아래의 수학식을 이용하여 상기 변환 테이블을 작성하고 가상 링크의 설정을 변환하는 것
인 네트워크 성능 개선 방법.

$$L_{\max} \leq \frac{BAG}{BAG'} \times L_{\max'}$$

$$L_{\max} > L_{\max'} \text{and} BAG > BAG'$$

Lmax : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 Lmax)
Lmax' : 새로운 설정 (제1에지 스위치에서 새롭게 정의된 가상

링크의 Lmax)
BAG : 기존 설정 (제1엔드 시스템에 기 정의된 가상 링크의 BAG)
BAG' : 새로운 설정 (제1에지 스위치에 새롭게 정의된 제2가상 링크의 BAG)
여기서, Lmax는 MAC Destination Address, MAC Source Address, EtherType, Sequence number와 FCS를 제외한 Ethernet 페이로드 길이를 의미한다.

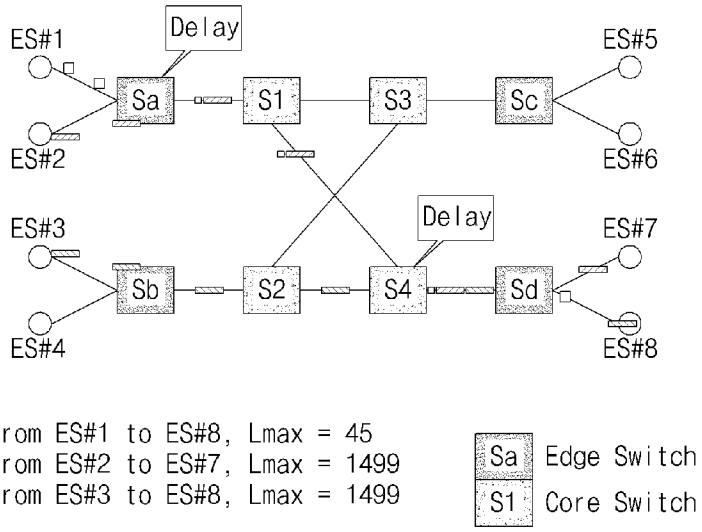
[청구항 13] 제11항에 있어서, 상기 전송하는 단계는
전송되지 않고 남은 프레임을 저장하는 단계;
상기 변환 테이블을 기초로 상기 프레임 페이로드 중 첫 번째 단편을 전송하고 상기 프레임 중 나머지 부분을 프레임 버퍼에 저장하는 단계; 및
상기 변환 테이블에 대응하는 단편화된 프레임을 전송하는 단계를 더 포함하는 것
인 네트워크 성능 개선 방법.

[청구항 14] 제11항에 있어서, 상기 재조립하는 단계는 BAG 및 Lmax를 이용하여 수신한 프레임 유효 여부를 판단하는 것
인 네트워크 성능 개선 방법.

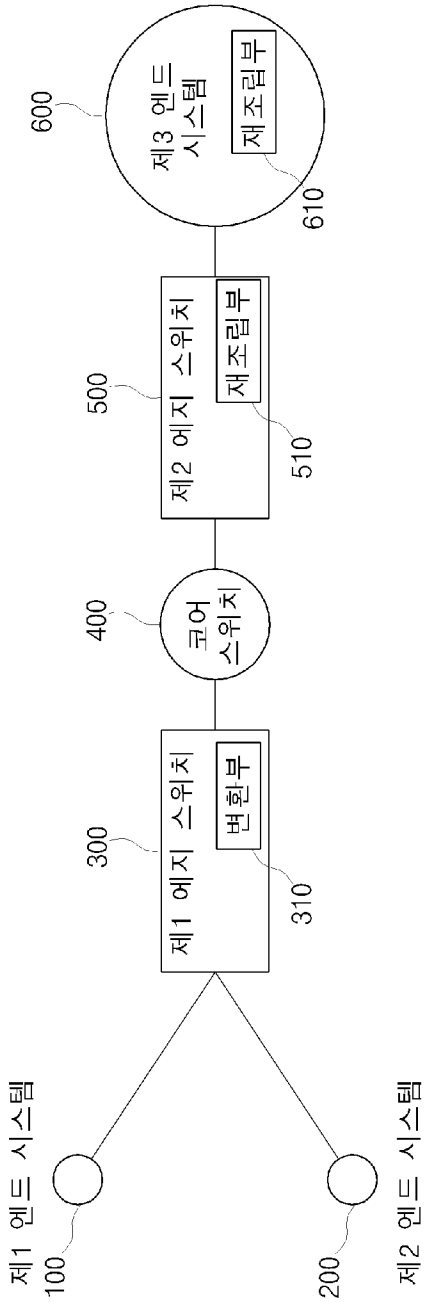
[청구항 15] 제11항에 있어서, 재조립하는 단계는
수신한 프레임이 유효한 경우 상기 프레임의 페이로드만 저장하는 단계;
상기 프레임의 시퀀스 번호를 저장하는 단계;
프레임 시퀀스 번호 오류 여부를 확인하는 단계;
저장된 프레임이 완성된 페이로드가 되는지 확인하는 단계; 및
저장된 프레임 재조립 완료 여부를 확인하는 단계를 더 포함하는 것
인 네트워크 성능 개선 방법.

[청구항 16] 제15항에 있어서, 상기 재조립 완료 여부를 확인하는 단계는
첫번째 단편화 프레임 도착시간과 현재 수신된 단편화 프레임 도착시간의 차이가 변환 전 BAG 이상이면 재조립 완료로 확인하는 것
인 네트워크 성능 개선 방법.

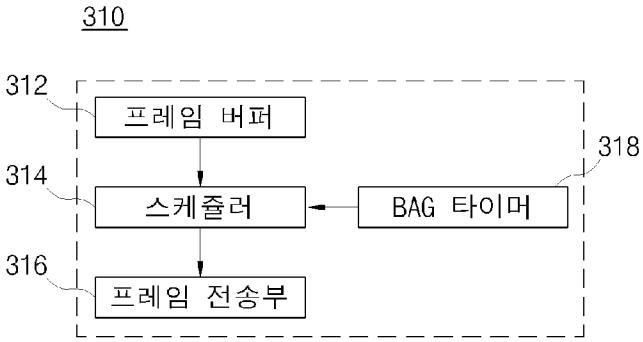
[Fig. 1]


ES#1
Delay
ES#5
Sa
S1
S3
Sc
ES#2
ES#6
ES#3
Delay
ES#7
Sb
S2
S4
Sd
ES#4
ES#8
VL#1: from ES#1 to ES#8, Lmax = 45
VL#2: from ES#2 to ES#7, Lmax = 1499
VL#3: from ES#3 to ES#8, Lmax = 1499
Sa Edge Switch
S1 Core Switch

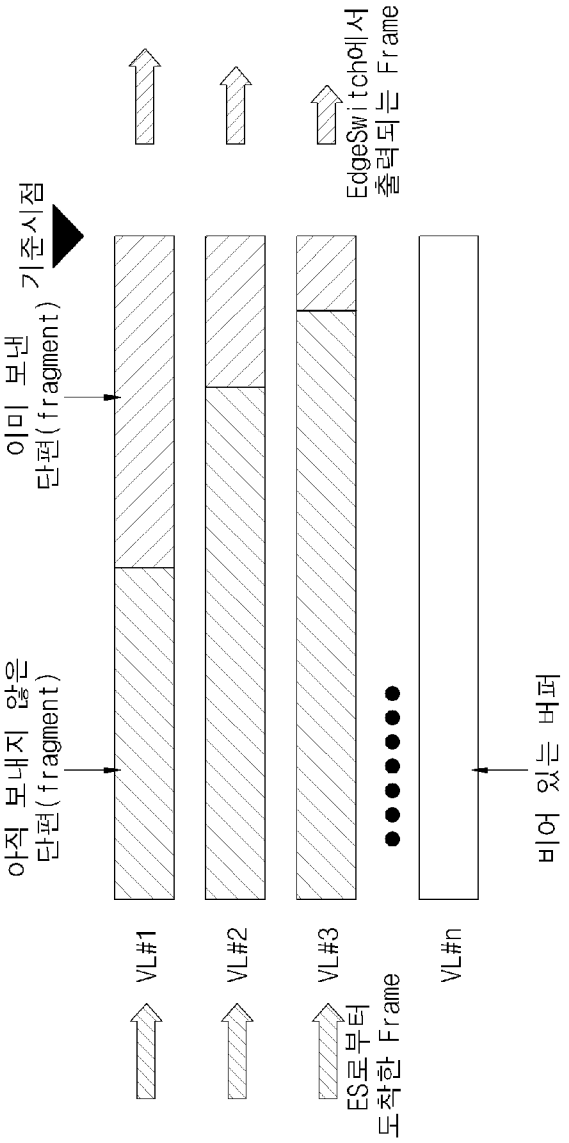
[Fig. 2]


600
제3 엔드 시스템
재조립부
610
500
제2 에지 스위치
재조립부
510
400
코어 스위치
300
제1 에지 스위치
변환부
310
제1 엔드 시스템
100
200
제2 엔드 시스템

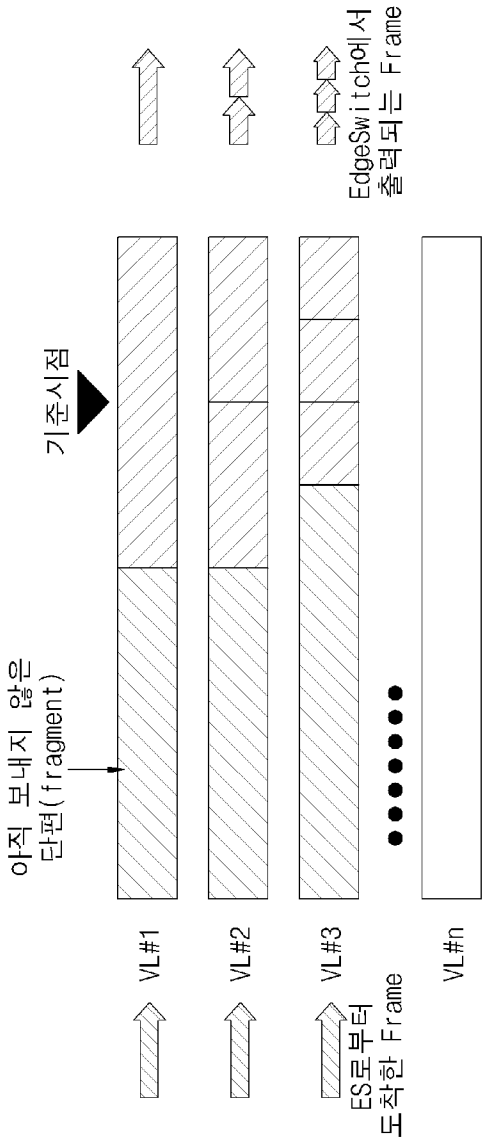
[Fig. 3]


310
312
프레임 버퍼
318
314
스케쥴러
BAG 타이머
316
프레임 전송부

[Fig. 4]


EdgeSwitch에서 출력되는 Frame
기준시점
이미 보낸 단편(fragment)
아직 보내지 않은 단편(fragment)
비어 있는 버퍼
VL#1
VL#2
VL#3
VL#n
ES로부터 도착한 Frame

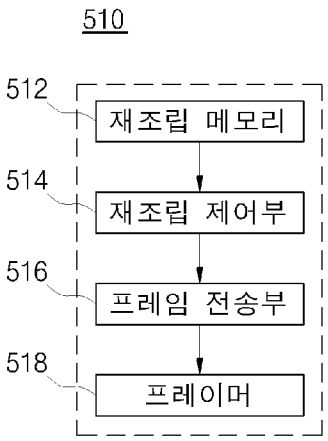
[Fig. 5]



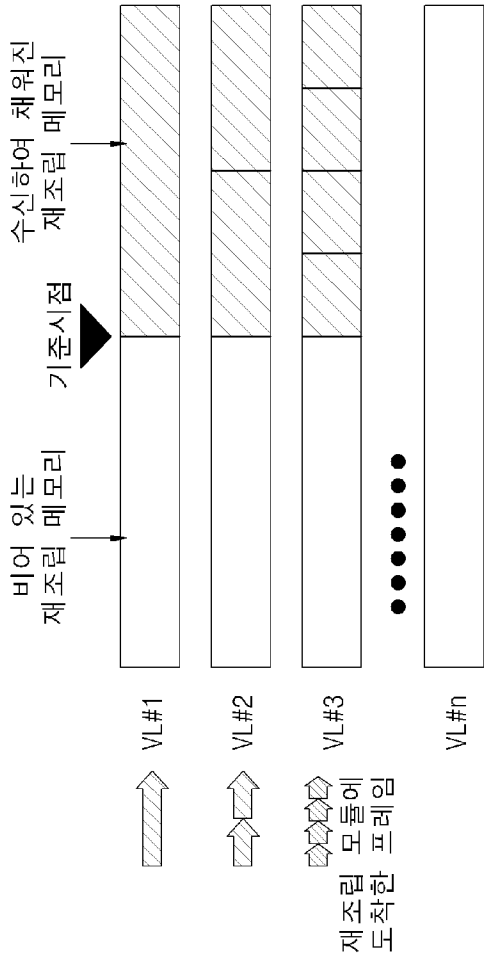
[Fig. 6]

VL	Config#1		Config#2	
	BAG	Lmax	BAG	Lmax
1	8	1499	4	750 (749.5)
2	8	1499	2	375 (374.75)
3	8	1499	1	188 (187.375)

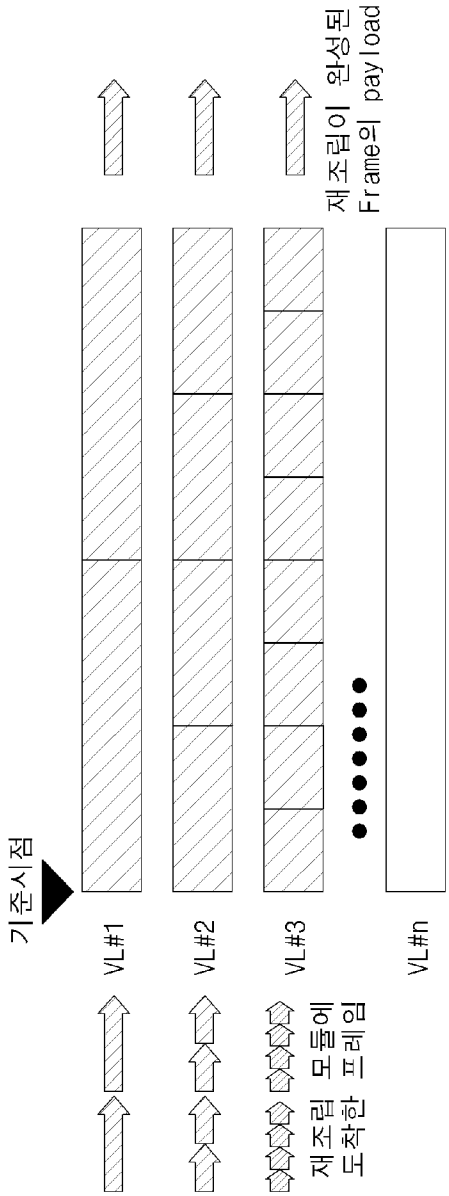
[Fig. 7]


510
512
재조립 메모리
514
재조립 제어부
516
프레임 전송부
518
프레이머

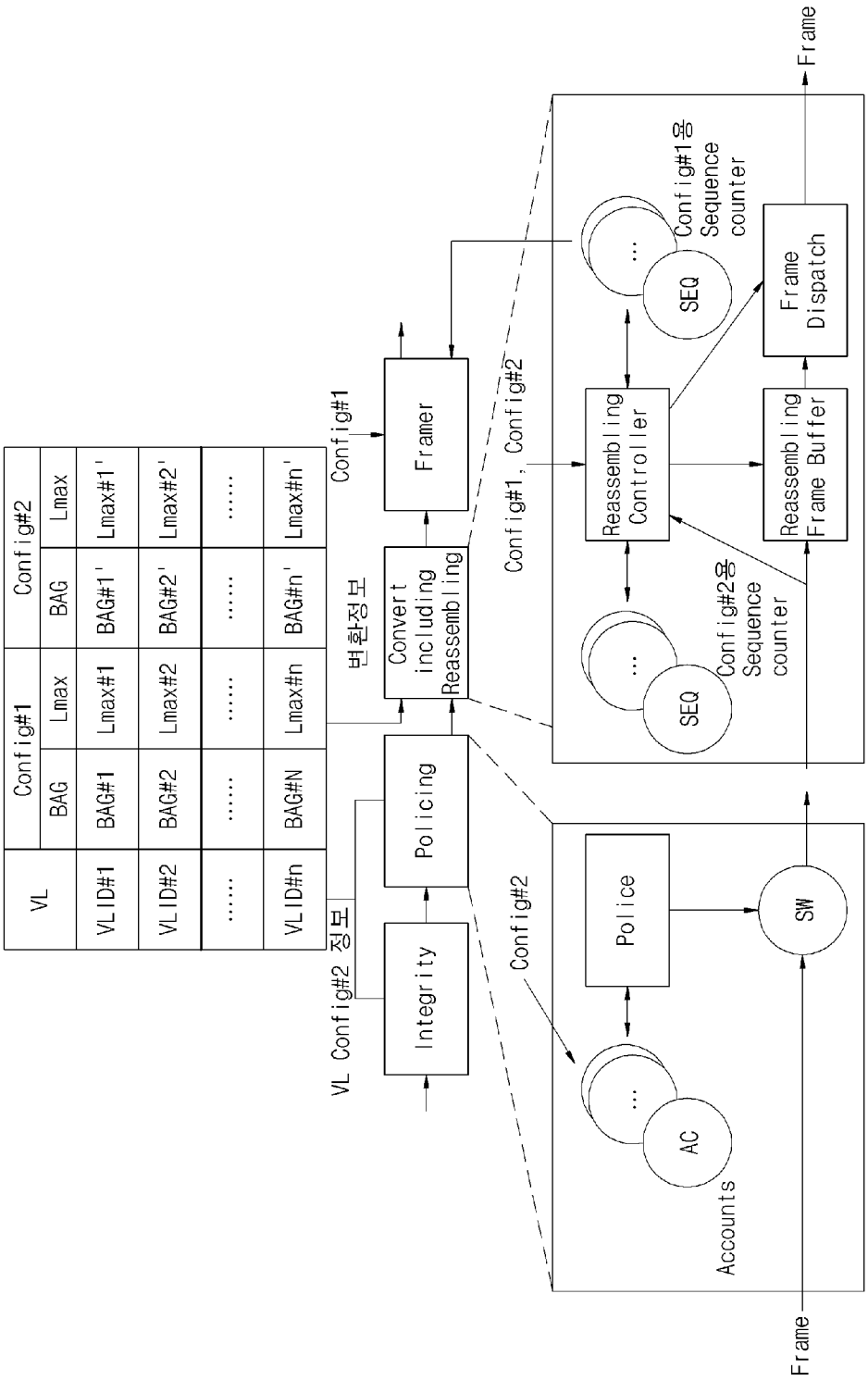
[Fig. 8]


수신하여 채워진 재조립 메모리
기준시점
비어 있는 재조립 메모리
VL#1
VL#2
VL#3
VL#n
재조립 모듈에 도착한 프레임

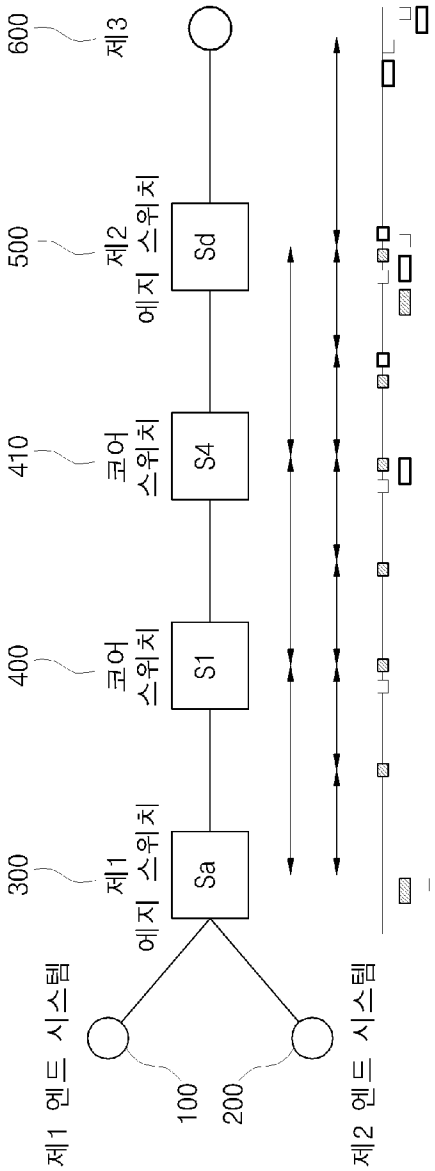
[Fig. 9]



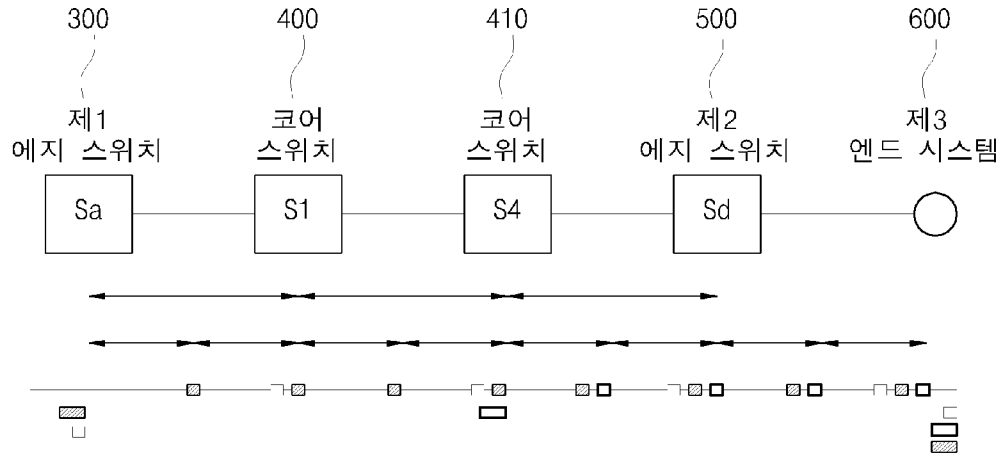
[Fig. 10]


VL
Config#1
Config#2
BAG
Lmax
BAG
Lmax
VLID#1
BAG#1
Lmax#1
BAG#1'
Lmax#1'
VLID#2
BAG#2
Lmax#2
BAG#2'
Lmax#2'
VLID#n
BAG#N
Lmax#n
BAG#n'
Lmax#n'
VL Config#2 정보
Integrity
Policing
변환정보
Convert including Reassembling
Config#1
Framer
Config#1, Config#2
Reassembling Controller
Reassembling Frame Buffer
Config#1용 Sequence counter
Config#2용 Sequence counter
SEQ
Frame Dispatch
Frame
Config#2
Police
SW
AC
Accounts
Frame

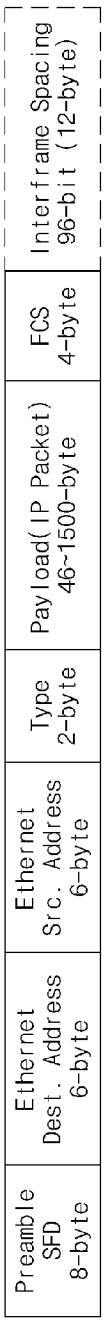
[Fig. 11]


600
제3
500
제2 에지 스위치
Sd
410
코어 스위치
S4
400
코어 스위치
S1
300
제1 에지 스위치
Sa
제1 엔드 시스템
100
200
제2 엔드 시스템

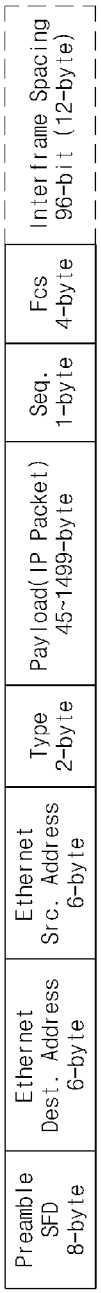
[Fig. 12]


300
400
410
500
600
제1 에지 스위치
코어 스위치
코어 스위치
제2 에지 스위치
제3 엔드 시스템
Sa
S1
S4
Sd

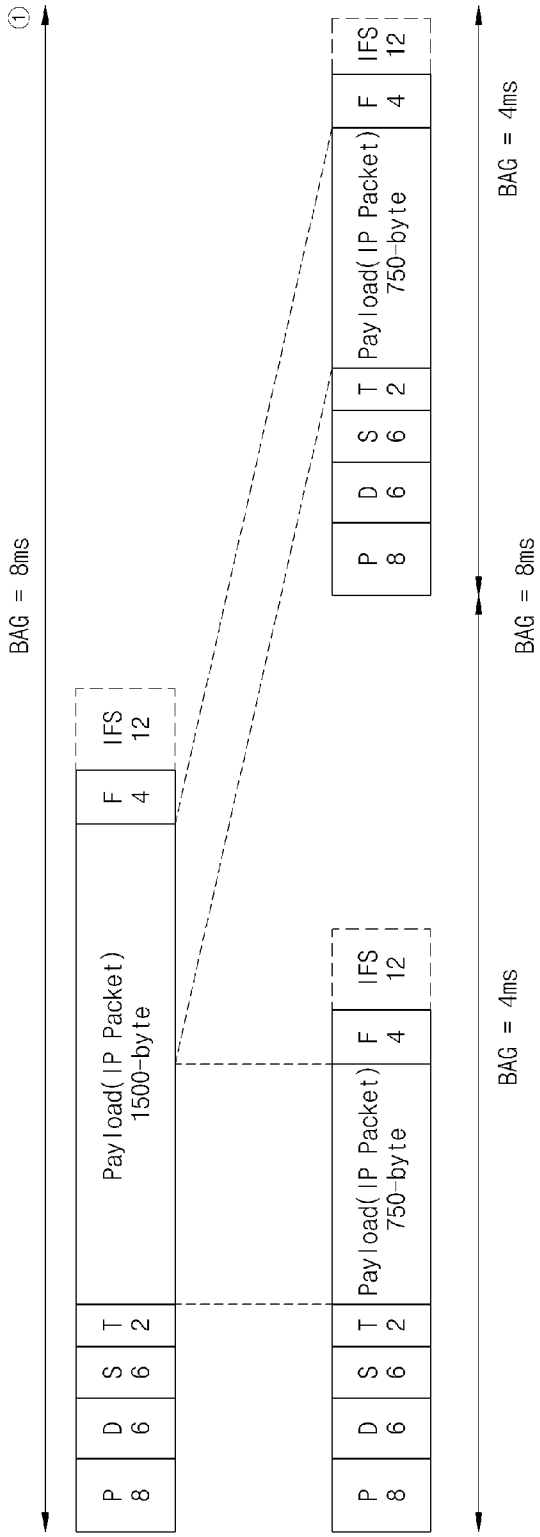
[Fig. 13]


Preamble SFD 8-byte
Ethernet Dest. Address 6-byte
Ethernet Src. Address 6-byte
Type 2-byte
Payload(IP Packet) 46~1500-byte
FCS 4-byte
Interframe Spacing 96-bit (12-byte)

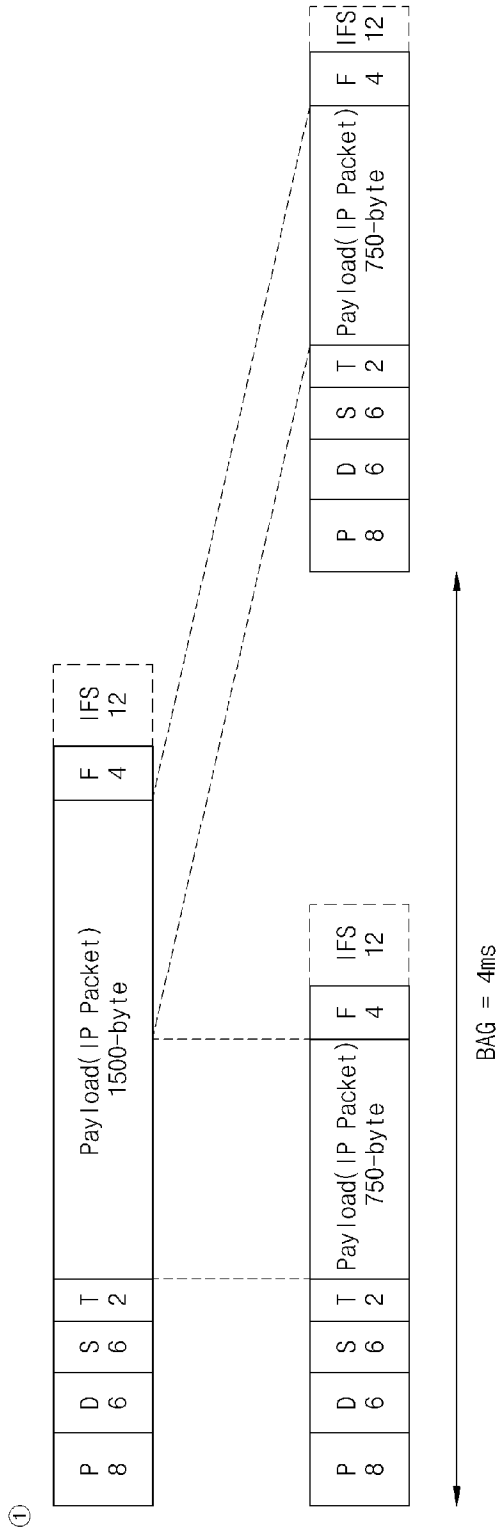
[Fig. 14]


Preamble SFD 8-byte
Ethernet Dest. Address 6-byte
Ethernet Src. Address 6-byte
Type 2-byte
Payload(IP Packet) 45~1499-byte
Seq. 1-byte
Fcs 4-byte
Interframe Spacing 96-bit (12-byte)

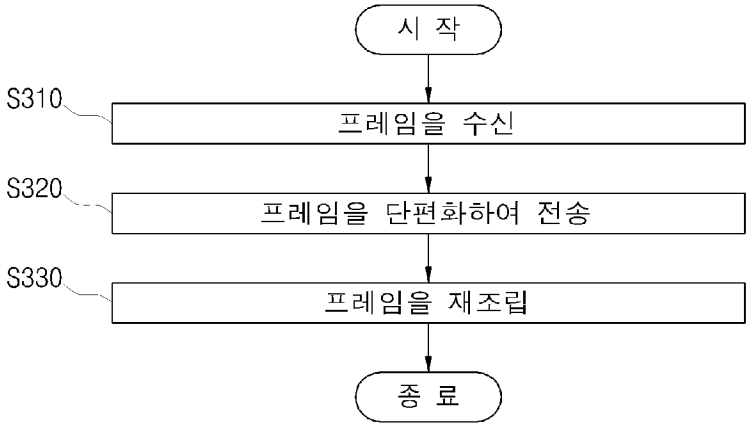
[Fig. 15a]


①
BAG = 8ms
P 8
D 6
S 6
T 2
Payload(IP Packet) 1500-byte
F 4
IFS 12
BAG = 4ms
P 8
D 6
S 6
T 2
Payload(IP Packet) 750-byte
F 4
IFS 12
BAG = 8ms
P 8
D 6
S 6
T 2
Payload(IP Packet) 750-byte
F 4
IFS 12
BAG = 4ms

[Fig. 15b]


①
P 8
D 6
S 6
T 2
Payload(IP Packet) 1500-byte
F 4
IFS 12
P 8
D 6
S 6
T 2
Payload(IP Packet) 750-byte
F 4
IFS 12
P 8
D 6
S 6
T 2
Payload(IP Packet) 750-byte
F 4
IFS 12
BAG = 4ms

[Fig. 16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2013/011648

A. CLASSIFICATION OF SUBJECT MATTER

H04L 12/931(2013.01)i, H04L 12/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L 12/931; H04L 12/50; H04L 12/70; H04L 12/885; H04L 12/56; H04L 5/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: delay, table, distance, frame

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2009-0123662 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 02 December 2009 See paragraphs [0029]-[0044]; and figures 4-7.	1-16
A	JP 2013-048415 A (HONEYWELL INT INC. et al.) 07 March 2013 See paragraphs [0021]-[0023]; and figure 3.	1-16
A	US 2010-0284313 A1 (MONNIER, Stephane) 11 November 2010 See paragraphs [0041]-[0044]; and figure 5.	1-16
A	US 2009-0073984 A1 (JACKSON, Timothy Edwards) 19 March 2009 See paragraphs [0054]-[0058]; and figures 1A, 1B, 3.	1-16
A	US 2012-0250694 A1 (HALL, Brendan et al.) 04 October 2012 See paragraphs [0030]-[0036]; and figure 4.	1-16

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 APRIL 2014 (22.04.2014)	**22 APRIL 2014 (22.04.2014)**

Name and mailing address of the ISA/**KR**
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

International application No.
PCT/KR2013/011648

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0123662 A	02/12/2009	KR 10-0973082 B1	29/07/2010
JP 2013-048415 A	07/03/2013	CN 103001846 A	27/03/2013
		EP 2562963 A1	27/02/2013
		US 2013-0051396 A1	28/02/2013
		US 8665884 B2	04/03/2014
US 2010-0284313 A1	11/11/2010	CA 2698324 A1	12/03/2009
		CN 101796780 A	04/08/2010
		CN 101796780 B	19/06/2013
		EP 2186271 A1	19/05/2010
		EP 2186271 B1	20/02/2013
		EP 2309682 A1	13/04/2011
		EP 2309682 B1	20/02/2013
		FR 2920623 A1	06/03/2009
		FR 2920623 B1	23/09/2011
		JP 05208213 B2	12/06/2013
		JP 2010-538509 A	09/12/2010
		RU 2010112721 A	10/10/2011
		RU 2497292 C2	27/10/2013
		US 8503439 B2	06/08/2013
		WO 2009-030706 A1	12/03/2009
US 2009-0073984 A1	19/03/2009	US 8135807 B2	13/03/2012
US 2012-0250694 A1	04/10/2012	CN 102739516 A	17/10/2012
		EP 2506510 A1	03/10/2012
		JP 2012-209945 A	25/10/2012

국 제 조 사 보 고 서

국제출원번호
PCT/KR2013/011648

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04L 12/931(2013.01)i, H04L 12/50(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04L 12/931; H04L 12/50; H04L 12/70; H04L 12/885; H04L 12/56; H04L 5/14

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 지연, 테이블, 간격, 프레임

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2009-0123662 A (전자부품연구원) 2009.12.02 단락 [0029]-[0044]; 및 도면 4-7 참조.	1-16
A	JP 2013-048415 A (HONEYWELL INT INC. 외) 2013.03.07 단락 [0021]-[0023]; 및 도면 3 참조.	1-16
A	US 2010-0284313 A1 (STEPHANE MONNIER) 2010.11.11 단락 [0041]-[0044]; 및 도면 5 참조.	1-16
A	US 2009-0073984 A1 (TIMOTHY EDWARDS JACKSON) 2009.03.19 단락 [0054]-[0058]; 및 도면 1A, 1B, 3 참조.	1-16
A	US 2012-0250694 A1 (Brendan Hall 외) 2012.10.04 단락 [0030]-[0036]; 및 도면 4 참조.	1-16

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2014년 04월 22일 (22.04.2014)	2014년 04월 22일 (22.04.2014)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
이동윤
전화번호 +82-42-481-8734

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2013/011648

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0123662 A	2009/12/02	KR 10-0973082 B1	2010/07/29
JP 2013-048415 A	2013/03/07	CN 103001846 A	2013/03/27
		EP 2562963 A1	2013/02/27
		US 2013-0051396 A1	2013/02/28
		US 8665884 B2	2014/03/04
US 2010-0284313 A1	2010/11/11	CA 2698324 A1	2009/03/12
		CN 101796780 A	2010/08/04
		CN 101796780 B	2013/06/19
		EP 2186271 A1	2010/05/19
		EP 2186271 B1	2013/02/20
		EP 2309682 A1	2011/04/13
		EP 2309682 B1	2013/02/20
		FR 2920623 A1	2009/03/06
		FR 2920623 B1	2011/09/23
		JP 05208213 B2	2013/06/12
		JP 2010-538509 A	2010/12/09
		RU 2010112721 A	2011/10/10
		RU 2497292 C2	2013/10/27
		US 8503439 B2	2013/08/06
		WO 2009-030706 A1	2009/03/12
US 2009-0073984 A1	2009/03/19	US 8135807 B2	2012/03/13
US 2012-0250694 A1	2012/10/04	CN 102739516 A	2012/10/17
		EP 2506510 A1	2012/10/03
		JP 2012-209945 A	2012/10/25