

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년03월10일
G11C 11/22 (2006.01)	(11) 등록번호	10-0558561
G11C 8/14 (2006.01)	(24) 등록일자	2006년03월02일
G11C 8/08 (2006.01)		

(21) 출원번호	10-2004-0086504	(65) 공개번호
(22) 출원일자	2004년10월28일	(43) 공개일자

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 전병길
 경기도 수원시 권선구 권선동 1306 현대아파트 312동 705호

민병준
경기도 용인시 기흥읍 농서리 7-1

이강운
서울특별시 서대문구 홍은2동 8-608

이한주
서울특별시 서초구 반포2동 경남아파트 7동 702호

(74) 대리인 김능균

(56) 선행기술조사문헌	
JP09045077 A	JP10275468 A
JP2000187984 A	JP2001344966 A
KR1020010028297 A	
* 심사관에 의하여 인용된 문헌	

심사관 : 오응기

(54) 반도체 메모리 장치

요약

본 발명은 고집적화에 적합한 반도체 메모리 장치를 구현하기 위한 것으로, 본 발명에 따른, 셀 어레이를 구성하는 메모리 셀들을 제어하는 반도체 메모리 장치는, 메인 워드라인에 각각 병렬로 연결되며, 상기 메인 워드라인을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인에 서브 워드라인 인에이블 신호를 제공하는 적어도 하나 이상의 서브 워드라인 드라이버 회로와; 상기 서브 워드라인에 각각 병렬로 연결되며 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인에 로컬워드라인 인에이블 신호를 제공함에 의하여, 상기 로컬 워드라인에 연결된 적어도

하나 이상의 메모리 셀을 제어하는 적어도 하나 이상의 로컬 워드라인 드라이버 회로를 구비함을 특징으로 한다. 본 발명에 따르면, 반도체 메모리 장치의 레이아웃 면적을 줄여 칩사이즈의 증가를 최소화할 수 있어 고집적화가 가능한 효과가 있다.

대표도

도 5

색인어

서브 워드라인, 로컬 워드라인, 워드라인 드라이버, 플로팅

명세서

도면의 간단한 설명

도 1은 종래의 워드라인 드라이버 회로도

도 2는 종래의 반도체 메모리 장치의 레이아웃도

도 3은 종래의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로도

도 4는 종래의 강유전체 반도체 메모리 장치의 레이아웃도

도 5는 본 발명의 일 실시예에 따른 워드라인 드라이버 회로를 구비하는 반도체 메모리 장치의 레이아웃도

도 6은 도 5의 서브 워드라인 드라이버 회로의 적용예를 나타낸 회로도

도 7 내지 도 10은 상기 도 5의 로컬 워드라인 드라이버 회로의 적용예들을 각각 나타낸 회로도

도 11은 본 발명의 일 실시예에 따른 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로를 구비하는 강유전체 반도체 메모리 장치의 레이아웃도

도 12는 상기 도 11의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로의 회로도

도면의 주요 부분에 대한 부호의 설명

MWL : 메인 워드라인 SWL : 서브 워드라인

LWL : 로컬 워드라인 SWD,110 : 서브 워드라인 드라이버 회로

LWD,210 : 로컬 워드라인 드라이버 회로 120 : 셀 어레이

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 더욱 구체적으로는, 칩사이즈를 줄일 수 있는 워드라인 드라이버 회로 또는 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로를 구비하는 반도체 메모리 장치에 관한 것이다.

일반적으로 저전압으로 동작하는 반도체 메모리 장치에서는 메모리 셀에 데이터를 리드(READ) 또는 라이트(WRITE)하기 위한 동작시 동작 속도를 증가시키기 위해 부스트랩 회로(bootstrap circuits)를 이용하여 동작전압보다 높은 전압을 인가

한다. 이는 메모리 셀을 구성하는 액세스 트랜지스터의 문턱전압의 드롭(drop)없이 비트라인에 인가되는 데이터에 대응되는 전압을 메모리 셀의 커패시터가 전달하거나, 커패시터에 저장되어 있는 데이터를 상기 액세스 트랜지스터의 문턱전압의 드롭없이 상기 비트라인으로 디벨롭(develop)시킴에 의해 리드 또는 라이트 동작에서의 오동작을 방지 또는 최소화하기 위한 것이다.

상기와 같은 반도체 메모리 장치에서는 동작전압인 전원전압레벨(VDD)보다 높은 전압레벨을 워드라인에 인가하기 위하여 통상적으로 부스트랩(bootstrap) 회로 구성된 워드라인 드라이버 회로를 사용한다.

도 1은 종래의 강유전체 메모리 장치에서의 일반적인 워드라인 드라이버 회로를 나타낸 것이다.

도 1에 도시된 바와 같이, 종래의 워드라인 드라이버 회로는 4개의 트랜지스터(N1,N2,N3,N4)와 제어신호들(SWL_PDb,SWL_PD,SWL_DRV)로 구성된다.

상기의 워드라인 드라이버 회로에서는, 워드라인 디코딩 회로(미도시)의 출력신호인 메인 워드라인 인에이블 신호가 전원전압(VDD)에 의해 동작되는 트랜지스터(N2)를 통하여 트랜지스터(N1)의 게이트로 전달되어 상기 트랜지스터(N1)를 동작시킬 수 있도록 구성된다. 또한, 상기 트랜지스터(N1)는 전원전압(VDD)보다 높은 레벨을 가지는 외부 전원전압(VPP)의 레벨을 가지는 제어신호(SWL_DRV)를 메모리 셀이 연결된 서브 워드라인(SWL)에 전달하는 구성을 가지고 있다. 상기 서브워드라인(SWL)에는 제어신호(SWL_PDb)에 의해 동작되어 상기 서브 워드라인의 플로팅을 방지하는 방전용 트랜지스터(N4)가 연결되어 있다.

상기 메인 워드라인 인에이블 신호가 인가되기 전에는 도 1에 도시된 모든 제어 신호들은 제어신호(SWL_PDb)를 제외하고 접지전압 레벨(Vss,0V)이다. 동작이 개시되면, 선택된 메인 워드라인(MWL)으로 메인 워드라인 인에이블 신호가 전원전압 레벨(VDD)로 인가된다. 따라서 상기 트랜지스터(N2)와 상기 트랜지스터(N1)사이의 노드전압은 전원전압 레벨(VDD)에서 상기 트랜지스터(N2)의 문턱전압(Vth)을 뺀 만큼의 전압 레벨(VDD-Vth)로 상승된다. 잠시 후에 제어신호(SWL_DRV)가 외부 전원전압레벨(VPP)로 인가되면, 트랜지스터(N1)의 드레인과 게이트 사이의 커패시턴스에 의하여 상기 노드 전압은 $VCC - V_{th} + VPP$ 로 부스팅(boosting)된다. 그러면, 트랜지스터(N1)는 충분한 게이트 전압($VCC - V_{th} + VPP$)를 가지므로, 상기 제어신호(WL_DRV)의 전압 레벨(VPP)이 트랜지스터(N1)의 문턱전압의 드롭없이 서브 워드라인(SWL)으로 외부전원전압레벨(VPP)의 전압이 공급된다. 따라서, 서브워드라인(SWL)과 연결된 메모리 셀(CELL)의 액세스 트랜지스터를 외부 전원전압 레벨(VPP)인 서브 워드라인 인에이블(enable) 신호에 의하여 동작시키게 되어 오동작이 방지된다.

상기 제어신호(SWL_PD)는 상기의 워드라인 드라이버 회로가 여러 개 배열되었을 때 선택되지 않은 워드 라인 드라이버 회로의 서브 워드라인의 플로팅을 방지하기 위하여 전원전압 레벨(VDD)로 전압이 인가되어 트랜지스터(N3)를 구동하게 된다.

도 2는 상기 도 1과 같은 워드라인 드라이버 회로를 구비한 종래의 반도체 메모리장치에서의 레이아웃 구조를 나타낸 것이다.

도 2에 도시된 바와 같이, 종래의 워드라인 드라이버 회로(SWD,10)는 복수개가 메인 워드라인(MWL)에 각각 병렬로 연결되고 각각의 워드라인 드라이버 회로(10)는 서브 워드라인(SWL0)을 통하여 셀 어레이에 연결되는 구조로 되어 있다.

상기와 같은 종래의 워드라인 드라이버 회로를 구비하는 반도체메모리 장치에서는 고집적화에 따라 하나의 워드라인 드라이버 회로의 제어를 받는 메모리 셀의 개수는 서브 워드라인의 기생저항, 기생 커패시턴스 및 상기 서브 워드라인에 각각 연결된 메모리 셀의 게이트 커패시턴스를 고려하여 결정된다. 따라서, 반도체메모리 장치가 고집적화 됨에 따라 많은 수의 워드라인 드라이버회로가 필요하게 된다.

도 1에 도시된 바와 같은 종래의 워드라인 드라이버 회로는 4개의 트랜지스터로 구성되어 많은 수의 워드라인 드라이버 회로가 사용될 경우에 많은 레이아웃 면적을 필요로 하여 칩 사이즈의 증가를 유발시킨다.

도 3은 강유전체 커패시터를 사용하는 메모리 셀을 구비하는 종래의 강유전체 반도체 메모리 장치의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD,40)를 나타낸 것이다.

도 3에 도시된 바와 같이, 상기 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(40)는 일체형으로 구성된 것으로, 도 1에 도시된 워드라인 드라이버 회로(10)에 종래의 플레이트 라인 드라이버 회로(30)가 추가된 구성을 가진다.

상기 플레이트 라인 드라이버 회로(30)는 메인 워드라인 인에이블 신호가 인가되면, 도 1에서의 워드라인 드라이버 회로와 같이, 트랜지스터(N6) 및 트랜지스터(N5)의 부스팅 작용이 일어난다. 따라서, 인가되는 전원 전압 레벨(VDD)의 제어 신호(SPL_DRV)가 상기 트랜지스터(N5)의 문턱전압에 의한 드롭없이 플레이트 라인(SPL)에 플레이트 라인 인에이블 신호로 공급되어 메모리 셀을 제어한다.

상기 트랜지스터(N7)는 메인 워드라인 디세이블 신호 인가시에 상기 플레이트 라인의 플로팅을 방지하는 역할을 한다.

도 4는 상기 도 3과 같은 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로를 구비한 종래의 강유전체 반도체 메모리 장치에서의 레이아웃 구조를 나타낸 것이다.

도 4에 도시된 바와 같이, 종래의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD,40)는 복수 개로 구성되어 메인 워드라인(MWL)에 각각 병렬로 연결되고 각각의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD,40)는 서브 워드라인(SWL0) 및 플레이트 라인(SPL)을 통하여 셀 어레이에 연결되는 구조로 되어 있다.

상기의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD,40)는 강유전체 메모리 셀을 상기 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(40)가 구동을 시켜야 하기 때문에 하나의 서브 워드라인(SWL) 및 플레이트 라인(SPL)에 연결될 수 있는 메모리 셀의 개수가 한정된다. 따라서, 고집적화 되는 반도체 메모리 장치에서 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(40)가 여러 개 필요하게 되어 많은 레이아웃 면적을 차지하게 되고 이는 칩사이즈 증가를 유발하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 종래의 문제점을 극복할 수 있는 반도체 메모리 장치를 제공하는 데 있다.

본 발명의 다른 목적은 반도체 메모리 장치의 레이아웃 면적을 줄여 칩사이즈의 증가를 최소화할 수 있는 반도체 메모리 장치를 제공하는데 있다.

본 발명의 또 다른 목적은 고집적화에 적합한 반도체 메모리 장치를 제공하는 데 있다.

상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 양상(aspect)에 따라, 본 발명에 따른 셀 어레이를 구성하는 메모리 셀들을 제어하는 강유전체 반도체 메모리 장치는, 메인 워드라인에 각각 병렬로 연결되며, 상기 메인 워드라인을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인에 서브 워드라인 인에이블 신호를 제공하는 적어도 하나 이상의 서브 워드라인 드라이버 회로와; 상기 서브 워드라인에 각각 병렬로 연결되며 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인에 로컬 워드라인 인에이블 신호를 제공함에 의하여, 상기 로컬 워드라인에 연결된 적어도 하나 이상의 메모리 셀을 제어하는 적어도 하나 이상의 로컬 워드라인 드라이버 회로와; 상기 메인 워드라인에 각각 병렬로 연결되고 메인 워드라인 인에이블 신호에 응답하여, 상기 선택된 서브 워드라인에 연결된 적어도 하나 이상의 로컬 워드라인 드라이버 회로에 의해 제어되는 복수개의 메모리 셀들에 공통으로 연결되는 플레이트 라인에 플레이트 라인 인에이블 신호를 제공하는 적어도 하나 이상의 플레이트 라인 드라이버 회로를 구비한다.

상기 서브 워드라인 드라이버 회로와 상기 플레이트 라인 드라이버 회로는 일체형으로 구비될 수 있으며, 상기 서브 워드라인 드라이버 회로는, 상기 메인 워드라인 인에이블 신호에 의해 구동되어 서브 워드라인 인에이블 신호를 선택된 서브 워드라인에 제공하기 위한 P채널 트랜지스터와; 메인 워드라인 디세이블 신호 인가시에 서브 워드라인의 플로팅을 방지하기 위한 제1 N채널 트랜지스터와; 상기 메인 워드라인 인에이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제2 N채널 트랜지스터를 구비할 수 있다. 또한, 상기 플레이트 라인 드라이버 회로는, 상기 메인 워드라인 인에이블 신호에 의해 구동되어 플레이트 라인 인에이블 신호를 상기 플레이트 라인에 제공하기 위한 P채널 트랜지스터와; 상기 메인 워드라인 디세이블 신호에 의해 구동되어 플레이트 라인의 플로팅을 방지하기 위한 N채널 트랜지스터를 구비할 수 있다.

상기한 기술적 과제들의 일부를 달성하기 위한 본 발명의 다른 양상에 따라, 본 발명에 따른 셀 어레이를 구성하는 메모리 셀들을 제어하는 반도체 메모리 장치는, 메인 워드라인에 각각 병렬로 연결되며, 상기 메인 워드라인을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인에 서브 워드라인 인에이블 신호를 제공하는 적어도 하나

이상의 서브 워드라인 드라이버 회로와; 상기 서브 워드라인에 각각 병렬로 연결되며 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인에 로컬 워드라인 인에이블 신호를 제공함에 의하여, 상기 로컬 워드라인에 연결된 적어도 하나 이상의 메모리 셀을 제어하는 적어도 하나 이상의 로컬 워드라인 드라이버 회로를 구비한다.

상기 서브 워드라인 드라이버 회로는, 상기 메인 워드라인 인에이블 신호에 의해 구동되어 서브 워드라인 인에이블 신호를 선택된 서브 워드라인에 제공하기 위한 P채널 트랜지스터와; 메인 워드라인 디세이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제1 N채널 트랜지스터와; 상기 메인 워드라인 인에이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제2 N채널 트랜지스터를 구비할 수 있다.

상기 로컬 워드라인 드라이버 회로는, 상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어 상기 서브 워드라인 인에이블 신호를 로컬 워드라인 인에이블 신호로 하여 상기 선택된 로컬 워드라인에 제공하는 N 채널 트랜지스터와; 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터를 구비할 수 있으며, 상기 로컬 워드라인 드라이버 회로는, 제2전압레벨의 제어신호에 의해 구동되는 제3 N 채널 트랜지스터와; 상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어 상기 제3 N채널 트랜지스터와의 부스팅에 의해 상기 서브 워드라인 인에이블 신호와 동일한 전압 레벨을 가지는 로컬 워드라인 인에이블 신호를 선택된 로컬 워드라인에 제공하는 제4 N 채널 트랜지스터와; 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 제5 N 채널 트랜지스터를 구비할 수 있다.

그리고, 상기 로컬 워드라인 드라이버 회로는, 상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와; 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와; 상기 메인 워드라인 디세이블 신호에 의해 구동되어 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N채널 트랜지스터를 구비할 수 있으며, 상기 로컬 워드라인 드라이버 회로는, 상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와; 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와; 상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되며 상기 로컬 워드라인 인에이블 신호를 보완하기 위한 N 채널 트랜지스터를 구비할 수 있다.

상기한 구조적 구성에 따르면, 고집적화에 적합한 반도체 메모리 장치의 구현이 가능해진다.

발명의 구성 및 작용

이하에서는 본 발명의 바람직한 실시예가, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 철저한 이해를 제공할 의도 외에는 다른 의도 없이, 첨부한 도면들을 참조로 하여 상세히 설명될 것이다.

이하에서 설명되는 도 5 및 도 11에서는 레이아웃 구조의 명백한 이해를 위하여 상기 반도체 메모리 장치의 일부의 레이아웃 구조를 도시한 것이다. 따라서, 도면상에는 하나의 메인 워드라인(MWL), 상기 메인 워드라인(MWL)에 연결된 두 개의 서브 워드라인 드라이버 회로(SWD,110)에 의해 각각 제어되는 두 개의 서브 워드라인(SWL0,SWL1), 및 상기 두 개의 서브 워드라인(SWL0,SWL1)에 각각 연결되어 각각의 로컬 워드라인(LWL00,LWL0n,LWLm0,LWLmn)을 제어하는 로컬 워드라인 드라이버 회로(LWD,210)가 도시되어 있다. 그러나, 본 발명의 기술 분야에서 통상의 지식을 가진 자에게 있어 상기 반도체 메모리 장치의 전체 레이아웃 구조를 유추하기는 어렵지 않을 것이다.

이하의 설명에서는 전체를 통칭하는 의미의 도면부호로써, 서브 워드라인은 'SWL', 서브 워드라인 드라이버 회로는 'SWD', 로컬 워드라인은 'LWL', 로컬 워드라인 드라이버 회로는 'LWD'로 표현되며, 일부 특정하여 표현되는 도면부호는 도면에 도시된 아라비아 숫자로 나타낼 것이다.

도 5는 본 발명의 일 실시예에 따른 반도체 메모리 장치를 구성하는 워드라인 드라이버 회로의 레이아웃을 나타낸 도면이다.

도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 메모리 장치의 워드라인 드라이버 회로의 레이아웃 구조는, 워드라인 디코더 회로(미도시)에 의해 제어되는 메인 워드라인(MWL), 서브 워드라인 드라이버 회로(SWD)에 의해 제어되는 서브 워드라인들(SWL) 및 로컬 워드라인 드라이버 회로(LWD)에 의해 제어되는 로컬 워드라인(LWL)의 3단 구조를 가지고 있다.

상기 워드라인 디코더 회로는 본 발명의 기술분야에서 통상의 지식을 가진 자에게 있어 당연시되는 일반적인 워드라인 디코더 회로로 구성된다. 상기 워드라인 디코더 회로에서는 인가되는 로우(row) 어드레스(address) 신호에 응답하여 메인 워드라인(MWL)에 메인 워드라인 인에이블(enable) 신호를 발생시킨다.

상기 서브 워드라인 드라이버 회로(SWD)는 적어도 하나 이상이 구비되며, 상기 메인 워드라인(MWL)에 각각 병렬로 연결된다.

메인 워드라인 인에이블 신호가 입력되는 서브 워드라인 드라이버 회로(110)는, 상기 메인 워드라인(MWL)을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인(SWL0)에 서브 워드라인 인에이블 신호를 제공한다.

상기 로컬 워드라인 드라이버 회로(LWD)는 적어도 하나 이상이 구비되며, 상기 각각의 서브 워드라인(SWL)에 각각 병렬로 연결된다.

서브 워드라인 인에이블 신호가 입력되는 로컬 워드라인 드라이버 회로(210)는, 상기 서브 워드라인 드라이버 회로(110)에서 제공되는 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인(LWL00)에 로컬 워드라인 인에이블 신호를 제공한다.

상기 로컬 워드라인(LWL)들에는 각각 적어도 하나 이상의 메모리 셀들로 구성된 셀 어레이가 연결된다. 하나의 로컬 워드라인(LWL)에는 종래의 기술에서의 워드라인 드라이버 회로에 연결되어 있는 메모리 셀의 개수와 동일하게 구성될 수 있다.

상기 선택된 로컬 워드라인(LWL00)에 로컬 워드라인 인에이블 신호가 제공되면, 상기 로컬 워드라인(LWL00)에 연결되어 있는 적어도 하나 이상의 메모리 셀을 구성하는 액세스 트랜지스터가 턴 온 되게 된다.

상기의 레이아웃 구조로 하여 반도체 메모리 장치를 구성하더라도, 상기 로컬 워드라인(LWD)과 연결되는 서브 워드라인(SWL)을 메탈 라인(Metal Line) 등으로 구성하여 기생 저항을 무시할 수 있도록 할 수 있으며, 기생 커패시턴스 또한 종래 기술 대비 거의 차이가 없다. 즉, 종래 기술의 기생 커패시턴스에서 선택되지 않은 로컬 워드라인(LWD)의 정션(Junction) 커패시턴스 및 서브 워드라인(SWL)의 라인 커패시턴스 만 추가된 정도이다. 따라서, 하나의 서브 워드라인(SWL)에 여러 개의 로컬 워드라인(LWD)을 사용하여도 종래 기술 대비 속도의 차이 없이 구현할 수 있다.

도 6은 상기 도 5의 서브 워드라인 드라이버 회로의 일 예를 나타낸 것이다.

도 6에 도시된 바와 같이, 서브 워드라인 드라이버 회로(110)는 하나의 P채널 트랜지스터(P102), 제1 N채널 트랜지스터(N102), 제2 N채널 트랜지스터(N101), 및 제어신호 들(SWL_PRB, SWL_DRV)이 인가되는 라인들로 구성된다.

상기 P채널 트랜지스터(P102)는 메인 워드라인(MWL)이 게이트에 연결되고 제어신호(SWL_DRV)가 인가되는 라인과 서브 워드라인(SWL) 사이에 연결된다. 상기 P채널 트랜지스터(P102)는 메인 워드라인(MWL)을 통하여 인가되는 메인 워드라인 인에이블 신호에 의해 구동되어 서브 워드라인 인에이블 신호를 서브 워드라인(SWL)에 제공한다.

상기 제1 N채널 트랜지스터(N102)는 메인 워드라인(MWL)이 게이트에 연결되고 접지라인과 상기 서브 워드라인(SWL) 사이에 연결된다. 상기 제1 N채널 트랜지스터(N102)는 메인 워드라인 디세이블(disable) 신호 인가시에 상기 서브 워드라인(SWL)의 플로팅(floating)을 방지하기 위한 것이다.

상기 제2 N채널 트랜지스터(N101)는 제어신호(SWL_PRB)를 게이트로 인가받아 구동되며 접지라인과 상기 서브 워드라인(SWL) 사이에 연결된다. 상기 제2 N채널 트랜지스터(N101)는 상기 메인 워드라인 인에이블 신호 인가시에 선택되지 않은 서브 워드라인(SWL)의 플로팅을 방지하기 위한 것이다.

상기 도 6의 서브 워드라인 드라이버 회로(110)에서 상기 메인 워드라인 인에이블 신호는 종래와 달리 접지 전압 레벨(0V)을 가지며, 메인 워드라인 디세이블 신호는, 전원전압 레벨(VDD)을 제2전압레벨(VDD)라고 가정할 경우에 상기 제2전압레벨(VDD)보다 일정 레벨이상 높은 전압 레벨을 가지는 제1전압레벨(VPP)을 가진다. 종래 기술에서는 상기 제1전압레벨(VPP)을 외부전원전압레벨이라고 표현한 바 있다.

상기 도 6의 서브 워드라인 드라이버 회로의 동작을 설명하면 다음과 같다.

우선, 메인 워드라인 디세이블 신호가 인가되는 상태 즉, 서브 워드라인 드라이버 회로(SWD)가 선택되지 않은 경우에 있어서는, 상기 메인 워드라인 디세이블 신호에 의해 구동되는 제1 N채널 트랜지스터(N102)에 의하여 상기 서브 워드라인(SWL)은 접지 전압 레벨(0V) 상태로 유지되어 플로팅이 방지된다.

다음으로, 메인 워드라인 인에이블 신호가 인가되는 경우를 살펴보기로 한다. 메인 워드라인 인에이블 신호가 인가되면, 메인 워드라인 인에이블 신호가 인가되는 메인 워드라인(MWL)에 연결된 모든 서브 워드라인 드라이버 회로가 구동된다. 그러나, 제어신호들(SWL_PRB, SWL_DRV)에 의하여 하나의 서브 워드라인(SWL)이 선택되게 된다.

메인 워드라인 인에이블 신호가 메인 워드라인(MWL)을 통하여 인가되면, 상기 P채널 트랜지스터(P102)는 제1전압레벨(VPP)을 가지는 제어신호(SWL_DRV)를 상기 서브 워드라인(SWL)에 서브 워드라인 인에이블 신호로 전달한다. 상기 제어신호(SWL_DRV)를 상기 서브 워드라인(SWL)으로 P채널 트랜지스터(P102)를 사용할 경우에 문턱전압에 의한 전압 드롭 현상이 일어나지 않는다. 따라서, 상기 서브 워드라인 인에이블 신호는 제1전압레벨(VPP)을 유지하게 되고, 부스팅 회로가 필요하지 않게 된다. 또한, 종래기술 대비하여 트랜지스터 하나를 감소시킬 수 있다.

상기 메인 워드라인 인에이블 신호가 상기 메인 워드라인(MWL)을 통하여 인가되더라도 상기 제어신호(SWL_DRV)의 전압레벨이 접지전압 레벨(0V)을 유지하고 제어신호(SWL_PRB)가 제1전압레벨(VPP) 또는 제2전압레벨(VDD)을 가지는 경우에는 서브 워드라인 인에이블 신호가 발생되지 않는다. 즉, 메인 워드라인 인에이블 신호와 상기 제어신호들(SWL_PRB, SWL_DRV)에 의하여 선택된 서브 워드라인(SWL)에만 서브 워드라인 인에이블 신호가 인가되게 된다. 이 경우에 선택되지 않은 서브 워드라인(SWL)의 플로팅을 방지하기 위하여 상기 제2 N채널 트랜지스터(N101)가 동작된다.

도 7 내지 도 10은 상기 도 5의 로컬 워드라인 드라이버 회로(LWD)를 예를 들어 나타낸 것이다. 상기 도 7 내지 도 10에 도시된 바와 같은 로컬 워드라인 드라이버 회로들은 상기 도 6에 도시된 서브 워드라인 드라이버 회로에 연결되어 구성되는 것이 바람직하나 종래의 워드라인 드라이버 회로를 서브 워드라인 드라이버 회로로 하여 구성되어 도 5와 같은 구조를 가질 수 있다.

도 7에 도시된 바와 같이, 도 5의 적용 예 중 하나의 로컬 워드라인 드라이버 회로(210a)는 두 개의 N 채널 트랜지스터(N201, N202)와 제1제어신호(WLEN)가 인가되는 라인 및 제2제어신호(WLENB)가 인가되는 라인으로 구성된다.

상기 N 채널 트랜지스터(N201)는 게이트로 인가되는 제1제어신호(WLEN)에 의해 구동되며, 서브 워드라인(SWL)과 로컬 워드라인(LWL) 사이에 연결된다. 상기 N 채널 트랜지스터(N201)는 상기 서브 워드라인 인에이블 신호를 로컬 워드라인 인에이블 신호로 하여 상기 선택된 로컬 워드라인(LWL)에 제공한다.

상기 N 채널 트랜지스터(N202)는 게이트로 인가되는 제2제어신호(WLENB)에 의해 구동되며, 상기 로컬 워드라인(LWL)과 접지라인 사이에 연결된다. 상기 N 채널 트랜지스터(N202)는 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 것이다.

상기 제1제어신호(WLEN)는 통상시에는 접지전압 레벨을 유지하고 상기 로컬 워드라인(LWL)을 선택할 경우에는 상기 제1전압레벨(VPP)보다 일정전압레벨 높은 전압레벨을 가진다. 예를 들면, 로컬 워드라인(LWL)을 선택할 경우에는 상기 제1제어신호(WLEN)의 전압레벨은 상기 N 채널 트랜지스터(N201)의 문턱전압 레벨(V_{th})에 제1전압레벨을 더한 만큼($VPP + V_{th}$)의 레벨을 가질 수 있다.

상기 제2제어신호(WLENB)는 통상시에는 제2전압레벨(VDD) 또는 제1전압레벨(VPP)을 가지며, 상기 로컬 워드라인(LWL)을 선택할 경우에는 접지전압 레벨로 천이한다.

상기 도 7에 도시한 로컬 워드라인 드라이버 회로(210a)의 동작을 살펴보면, 우선 서브 워드라인 인에이블 신호가 인가되기 전에는 상기 제2제어신호(WLENB)에 의하여 동작되는 N 채널 트랜지스터(N202)에 의하여 상기 로컬 워드라인(LWL)은 접지전압레벨을 가진다. 이후에 상기 서브 워드라인(SWL)이 선택되어 상기 서브 워드라인(SWL)을 통하여 서브 워드라인 인에이블 신호가 인가되면, 선택된 로컬 워드라인 드라이버 회로에 연결된 상기 제1제어신호(WLEN)는 접지전압레벨(0V)에서 제1전압레벨(VPP)보다 일정전압레벨 높은 전압레벨로 천이하게 된다. 상기 제1제어신호(WLEN)에 의하여 구동되는 N 채널 트랜지스터(N201)에 의하여 상기 서브 워드라인 인에이블 신호는 로컬 워드라인 인에이블 신호가 되어 로컬 워드라인(LWL)으로 전달되게 된다. 상기 제1제어신호(WLEN)의 전압레벨이 제1전압레벨(VPP)보다 일정레벨이상 높

기 때문에 상기 로컬 워드라인 인에이블 신호는 제1전압레벨(VPP)을 유지하게 된다. 이때, 선택되지 않은 로컬 워드라인 드라이버 회로의 제1제어신호(WLEN)는 접지전압레벨(0V), 제2제어신호(WLENB)는 제1전압레벨(VPP) 또는 제2전압레벨(VDD)을 가진다. 이에 따라, N 채널 트랜지스터(N202)가 구동되어 선택되지 않은 로컬 워드라인의 플로팅을 방지하게 된다. 그리고, 서브 워드라인(SWL)이 선택되지 않아 서브 워드라인 인에이블 신호가 인가되지 않는 경우에 상기 제1제어신호(WLEN)가 제1전압레벨(VPP)보다 일정레벨 높은 전압레벨을 가지고 상기 제2제어신호(WLENB)가 접지전압레벨을 가지는 경우에도 상기 N채널 트랜지스터(N201)를 통하여 상기 로컬 워드라인(LWL)의 플로팅이 방지된다.

도 8에 도시된 바와 같이, 도 5의 적용예 중 다른 하나인 로컬 워드라인 드라이버 회로(210b)는 세 개의 N 채널 트랜지스터(N203, N204, N205)와 제1제어신호(WLEN)가 인가되는 라인 및 제2제어신호(WLENB)가 인가되는 라인으로 구성된다.

상기 N 채널 트랜지스터(N205)는 제1제어신호(WLEN)가 인가되는 라인과 N채널 트랜지스터(N203)의 게이트 사이에 연결되며 제2전압레벨의 제어신호에 의해 구동된다.

상기 N 채널 트랜지스터(N203)는 서브 워드라인(SWL)과 로컬 워드라인(LWL) 사이에 연결되어 상기 N채널 트랜지스터(N205)와의 부스팅에 의해 상기 서브 워드라인 인에이블 신호와 동일한 전압레벨을 가지는 로컬 워드라인 인에이블 신호를 선택된 로컬 워드라인(LWL)에 제공한다.

상기 N채널 트랜지스터(N204)는 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 것으로 상기 로컬 워드라인(LWL)과 접지라인 사이에 연결되며 제2제어신호(WLENB)에 의해 구동된다.

상기 제1제어신호(WLEN)는 통상시에는 접지전압레벨을 유지하고 상기 로컬 워드라인(LWL)을 선택할 경우에는 제1전압레벨(VPP)로 천이된다.

상기 제2제어신호(WLENB)는 통상시에는 제2전압레벨 또는 제1전압레벨을 가지며, 상기 로컬 워드라인(LWL)을 선택할 경우에는 접지전압레벨로 천이한다.

상기 도 8에 도시한 로컬 워드라인 드라이버 회로(210b)의 동작을 살펴보면, 우선 서브 워드라인 인에이블 신호가 인가되기 전에는 상기 제2제어신호(WLENB)에 의하여 동작되는 N 채널 트랜지스터(N204)에 의하여 상기 로컬 워드라인(LWL)은 접지전압레벨을 가진다. 이후에 상기 서브 워드라인(SWL)이 선택되면, 상기 제1제어신호(WLEN)는 접지전압레벨(0V)에서 제1전압레벨(VPP)로 천이하게 되고, 상기 서브 워드라인(SWL)을 통하여 서브 워드라인 인에이블 신호가 인가된다. 따라서, 종래의 워드라인 드라이버에서와 같이 상기 N 채널 트랜지스터(N203)의 게이트 노드가 부스팅 되어 상기 서브 워드라인 인에이블 신호가 전압레벨의 드롭없이 제1전압레벨(VPP)의 로컬 워드라인 인에이블 신호로 전달되게 된다.

이때, 선택되지 않은 로컬 워드라인 드라이버 회로에서의 제1제어신호(WLEN)는 접지전압레벨(0V), 제2제어신호(WLENB)는 제1전압레벨(VPP) 또는 제2전압레벨(VDD)을 가진다. 이에 따라, N 채널 트랜지스터(N204)가 구동되어 선택되지 않은 로컬 워드라인(LWL)의 플로팅을 방지하게 된다. 그리고, 서브 워드라인(SWL)이 선택되지 않아 서브 워드라인 인에이블 신호가 인가되지 않는 경우에 상기 제1제어신호(WLEN)가 제1전압레벨(VPP)을 가지고 상기 제2제어신호(WLENB)가 접지전압레벨을 가지는 경우에도 상기 N채널 트랜지스터(N203)를 통하여 상기 로컬 워드라인(LWL)의 플로팅이 방지된다.

도 9에 도시된 바와 같이, 도 5의 적용예 중 또 다른 하나인 로컬 워드라인 드라이버 회로(210c)는 두 개의 N 채널 트랜지스터(N206, N207), 하나의 P채널 트랜지스터(P201) 및 제어신호(WLENB)가 인가되는 라인으로 구성된다.

상기 P채널 트랜지스터(P201)는 서브 워드라인(SWL)과 로컬 워드라인(LWL) 사이에 연결되어 서브 워드라인 인에이블 신호 인가시에 접지전압레벨을 가지는 상기 제어신호에 의해 구동되며, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공한다.

상기 N 채널 트랜지스터(N206)는 상기 로컬 워드라인(LWL)과 접지라인 사이에 연결되고 상기 제어신호에 의해 구동되어 선택되지 않은 로컬 워드라인(LWL)의 플로팅을 방지한다.

상기 N 채널 트랜지스터(N207)는 상기 로컬 워드라인(LWL)과 접지라인 사이에 연결되어 상기 메인 워드라인 디세이블 신호에 의해 구동되어 상기 로컬 워드라인의 플로팅을 방지한다.

상기 제어신호(WLENB)는 서브 워드라인 인에이블 신호 인가되고 상기 로컬 워드라인(LWL)을 선택할 경우에는 접지전압 레벨을 가지며, 상기 로컬 워드라인(LWL)이 선택되지 않은 경우에는 제1전압레벨(VPP)을 가진다.

상기 도 9에 도시한 로컬 워드라인 드라이버 회로(210c)의 동작을 살펴보면, 우선 서브 워드라인 인에이블 신호가 인가되기 전에는 상기 제어신호(WLENB)에 의하여 동작되는 N 채널 트랜지스터(N206)에 의하여 상기 로컬 워드라인(LWL)은 접지전압레벨을 가진다. 이후에 상기 서브 워드라인(SWL)이 선택되면, 상기 서브 워드라인(SWL)을 통하여 서브 워드라인 인에이블 신호가 인가된다. 상기 서브 워드라인 인에이블 신호가 인가됨과 동시에 상기 제어신호는 접지전압레벨로 천이하게 되고 이에 따라 상기 P채널 트랜지스터(P201)가 동작되어 상기 서브 워드라인 인에이블 신호가 전압 드롭없이 로컬 워드라인 인에이블 신호로 되어 선택된 로컬 워드라인(LWL)에 전달되게 된다.

이때, 서브 워드라인 인에이블 신호가 인가되는 경우에 선택되지 않은 로컬 워드라인(LWL)에 연결된 로컬 워드라인 드라이버 회로에서 상기 제어신호(WLENB)는 제1전압레벨(VPP)을 가지게 되고, 이에 따라, N 채널 트랜지스터(N206)가 구동되어 선택되지 않은 로컬 워드라인(LWL)의 플로팅을 방지하게 된다. 그리고, 서브 워드라인 인에이블 신호가 인가되지 않는 경우에는 상기 N 채널 트랜지스터(N207)를 통하여 상기 로컬 워드라인(LWL)의 플로팅이 방지된다.

도 10에 도시된 바와 같이, 도 5의 적용에 중 또 다른 하나인 로컬 워드라인 드라이버 회로(210d)는 두 개의 N 채널 트랜지스터(N208, N209), 하나의 P채널 트랜지스터(P203), 및 제1제어신호(WLEN), 제2제어신호(WLENB)가 인가되는 라인들로 구성된다.

상기 P채널 트랜지스터(P203)는 서브 워드라인(SWL)과 로컬 워드라인(LWL) 사이에 연결되어 서브 워드라인 인에이블 신호 인가시에 상기 제2제어신호(WLENB)에 의해 구동되며, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인(LWL)에 제공한다.

상기 N 채널 트랜지스터(N208)는 상기 로컬 워드라인(LWL)과 접지라인 사이에 연결되고 상기 제2제어신호에 의해 구동되어 선택되지 않은 로컬 워드라인(LWL)의 플로팅을 방지한다.

상기 N 채널 트랜지스터(N209) 상기 서브 워드라인(SWL)과 상기 로컬 워드라인(LWL) 사이에 연결되며 상기 제1제어신호(WLEN)에 의해 구동되어 상기 로컬 워드라인 인에이블 신호를 보완하는 역할을 한다..

상기 제1제어신호(WLEN)는 통상시에는 접지전압 레벨을 유지하고 상기 로컬 워드라인(LWL)을 선택할 경우에는 제1전압레벨(VPP) 또는 제2전압레벨(VDD)로 천이된다.

상기 제2제어신호(WLENB)는 통상시에는 제1전압레벨(VPP)을 가지며, 상기 로컬 워드라인(LWL)을 선택할 경우에는 접지전압 레벨(OV)로 천이한다.

상기 도 10에 도시한 로컬 워드라인 드라이버 회로(210d)의 동작을 살펴보면, 우선 서브 워드라인 인에이블 신호가 인가되기 전에는 상기 제1제어신호(WLENB)에 의하여 동작되는 N 채널 트랜지스터(N206)에 의하여 상기 로컬 워드라인(LWL)은 접지전압레벨을 가진다. 이후에 상기 서브 워드라인(SWL)이 선택되면, 상기 서브 워드라인(SWL)을 통하여 서브 워드라인 인에이블 신호가 인가된다. 상기 서브 워드라인 인에이블 신호가 인가됨과 동시에 상기 제2제어신호(WLENB)는 접지전압레벨로 천이하게 되고 이에 따라 상기 P채널 트랜지스터(P203)가 동작되어 상기 서브 워드라인 인에이블 신호가 전압 드롭없이 로컬 워드라인 인에이블 신호로 되어 선택된 로컬 워드라인(LWL)에 전달되게 된다. 또한 제1제어신호(WLEN)에 의해 구동되는 N 채널 트랜지스터(N209)에 의하여 상기 로컬 워드라인 인에이블 신호는 보완된다.

이때, 선택되지 않은 로컬 워드라인(LWL)에 연결된 로컬 워드라인 드라이버 회로에서 상기 제1제어신호 및 상기 제2제어신호(WLENB)는 제1전압레벨(VPP)을 가지게 되고, 이에 따라, N 채널 트랜지스터(N208)가 구동되어 선택되지 않은 로컬 워드라인(LWL)의 플로팅을 방지하게 된다. 그리고, 서브 워드라인(SWL)이 선택되지 않아 서브 워드라인 인에이블 신호가 인가되지 않는 경우에 상기 제1제어신호(WLEN)가 제1전압레벨(VPP) 또는 제2전압레벨(VDD)를 가지고 상기 제2제어신호(WLENB)가 접지전압 레벨을 가지는 경우에도 상기 N채널 트랜지스터(N209)를 통하여 상기 로컬 워드라인(LWL)의 플로팅이 방지된다.

상기 도 5 내지 도 10에 도시한 바와 같은 워드라인 드라이버 구조의 반도체 메모리 장치에서는 종래의 워드라인 드라이버 회로에 대비하여 워드라인 드라이버 회로의 면적을 감소시킬 수 있다. 즉, 반도체 메모리 장치에 셀 어레이를 8개 배치할 경우를 가정하여 보면, 종래 기술에서는, 8개의 워드라인 드라이버 회로가 필요하고 이때 사용되는 트랜지스터의 개수는

32 개다. 그러나, 본 발명의 실시예에서와 같은 3단 구조를 가지는 워드라인 드라이버 회로 구조를 적용하면, 하나의 서브 워드라인 드라이버(SWD)와 8개의 로컬 워드라인 드라이버 회로(LWD)가 필요하게 되고 이때 사용되는 트랜지스터의 개수는 19개 내지 27개이다. 따라서, 반도체 메모리 장치에서 워드라인 드라이버 회로가 차지하는 면적을 상당히 감소시킬 수 있는 효과가 있다.

상기한 본 발명의 일 실시예에 따른 워드라인 드라이버 회로 구조는, FRAM(Ferroelectric Random Access Memory)에 적용될 수 있으며, DRAM(Dynamic Random Access Memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic Random Access Memory)에도 적용될 수 있으며, 기타의 반도체 메모리 장치에도 적용될 수 있을 것이다.

도 11은 본 발명의 일 실시예에 따른 강유전체 메모리 장치(FRAM)에 적용되는 워드라인 드라이버 및 플레이트 라인 드라이버 회로(SWPD)의 레이아웃 구조를 나타낸 것이다. 상기 도 11에서는 상기 도 5의 구조의 서브 워드라인 드라이버 회로(SWD)에 플레이트 라인 드라이버 회로가 일체형으로 구성되어 워드라인 드라이버 및 플레이트 라인 드라이버 회로(SWPD)를 이루고 있다.

도 11에 도시된 바와 같이, 본 발명의 일 실시예에 따른 강유전체 반도체 메모리 장치의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD)의 레이아웃 구조는, 워드라인 디코더 회로(미도시)에 의해 제어되는 메인 워드라인(MWL), 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD)에 의해 제어되는 서브 워드라인들(SWL) 및 플레이트 라인들(SPL0, SPL1), 및 로컬 워드라인 드라이버 회로(LWD)에 의해 제어되는 로컬 워드라인(LWL)의 3단 구조를 가지고 있다.

상기 로컬 워드라인 드라이버 회로(LWD)는 상기 도 5 내지 도 10에서 설명한 회로와 동일한 구조를 가지므로 설명은 생략한다.

상기 일체형으로 구성된 상기 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD, 140)에서의 플레이트 라인 드라이버 회로는, 상기 서브 워드라인 드라이버 회로(SWD)와 동일한 개수로 구비되어, 상기 메인 워드라인(MWL)에 각각 병렬로 연결되며, 하나의 서브 워드라인 드라이버 회로의 제어를 받는 복수개의 메모리 셀들에 공통으로 연결된 플레이트 라인(SPL)에 플레이트 라인 인에이블 신호를 제공한다.

상기 플레이트 라인 드라이버 회로에서는 메인 워드라인 인에이블 신호가 인가되면, 선택된 서브 워드라인(SWL0)에 연결된 적어도 하나 이상의 로컬 워드라인 드라이버 회로(LWD)에 의해 제어되는 복수개의 메모리 셀들에 공통으로 연결되는 플레이트 라인(SPL0)에 플레이트 라인 인에이블 신호를 제공한다.

종래 기술의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD) 하나가 구동 할 수 있는 메모리 셀이 32개이고 셀 어레이를 8개 배치하는 경우라고 가정했을 때, 상기와 같은 레이아웃 구조를 사용하더라도, 본 발명의 하나의 서브 워드라인 드라이버 회로(SWD)는 8개의 로컬 워드라인 드라이버 회로(LWD)를 구동하게 된다. 그리고, 각각의 로컬 워드라인(LWL)은 각각 32개의 메모리 셀과 연결되고, 플레이트 라인(SPL)은 256개(32x8)의 메모리 셀과 연결된다. 이때, 상기 8개의 로컬 워드라인 드라이버 회로(LWD) 가운데 하나의 로컬 워드라인 드라이버 회로(LWD)가 선택되어 실제 동작하는 메모리 셀의 개수는 32개이다. 따라서, 상기 플레이트 라인(SPL)에 연결된 256개의 메모리 셀 가운데 32개만 동작을 하고 나머지 224개는 동작을 하지 않기 때문에 상기 플레이트 라인(SPL)의 로딩>Loading> 커패시턴스 문제는 일어나지 않는다. 다시 말하면, 상기 플레이트 라인(SPL)과 연결되어 있으나 동작하지 않는 메모리 셀의 강유전체 커패시터는 플로팅 상태가 되기 때문에 상기 플레이트 라인(SPL)의 로딩 커패시턴스로 작용을 거의 하지 못한다. 따라서, 상기 플레이트 라인(SPL)은 종래 기술과 거의 특성 차이가 없는 상태로 동작을 할 수 있다.

도 12는 상기 도 11의 상기 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD, 140)의 일 예를 나타낸 것이다.

도 12에 도시된 바와 같이, 일체형으로 구성된 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(140)는 서브 워드라인 드라이버 회로(110)와 플레이트 라인 드라이버 회로(130)로 구성된다. 상기 서브 워드라인 드라이버 회로(110)는 도 6에서 설명한 바와 동일한 구조를 가지므로 플레이트 라인 드라이버 회로(130)에 대해서만 설명하기로 한다.

상기 플레이트 라인 드라이버 회로(130)는 하나의 P 채널 트랜지스터(P301)와 하나의 N 채널 트랜지스터(N301), 및 제어 신호(SPL_DRV)가 인가되는 라인을 구비한다.

상기 P채널 트랜지스터(P301)는 메인 워드라인(MWL)을 통하여 인가되는 상기 메인 워드라인 인에이블 신호에 의해 구동되며, 플레이트 라인(SPL)과 상기 제어신호(SPL_DRV)가 인가되는 라인 사이에 연결된다. 상기 P채널 트랜지스터(P301)는 상기 메인 워드라인 인에이블 신호에 의해 구동되어 상기 제어신호(SPL_DRV)를 플레이트 라인 인에이블 신호로 하여 상기 플레이트 라인(SPL)에 제공한다.

상기 N채널 트랜지스터(N301)는 상기 메인 워드라인 디세이블 신호에 의해 구동되며, 상기 플레이트 라인(SPL)과 접지라인 사이에 연결되어, 메인 워드라인 신호가 인가되지 않는 경우, 즉 메인 워드라인 디세이블 신호가 인가되는 경우에 동작되어 상기 플레이트 라인(SPL)의 플로팅을 방지한다.

상기 도 11 내지 도 12에 도시한 바와 같은 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD)와 로컬 워드라인 드라이버 회로의 레이아웃 구조를 가지는 강유전체 메모리 장치에서는 종래의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로에 대비하여 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로가 차지하는 면적을 감소시킬 수 있다. 즉, 강유전체 반도체 메모리 장치에 셀 어레이를 8개 배치할 경우를 가정하여 보면, 종래 기술에서는, 8개의 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로가 필요하고 이때 사용되는 트랜지스터의 개수는 56 개이다. 그러나, 본 발명의 실시예에서와 같은 3단 구조를 가지는 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로 레이아웃 구조를 적용하면, 하나의 서브 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD)와 8개의 로컬 워드라인 드라이버 회로(LWD)가 필요하게 되고 이때 사용되는 트랜지스터의 개수는 21개 내지 29개이다. 따라서, 강유전체 반도체 메모리 장치에서 워드라인 드라이버 회로 및 플레이트 라인 드라이버 회로(SWPD)가 차지하는 면적을 상당히 감소시킬 수 있는 효과가 있다.

상기한 실시예의 설명은 본 발명의 더욱 철저한 이해를 위하여 도면을 참조로 예를 든 것 불과하므로, 본 발명을 한정하는 의미로 해석되어서는 안될 것이다. 또한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기본적인 원리를 벗어나지 않는 범위 내에서 다양한 변화와 변경이 가능함은 명백하다 할 것이다. 예컨대, 사안이 다른 경우에 회로의 내부 구성을 변경하거나, 회로의 내부 구성 소자들을 다른 등가적 소자들로 대체할 수 있음은 명백하다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 워드라인 드라이버 회로의 레이아웃 구조를 서브 워드라인 드라이버 회로와 로컬 워드라인 드라이버 회로 구조로 나눠서 구성하고, 이에 적당한 회로를 구현함에 의하여, 종래기술과 비교하여 반도체 메모리 장치의 레이아웃 면적을 획기적으로 줄일 수 있게 된다. 따라서, 칩 사이즈의 증가를 최소화할 수 있어 고집적화에 적합한 반도체 메모리 장치의 구현이 가능해진다.

(57) 청구의 범위

청구항 1.

셀 어레이를 구성하는 메모리 셀들을 제어하는 강유전체 반도체 메모리 장치에 있어서:

메인 워드라인에 각각 병렬로 연결되며, 상기 메인 워드라인을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인에 서브 워드라인 인에이블 신호를 제공하는 적어도 하나 이상의 서브 워드라인 드라이버 회로와;

상기 서브 워드라인에 각각 병렬로 연결되며 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인에 로컬 워드라인 인에이블 신호를 제공함에 의하여, 상기 로컬 워드라인에 연결된 적어도 하나 이상의 메모리 셀을 제어하는 적어도 하나 이상의 로컬 워드라인 드라이버 회로와;

상기 메인 워드라인에 각각 병렬로 연결되고 메인 워드라인 인에이블 신호에 응답하여, 상기 선택된 서브 워드라인에 연결된 적어도 하나 이상의 로컬 워드라인 드라이버 회로에 의해 제어되는 복수개의 메모리 셀들에 공통으로 연결되는 플레이트 라인에 플레이트 라인 인에이블 신호를 제공하는 적어도 하나 이상의 플레이트 라인 드라이버 회로를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제1항에 있어서,

상기 메모리 셀은, 로컬 워드라인 인에이블 신호에 의해 구동되는 하나의 액세스 트랜지스터와, 상기 액세스 트랜지스터와 플레이트 라인 사이에 연결되는 하나의 강유전체 커패시터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제2항에 있어서,

상기 서브 워드라인 드라이버 회로와 상기 플레이트 라인 드라이버 회로는 일체형으로 구비됨을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제3항에 있어서, 상기 서브 워드라인 드라이버 회로는,

상기 메인 워드라인 인에이블 신호에 의해 구동되어 서브 워드라인 인에이블 신호를 선택된 서브 워드라인에 제공하기 위한 P채널 트랜지스터와;

메인 워드라인 디세이블 신호 인가시에 서브 워드라인의 플로팅을 방지하기 위한 제1 N채널 트랜지스터와;

상기 메인 워드라인 인에이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제2 N채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제4항에 있어서, 상기 플레이트 라인 드라이버 회로는,

상기 메인 워드라인 인에이블 신호에 의해 구동되어 플레이트 라인 인에이블 신호를 상기 플레이트 라인에 제공하기 위한 P채널 트랜지스터와;

상기 메인 워드라인 디세이블 신호에 의해 구동되어 플레이트 라인의 플로팅을 방지하기 위한 N채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제5항에 있어서,

상기 메인 워드라인 디세이블 신호, 상기 서브 워드라인 인에이블 신호, 및 상기 로컬 워드라인 인에이블 신호는 제1전압레벨을 가지고, 상기 메인 워드라인 인에이블 신호는 접지전압레벨을 가지며, 상기 플레이트 라인 인에이블 신호는 상기 제1전압레벨보다 일정 레벨 낮은 전원전압레벨인 제2전압레벨을 가짐을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제6항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어, 상기 서브 워드라인 인에이블 신호를 로컬 워드라인 인에이블 신호로 하여 상기 선택된 로컬 워드라인에 제공하는 N 채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제6항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

제2전압레벨의 제어신호에 의해 구동되는 제3 N 채널 트랜지스터와;

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어 상기 제3 N채널 트랜지스터와의 부스팅에 의해 상기 서브 워드라인 인에이블 신호와 동일한 전압 레벨을 가지는 로컬 워드라인 인에이블 신호를 선택된 로컬 워드라인에 제공하는 제 4 N 채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 제5 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제6항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되며, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와;

상기 메인 워드라인 디세이블 신호에 의해 구동되어 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제6항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되며, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와;

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되며 상기 로컬 워드라인 인에이블 신호를 보완하기 위한 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 11.

셀 어레이를 구성하는 메모리 셀들을 제어하는 반도체 메모리 장치에 있어서:

메인 워드라인에 각각 병렬로 연결되며, 상기 메인 워드라인을 통하여 제공되는 메인 워드라인 인에이블 신호에 응답하여, 선택된 서브 워드라인에 서브 워드라인 인에이블 신호를 제공하는 적어도 하나 이상의 서브 워드라인 드라이버 회로와;

상기 서브 워드라인에 각각 병렬로 연결되며 상기 서브 워드라인 인에이블 신호에 응답하여, 선택된 로컬 워드라인에 로컬 워드라인 인에이블 신호를 제공함에 의하여, 상기 로컬 워드라인에 연결된 적어도 하나 이상의 메모리 셀을 제어하는 적어도 하나 이상의 로컬 워드라인 드라이버 회로를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제11항에 있어서, 상기 서브 워드라인 드라이버 회로는,

상기 메인 워드라인 인에이블 신호에 의해 구동되어 서브 워드라인 인에이블 신호를 선택된 서브 워드라인에 제공하기 위한 P채널 트랜지스터와;

메인 워드라인 디세이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제1 N채널 트랜지스터와;

상기 메인 워드라인 인에이블 신호 인가시에 선택되지 않은 서브 워드라인의 플로팅을 방지하기 위한 제2 N채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제12항에 있어서,

상기 메인 워드라인 디세이블 신호, 상기 서브 워드라인 인에이블 신호, 및 상기 로컬 워드라인 인에이블 신호는 전원전압 레벨인 제2전압레벨보다 일정레벨이상 높은 전압레벨인 제1전압레벨을 가지고, 상기 메인 워드라인 인에이블 신호는 접지전압레벨을 가짐을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제13항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어 상기 서브 워드라인 인에이블 신호를 로컬 워드라인 인에이블 신호로 하여 상기 선택된 로컬 워드라인에 제공하는 N 채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제13항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

제2전압레벨의 제어신호에 의해 구동되는 제3 N 채널 트랜지스터와;

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어 상기 제3 N채널 트랜지스터와의 부스팅에 의해 상기 서브 워드라인 인에이블 신호와 동일한 전압 레벨을 가지는 로컬 워드라인 인에이블 신호를 선택된 로컬 워드라인에 제공하는 제4 N 채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 제5 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제13항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와;

상기 메인 워드라인 디세이블 신호에 의해 구동되어 선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 17.

제13항에 있어서, 상기 로컬 워드라인 드라이버 회로는,

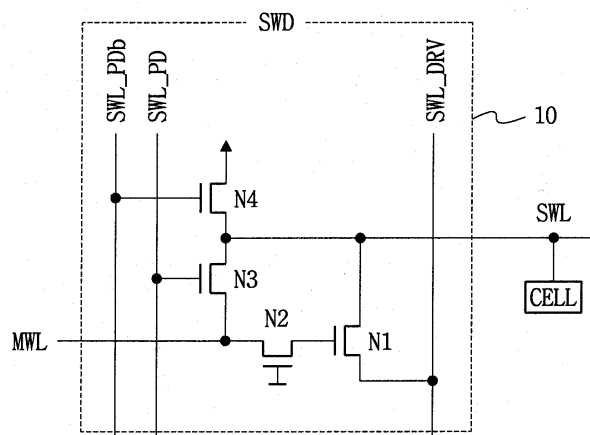
상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되어, 상기 서브 워드라인 인에이블 신호를 상기 로컬 워드라인 인에이블 신호로 하여 선택된 로컬 워드라인에 제공하는 P채널 트랜지스터와;

선택되지 않은 로컬 워드라인의 플로팅을 방지하기 위한 N 채널 트랜지스터와;

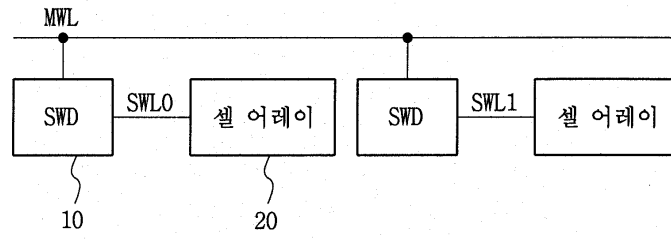
상기 서브 워드라인과 상기 로컬 워드라인 사이에 연결되며 상기 로컬 워드라인 인에이블 신호를 보완하기 위한 N 채널 트랜지스터를 구비함을 특징으로 하는 반도체 메모리 장치.

도면

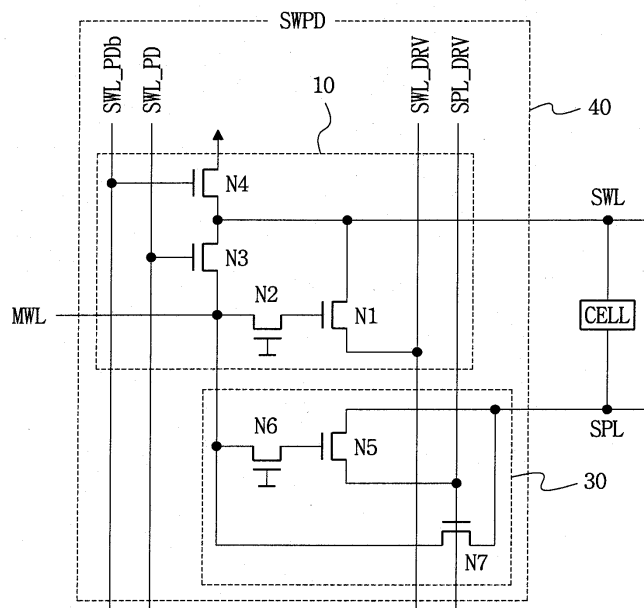
도면1



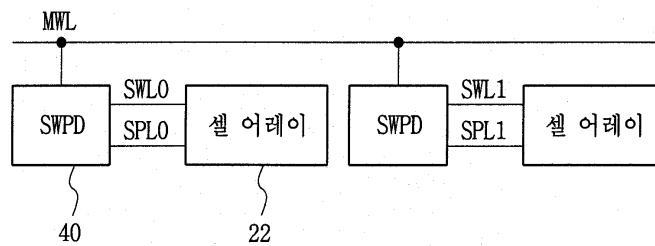
도면2



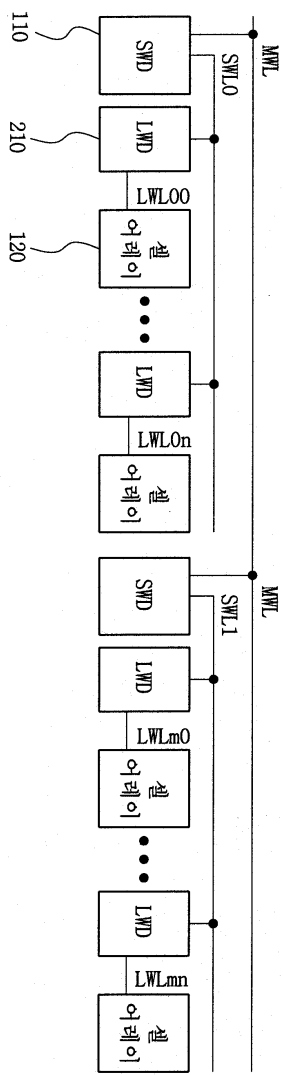
도면3



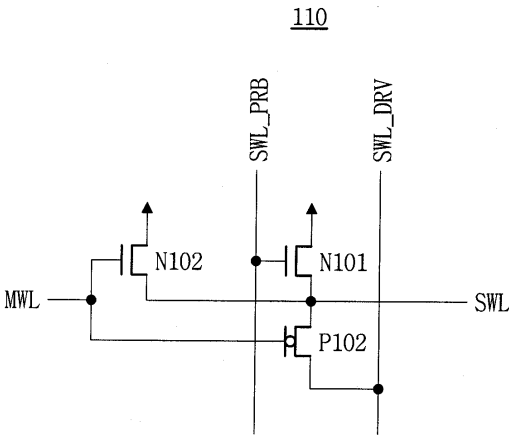
도면4



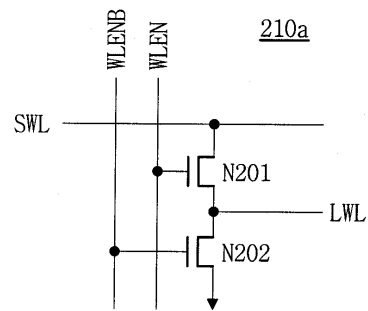
도면5



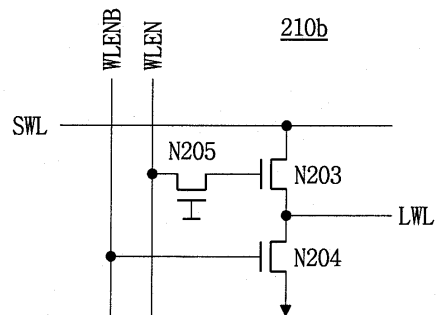
도면6



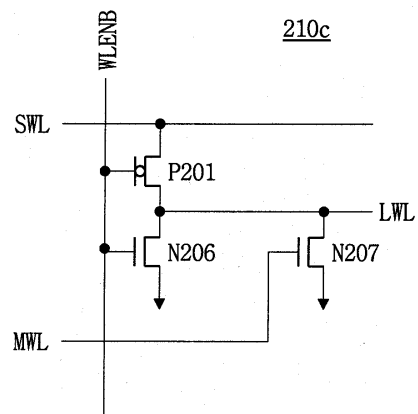
도면7



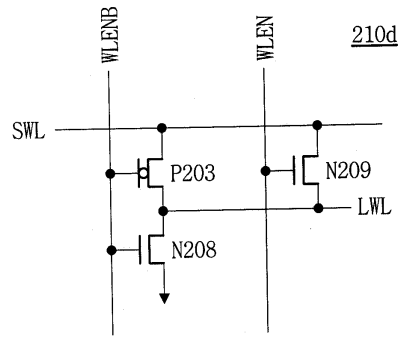
도면8



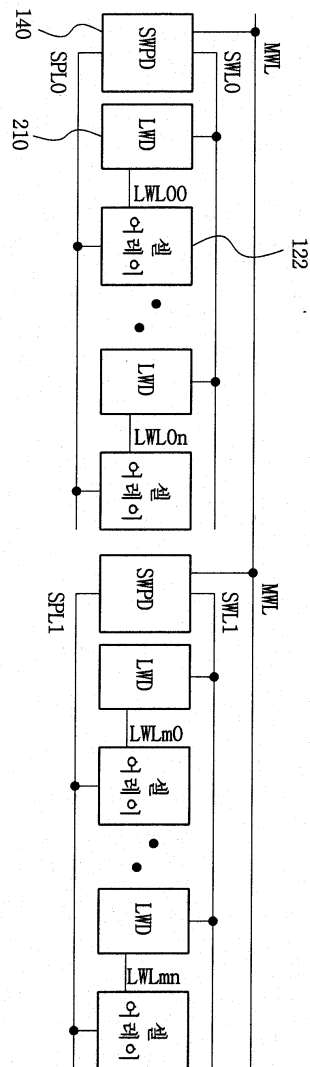
도면9



도면10



도면11



도면12

