[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 21/304
C09G 1/02
C09K 3/14 B24B 1/00

[12]发明专利说明书

[21] ZL 专利号 96114541.2

[45]授权公告日 2002 年 4 月 17 日

[11]授权公告号 CN 1083154C

[22]申请日 1996.11.12 [24]颁证日 2002.4.17
[21]申请号 96114541.2
[30]优先权
[32]1995.11.13 [33]JP [31]317054/95
[32]1996.4.8 [33]JP [31]110576/96
[73]专利权人 东芝株式会社
地址 日本国神奈川县
[72]发明人 宫下直人 安部正泰 下村麻里子
[56]参考文献

GB 2247892A	1992. 3.18	G09G1/02
US 4690693	1987. 9. 1	C04B35/64
US 5094972	1992. 3.10	H01L21/76

集成电路制造技术 - 原理与实践 1987.10. 1 主编庄同曾电子工业出版社
审查员 韩 锦

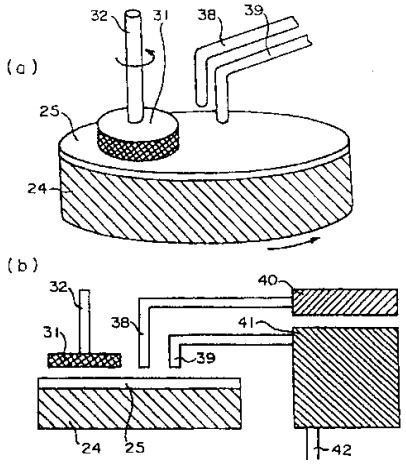
[74]专利代理机构 上海专利商标事务所
代理人 孙敬国

权利要求书 1 页 说明书 10 页 附图页数 20 页

[54]发明名称 研磨方法和半导体器件制造方法及半导体制造装置

[57]摘要

本发明提供一种研磨方法和半导体装置制造方法及半导体制造装置，其特 征在于，使用散布从氮化硅、碳化硅及碳(石墨)中选择一种材料构成的研磨粒子 的研磨剂进行研磨。该研磨剂适用于 CMP。在半导体基片上形成与研磨剂相同 材料的止磨膜，在研磨剂与止磨膜材料相同的状态下研磨，提高了磨削速度。研 磨剂和分散剂分别同时供给加工点，并在加工点上两者混为一体，故研磨剂不会 变质。



ISSN1008-4274

权　利　要　求　书

1. 一种研磨方法，其特征在于，包括：

在基片表面上形成由氮化硅构成的止磨膜的工序；

在上述止磨膜及上述基片表面上形成被研磨膜的工序；

使用散布由氮化硅构成的研磨粒子的研磨剂，对上述被研磨膜进行研磨的工序。

2. 一种半导体装置的制造方法，其特征在于，包括：

在半导体基片主面上形成由氮化硅构成的止磨膜的工序；

对上述止磨膜及半导体基片主面有选择地刻蚀，在该半导体基片上形成沟部的工序；

包括上述沟部内部及上述止磨膜上部在内，在上述半导体基片主面上堆积被研磨膜的工序；

一边向研磨布的加工点供给散布由氮化硅构成的研磨粒子的研磨剂，一边用该研磨布对上述被研磨膜进行研磨，直至露出上述止磨膜为止，使上述被研磨膜埋入上述沟部的工序。

3. 如权利要求 2 所述的半导体装置的制造方法，其特征在于，还可进一步包含向上述加工点一边供给上述研磨剂一边供给离子水的工序。

4. 一种半导体制造装置，其特征在于，备有：

表面上安装有研磨布的研磨盘；

使上述研磨盘旋转的第一驱动手段；

安装形成被研磨膜和由氮化硅构成的止磨膜的半导体基片的吸盘；

使上述吸盘旋转的第二驱动手段；

向上述研磨布供给散布由氮化硅构成的研磨粒子的研磨剂的供给手段。

5. 如权利要求 4 所述的半导体制造装置，其特征在于，可进一步备有供给离子水的手段。

说　明　书

研磨方法和半导体器件制造方法及半导体制造装置

本发明涉及研磨基片的研磨方法，用该方法对半导体基片上被研磨膜进行研磨使之平坦的半导体器件制造方法，以及实施该制造方法的半导体制造装置。

研磨装置备有研磨盘和吸盘。该研磨盘表面张贴研磨布并由电机等使之旋转，吸盘则旋转自如地支撑着基片并将旋转的基片按压在研磨盘上。用这种装置对基片研磨时，通常是将旋转的基片研磨面按压在旋转的研磨盘的研磨布上，一边将研磨剂(也叫浆料)供给加工点一边进行研磨。使用这种装置的研磨技术可用于半导体装置的制造及液晶制造等。

IC 或 LSI 等半导体装置是通过下面的工序制成的，即：设计形成于半导体基片上的集成电路的设计工序；描绘形成集成电路所用电子束等等用的掩膜生成工序；由单晶晶块制成预定厚度晶片的晶片制造工序；在晶片上形成集成电路等半导体元件的晶片处理工序；将晶片分割成各半导体基片进行封装，并形成半导体装置的装配工序及检查工序等。各二序分别备有各自需要的制造装置。在已有晶片处理工序中，已知有内腐蚀(etch back)反应离子刻蚀(RIE：Reactive Ion Etching)法，用作在沟道或接触孔等沟部中埋入金属多晶硅、硅氧化膜(SiO_2)等任意材料后使其表面平坦的方法。

然而，这种内腐蚀 RIE 方法存在着：抗内腐蚀的涂敷等工序多，晶片表面易引入 RIE 损伤，难以获得良好的平坦面，而且由于使用真空类装置，构造复杂，又要用危险的刻蚀气体等诸多问题。

对此，目前人们正在研究一种 CMP(化学机械研磨)法来代替上述内腐蚀 RIE 方法。

图 16 表示实施 CMP 用的研磨装置的大致结构，下面说明这种结构。该图为也适用于本发明的已有研磨装置的剖视图。该研磨装置，其载物台 21 上通过轴承 22 配设着研磨盘支承 23。研磨盘支承 23 上安装着研磨盘 24。研磨盘 24 上粘贴着对晶片研磨的研磨布 25。研磨盘支承 23 及研磨盘 24 的中心部安装着使它们旋转的驱动轴 26。电动机 27 通过传动带 28 使驱动轴 26 旋转。与此相对，硅半导体等晶片 20 配置在与研磨布 25 相对的位置上，固定于经真空或水贴安装于吸盘

31 上的吸附布 30 及导板 29 上。

吸盘 31 连接于驱动轴 32。该轴 32 由电动机 33 通过齿轮 34 及 35 驱动其旋转。驱动轴 32 固定在传动件 36 上。传动件 36 安装于泵体 37，随该泵体 37 上下移动而作上下运动。在安装于吸盘 31 的晶片 20 与研磨布 25 间施加研磨剂。由此进行晶片 20 的研磨。

如图 17 及图 18 所示，通过填埋 CVD 氧化膜，且止磨膜限制研磨，就能用上述研磨装置使填埋于凹槽结构中的氧化膜完全平坦。首先，在硅半导体基片 1 上堆积氮化硅膜，以构成对 SiO_2 等氧化膜研磨时的止磨膜。其后，堆积由化学气相淀积(CVD：Chemical Vapour Deposition)法形成并用作形成沟部的掩膜的 SiO_2 氧化膜(下面称为 CVD 氧化膜)3。为了对 CVD 氧化膜 3 及氮化硅膜 2 制作布线图，在整块半导体基片 1 上涂敷光致抗蚀剂(未图示)并刻线条。

取光致抗蚀剂作为掩膜，用 RIE 法同时对 CVD 氧化膜 3 和下一工序中作为止磨膜的氮化硅膜 2 进行开口形成沟部 5 后，进行湿处理，除去 RIE 加工时的反应生成物和损伤层(图 17(a))。接着，将 CVD 氧化膜 6 或硼掺杂磷硅酸盐玻璃(BPSG：Boron-doped Phospho-Silicate Glass)等堆积在半导体基片 1 上及上述沟部内(图 17(b))，再用图 16 所示研磨装置对半导体基片 1 进行研磨，使 CVD 氧化膜 6 平坦(图 18(a))。之后，除去作为止磨膜的氮化硅膜 2(图 18(b))。在已有技术的研磨装置中，由于将氧化铈粒子或二氧化硅粒子等作为研磨粒子分散在研磨剂中使用，故会形成盘状凹陷，在填埋沟内的 CVD 氧化膜 6 上出现凹坑部 7。除了氧化膜 6 的凹坑部 7 外，还存在如下情况下，即硅半导体基片 1 自身沟的角部也被刻蚀，使进入后续工序时会出现问题。如，凹坑部中会产生残留的 n^+化或 p^+化的多晶硅，故会发生电阻异常或布线短路等现象。

在使用研磨装置对填埋于半导体基片沟部的氧化膜或对使用于多层布线层间绝缘膜的氧化膜进行处理，使之平坦的情况下，往往由于过度研磨而形成盘状凹陷或采用止磨膜，以便按照目标膜厚限制研磨。

已往，对氧化膜进行研磨时，所使用的研磨剂中分散有氧化铈或二氧化硅粒子。散布二氧化硅粒子的研磨剂，其磨削速度低于 0.10—0.15μm/min，而散布氧化铈的研磨剂，其磨削速度高于 0.5—10μm/min。可是，在使用氧化铈的研磨剂、将氧化硅膜作为止磨膜的场合中，其选择比约为 2，在使用多晶硅作为止磨膜的场合中，其选择比约低于 1—2，因此，存在过度研磨，甚至连止磨膜都磨掉的问题。

另一方面，在将二氧化硅粒子分散于研磨剂使用的场合中，在使用氮化硅膜作为止磨膜情况下，选择比为 2；在使用多晶硅膜作为止磨膜情况下，选择比低于 1，因此，存在过度研磨时，连止磨膜都磨掉，形成盘状凹陷的问题。然而，这种研磨剂，其磨削速度约低于 0.15μm/min，故易于控制磨削量，在进行这种控制的同时，抑制过度研磨形成的盘状凹陷程度。

因此，目前的现状是，即使不是磨削速度足够大的研磨剂，而是磨削速度比较大的研磨剂，也由于对止磨膜选择性低，难以完全抑制盘状凹陷，而且处理余量低，所以 CMP 处理实难用于批量生产过程。

本发明是根据上述情况产生的，其目的在于提供：使用由磨削速度大的新颖材料构成的研磨剂的研磨方法，用 CMP 使半导体基片的被研磨膜平坦的半导体器件制造方法，以及实施上述方法的半导体制造装置。

本发明的特征在于，使用散布由氮化硅构成的研磨粒子的研磨剂进行研磨；这种研磨剂特别适用于 CMP 对半导体基片上的被研磨材料进行研磨；在半导体基片上形成与上述研磨剂相同材料的止磨膜，取研磨剂和止磨膜为相同材料进行研磨。

所谓相同材料，就是说研磨粒子和止磨膜具有相同成分。

本发明的特征还在于，半导体制造装置在向半导体基片加工点供给研磨剂时，还供给由离子水构成的分散剂，该研磨剂与分散剂在该加工点上混为一体。

上述研磨粒子硬度高，比以往所知研磨粒子有更大的磨削速度，能高效磨平被研磨膜。该研磨剂适合于用 CMP 对半导体基片表面的被研磨膜进行研磨的方法，特别是，若研磨剂和止磨膜取相同材料时，可进一步提高磨削速度，而且能获得对止磨膜的高选择比。由于过度研磨显著减少，故在被研磨膜上不会形成盘状凹坑。

用于本发明研磨方法的研磨剂由研磨粒子和溶媒构成。溶媒中多用硝酸，除此之外，还有表面活化剂，乳化剂，水，油脂，粘接剂，离子水等。对被研磨膜的研磨作用，不仅仅在于研磨剂，本发明中，随研磨剂加给上述加工点中的分散剂也有辅助的研磨作用。研磨剂的上述溶媒具有与分散剂相同的分散作用。

下面参照附图说明本发明的实施例。

图 1 为说明第一发明实施形态研磨的半导体基片剖面图；

图 2 为说明第一发明实施形态研磨的半导体基片剖面图；

图 3 为说明第一发明实施形态研磨的半导体基片剖面图；

图 4 为说明第一发明实施形态研磨的半导体基片剖面图；

图 5 为说明第一发明实施形态研磨的半导体基片剖面图；

图 6 为说明第二发明实施形态研磨的半导体基片剖面图；

图 7 为说明第二发明实施形态研磨的半导体基片剖面图；

图 8 为说明第二发明实施形态研磨的半导体基片剖面图；

图 9 为说明第二发明实施形态研磨的半导体基片剖面图；

图 10 为说明第二发明实施形态研磨的半导体基片剖面图；

图 11 为说明第二发明实施形态研磨的半导体基片剖面图；

图 12 为说明第二发明实施形态研磨的半导体基片剖面图；

图 13 为说明第三发明实施形态研磨的半导体基片剖面图；

图 14 为说明第三发明实施形态研磨的半导体基片剖面图；

图 15 为说明第四发明实施形态的研磨装置的立体图及剖视图；

图 16 为本发明及已有技术的研磨装置的剖视图；

图 17 为说明已有技术研磨方法的半导体基片工序剖视图；

图 18 为说明已有技术研磨方法的半导体基片工序剖视图；

图 19 为说明已有技术研磨方法的半导体基片工序剖视图；

图 20 为说明已有技术研磨方法的半导体基片工序剖视图。

实施本发明的研磨时，使用已有技术中描述的图 16 所示研磨装置。本发明的研磨装置与已有技术的不同点在于具有供给新颖成分研磨剂的喷嘴等手段，图中所示其它部分两者无特殊差别，故可用同一图表示它们。

首先，参照图 1 至图 5 说明第一发明实施形态。这些图为说明对半导体基片上被研磨膜进行研磨的方法的工序剖视图。该发明实施形态的特征在于，通过在半导体晶片的研磨处理面中同时使用将氮化硅粒子分散于溶媒(硝酸)中的研磨剂，和与止磨膜材料相同成分的研磨粒子，提高对止磨膜的选择比。这些图表示在硅半导体基片上形成沟部、用 CVD 氧化膜填埋该沟部、并用研磨装置磨平表面的元件分离法和其处理过程。在硅半导体基片 1 上堆积厚约 70nm 的氮化硅膜 2 作为对氧化膜研磨时的止磨膜。

然后，在氮化硅膜 2 上堆积 CVD 氧化膜 3 作为制作沟部用的掩模(图 1(a))。在整块 CVD 氧化膜 3 上涂敷光致抗蚀剂 4，以便对掩模及止磨膜制作布线图案(图 1(b))。接着对该光致抗蚀剂 4 刻线条(图 2(a))。以刻好线条的光致抗蚀剂 4 作为掩模、通过 RIE 法等对 CVD 氧化膜 3 和其下面的作为止磨膜的氮化硅膜 2 进行

开口(图 2(b))。接着，进一步用 RIE 法形成沟部 5(图 3(a))。形成沟部 5 后，经过湿处理，成为除去 RIE 加工时的反应生成物和损伤层的状态。然后，在氮化硅膜 2 上及沟部 5 中堆积 CVD 氧化膜 6 或 BPSG 膜(图 3(b))。将该 CVD 氧化膜 6 作为被研磨膜，用图 16 所示研磨装置进行研磨。在用于该研磨装置的研磨剂中散布氮化硅粒子作为研磨粒子。氮化硅粒子以胶体状态散开，以便均匀分布在研磨剂中。研磨剂粘度为 1—10cp 比较恰当。这是因为，若粘度低，则难以使研磨粒子均匀分布，若粘度高，则机械研磨性强，晶片的弯度或膜厚的均匀性对 CMP 后的均匀性影响大。因此，难以获得均匀性。

研磨温度在 20—70℃比较恰当，特别是高温下处理，其化学作用强。氮化硅粒子的粒径，在一次粒子的情况下采用 0.01—1000nm 的范围内，10—40nm 尤其适合。构成胶体状态等的二次粒子，粒径在 60—300nm 之间为妥，最好在 60—100nm 之间。

用上述研磨装置研磨，可按压在例如转速为 100rpm 左右的研磨盘 24 上的研磨布 24 上进行。此时，研磨盘 24 的转速为 20—200rpm，按压的压力为 50—500g/cm^2。

本发明为了改善分散性，除了将研磨粒子做成胶体状态外，还可混合如表面活性剂后使之分散。

图 4(a)中，示出用上述研磨装置磨平 CVD 氧化膜 6 表面后的状态。研磨后，刻蚀掉作为止磨膜的氮化硅膜 2(图 4(b))。然后，进行精磨，将半导体基片表面与 CVD 氧化膜 6 的表面最后加工成一样平(图 5)。通过上述研磨，能在硅半导体基片 1 及填埋的 CVD 氧化膜 6 上获得无盘状凹陷的良好加工形状。

在该发明实施形态中，由于将氮化硅粒子用作研磨粒子，故对作为止磨膜的氮化硅膜 2 能获得 50—1000 的选择比和 0.5—1.0μm/min 以上的磨削速度。

作为使用与形成在半导体基片上的止磨膜相同材料作为研磨粒子的研磨剂，也可用石墨粒子或 SiC 粒子等代替氮化硅粒子。此时，止磨膜当然分别采用石墨膜或 SiC 膜。在研磨剂中所含研磨粒子与设置在形成有被研磨膜的基片上的止磨膜以同样材料构成情况下，对止磨膜虽能获得高的选择比，但若取石墨膜或 SiC 膜等作为止磨膜，对止磨膜的具体选择比会随研磨温度或研磨盘转速等研磨条件有大的变化。

下面，参照表示研磨工序剖面图的图 6 至图 12 说明第二发明实施形态。一边将这些图一起与表示已有技术研磨结果的图 19 及 20 进行比较，一边说明该发

明实施形态的效果。

该发明实施形态，在半导体基片的研磨处理中使用与止磨膜材料相同成分的研磨剂，故能提高止磨膜的选择比。半导体基片上作为研磨对象的被研磨膜，由多晶硅膜构成。已往，对多晶硅研磨时，将二氧化硅粒子分散于研磨剂中使用，而这里是将氮化硅粒子作为研磨粒子。对硅基片 1 的主面进行热氧化到厚约 10—50nm，形成缓冲氧化膜(SiO_2)8(图 6(a))。然后，在缓冲氧化膜 8 上堆积厚约 70nm 的氮化硅膜 2，用作第二次多晶硅膜研磨时的止磨膜，并兼作保护元件区用的掩膜(图 6(b))。之后，将构成制作沟部用掩模的 CVD 氧化膜 3 堆积在氮化硅膜 2 上(图 7(a))。为了对掩膜及氮化硅膜制作布线图案，在整块 CVD 氧化膜 3 上涂敷光致抗蚀剂 9，并对其刻线条(图 7(b))。

将该光致抗蚀剂 9 作为掩模，用 RIE 法等对 CVD 氧化膜 3 和构成止磨膜的氮化硅膜 2 同时开口(图 8(a))。形成沟部 10 之后，经湿处理，除去 RIE 加工时的反应生成物和损伤层后，对沟部 10 的内表面进行热氧化形成氧化膜 11((图 8(b))。接着，通过对 CVD 减压等，将多晶硅膜 12 堆积在沟部 10 内部及 CVD 氧化膜 3 上(图 9(a))。

下面，将多晶硅膜 12 作为被研磨膜，并用图 16 所示研磨装置进行第一次研磨。在该研磨装置所用的研磨剂中，将氮化硅粒子分散于溶媒(硝酸)中作为研磨粒子。也可将氮化硅粒子与表面活化剂混合后，再使之分散。研磨剂的粘度以 1—10cp 为宜，研磨温度适合 20—70℃。VCD 氧化膜 3 用作该第一次研磨中的止磨膜。图 9(b)示出用上述研磨装置磨平多晶硅膜 12 后的状态。由于氧化膜 3 用作止磨膜，故可有选择地研磨，不会产生盘状凹陷。

第一次研磨后，用含有 HF 的刻蚀液对 CVD 氧化膜 3 刻蚀(图 10(a))。除去 CVD 氧化膜 3 的结果，多晶硅膜 12 成为从半导体基片 1 突出的状态。

下面，将该突出状态的多晶硅膜 12 作为被研磨膜，用图 16 所示研磨装置进行第二次研磨。用于该研磨装置的研磨剂与上述第一次研磨时的相同。图 10(b)示出用该装置磨平多晶硅膜 12 后的状态。通过上述磨平不会形成盘状凹陷，沟部被多晶硅膜 12 填埋。由于氮化硅膜 2 的一部分仍被用作 LOCOS 的掩膜，故经影印工序在该部分上形成光致抗蚀剂 13(图 11(a))。然后，用 RIE 等除去氮化硅膜 2 中光致抗蚀剂 13 覆盖区以外的区域后，剥离光致抗蚀剂(图 11(b))。再经热处理，用 LOCOS 氧化膜 14 被覆半导体基片 1 表面(图 12)。LOCOS 掩模，其周边部因过度研磨而变薄，故会产生尖状毛边，但由于其范围比已有技术所形成的小，故该区

域的面积对器件特性的影响不大。

这里，由于将氮化硅粒子用作研磨粒子，故对于作为止磨膜的氮化硅膜 2(第一次研磨)，能获得 50—1000 的选择比和 0.8—1.1μm/min 以上的磨削速度。取氧化膜为止磨膜的情况下(第二次研磨)，选择比为 2—3 左右。

用已有技术方法对半导体基片 1 的被研磨膜进行研磨情况下，当对图 10(a)所示凸出的多晶硅膜 12 进行磨平时，由于将氮化硅膜 2 作为止磨膜，选择性低，故形成盘状凹陷，在填埋沟部的多晶硅膜 12 上产生凹部，在止磨膜上产生侧缘减薄(图 19(a))。氮化硅膜 2 的一部分由于仍用作 LOCOS 掩膜，故经影印工序，在该部分上形成光致抗蚀剂 13(图 19(b))。用 RIE 等除去氮化硅膜 2 中光致抗蚀剂 13 覆盖区以外的区域后，剥离光致抗蚀剂 13。然后，对半导体基片 1 表面热处理，进行 LOCOS 氧化(图 20(b))。在这种已有技术方法中，由于过度研磨使周边部变薄，尖状毛边范围增添许多，器件面积变狭。众所周知，该器件面积对器件特性影响大，必须进行控制。

本发明，由于使用新颖构成的研磨剂，故能获得图 10(b)所示那样的良好平坦形状，其结果如图 12 所示，不存在 LOCOS 布线图形变换差，能获得良好的加工形状。

下面，参照图 13 及图 14 说明第三发明实施形态。

近来，CMP 技术被用于高集成器件的制造过程，本发明可用于该制造过程。这里所示埋入金属布线方法用图 16 的研磨装置形成埋入的 Cu 布线。将氮化硅粒子作为研磨粒子分散混入研磨剂的溶媒(硝酸)中。由于研磨剂中使用氮化硅粒子，故磨削速度高于 0.5—1.0μm/min，在使用分布有这种氮化硅粒子的研磨剂的研磨中，若使用与上述粒子相同材料的氮化硅膜作为半导体基片上的止磨膜，则对于止磨膜的选择性显著提高。使用含有这种氮化硅粒子的研磨剂，将多晶硅膜或氧化硅膜等其它材料作为止磨膜，这种情况的选择比虽没有氮化硅膜情况下的高，但仍比使用已有技术所知研磨粒子情况时的大。将表面活化剂等用于使氮化硅粒子散入研磨剂，能提高分散效率。相继在半导体基片 1 上形成由 SiO_2 等构成的 CVD 氧化膜 3 及等离子体 CVD 形成的 SiO_2 等的氧化膜(下面，称为“等离子体氧化膜”)15(图 13(a))。

下面，对等离子体氧化膜 15 刻线条，在预定部位形成沟部 17(图 13(b))。在沟部 17 内及等离子体氧化膜 15 的整个面上堆积 Cu 膜 16(图 13(C))。接着，用图 16 的研磨装置以等离子体氧化膜 15 为止磨膜对 Cu 膜 16 进行研磨。在等离子

体氧化膜 15 露出的阶段结束 Cu 膜 16 的研磨。通过上述处理，在沟部 17 内仅埋入 Cu 膜，形成 Cu 膜埋入式布线 16(图 14(a))。

通过上述研磨，能获得使半导体基片 1 的表面没有盘状凹陷的平坦表面。接着，很容易形成第二层等离子体氧化膜(SiO_2)18(图 14(b))。通过上述 CMP 法的磨平，很容易形成第二层、第三层等电极布线(未图示)。

在该发明实施形态中，虽使用等离子体 CVDSiO_2膜或 Cu 膜等作为衬底氧化膜或布线金属材料，但只要能满足预定的绝缘性能或金属布线的性能，也可使用等离子体 CVD Si_3N_4膜或 Al、Au、W 其它合金等别的材料，也可对形成在上述衬底氧化膜上的布线沟深度或被覆的布线用金属材料的膜厚进行适当选择。

本发明研磨方法中用的研磨剂，在 CMP 处理中对安装于研磨装置的半导体基片研磨时，在将该研磨剂供给半导体基片的加工点的同时，也将分散剂(离子水)供给加工点。

下面，参照图 15 说明第四发明实施形态。

该图为包含图 16 所示研磨装置的研磨盘及吸盘等研磨加工部分的概略立体图及剖面图。该实施形态的特征在于，研磨时使用离子水作为分散剂。在半导体装置的制造技术中，纯水或超纯水的有效性是被公认的。所谓纯水就是一种基本上除去离子、微粒子、微生物有机物等不纯物具有 5—18MΩcm 左右电阻率的高纯度水。而超纯水就是一种通过超纯水制造装置高效除去水中悬浊物质、溶解物质的比纯水更纯的具有极高纯度的水。若用导电性来表达，则纯水的传导率ρ小于 10μscm，而超纯水传导率ρ小于 0.055μscm。通过对这些水电解，生成用于半导体装置制造中的氧化性的强酸离子水或还原性的强碱离子水。

这里，对于半导体制造装置所用的研磨装置，其特征是，在设置将研磨剂注入研磨布加工点的管道的同时，也设置注入离子水的另一管道。即研磨剂在已形成被研磨膜的半导体基片的加工点稀释后，提供给该加工点。

图 15 的研磨装置备有研磨盘 24。驱动轴通过研磨盘支承(均未画出)连接在研磨盘 24 中的中心部分。然后，将用于研磨半导体晶片等的基片的研磨布 25 贴于研磨盘 24 上。研磨布 25 由发泡聚氨酯类(polyurethane)或聚氨酯类不织布等构成。由电机使驱动轴旋转，并带动研磨盘支承及研磨盘 24 旋转。设有未图示的设有吸附布的吸盘 31 通过真空等吸附半导体晶片，使之进入对着研磨布 25 的位置。吸盘 31 连接驱动轴 32，通过该驱动轴 32 的移动使保持在吸盘 31 上的半导体晶片压贴或离开研磨布 25。

对半导体晶片研磨时，研磨剂容器 40 通过研磨剂供给管 38 向研磨布 25 提供含有研磨粒子及硝酸等溶媒的研磨剂，该研磨粒子由氮化硅(Si_3N_4)粒子构成。与此同时，电解槽 41 中生成的离子水经离子水供给管 39 提供。为此，研磨剂供给管 38 和离子水供给管 39 前端的喷嘴配置在研磨布 25 上方靠近保持半导体晶片的吸盘 31 旁。

然后，由这些供给管 38、39 所提供的研磨剂和离子水混合注入载置于研磨布 25 上的半导体晶片上的加工点。供给管 38、39 可移动至研磨布 25 上任意位置处。电解槽 41 中生成的不需要的离子水经排水管 42 排出到外部。

离子水中，有碱性和酸性离子水，电解槽内配置有固体电解质，通过以低电压对不含电解质(即金属不纯物)的纯水或超纯水进行电解，就可产生任意 pH 值的离子水。离子水为碱性离子水的场合，在研磨中研磨速率变化的情况下，速率快时，控制使 pH 较靠近碱性端，速率慢时，则控制为靠近中性端，从而可稳定研磨。酸性离子水的场合，研磨中研磨速率变化时，通过控制 pH 值，使速率快时较靠近酸性端，速率慢时靠近中性端，从而也能稳定研磨。

离子水能使研磨处理后的堆积膜的表面稳定。酸性离子水适用于堆积膜为 Al、Cu 或 W 等高熔点金属等的金属。通过用酸性离子水研磨，能使堆积膜的表面氧化，从而稳定。

用碱性离子水和酸性水研磨，适合于氧化硅(SiO_2)、氮化硅(Si_3N_4)、多晶硅等的堆积膜或单晶硅。用碱性离子水使这些堆积膜的表面稳定。比较恰当的做法是，对 SiO_2 膜研磨处理或对多晶硅膜研磨处理，使用碱性离子水，对 Cu 膜的研磨处理，使用酸性离子水。

半导体晶片的磨削速率或堆积膜的稳定程度等条件随离子水的 pH 值大小而变。因此，调整离子水的 pH 值在适配研磨条件方面是很重要的。

在使用碱性离子水研磨情况下，由于通过与氢氧离子的反应促进研磨，故通过控制碱性离子水的注入量，就能方便地调节磨削速率。在使用酸性离子水研磨情况下，由于与氢离子反应促进研磨，故通过控制氢离子水的注入量，就能方便地调节磨削速率。

下面，说明本发明研磨剂的作用效果。使用以硝酸为溶媒、将氮化硅粒子散入其中作为研磨粒子的研磨剂，对硅半导体基片上的作为被研磨膜的多晶硅膜进行研磨。若研磨粒子的 2 次粒径为 50nm 左右，则磨削速度在 41.2nm/min 左右，与此相比，若该 2 次粒径超过 60nm，则磨削速度达 810.8nm/min。若 2 次粒径进

一步加大到 200—260nm 左右，则磨削速度进一步加大到 1108.4nm/min。因此，研磨粒子的 2 次粒径变大，则磨削速度也增大，尤其是 2 次粒径在 60nm 附近增大到临界。

从上述观点出发，研磨粒子越大，则磨削速度越大，若粒径大于必要值以上时，则在作为被研磨膜的半导体基片上的氧化膜的表面上形成明显的伤痕，这种伤痕中会进入金属，引起短路事故。为了形成这种伤痕少且具有平坦面的被研磨膜，该 2 次粒径不应大于 300nm，最好为 60—100nm，此时不会产生伤痕面。但是，随着半导体装置越来越精细化，即使是少量伤痕也会影响到半导体装置的特性，故粒径可以取在限定范围的小的一侧。

在第四发明实施形态，CMP 处理中对装于研磨装置的半导体基片研磨时，其情况是将研磨剂供给半导体基片的加工点，同时分散剂(离子水)也供给加工点。直到该加工点之前研磨剂与分散剂是处于分离状态，这是因为离子水与溶媒会反应使研磨剂变质，特别是碱性离子水不能长久保持。

此时，对加工点供给的是被离子水稀释了的研磨剂，并对两者的供给量进行调整，使该稀释了的研磨剂的粘度为 1—10cp。

也可将分散剂(离子水)预先加入研磨剂(浆料)形成稀释了的研磨剂。这种研磨剂不仅具有研磨剂所具有的研磨作用，而且还具有分散剂产生的辅助研磨作用。研磨剂中溶媒也具有分散作用。

本发明的研磨方法，不仅适用于半导体装置的制造，而且也适用于制造液晶等。

散布从氮化硅、碳化硅及石墨中选择一种材料构成的研磨粒子的研磨剂，研磨速度大，能高效地将被研磨膜磨平。若将这种研磨剂用于对半导体基片进行研磨的 CMP 中，则能获得对被研磨膜不产生盘状凹陷的加工形状。

说 明 书 附 图

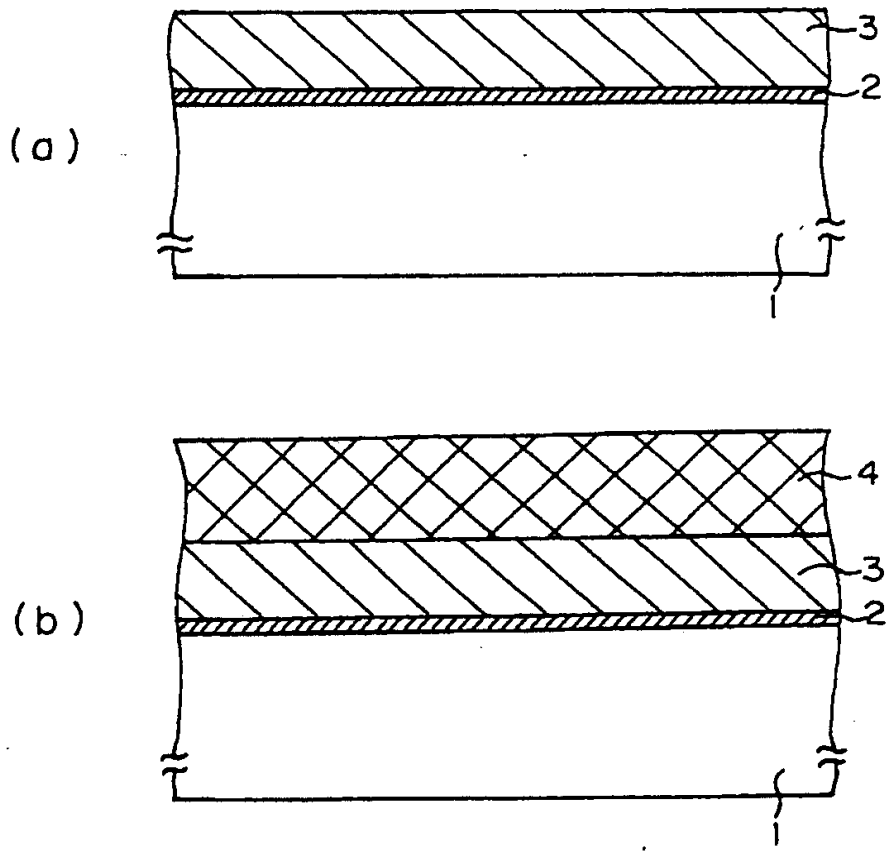


图 1

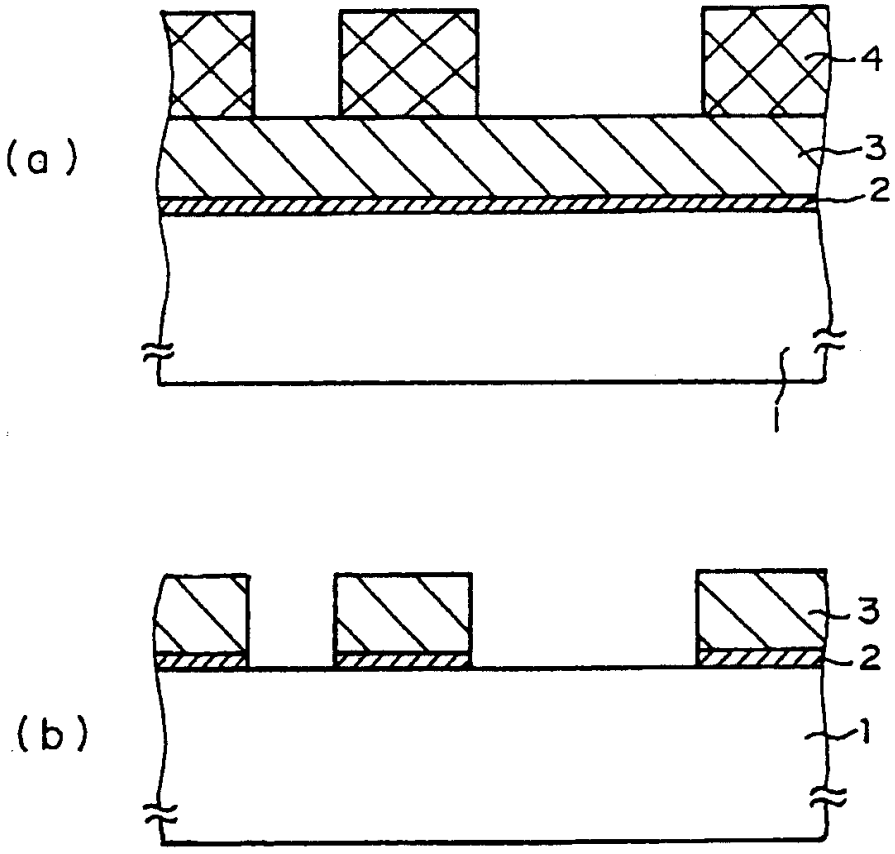


图 2

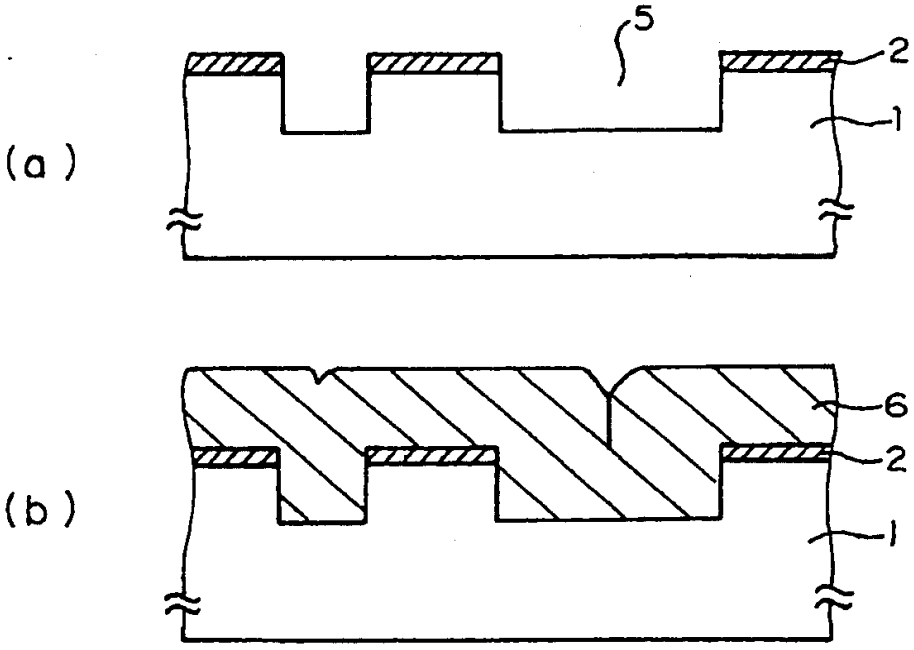


图 3

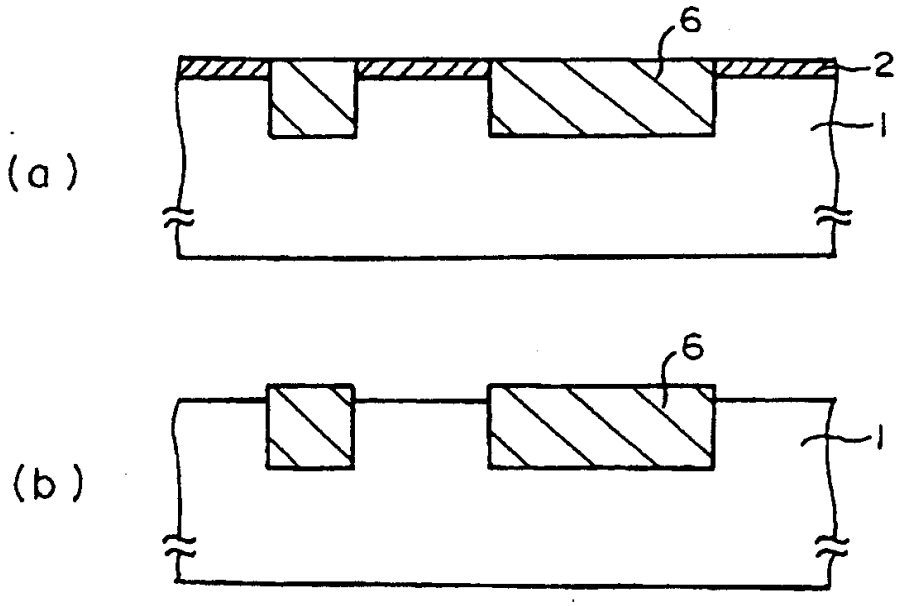


图 4

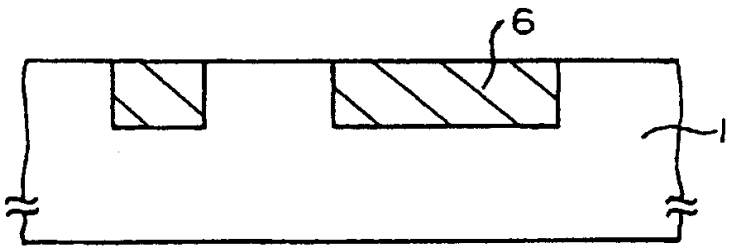


图 5

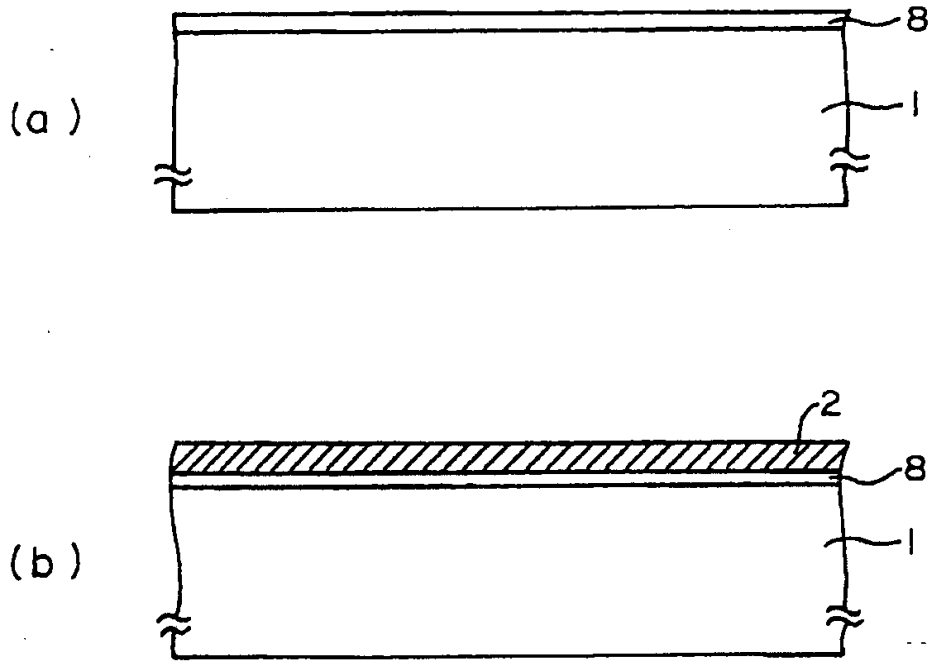


图 6

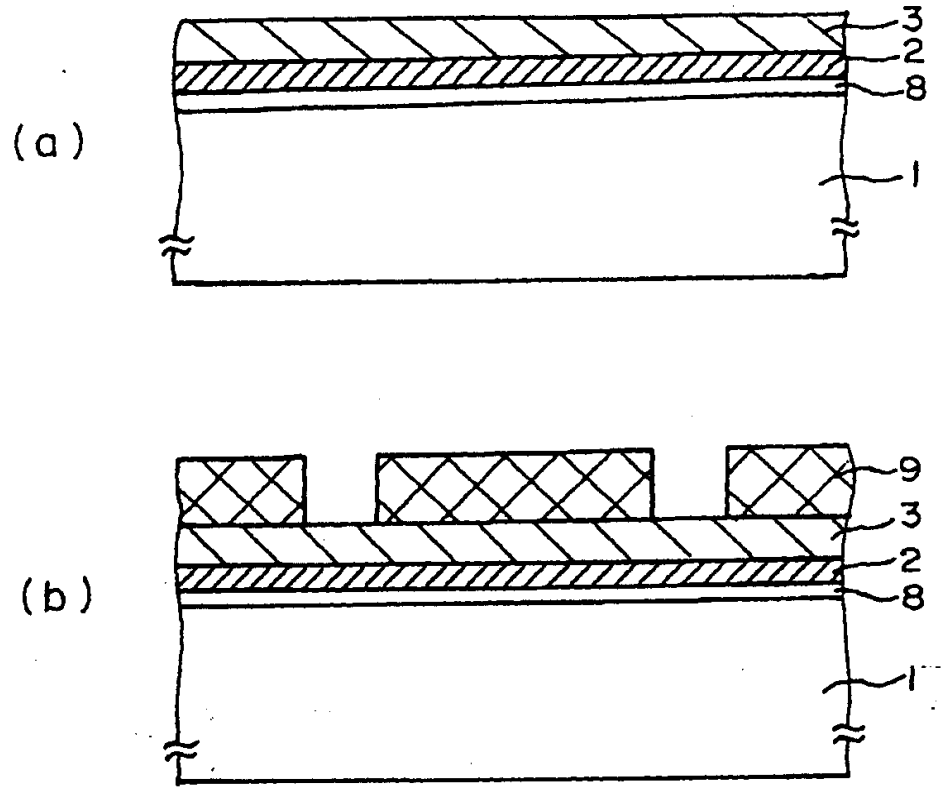


图 7

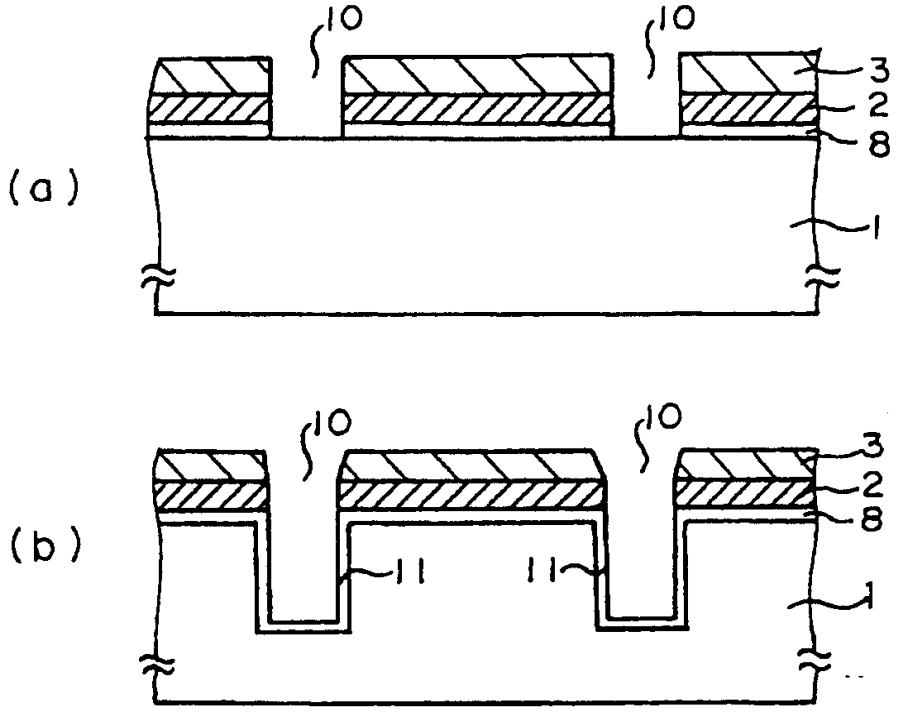


图 8

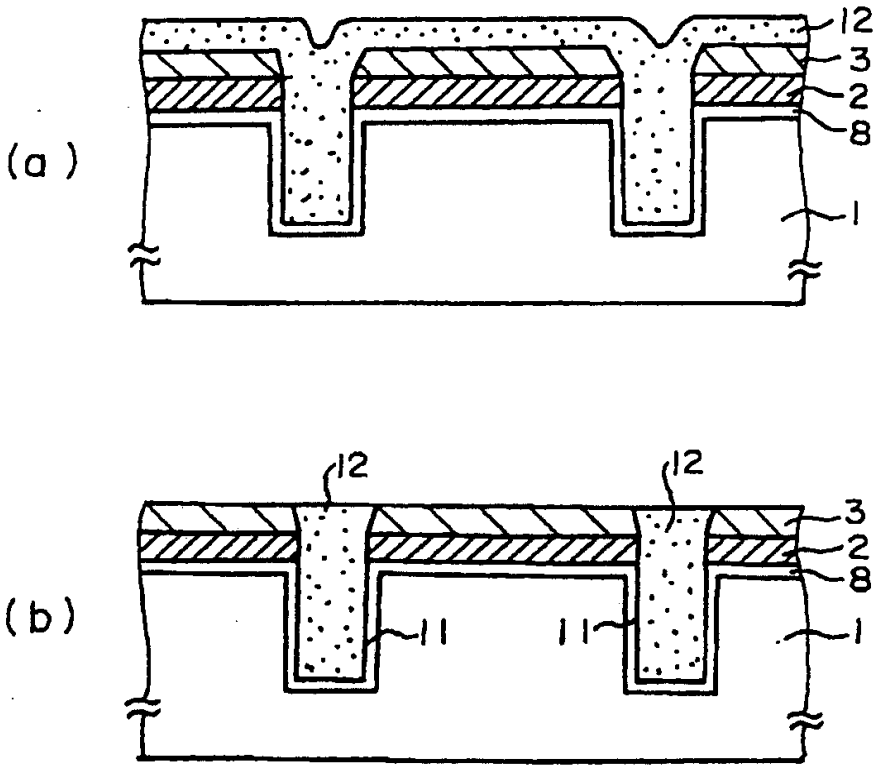


图 9

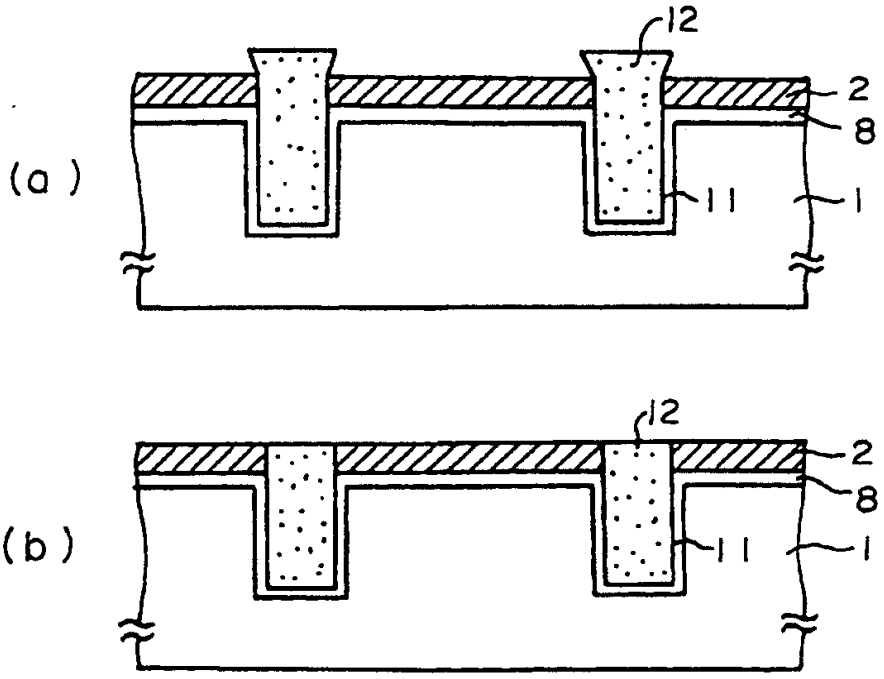


图 10

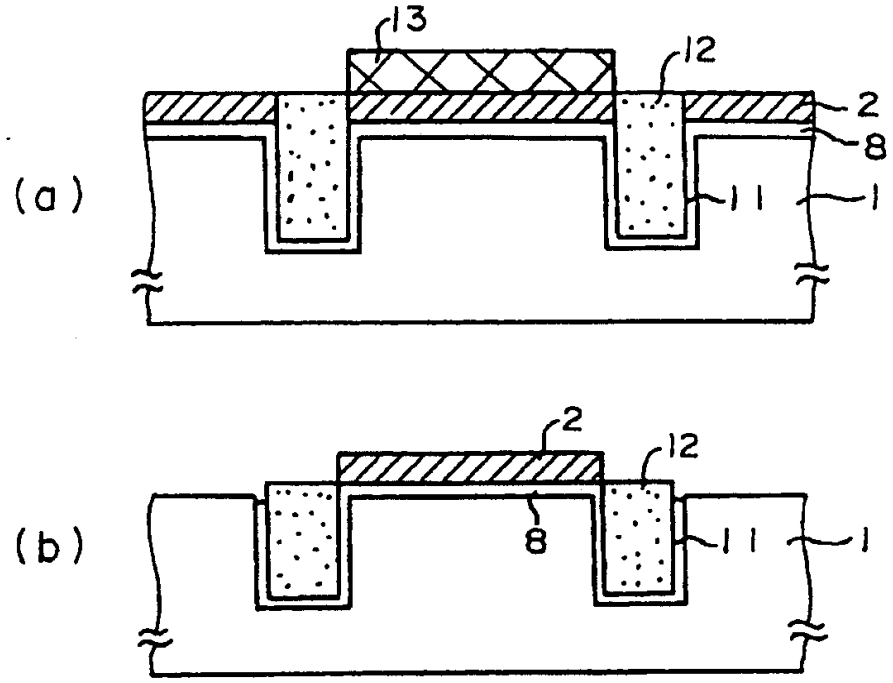


图 11

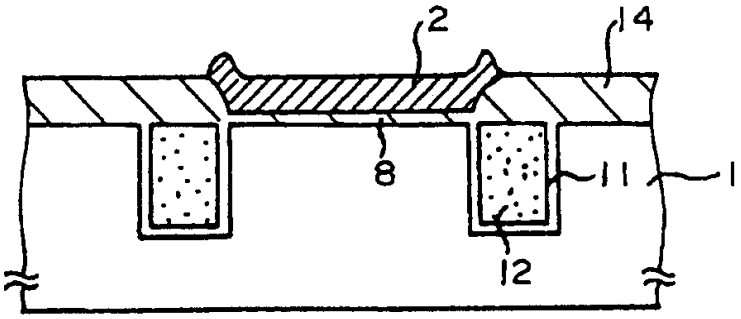


图 12

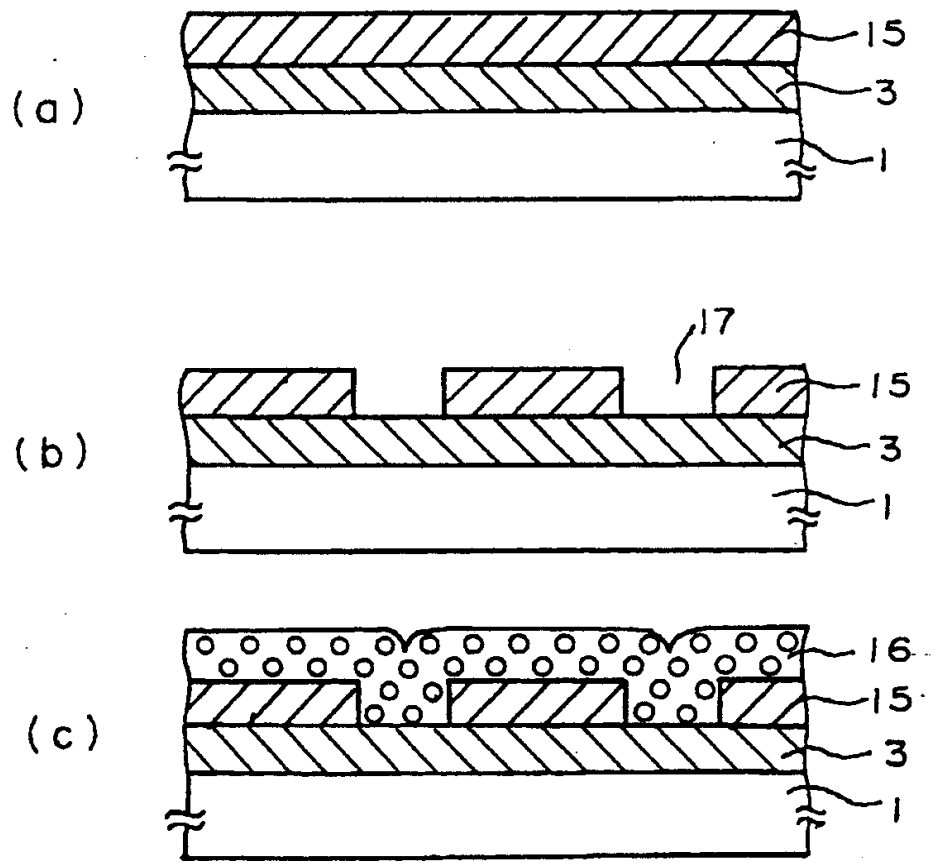


图 13

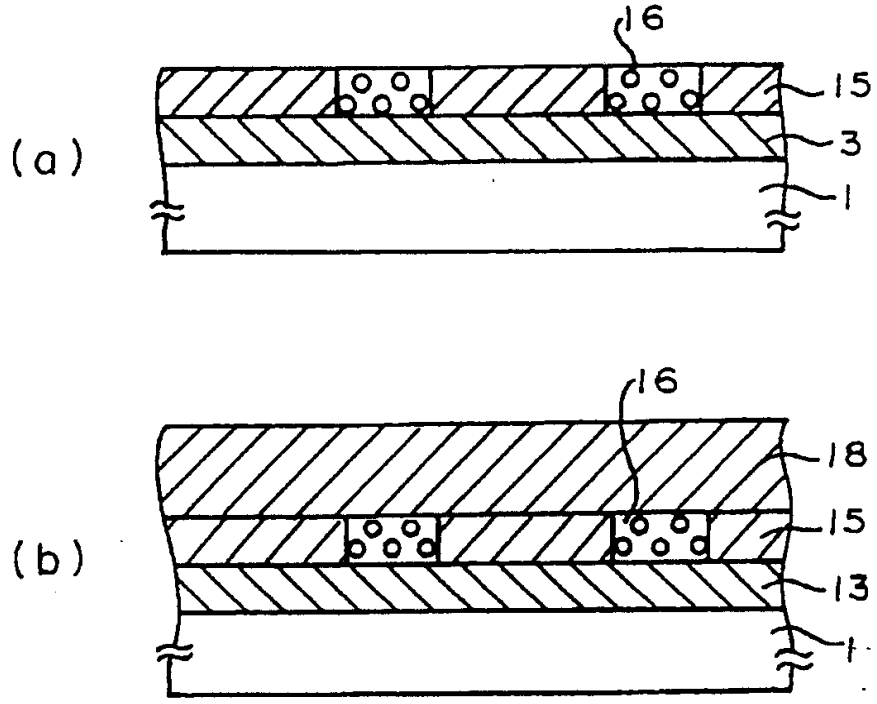


图 14

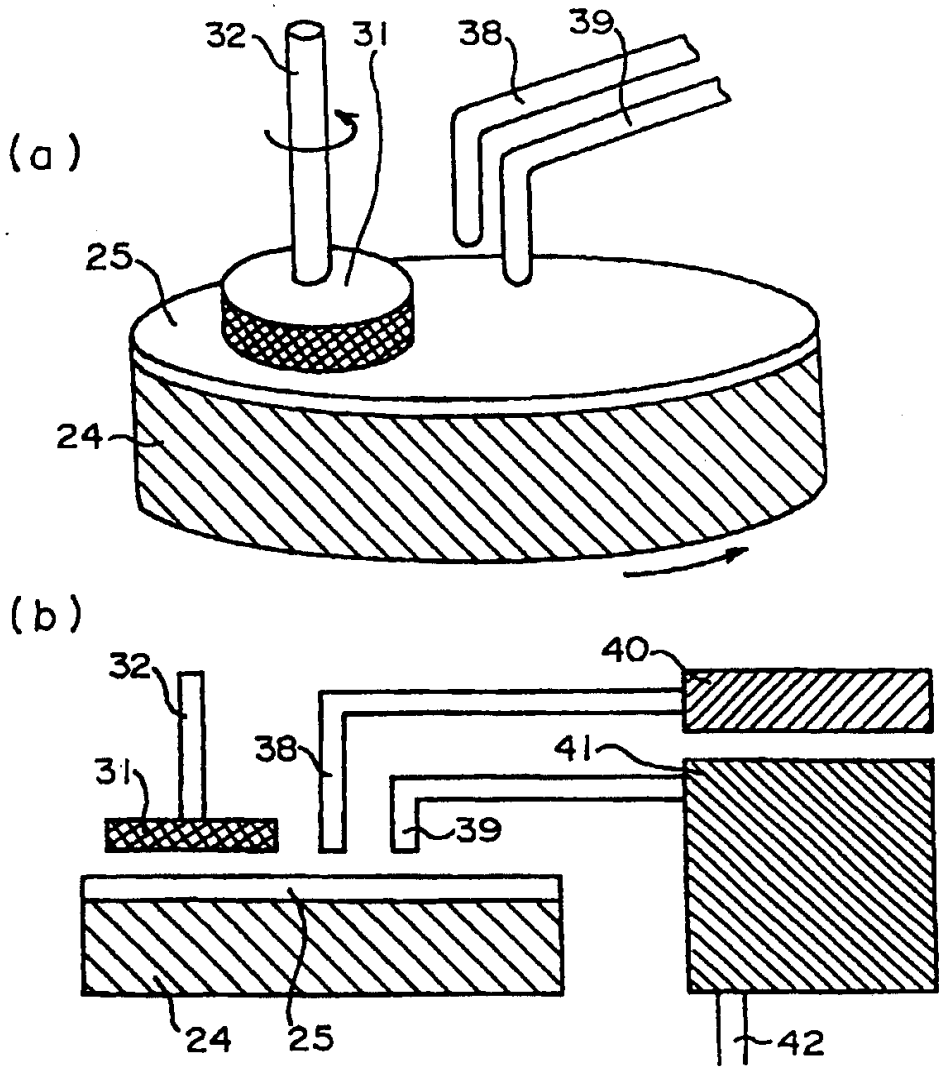


图 15

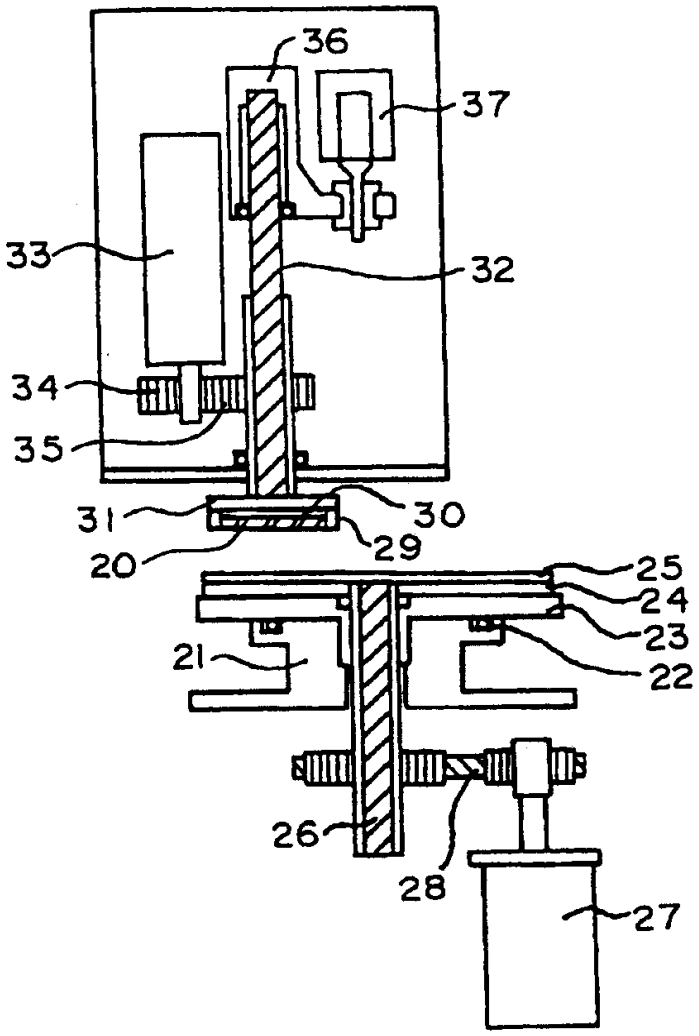


图 16

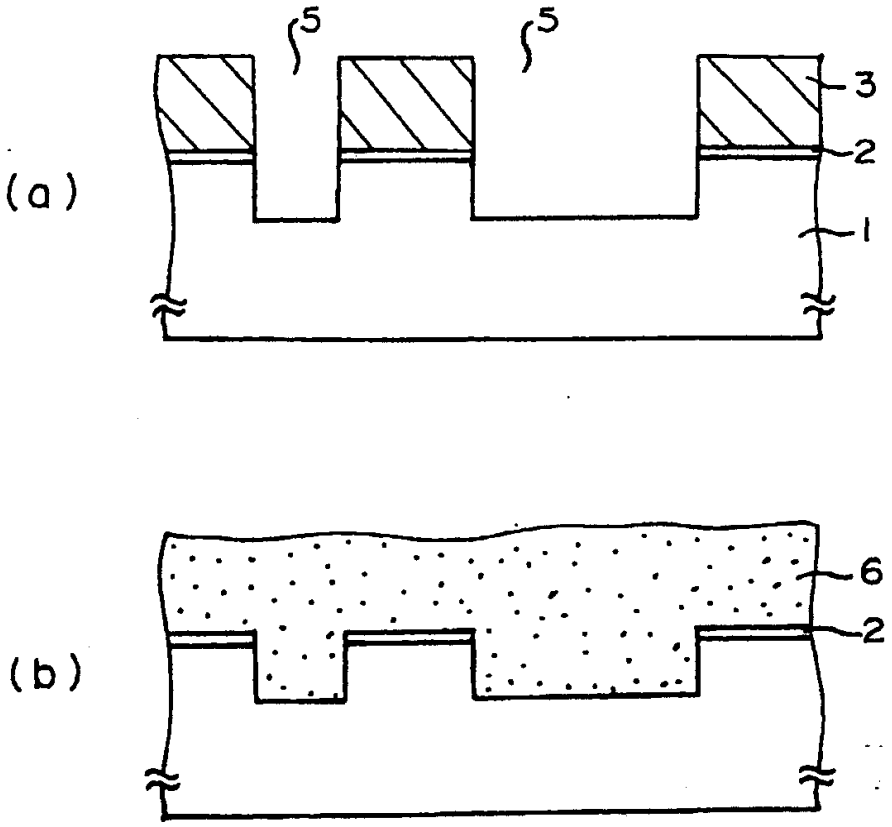


图 17

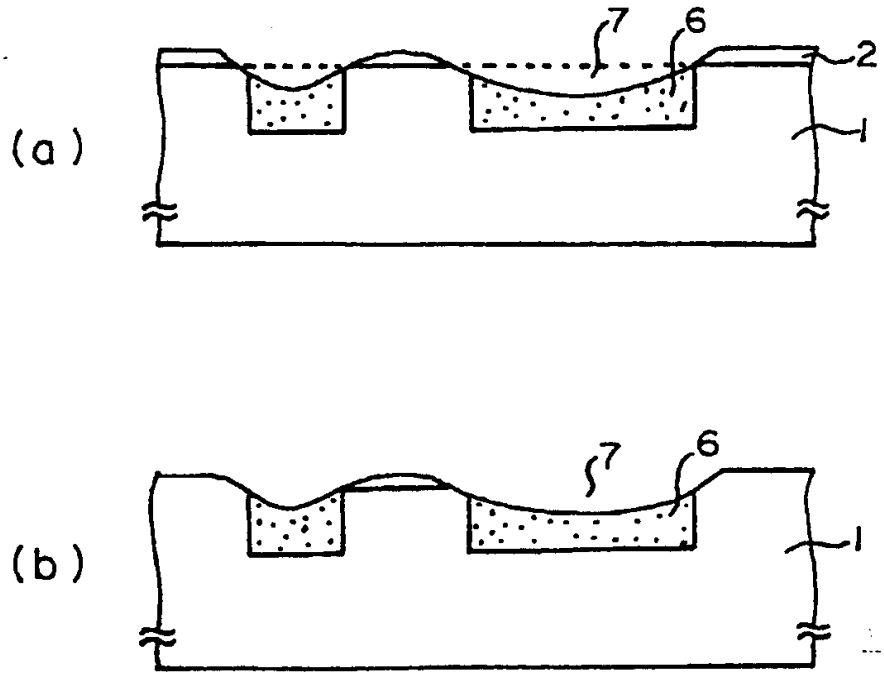


图 18

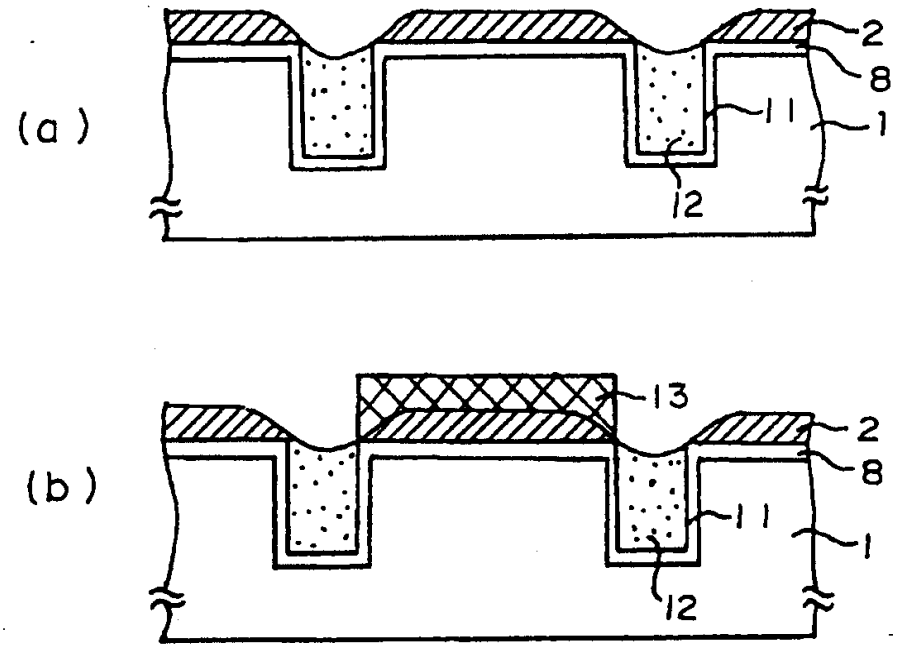


图 19

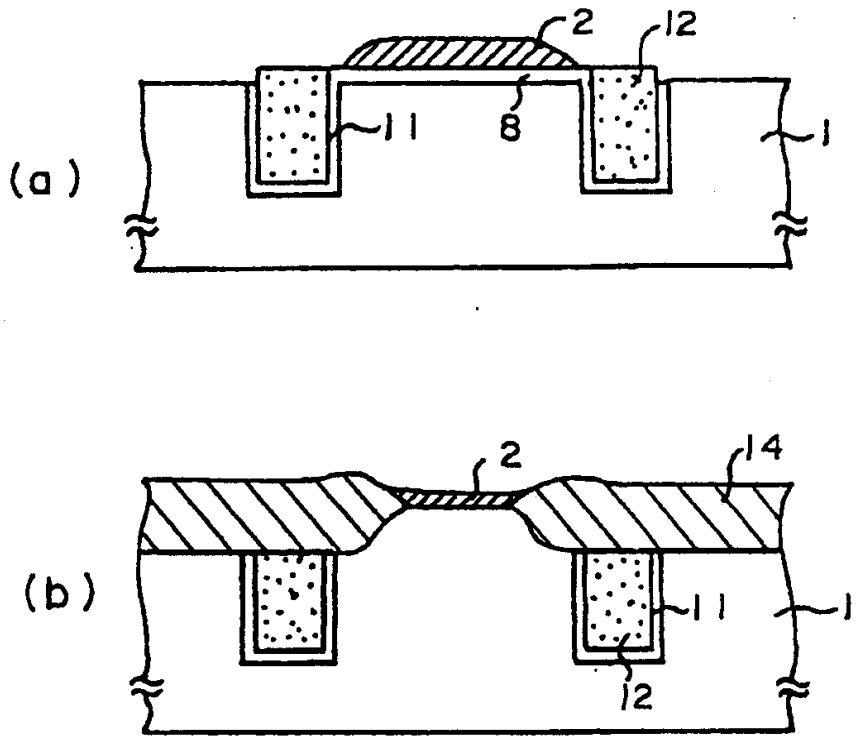


图 20