

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月5日(05.07.2018)



(10) 国際公開番号

WO 2018/123610 A1

(51) 国際特許分類:
H03M 1/76 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2017/044857

(22) 国際出願日: 2017年12月14日(14.12.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-254934 2016年12月28日(28.12.2016) JP

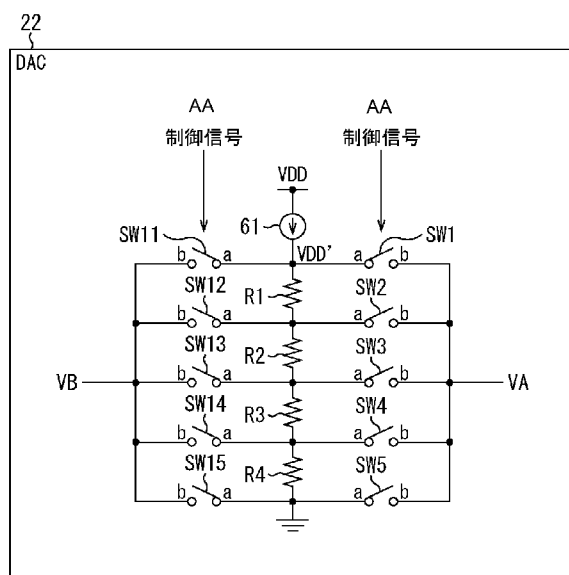
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(72) 発明者: 川崎 祥史 (KAWASAKI Yoshinobu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 安仲 健太郎 (YASUNAKA Kentaro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 増田 貴志 (MASUDA Takashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: DAC AND OSCILLATION CIRCUIT

(54) 発明の名称: DAC及び発振回路

FIG. 6



AA Control signal

(57) **Abstract:** The present art relates to a Digital to Analog Converter (DAC) and an oscillation circuit capable of increasing the range of a voltage output from the DAC. A plurality of first switches are each connected to a voltage dividing resistor, and output a voltage at a point of connection between the voltage dividing resistor and the first switch, as a first voltage. A plurality of second switches are each connected to the voltage dividing resistor, and output a voltage at a point of connection between the voltage dividing resistor and the second switch, as a second voltage. The present art is



(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

applicable, for example, to a Voltage-Controlled Oscillator (VOC) for oscillating a signal of a frequency corresponding to a voltage output from a DAC.

(57) 要約: 本技術は、DAC(Digital to Analog Converter)が出力する電圧のレンジを広レンジ化することができるようにするDAC及び発振回路に関する。複数の第1のスイッチは、分圧用の抵抗の接続され、その分圧用の抵抗との接続点の電圧を、第1の電圧として出力する。複数の第2のスイッチは、分圧用の抵抗の接続され、その分圧用の抵抗との接続点の電圧を、第2の電圧として出力する。本技術は、例えば、DACが出力する電圧に応じた周波数の信号を発振するVCO(Voltage-Controlled Oscillator)等に適用できる。

明 細 書

発明の名称 : D A C 及び発振回路

技術分野

[0001] 本技術は、DAC(Digital to Analog Converter)及び発振回路に関し、特に、例えば、DACが出力する電圧のレンジを広レンジ化すること等ができるようにするDAC及び発振回路に関する。

背景技術

[0002] 例えば、特許文献1には、DACが出力するアナログ信号を用いて、VCO(Voltage-Controlled Oscillator)をプリチューニングし、その後、基準信号を、VCOに入力して、VCOをロックするVCOの制御方法が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特表2005-536095号公報

発明の概要

発明が解決しようとする課題

[0004] VCOが発振によって出力する発振信号の周波数は、DACが出力するアナログ信号の電圧によって調整される。

[0005] したがって、発振信号の周波数のレンジを広レンジ化するためには、DACが出力する電圧のレンジを広レンジ化する必要がある。

[0006] 本技術は、このような状況に鑑みてなされたものであり、DACが出力する電圧のレンジを広レンジ化することができるようにするものである。

課題を解決するための手段

[0007] 本技術のDACは、分圧用の抵抗と、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第1の電圧として出力する複数の第1のスイッチと、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第2の電圧として出力する複数の第2のスイッチとを備えるDACである。

[0008] 本技術の発振回路は、第1の電圧及び第2の電圧を出力するDACと、前記第

１の電圧と前記第２の電圧との差である差電圧に応じた周波数の信号を発振する発振器とを備え、前記DACは、分圧用の抵抗と、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、前記第１の電圧として出力する複数の第１のスイッチと、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、前記第２の電圧として出力する複数の第２のスイッチとを有する発振回路である。

[0009] 本技術のDAC及び発振回路においては、前記複数の第１のスイッチが、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第１の電圧として出力し、前記複数の第２のスイッチが、前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第２の電圧として出力する。

[0010] なお、DACや発振回路は、独立した装置であっても良いし、１つの装置を構成している内部ブロックであっても良い。

発明の効果

[0011] 本技術によれば、DACが出力する電圧のレンジを広レンジ化することができる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]本技術を適用した送信機の一実施の形態の構成例を示すブロック図である。

[図2]VC0 1 2の構成例を示すブロック図である。

[図3]DAC 2 2の第１の構成例を示す回路図である。

[図4]DAC 2 2の第２の構成例を示す回路図である。

[図5]電圧分圧方式並びに電流源方式についての電圧VA及びVBと、制御信号（スイッチSW#iのオン／オフ）との関係を示す図である。

[図6]DAC 2 2の第３の構成例を示す回路図である。

[図7]電圧可変方式のDAC 2 2の、制御信号によるスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を説明する図である。

[図8]電圧可変方式についてのスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を示す図である。

[図9]電圧可変方式についてのスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の他の例を示す図である。

[図10]電流源61の第1の構成例を示す回路図である。

[図11]電流源61の第2の構成例を示す回路図である。

[図12]電流源61の第3の構成例を示す回路図である。

[図13]DAC22の第4の構成例を示す回路図である。

[図14]電流源62の構成例を示す回路図である。

[図15]電圧分圧方式と電圧可変方式とについて行ったシミュレーションのシミュレーション結果を示す図である。

発明を実施するための形態

[0014] <本技術を適用した送信機の一実施の形態>

[0015] 図1は、本技術を適用した送信機の一実施の形態の構成例を示すブロック図である。

[0016] 図1において、送信機は、（ベースバンド）アンプ11、VC012、ミキサ13、及び、（パワー）アンプ14を有し、例えば、送信対象の送信対象データを、ミリ波帯の信号に周波数変換（変調）して送信する。

[0017] ここで、ミリ波とは、周波数が30ないし300GHz程度、つまり、波長が、1ないし10mm程度の信号（電波）である。ミリ波帯の信号によれば、周波数が高いことから、高速のデータレートでのデータ伝送が可能であり、例えば、小さなアンテナで、無線通信（ワイヤレス伝送）を行うことができる。

[0018] アンプ11には、ベースバンドの信号である送信対象データが供給される。アンプ11は、そこに供給される送信対象データを増幅し、ミキサ13に供給する。

[0019] VC0（発振回路）12は、発振によって、例えば、57～66GHz等のミリ波帯のキャリアとしての発振信号を発生し、ミキサ13に供給する。

[0020] ミキサ13は、送信対象データと、VC012からのキャリアとをミキシング

(乗算)することにより、VC0 1 2からのキャリアを、送信対象データに従って変調し、その結果得られるミリ波の変調信号を、アンプ 1 4 に供給する。

[0021] ミキサ 1 3 において、送信対象データに従ってキャリアを変調する変調方式としては、例えば、振幅変調(ASK(Amplitude Shift Keying))やその他の任意の変調方式を採用することができる。

[0022] アンプ 1 4 は、ミキサ 1 3 からの変調信号を増幅して送信する。

[0023] <VC0 1 2の構成例>

[0024] 図 2 は、図 1 のVC0 1 2の構成例を示すブロック図である。

[0025] VC0 1 2 は、デコーダ 2 1、DAC 2 2、及び、発振器 2 3 を有する。

[0026] デコーダ 2 1 には、図示せぬ回路から、発振器 2 3 が発振によって出力する発振信号の周波数(発振周波数)を調整するための周波数調整信号が供給される。

[0027] デコーダ 2 1 は、そこに供給される周波数調整信号を、DAC 2 2 を制御するデジタル信号の制御信号にデコードし、DAC 2 2 に供給する。

[0028] DAC 2 2 は、デコーダ 2 1 からの制御信号を、DA変換の対象のDACコードとして、DA変換し、デコーダ 2 1 からの制御信号に対応するアナログ信号の電圧VA(第1の電圧)及びVB(第2の電圧)を出力する。

[0029] DAC 2 2 が出力する電圧VA及びVBは、発振器 2 3 に供給される。

[0030] 発振器 2 3 は、例えば、DAC 2 2 からの電圧VAとVBとの差である差電圧VA-VBに応じた周波数の発振信号を発振する。

[0031] 発振器 2 3 は、電流源 3 0、nチャネルのFET(Field-Effect Transistor) 3 1 及び 3 2、コイル 3 3 及び 3 4、コンデンサ 3 5 及び 3 6、バラクタダイオード 3 7 及び 3 8、抵抗 3 9、4 0、及び、4 1、並びに、コンデンサ 5 1 及び 5 2 を有する。

[0032] 電流源 3 0 は、FET 3 1 及び 3 2 のソースに接続されており、FET 3 1 に流れる電流とFET 3 2 に流れる電流とを加算した電流が一定電流になるように、グラウンド(ground)に電流を流す。

[0033] FET 3 1 及び 3 2 は、クロスカップル接続されている。

- [0034] すなわち、FET 31 のゲートとFET 32 のドレインとが接続され、FET 31 のドレインとFET 32 のゲートとが接続されている。
- [0035] FET 31 及び32 のソースどうしは接続され、そのソースどうしの接続点は、電流源30に接続されている。
- [0036] 以上の電流源30、並びに、FET 31 及び32 は、負性抵抗を構成する。
- [0037] コイル33 及び34 の一端どうしは接続され、そのコイル33 と34 との接続点は、電源VDDに接続されている。
- [0038] コイル33 の他端は、コンデンサ35 を介して、可変容量コンデンサとしてのバラクタダイオード37 の一端に接続され、コイル34 の他端は、コンデンサ36 を介して、可変容量コンデンサとしてのバラクタダイオード38 の一端に接続されている。
- [0039] バラクタダイオード37 及び38 の他端どうしは、接続されている。
- [0040] ここで、図2では、バラクタダイオード37 は、nチャネルのFETのソースとドレインとを接続することにより構成されており、FETのゲートが、バラクタダイオード37 の一端となり、FETのソースとドレインとの接続点が、バラクタダイオード37 の他端になっている。
- [0041] 同様に、バラクタダイオード38 は、nチャネルのFETのソースとドレインとを接続することにより構成されており、FETのゲートが、バラクタダイオード38 の一端となり、FETのソースとドレインとの接続点が、バラクタダイオード38 の他端になっている。
- [0042] 以上のコイル33 及び34、コンデンサ35 及び36、並びに、バラクタダイオード37 及び38 が、LC共振回路を構成する。LC共振回路及び負性抵抗によって発振が発生し、基本的に、LC共振回路の共振周波数が、VC012 の発振周波数となる。
- [0043] 抵抗39 の一端は、バラクタダイオード37 及び38 の接続点に接続され、抵抗39 の他端には、DAC 22 が出力する電圧VAが印加される。
- [0044] 抵抗40 の一端は、コンデンサ35 とバラクタダイオード37 との接続点に接続され、抵抗40 の他端には、DAC 22 が出力する電圧VBが印加される。

- [0045] 抵抗41の一端は、コンデンサ36とバラクタダイオード38との接続点に接続され、抵抗41の他端には、DAC22が出力する電圧VBが印加される。
- [0046] したがって、バラクタダイオード37には、抵抗39及び40を介して、差電圧VA-VBが印加され、バラクタダイオード38には、抵抗39及び41を介して、差電圧VA-VBが印加される。
- [0047] バラクタダイオード37及び38は、それぞれに印加される差電圧VA-VBに応じて、（バラクタ）容量を変化させる。バラクタダイオード37及び38の容量が変化することにより、LC共振回路の共振周波数が変化し、その結果、VC012の発振周波数が調整される。
- [0048] コイル33とコンデンサ35との接続点は、負性抵抗を構成するFET31のドレインに接続されている。さらに、FET31のドレインには、コンデンサ51の一端が接続されており、コンデンサ51の他端からは、負性抵抗及びLC共振回路による発振により発生した発振信号が出力される。
- [0049] コイル34とコンデンサ36との接続点は、負性抵抗を構成するFET32のドレインに接続されている。さらに、FET32のドレインには、コンデンサ52の一端が接続されており、コンデンサ52の他端からは、負性抵抗及びLC共振回路による発振により発生した発振信号が出力される。
- [0050] 以上のように、DAC22が出力する電圧VA及びVBの差電圧VA-VBに応じて、バラクタダイオード37及び38の容量、ひいては、LC共振回路の共振周波数が変化し、VC012の発振信号の発振周波数が調整される。
- [0051] したがって、発振信号の周波数のレンジを広レンジ化するためには、DAC22が出力する電圧のレンジを広レンジ化する必要がある。
- [0052] <DAC22の第1の構成例>
- [0053] 図3は、図2のDAC22の第1の構成例を示す回路図である。
- [0054] 図3では、DAC22は、1個以上の分圧用の抵抗としての4個の抵抗R1、R2、R3、及び、R4、並びに、抵抗R1ないしR4に接続され、抵抗R1ないしR4との接続点の電圧を、電圧VAとして出力する複数としての5個のスイッチSW1、SW2、SW3、SW4、及び、SW5を有する。

- [0055] なお、分圧用の抵抗の数は、4個に限定されず、1個や、4個以外の任意の複数個を採用することができる。分圧用の抵抗に接続されるスイッチの数も、5個に限定されず、2個から、分圧用の抵抗の数より1個だけ多い数までの範囲の任意の数を採用することができる。後述する他の構成例のDAC 2 2でも同様である。
- [0056] 抵抗R1ないしR4は、抵抗R1ないしR4の順で直列に接続されている。抵抗R1の、抵抗R2と接続されていない方の一端は、電源（電圧）VDDに接続され、抵抗R4の、抵抗R3と接続されていない方の一端は、グラウンドに接続されている（接地されている）。
- [0057] スイッチSW#i（ $i=1, 2, 3, 4, 5$ ）は、デコーダ2 1（図2）から供給される制御信号に従ってオン／オフすることにより、端子aと端子bとの接続をオン／オフ（短絡／開放）にする。
- [0058] スイッチSW1ないしSW4の端子aは、抵抗R1ないしR4の、電源VDD側の端子にそれぞれ接続され、スイッチSW5の端子aは、抵抗R4のグラウンド側の端子に接続されている。
- [0059] スイッチSW1ないしSW5の端子bは、互いに接続されている。
- [0060] 以上のように構成されるDAC 2 2では、スイッチSW1ないしSW5の端子bの接続点の電圧が、電圧VAとして出力され、抵抗R2と抵抗R3との接続点の電圧が、電圧VBとして出力される。
- [0061] デコーダ2 1（図2）は、周波数調整信号に応じて、スイッチSW1ないしSW5のうちのいずれか1個のスイッチSW#iをオンにし、残りの4個のスイッチSW#j（ $i \neq j$ ）をオフにする制御信号を出力する。
- [0062] いま、抵抗R1ないしR4の抵抗値が同一であるとする、電圧VBは、（理論的には、） $VDD/2$ となる。また、電圧VAは、スイッチSW1ないしSW5がオンであるときに、それぞれ、 VDD 、 $VDD \times 3/4$ 、 $VDD \times 1/2$ 、 $VDD \times 1/4$ 、0になる。
- [0063] したがって、図3のDAC 2 2によれば、 $-VDD/2$ ないし $+VDD/2$ のレンジの差電圧VA-VBを出力することができる。
- [0064] 図3のDAC 2 2は、電源電圧VDDを、抵抗R1ないしR4で分圧することにより

、差電圧VA-VB（となる電圧VA及びVB）を生成するので、図3のDAC22が差電圧VA-VBを生成する、制御信号のDA変換方式を、電圧分圧方式ともいう。

[0065] なお、図3では、分圧用の4個の抵抗R1ないしR4の数より1個だけ多い数である5個のスイッチSW1ないしSW5が、直列に接続された4個の抵抗R1ないしR4それぞれの端子に接続されているが、スイッチSW#iは、必ずしも、分圧用の抵抗R1ないしR4のすべての端子に接続しなくてもよい。

[0066] すなわち、図3において、DAC22は、例えば、スイッチSW2やSW4を設けずに構成することができる。

[0067] ところで、電圧分圧方式では、電圧VA及びVB、ひいては、差電圧VA-VBが、電源電圧VDDの変動の影響を直接的に受ける。そのため、差電圧VA-VBによって調整されるVC012（の発振器23）の発振周波数は、電源電圧VDDの変動によって変動する。ミリ波のキャリアを生成（発生）するVC012では、電源電圧VDDの変動は、発振周波数の大きな変動として現れる。

[0068] <DAC22の第2の構成例>

[0069] 図4は、図2のDAC22の第2の構成例を示す回路図である。

[0070] なお、図中、図3の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0071] 図4において、DAC22は、分圧用の抵抗R1ないしR4、スイッチSW1ないしSW5、及び、電流源61を有する。

[0072] したがって、図4のDAC22は、抵抗R1ないしR4、及び、スイッチSW1ないしSW5を有する点で、図3の場合と共通する。

[0073] 但し、図4のDAC22は、電流源61が新たに設けられている点で、図3の場合と相違する。

[0074] 図4において、電流源61は、電源VDDと抵抗R1との間に設けられており、直列に接続された抵抗R1ないしR4に一定電流を流す。したがって、抵抗R1ないしR4それぞれの電圧降下は、（理想的には、）電源電圧VDDの変動にかかわらず一定になり、電圧分圧方式のように、電源電圧VDDの変動によって、VC012の発振周波数が変動することを抑制することができる。

- [0075] 図4のDAC22は、電流源61の電流が抵抗R1ないしR4を流れることにより、差電圧VA-VBを生成するので、図4のDAC22が差電圧VA-VBを生成する、制御信号のDA変換方式を、電流源方式ともいう。
- [0076] 図3の電圧分圧方式、及び、図4の電流源方式では、いずれも、電圧VAは、スイッチSW1がオンであるときに（かつ、スイッチSW2ないしSW5がオフであるときに）、最大電圧になる。
- [0077] 但し、図3の電圧分圧方式では、電圧VAの最大電圧は、電源電圧VDDであるが、図4の電流源方式では、電圧VAの最大電圧は、電源電圧VDDから電流源61の電圧降下分だけ低い電圧になる。
- [0078] したがって、電流源方式では、差電圧VA-VBのレンジが、電圧分圧方式と比較して狭くなり、ひいては、VC012の発振周波数のレンジも狭くなる。
- [0079] 図5は、電圧分圧方式並びに電流源方式についての電圧VA及びVBと、制御信号（スイッチSW#iのオン／オフ）との関係を示す図である。
- [0080] 図5において、横軸は、制御信号、ひいては、制御信号に従ってオンになるスイッチSW#iを表し、縦軸は、電圧を表す。
- [0081] また、図5において、直線VA1及びVB1は、電圧分圧方式の電圧VA及びVBを表し、直線VA2及びVB2は、電流源方式の電圧VA及びVBを表す。
- [0082] 電圧分圧方式及び電流源方式では、いずれの方式でも、電圧VBは、抵抗R2とR3との接続点の電圧であるため、スイッチSW1ないしSW5のオン／オフにかかわらず、一定電圧になる。
- [0083] 但し、電流源方式の電圧VB(VB2)は、電圧分割方式の電圧VB(VB1)に比較して、電流源61の電圧降下に対応する電圧だけ低い電圧になる。
- [0084] 電圧分圧方式及び電流源方式では、いずれの方式でも、スイッチSW1ないしSW5が、スイッチSW5ないしSW1の順で（1つずつ）オンになることで、電圧VAは、単調増加する。
- [0085] 但し、電流源方式の電圧VA(VA2)については、電圧分割方式の電圧VA(VA1)に比較して、変化の割合が、電流源61の電圧降下に対応する分だけ小さく、最大電圧が、電流源61の電圧降下だけ低い電圧になる。

[0086] <DAC 2 2 の第 3 の構成例>

[0087] 図 6 は、図 2 の DAC 2 2 の第 3 の構成例を示す回路図である。

[0088] なお、図中、図 3 又は図 4 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0089] 図 6 において、DAC 2 2 は、分圧用の抵抗 R1 ないし R4、スイッチ SW1 ないし SW5、電流源 6 1、並びに、スイッチ SW11, SW12, SW13, SW14、及び、SW15 を有する。

[0090] したがって、図 6 の DAC 2 2 は、抵抗 R1 ないし R4、スイッチ SW1 ないし SW5、及び、電流源 6 1 を有する点で、図 4 の場合と共通する。

[0091] 但し、図 6 の DAC 2 2 は、スイッチ SW11 ないし SW15 が新たに設けられている点で、図 4 の場合と相違する。

[0092] ここで、図 6 において、DAC 2 2 は、図 3 の場合と同様に、電流源 6 1 なしで構成することができる。

[0093] DAC 2 2 を、図 6 のように、電流源 6 1 を設けて構成する場合には、電流源 6 1 での電圧降下がある分、差電圧 VA-VB のレンジが狭くなるが、図 4 の電流源方式の場合と同様に、電源電圧 VDD の変動に起因する、VC0 1 2 の発振周波数の変動を抑制することができる。

[0094] 一方、図 6 の DAC 2 2 を、電流源 6 1 なしで構成する場合には、図 3 の電圧分圧方式の場合と同様に、電源電圧 VDD の変動によって、VC0 1 2 の発振周波数が変動するが、電流源 6 1 での電圧降下がない分、差電圧 VA-VB のレンジを広レンジにすることができる。

[0095] 図 6 の DAC 2 2 では、スイッチ SW11 ないし SW15 が設けられていることによって、図 3 の電圧分圧方式や、図 4 の電流源方式よりも、差電圧 VA-VB のレンジを広レンジ化することができる。

[0096] 図 6 において、スイッチ SW11 ないし SW15 は、スイッチ SW1 ないし SW5 と同様に、抵抗 R1 ないし R4 に接続され、抵抗 R1 ないし R4 との接続点の電圧を、電圧 VB として出力する。

[0097] すなわち、スイッチ SW#i (i=11, 12, 13, 14, 15) は、デコーダ 2 1 (図 2) か

ら供給される制御信号に従ってオン／オフすることにより、端子aと端子bとの接続をオン／オフにする。

[0098] スイッチSW11ないしSW14の端子aは、抵抗R1ないしR4の、電源VDD側の端子にそれぞれ接続され、スイッチSW15の端子aは、抵抗R4のグランド側の端子に接続されている。

[0099] スイッチSW11ないしSW15の端子bは、互いに接続されている。

[0100] 以上のように構成されるDAC 2 2では、スイッチSW1ないしSW5の端子bの接続点の電圧が、電圧VAとして出力され、スイッチSW11ないしSW15の端子bの接続点の電圧が、電圧VBとして出力される。

[0101] デコーダ2 1（図2）は、周波数調整信号に応じて、スイッチSW1ないしSW5のうちのいずれか1個のスイッチSW#iをオンにするとともに、残りの4個のスイッチSW#j（ $i \neq j$ ）をオフにし、かつ、スイッチSW11ないしSW15のうちのいずれか1個のスイッチSW#i'をオンにするとともに、残りの4個のスイッチSW#j'（ $i' \neq j'$ ）をオフにする制御信号を出力する。

[0102] いま、電流源6 1と抵抗R1との接続点の電圧を、 VDD' と表すとともに、抵抗R1ないしR4の抵抗値が同一であるとすると、電圧VAは、スイッチSW1ないしSW5がオンであるときに、それぞれ、 VDD' 、 $VDD' \times 3/4$ 、 $VDD' \times 1/2$ 、 $VDD' \times 1/4$ 、0になる。同様に、電圧VBは、スイッチSW11ないしSW15がオンであるときに、それぞれ、 VDD' 、 $VDD' \times 3/4$ 、 $VDD' \times 1/2$ 、 $VDD' \times 1/4$ 、0になる。

[0103] 以上のように、電圧VA及びVBについては、最大電圧が VDD' で、最小電圧が0であるから、図6のDAC 2 2によれば、 $-VDD'$ （ $=0-VDD'$ ）ないし $+VDD'$ （ $=VDD'-0$ ）のレンジの差電圧VA-VBを出力することができる。

[0104] 図6のDAC 2 2では、電圧VA及びVBのいずれもが可変であるので、図6のDAC 2 2が差電圧VA-VBを生成する、制御信号のDA変換方式を、電圧可変方式ともいう。

[0105] 図7は、図6の電圧可変方式のDAC 2 2の、制御信号によるスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を説明する図である。

[0106] 電圧可変方式のDAC 2 2では、VC0 1 2の発振周波数の調整にあたり、例え

ば、電圧VA及びVBのうちの一方の電圧を固定し、他方の電圧を変化させるように、スイッチSW1ないしSW5及びスイッチSW11ないしSW15が制御される。

[0107] 例えば、差電圧VA-VBを単調増加するように変化させる場合、電圧VAを出力するためのスイッチSW1ないしSW5については、スイッチSW5だけがオンにされ、電圧VBを出力するためのスイッチSW11ないしSW15については、図7で点線の矢印で示すように、スイッチSW11ないしSW15の順で（1つずつ）オンにされる。

[0108] この場合、電圧VAは、電圧VA及びVBの最小電圧である0に固定され、電圧VBは、VDD'から0に変化する。その結果、差電圧VA-VBは、 $-VDD'$ ($=0-VDD'$) から0 ($=0-0$) に単調増加する。

[0109] その後、電圧VBを出力するためのスイッチSW11ないしSW15については、スイッチSW15だけがオンにされ、電圧VAを出力するためのスイッチSW1ないしSW5については、図7で点線の矢印で示すように、スイッチSW5ないしSW1の順でオンにされる。

[0110] この場合、電圧VBは、電圧VA及びVBの最小電圧である0に固定され、電圧VAは、0からVDD'に変化する。その結果、差電圧VA-VBは、0 ($=0-0$) から $+VDD'$ ($=VDD'-0$) に単調増加する。

[0111] 図8は、電圧可変方式についてのスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を示す図である。

[0112] すなわち、図8は、電圧可変方式についての電圧VA及びVB並びに差電圧VA-VBと、制御信号（スイッチSW#iのオン／オフ）との関係を示している。

[0113] 図8において、横軸は、制御信号、ひいては、制御信号に従ってオンになるスイッチSW#iを表し、縦軸は、電圧を表す。

[0114] 図8のAは、差電圧VA-VBを単調増加するように変化させる場合の電圧VA及びVBの例を示している。

[0115] 図8のAでは、図7で説明したように、スイッチSW1ないしSW5については、スイッチSW5だけがオンにされ、スイッチSW11ないしSW15については、スイッチSW11ないしSW15の順でオンにされる。

- [0116] この場合、電圧VAは、電圧VA及びVBの最小電圧である0に固定され、電圧VBは、 VDD' から0に変化する。
- [0117] スイッチSW15がオンにされることにより、電圧VBが0になった後、スイッチSW15をオンにしたまま、スイッチSW1ないしSW5については、スイッチSW5ないしSW1の順でオンにされる。
- [0118] この場合、電圧VBは、最小電圧である0に固定され、電圧VAは、0から VDD' に変化する。
- [0119] 図8のBは、単調増加する差電圧VA-VBの例を示している。
- [0120] 図8のAで説明したように、スイッチSW1ないしSW5及びスイッチSW11ないしSW15が制御されることにより、差電圧VA-VBは、図8のBに示すように、 $-VDD'$ ($=0-VDD'$) から $+VDD'$ ($=VDD'-0$) に単調増加する。
- [0121] 電圧可変方式のDAC 2 2 が、図6に示したように、電流源 6 1 を設けて構成される場合、差電圧VA-VBのレンジは、(理論的には、) 図4の電流源方式の場合のレンジの2倍になる。また、電圧可変方式のDAC 2 2 が、図6の電流源 6 1 なしで構成される場合、差電圧VA-VBのレンジは、図3の電圧分圧方式の場合のレンジの2倍になる。
- [0122] したがって、電圧可変方式によれば、差電圧VA-VBのレンジを広レンジ化することができ、VC0 1 2 の発振周波数を、広レンジの周波数に調整することができる。
- [0123] 図9は、電圧可変方式についてのスイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の他の例を示す図である。
- [0124] 図9において、横軸は、制御信号、ひいては、制御信号に従ってオンになるスイッチSW#iを表し、縦軸は、電圧を表す。
- [0125] ここで、図7及び図8では、VC0 1 2 の発振周波数の調整にあたり、電圧VA及びVBのうちの一方の電圧を、電圧VA及びVBの最小電圧(0)に固定することとしたが、一方の電圧は、電圧VA及びVBの最小電圧ではなく、例えば、最大電圧(例えば、 VDD')に固定することができる。
- [0126] 図9のAは、電圧VA及びVBのうちの一方の電圧を、最大電圧に固定し、他

方の電圧を変化させる場合の、スイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を示している。

[0127] 例えば、差電圧VA-VBを単調減少するように変化させる場合、スイッチSW1ないしSW5については、スイッチSW1だけがオンにされ、スイッチSW11ないしSW15については、スイッチSW15ないしSW11の順でオンにされる。

[0128] この場合、電圧VAは、電圧VA及びVBの最大電圧であるVDD'に固定され、電圧VBは、0からVDD'に変化する。その結果、差電圧VA-VBは、+VDD' (=VDD'-0)から0 (=VDD'-VDD')に単調減少する。

[0129] スイッチSW11がオンにされることにより、電圧VBが、最大電圧VDD'になった後、そのスイッチSW11をオンにしたまま、スイッチSW1ないしSW5については、スイッチSW1ないしSW5の順でオンにされる。

[0130] この場合、電圧VBは、最大電圧であるVDD'に固定され、電圧VAは、VDD'から0に変化する。その結果、差電圧VA-VBは、0 (=VDD'-VDD')から-VDD' (=0-VDD')に単調減少する。

[0131] 以上においては、電圧VA及びVBのうちの一方の電圧を固定し、他方の電圧を変化させるように、スイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御を行うこととしたが、スイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御は、その他、例えば、電圧VA及びVBのうちの一方の電圧を上昇させ、他方の電圧を下降させるように行うことができる。

[0132] 図9のBは、電圧VA及びVBのうちの一方の電圧を上昇させ、他方の電圧を下降させる場合の、スイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の例を示している。

[0133] 例えば、差電圧VA-VBを単調増加するように変化させる場合、スイッチSW1ないしSW5については、スイッチSW5ないしSW1の順でオンにされ、スイッチSW11ないしSW15については、スイッチSW11ないしSW15の順でオンにされる。

[0134] この場合、電圧VAは、0からVDD'に変化し、電圧VBは、VDD'から0に変化する。その結果、差電圧VA-VBは、-VDD' (=0-VDD')から+VDD' (=VDD'-0)に単調増加する。

- [0135] なお、スイッチSW1ないしSW5及びスイッチSW11ないしSW15の制御の方法として、図7及び図8の方法、図9のAの方法、及び、図9のBの方法のうちのいずれを採用するかによって、デコーダ21において、周波数調整信号を制御信号にデコードするデコードルールを設定する必要がある。
- [0136] また、図7及び図8の方法では、電圧VA又はVBが固定される電圧が0、すなわち、グランドであるので、電圧VA又はVBが固定される電圧がVDD'である図9のAの場合や、（差電圧VA-VBが変化するとき）電圧VA及びVBが固定されない図9のBの場合に比較して、差電圧VA-VBとして、いわば安定した0を出力することができる。
- [0137] <電流源61の構成例>
- [0138] 図10は、図6の電流源61の第1の構成例を示す回路図である。
- [0139] 図10において、電流源61は、カスコード接続されたpチャネルのFET71及び72で構成される。
- [0140] すなわち、電流源61において、FET71のソースは、電源VDDに接続され、FET71のドレインは、FET72のソースと接続されている。そして、FET72のドレインが、抵抗R1と接続されている。
- [0141] 電流源61を構成するFET71及び72のゲートには、電流源61の外部から、所定の電圧が与えられる。
- [0142] すなわち、FET71のゲートは、ソースが電源VDDに接続されたpチャネルのFET76のゲートと、ソースがFET76のドレインと接続されたpチャネルのFET77のドレインとに接続されている。FET71のゲート、FET76のゲート、及び、FET77のドレインの接続点は、一端が接地された電流源78の他端に接続されている。
- [0143] FET72のゲートは、FET77のゲート、ソースが電源VDDに接続されたpチャネルのFET73のゲート、並びに、ソースがFET73のドレインと接続されたpチャネルのFET74のゲート及びドレインに接続されている。FET72のゲート、FET77のゲート、FET73のゲート、並びに、FET74のゲート及びドレインの接続点は、一端が接地された電流源75の他端に接続されている。

- [0144] カスコード接続されたFET 7 1 及び 7 2 のゲートには、FET 7 3, 7 4、及び、電流源 7 5、並びに、FET 7 6, 7 7、及び、電流源 7 8 によって決まる電圧が印加され、その電圧に応じた電流が、電流源 6 1 としてのFET 7 1 及び 7 2 を流れる。
- [0145] 図 1 1 は、図 6 の電流源 6 1 の第 2 の構成例を示す回路図である。
- [0146] 図 1 1 では、電流源 6 1 は、カレントミラーを利用して構成される。すなわち、電流源 6 1 は、カレントミラーのミラー側のトランジスタであるpチャネルのFET 8 1 で構成される。
- [0147] FET 8 1 のソースは、電源VDDに接続され、FET 8 1 のドレインは、抵抗R1に接続されている。
- [0148] FET 8 1 のゲートは、カレントミラーのミラー元のトランジスタであるpチャネルのFET 8 2 のゲート及びドレインに接続されている。
- [0149] FET 8 2 のソースは、電源VDDに接続され、FET 8 1 のゲート、並びに、FET 8 2 のゲート及びドレインの接続点は、一端が接地された電流源 8 3 の他端に接続されている。
- [0150] FET 8 1 及び 8 2、並びに、電流源 8 3 は、カレントミラーを構成しており、FET 8 1 には、電流源 8 3 が流す電流のミラー比倍の電流が流れる。
- [0151] 図 1 2 は、図 6 の電流源 6 1 の第 3 の構成例を示す回路図である。
- [0152] 図 1 2 は、電流源 6 1 は、所定の基準電圧に応じて電流を流すpチャネルのFET 9 1 で構成される。
- [0153] FET 9 1 のソースは、電源VDDに接続され、FET 9 1 のドレインは、抵抗R1に接続されている。
- [0154] FET 9 1 のゲートは、オペアンプ 9 2 の出力端子に接続され、オペアンプ 9 2 の非反転入力端子(+)は、FET 9 1 のドレインと抵抗R1との接続点に接続されている。
- [0155] そして、オペアンプ 9 2 の反転入力端子(-)には、所定の基準電圧が印加される。
- [0156] 電流源 6 1 としてのFET 9 1 には、オペアンプ 9 2 の非反転入力端子(+)の

電圧が、反転入力端子(-)に印加されている基準電圧に（ほぼ）等しくなるような電流が流れる。

[0157] <DAC 2 2 の第 4 の構成例>

[0158] 図 1 3 は、図 2 のDAC 2 2 の第 4 の構成例を示す回路図である。

[0159] なお、図中、図 6 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0160] 図 1 3 において、DAC 2 2 は、分圧用の抵抗R1ないしR4、スイッチSW1ないしSW5、スイッチSW11ないしSW15、分圧用の抵抗R11ないしR14、電流源 6 1、及び、6 2 を有する。

[0161] したがって、図 1 3 のDAC 2 2 は、分圧用の抵抗R1ないしR4、スイッチSW1ないしSW5、スイッチSW11ないしSW15、及び、電流源 6 1 を有する点で、図 6 の場合と共通する。

[0162] 但し、図 1 3 のDAC 2 2 は、分圧用の抵抗R11ないしR14、及び、電流源 6 2 が新たに設けられている点で、図 6 の場合と相違する。

[0163] ここで、電流源 6 2 については、図 6 で説明した電流源 6 1 と同様に、電流源 6 2（及び電流源 6 1）を設けて、図 1 3 のDAC 2 2 を構成することもできるし、電流源 6 2 なしで、図 1 3 のDAC 2 2 を構成することもできる。

[0164] 図 6 では、電圧VAを出力するためのスイッチSW1ないしSW5、及び、電圧VBを出力するためのスイッチSW11ないしSW15が、同一の分割用の抵抗としての抵抗R1ないしR4に接続されていたが、図 1 3 では、スイッチSW1ないしSW5が接続される分圧用の抵抗と、スイッチSW11ないしSW15が接続される分割用の抵抗とが、別個の分割用の抵抗になっている。

[0165] すなわち、図 1 3 では、スイッチSW1ないしSW5は、図 6 の場合と同様に、分圧用の抵抗R1ないしR4に接続されている。一方、スイッチSW11ないしSW15は、分圧用の抵抗R1ないしR4とは別個の分圧用の抵抗R11ないしR14に接続されている。

[0166] 具体的には、分圧用の抵抗R11ないしR14は、その順で直列に接続されている。抵抗R11の、抵抗R12と接続されていない方の一端は、一端が電源VDDに接

続された電流源 6 2 の他端に接続され、抵抗R14の、抵抗R13と接続されていない方の一端は、接地されている。

[0167] そして、スイッチSW11ないしSW14の端子aは、抵抗R11ないしR14の、電源VD側の端子にそれぞれ接続され、スイッチSW15の端子aは、抵抗R14のグランド側の端子に接続されている。

[0168] 以上のように構成されるDAC 2 2では、図 6 の場合と同様に、スイッチSW1ないしSW5、及び、スイッチSW11ないしSW15が制御され、図 6 の場合と同様の広レンジの差電圧VA-VB（が得られる電圧VA及びVB）が出力される。

[0169] 図 1 4 は、図 1 3 の電流源 6 2 の構成例を示す回路図である。

[0170] 図 1 4 において、電流源 6 2 は、図 1 0 の電流源 6 1 と同様に、カスコード接続されたトランジスタで構成される。

[0171] すなわち、電流源 6 2 は、カスコード接続されたpチャンネルのFET 1 1 1 及び 1 1 2 で構成される。

[0172] 電流源 6 2 において、FET 1 1 1 のソースは、電源VDDに接続され、FET 1 1 1 のドレインは、FET 1 1 2 のソースと接続されている。そして、FET 1 1 2 のドレインが、抵抗R11と接続されている。

[0173] 電流源 6 2 を構成するFET 1 1 1 及び 1 1 2 のゲートには、電流源 6 2 の外部から、図 1 0 の電流源 6 1 に与えられるのと同じの電圧が与えられる。

[0174] すなわち、FET 1 1 1 及び 1 1 2 のゲートは、FET 7 1 及び 7 2 のゲートとそれぞれ接続されており、FET 1 1 1 及び 1 1 2 のゲートには、FET 7 1 及び 7 2 のゲートに印加されるのと同じの電圧が、それぞれ印加される。

[0175] その結果、電流源 6 2 としてのFET 1 1 1 及び 1 1 2 には、電流源 6 1 としてのFET 7 1 及び 7 2 と同様の電流が流れる。

[0176] なお、電流源 6 2 は、その他、電流源 6 1 と同様に、カレントミラーを利用して構成すること（図 1 0 ）や、所定の基準電圧に応じて電流を流すトランジスタで構成すること（図 1 1 ）等ができる。

[0177] 図 1 5 は、図 3 の電圧分圧方式と、図 6 の電圧可変方式とについて行ったシミュレーションのシミュレーション結果を示す図である。

- [0178] 図 1 5 において、横軸は、差電圧VA-VBを表し、縦軸は、発振器 2 3 が差電圧VA-VBに応じて出力する発振信号の周波数（発振周波数）を表す。
- [0179] 図 1 5 の A は、電圧分圧方式の差電圧VA-VBと発振周波数との関係を示しており、図 1 5 の B は、電圧可変方式の差電圧VA-VBと発振周波数との関係を示している。
- [0180] 電源電圧1.1Vの場合、電圧分圧方式では、差電圧VA-VBのレンジは、-0.55Vないし+0.55Vであるのに対して、電圧可変方式では、差電圧VA-VBのレンジは、-0.7Vないし+0.7Vになっている。
- [0181] シミュレーションに用いた電圧可変方式のDAC 2 2 は、図 6 に示したように、電流源 6 1 を設けて構成される。
- [0182] したがって、シミュレーションに用いた電圧可変方式では、電流源 6 1 での電圧降下に起因して、図 4 の電流源方式と同様に、差電圧VA-VBのレンジが狭くなるが、それでも、差電圧VA-VBのレンジとして、電圧分割方式よりも広いレンジを確保することができる。
- [0183] なお、図 1 5 の A の電圧分圧方式では、差電圧VA-VBが、そのレンジの最小値-0.55Vである場合に、発振周波数は、最小値Fmin(old)になり、差電圧VA-VBが、そのレンジの最大値+0.55Vである場合に、発振周波数が、最大値Fmax(old)になっている。
- [0184] また、図 1 5 の B の電圧可変方式では、差電圧VA-VBが、そのレンジの最小値-0.7Vである場合に、発振周波数は、最小値Fmin(new)になり、差電圧VA-VBが、そのレンジの最大値+0.7Vである場合に、発振周波数が、最大値Fmax(new)になっている。
- [0185] 電圧可変方式の最小値Fmin(new)は、電圧分圧方式の最小値Fmin(old)より小さくなっており、電圧可変方式の最大値Fmax(new)は、電圧分圧方式の最大値Fmax(old)より大きくなっている。
- [0186] したがって、電圧可変方式の発振周波数のレンジ（Fmin(new)ないしFmax(new)）は、電圧分圧方式の発振周波数のレンジ（Fmin(old)ないしFmax(old)）よりも広がっている。

[0187] 図6の電圧可変方式では（図13でも同様）、電流源61が設けられているので、PSRR(Power Supply Rejection Ratio)を確保すること、すなわち、電源電圧VDDの変動が、DAC22が出力する電圧VA及びVB（ひいては、差電圧VA-VB）に影響することを抑制することができ、その結果、電源電圧VDDの変動に起因するVC012の発振周波数の変動を抑制することができる。

[0188] また、電流源61が設けられている電流源方式（図4）では、電流源61が設けられていない電圧分圧方式（図3）に比較して、差電圧VA-VBのレンジが、電流源61で生じる電圧降下の分だけ狭くなるが、電圧可変方式では、電流源61が設けられていても、差電圧VA-VBのレンジとして、電圧分圧方式のレンジ以上の広レンジを確保することができる。

[0189] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0190] さらに、本実施の形態では、本技術を、ミリ波のキャリアを生成するVC012に適用した場合について説明したが、本技術は、その他、発振周波数の調整が要求される技術、すなわち、例えば、PLL(Phase Lock Loop)を構成するVC0等に適用することができる。

[0191] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0192] なお、本技術は、以下の構成をとることができる。

[0193] <1>

分圧用の抵抗と、

前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第1の電圧として出力する複数の第1のスイッチと、

前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第2の電圧として出力する複数の第2のスイッチと
を備えるDAC。

<2>

前記第1の電圧及び前記第2の電圧のうちの一方の電圧を固定し、他方の

電圧を変化させるように、前記複数の第 1 のスイッチ及び前記複数の第 2 のスイッチが制御される

< 1 >に記載のDAC。

< 3 >

前記一方の電圧を、前記第 1 の電圧及び前記第 2 の電圧の最小電圧又は最大電圧に固定し、前記他方の電圧を変化させるように、前記複数の第 1 のスイッチ及び前記複数の第 2 のスイッチが制御される

< 2 >に記載のDAC。

< 4 >

前記第 1 の電圧及び前記第 2 の電圧のうちの一方の電圧を上昇させ、他方の電圧を下降させるように、前記複数の第 1 のスイッチ及び前記複数の第 2 のスイッチが制御される

< 1 >に記載のDAC。

< 5 >

前記分圧用の抵抗として、複数の抵抗を有し、

前記複数の抵抗は、直列に接続され、

前記第 1 のスイッチ及び前記第 2 のスイッチは、直列に接続された前記複数の抵抗それぞれの端子に接続されている

< 1 >ないし< 4 >のいずれかに記載のDAC。

< 6 >

前記第 1 のスイッチが接続される前記分圧用の抵抗と、前記第 2 のスイッチが接続される前記分圧用の抵抗として、別個の抵抗を備える

< 1 >ないし< 5 >のいずれかに記載のDAC。

< 7 >

前記分圧用の抵抗に電流を流す電流源をさらに備える

< 1 >ないし< 6 >のいずれかに記載のDAC。

< 8 >

前記電流源は、カスコード接続されたトランジスタで構成される

< 7 >に記載のDAC。

< 9 >

前記電流源は、カレントミラーを利用して構成される

< 7 >に記載のDAC。

< 1 0 >

前記電流源は、所定の基準電圧に応じて電流を流すトランジスタで構成される

< 7 >に記載のDAC。

< 1 1 >

第 1 の電圧及び第 2 の電圧を出力するDACと、

前記第 1 の電圧と前記第 2 の電圧との差である差電圧に応じた周波数の信号を発振する発振器と

を備え、

前記DACは、

分圧用の抵抗と、

前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、前記第 1 の電圧として出力する複数の第 1 のスイッチと、

前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、前記第 2 の電圧として出力する複数の第 2 のスイッチと

を有する

発振回路。

符号の説明

[0194] 1 1 アンプ, 1 2 VC0, 1 3 ミキサ, 1 4 アンプ, 2 1
デコーダ, 2 2 DAC, 2 3 発振器, 3 0 電流源, 3 1, 3 2
FET, 3 3, 3 4 コイル, 3 5, 3 6 コンデンサ, 3 7, 3 8 バ
ラクタダイオード, 3 9 ないし 4 1 抵抗, 5 1, 5 2 コンデンサ,
6 1, 6 2 電流源, 7 1 ないし 7 4 FET, 7 5 電流源, 7 6,
7 7 FET, 7 8 電流源, 8 1, 8 2 FET, 8 3 電流源, 9 1

FET, 9 2 オペアンプ, 1 1 1, 1 1 2 FET

請求の範囲

- [請求項1] 分圧用の抵抗と、
 前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第1の電圧として出力する複数の第1のスイッチと、
 前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧を、第2の電圧として出力する複数の第2のスイッチと
 を備えるDAC。
- [請求項2] 前記第1の電圧及び前記第2の電圧のうちの一方の電圧を固定し、
 他方の電圧を変化させるように、前記複数の第1のスイッチ及び前記
 複数の第2のスイッチが制御される
 請求項1に記載のDAC。
- [請求項3] 前記一方の電圧を、前記第1の電圧及び前記第2の電圧の最小電圧
 又は最大電圧に固定し、前記他方の電圧を変化させるように、前記複
 数の第1のスイッチ及び前記複数の第2のスイッチが制御される
 請求項2に記載のDAC。
- [請求項4] 前記第1の電圧及び前記第2の電圧のうちの一方の電圧を上昇させ
 、他方の電圧を下降させるように、前記複数の第1のスイッチ及び前
 記複数の第2のスイッチが制御される
 請求項1に記載のDAC。
- [請求項5] 前記分圧用の抵抗として、複数の抵抗を有し、
 前記複数の抵抗は、直列に接続され、
 前記第1のスイッチ及び前記第2のスイッチは、直列に接続された
 前記複数の抵抗それぞれの端子に接続されている
 請求項1に記載のDAC。
- [請求項6] 前記第1のスイッチが接続される前記分圧用の抵抗と、前記第2の
 スイッチが接続される前記分圧用の抵抗として、別個の抵抗を備える
 請求項1に記載のDAC。
- [請求項7] 前記分圧用の抵抗に電流を流す電流源をさらに備える

請求項 1 に記載のDAC。

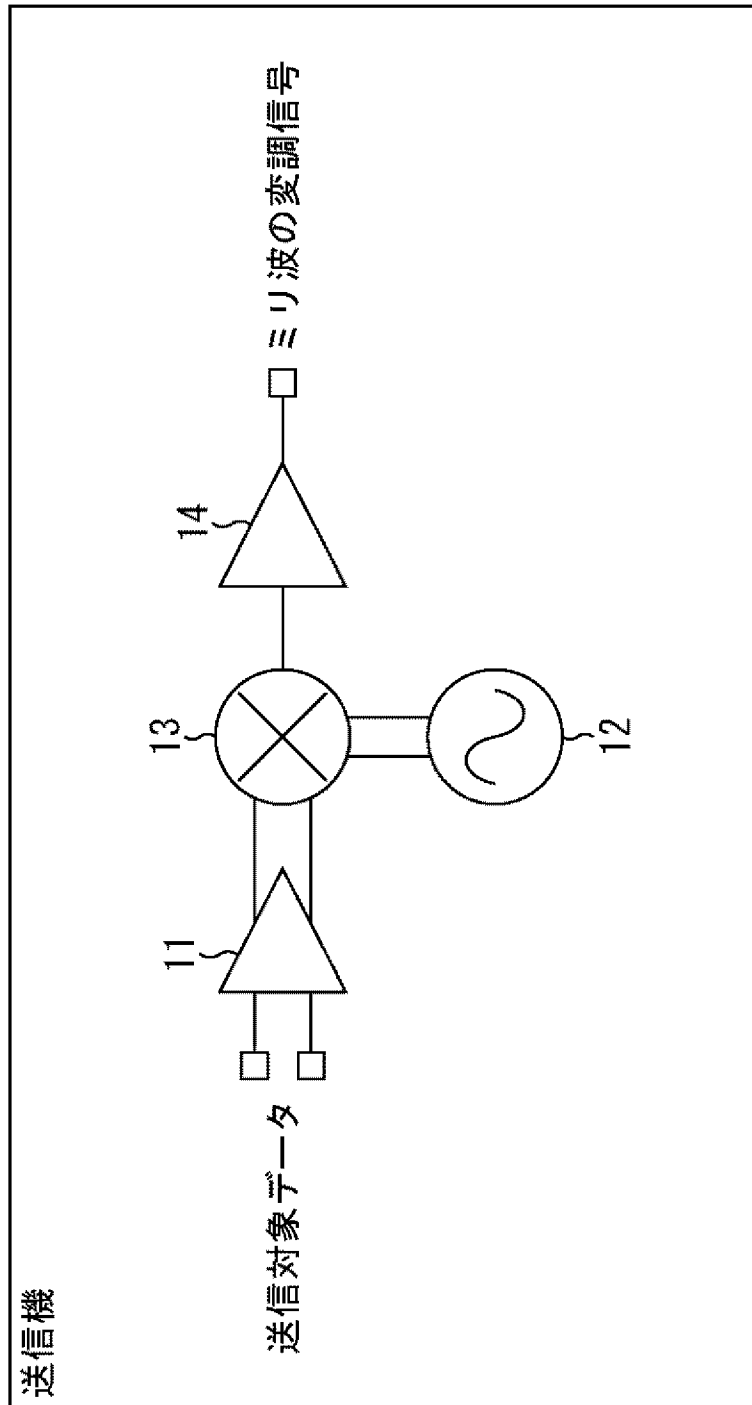
[請求項8] 前記電流源は、カスコード接続されたトランジスタで構成される
請求項 7 に記載のDAC。

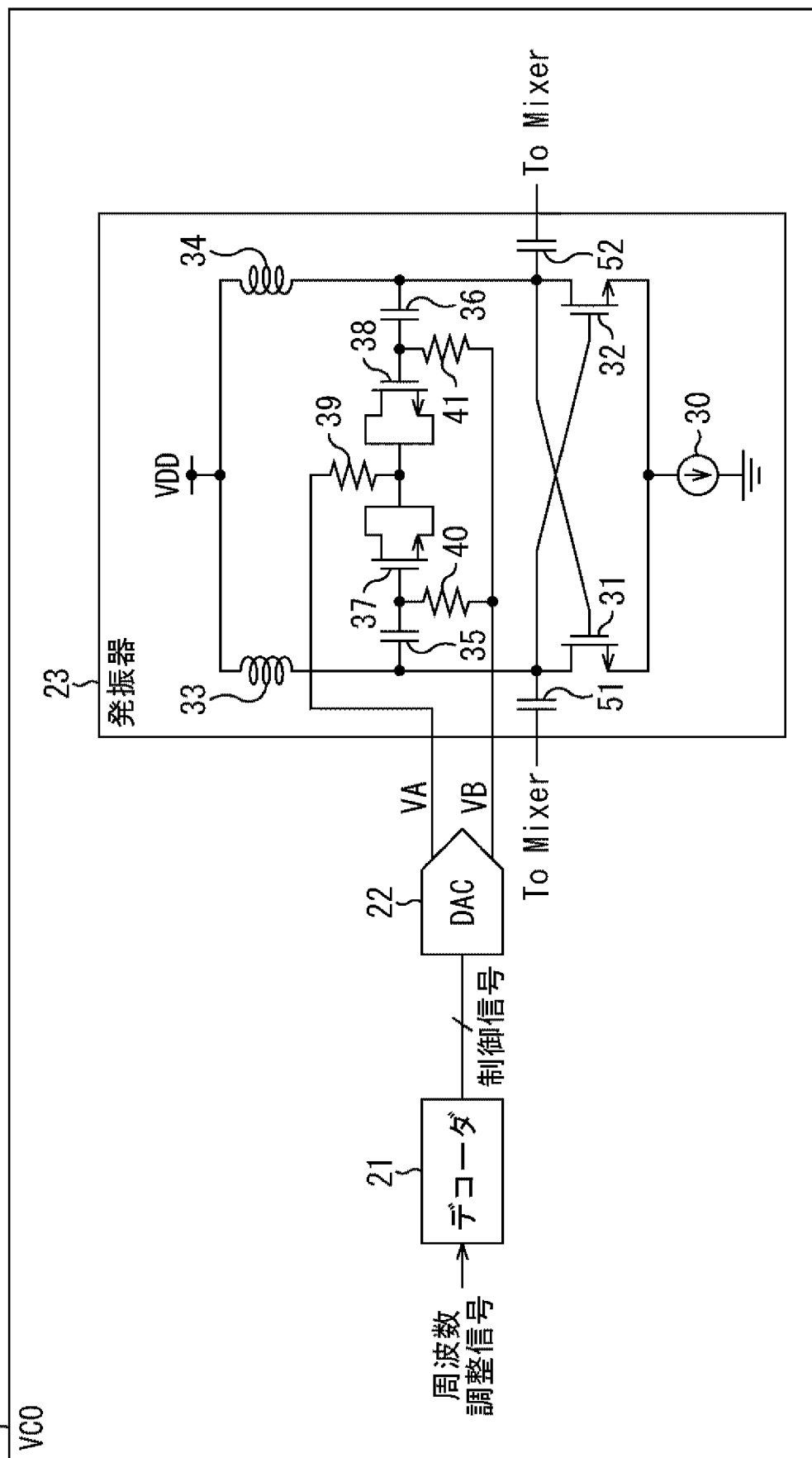
[請求項9] 前記電流源は、カレントミラーを利用して構成される
請求項 7 に記載のDAC。

[請求項10] 前記電流源は、所定の基準電圧に応じて電流を流すトランジスタで
構成される
請求項 7 に記載のDAC。

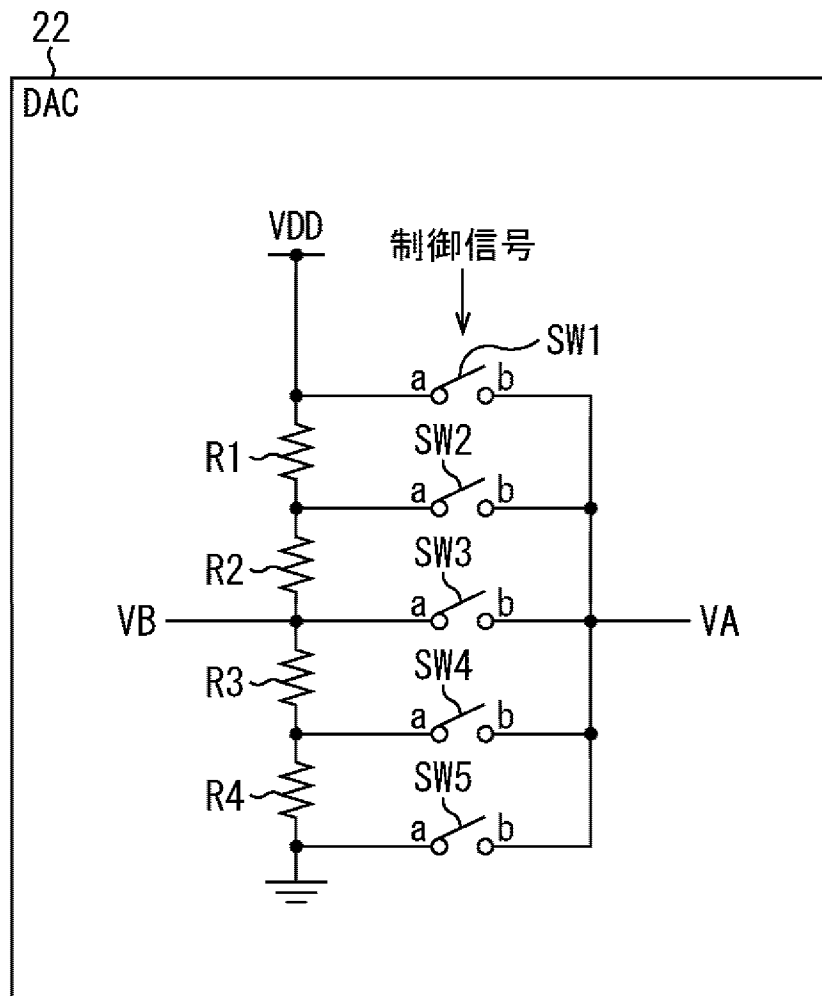
[請求項11] 第 1 の電圧及び第 2 の電圧を出力するDACと、
前記第 1 の電圧と前記第 2 の電圧との差である差電圧に応じた周波
数の信号を発振する発振器と
を備え、
前記DACは、
分圧用の抵抗と、
前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧
を、前記第 1 の電圧として出力する複数の第 1 のスイッチと、
前記分圧用の抵抗の接続され、前記分圧用の抵抗との接続点の電圧
を、前記第 2 の電圧として出力する複数の第 2 のスイッチと
を有する
発振回路。

[図1]
FIG. 1

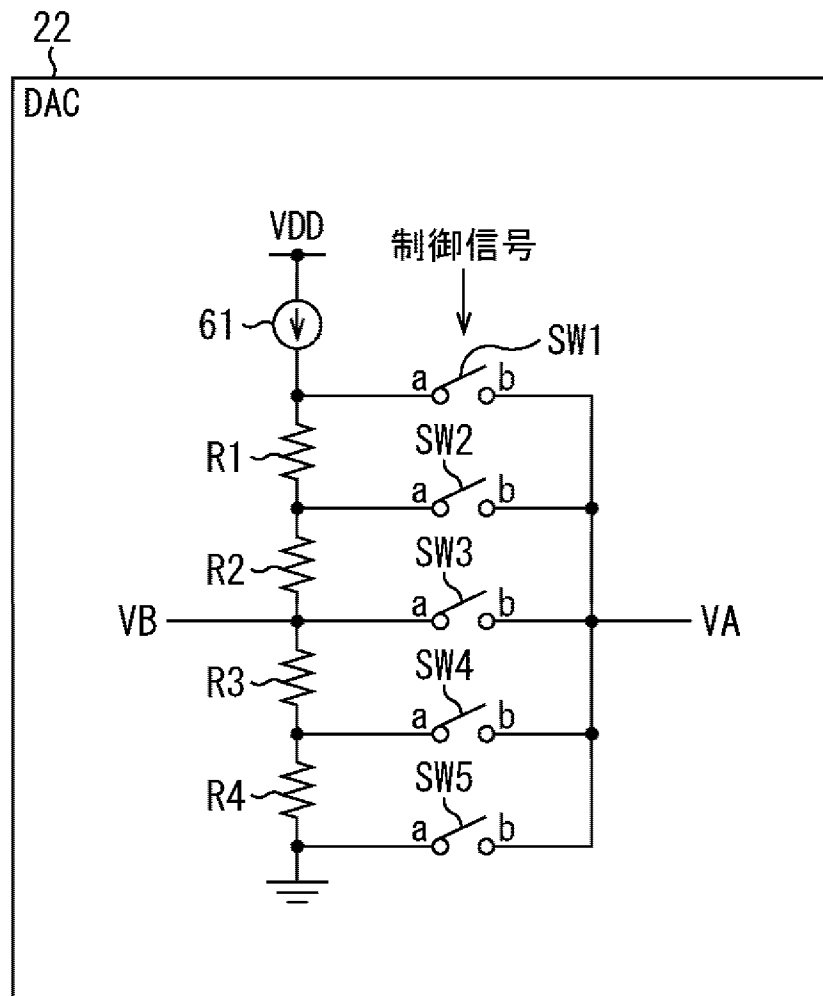


$$\frac{12}{V_{CO}}$$


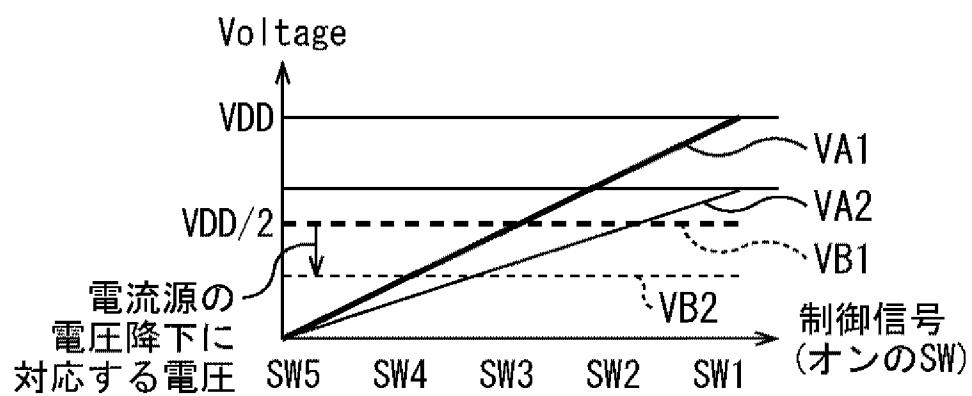
[図3]
FIG. 3



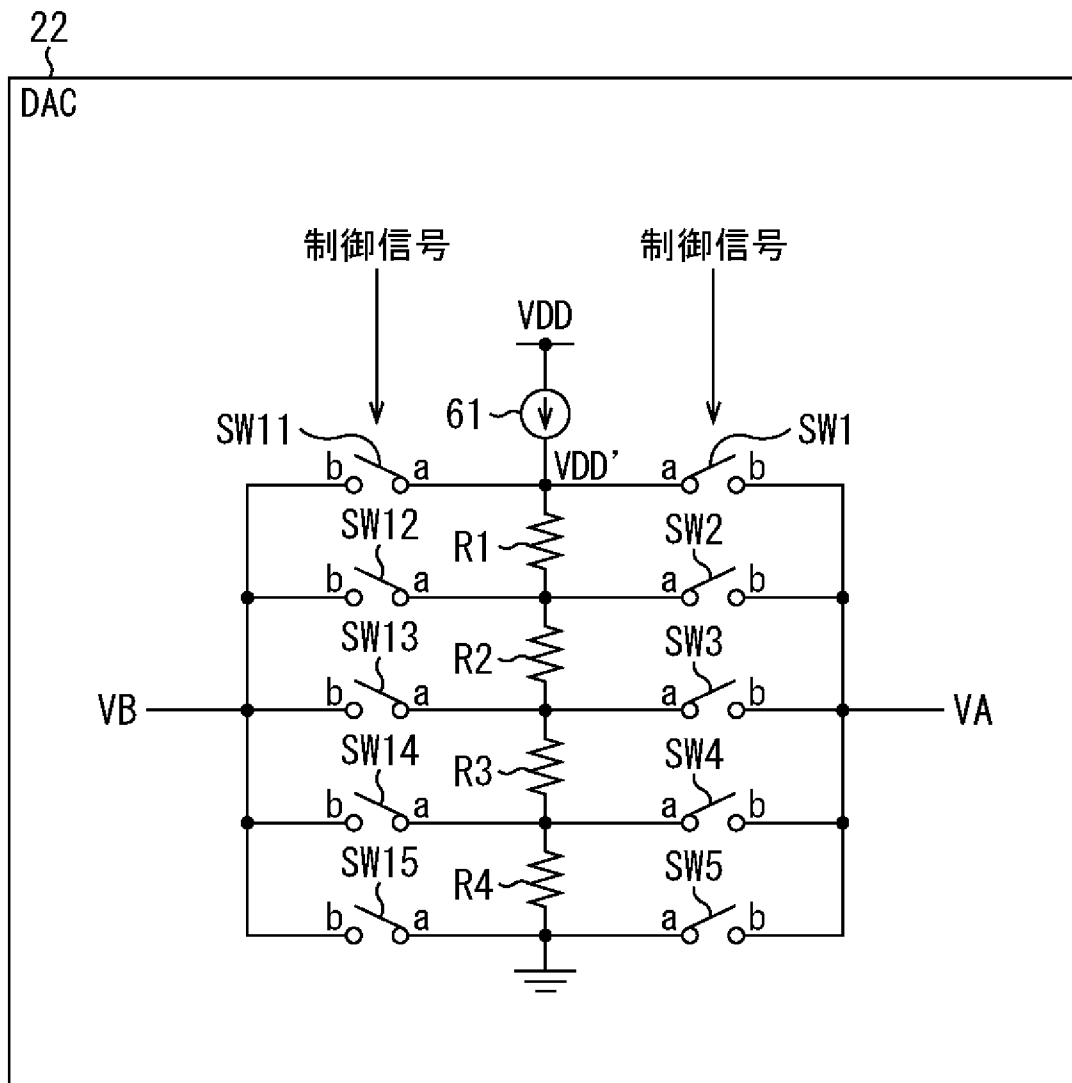
[図4]
FIG. 4



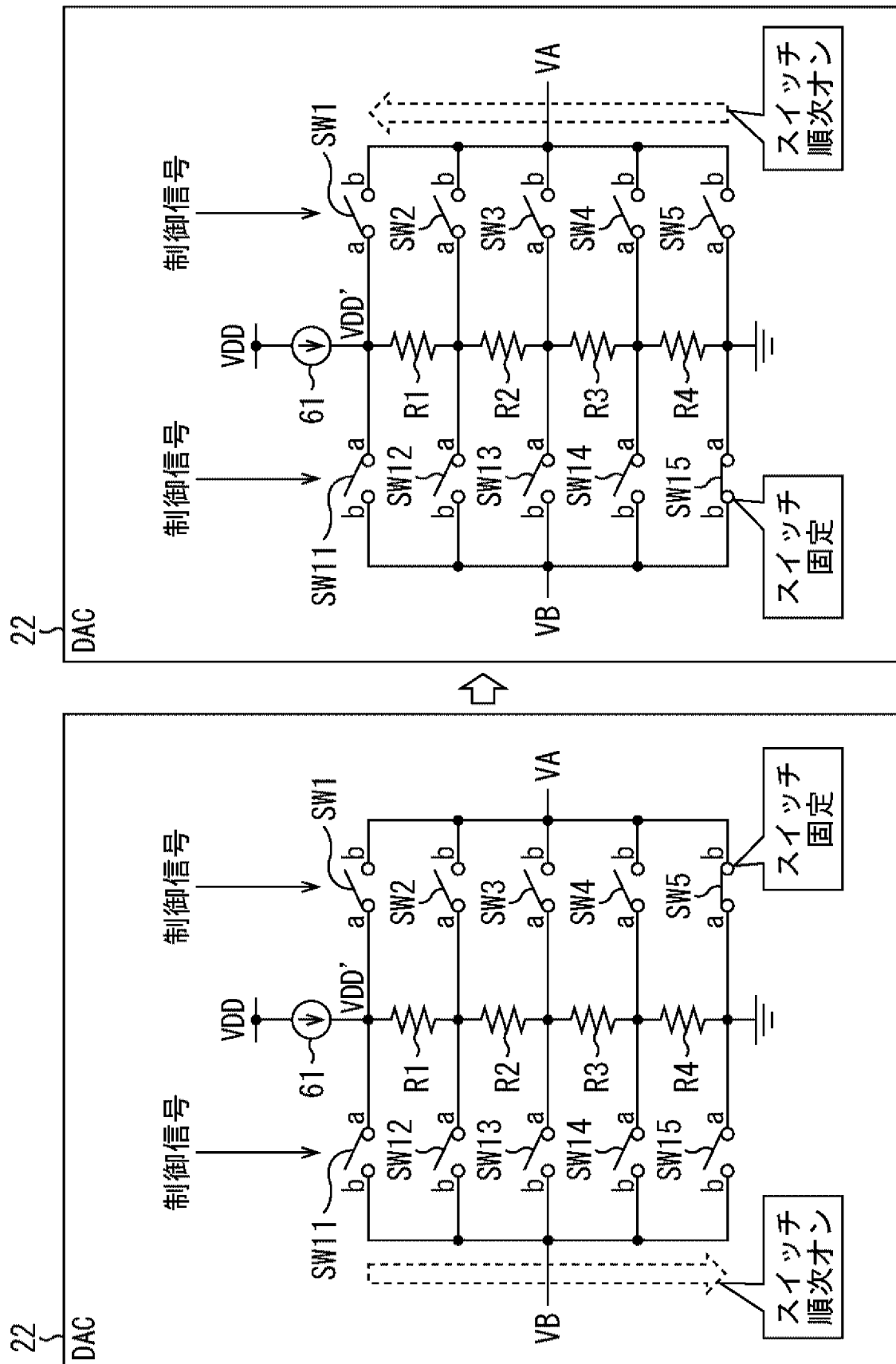
[図5]
FIG. 5



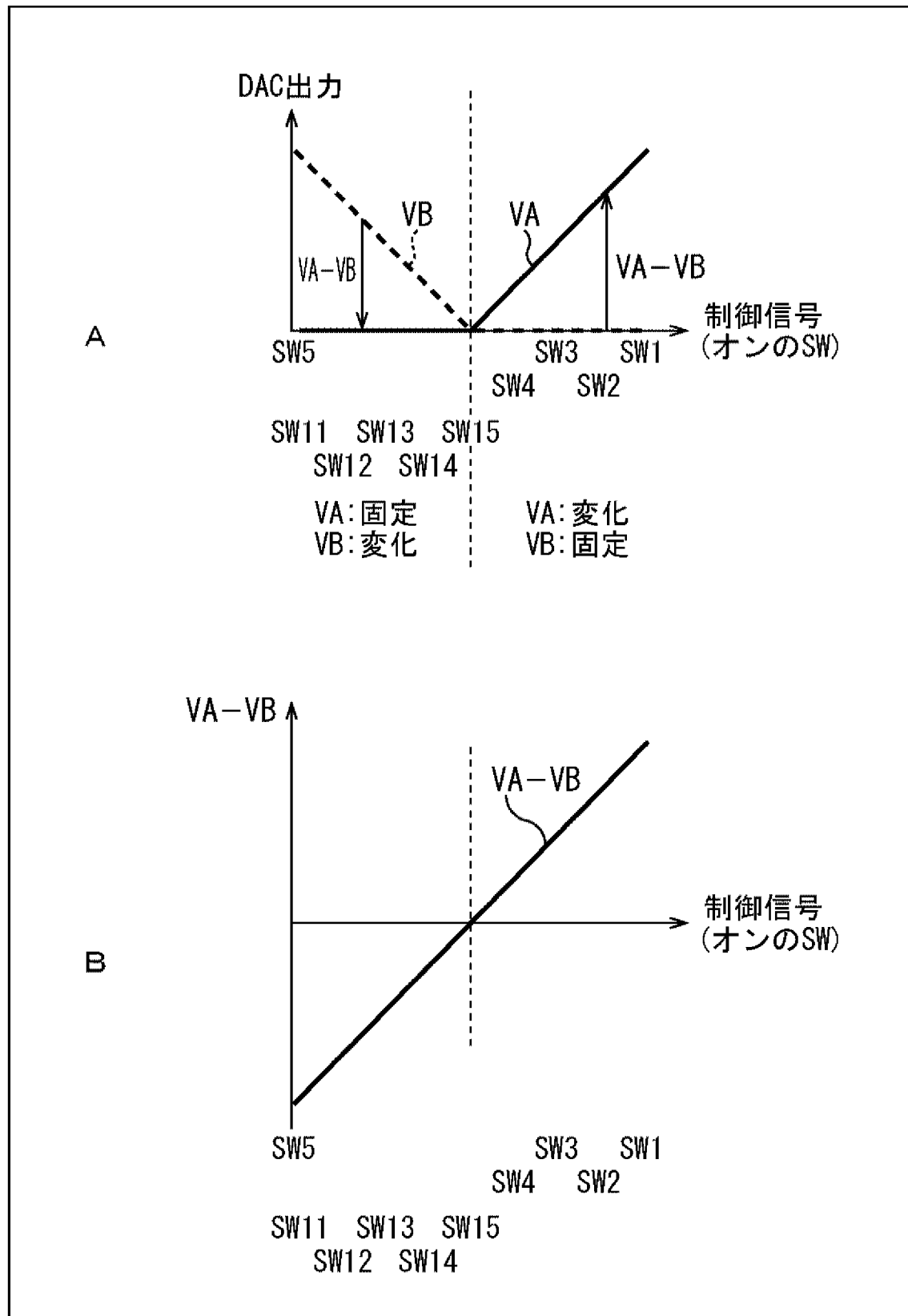
[図6]
FIG. 6

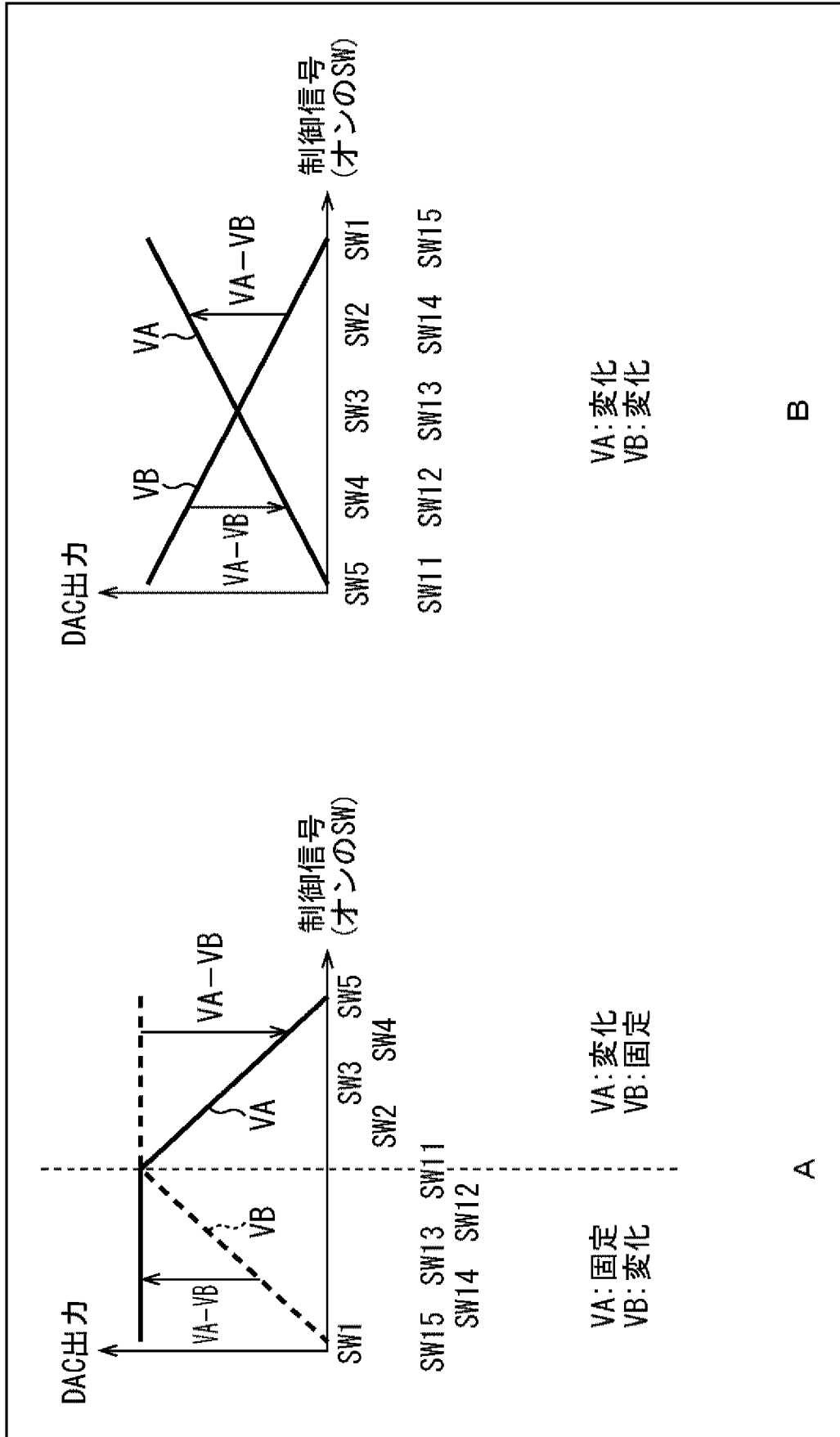


[図7]
FIG. 7

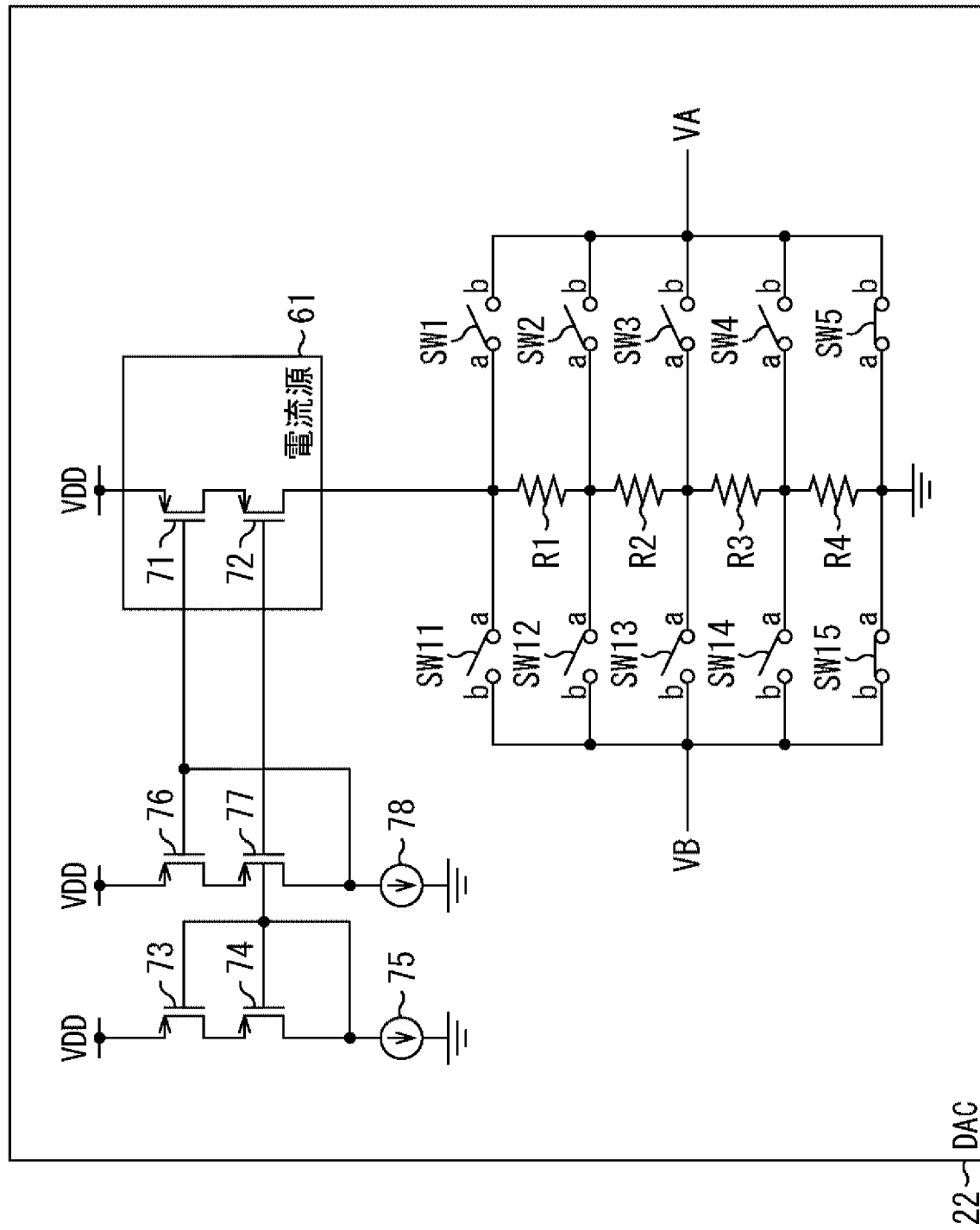


[図8]
FIG. 8



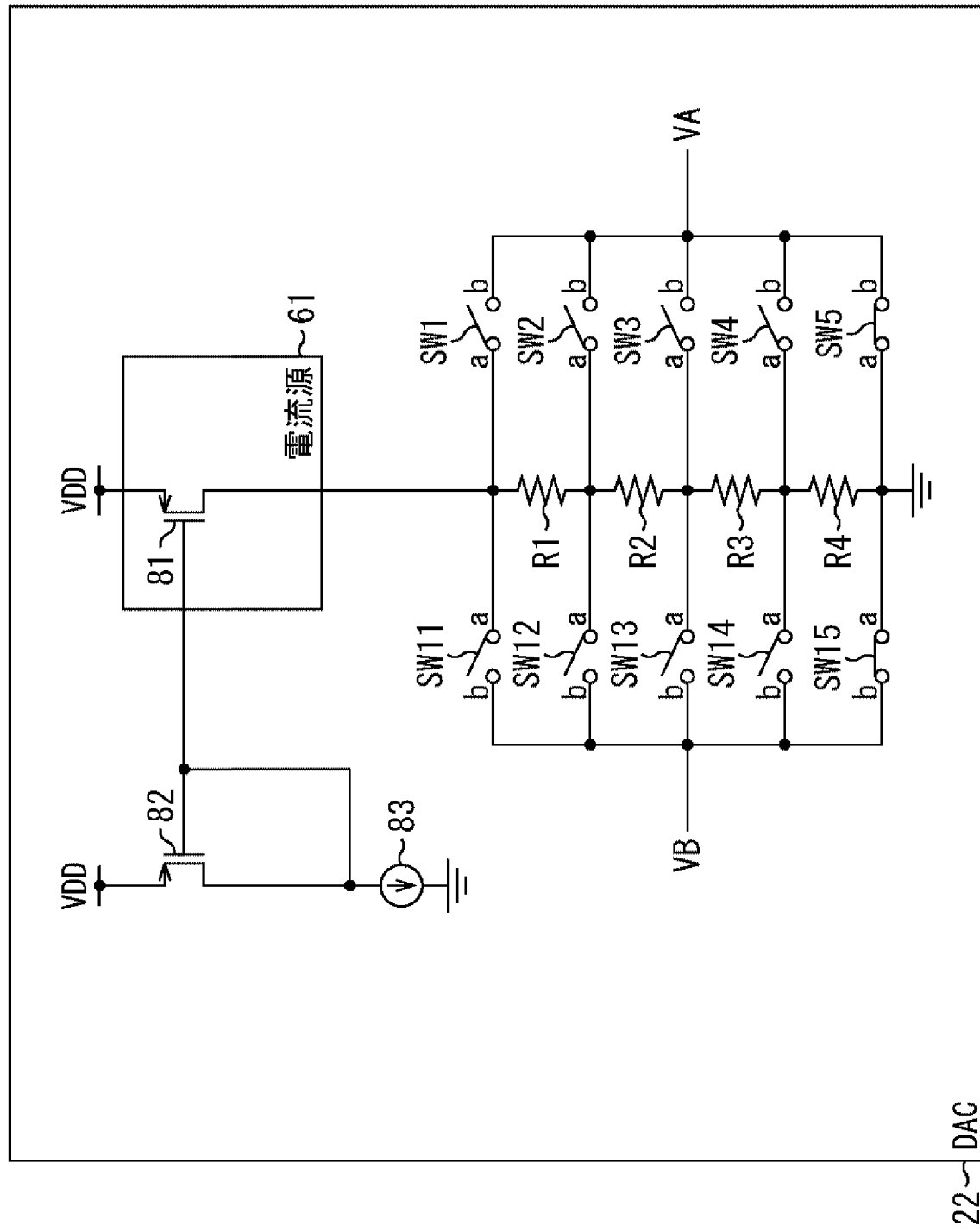
[図9]
FIG. 9

[図10]
FIG. 10

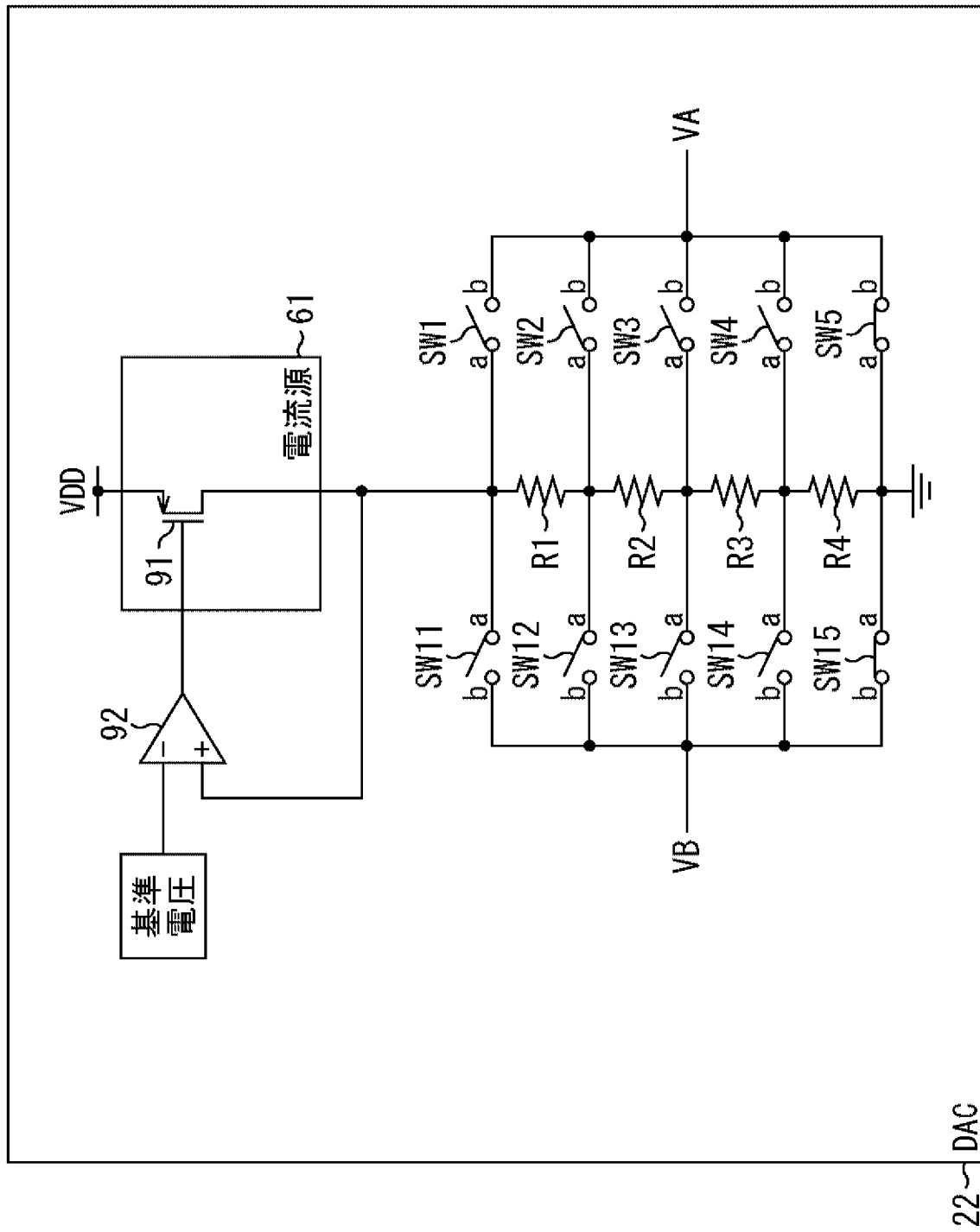


22 ~ DAC

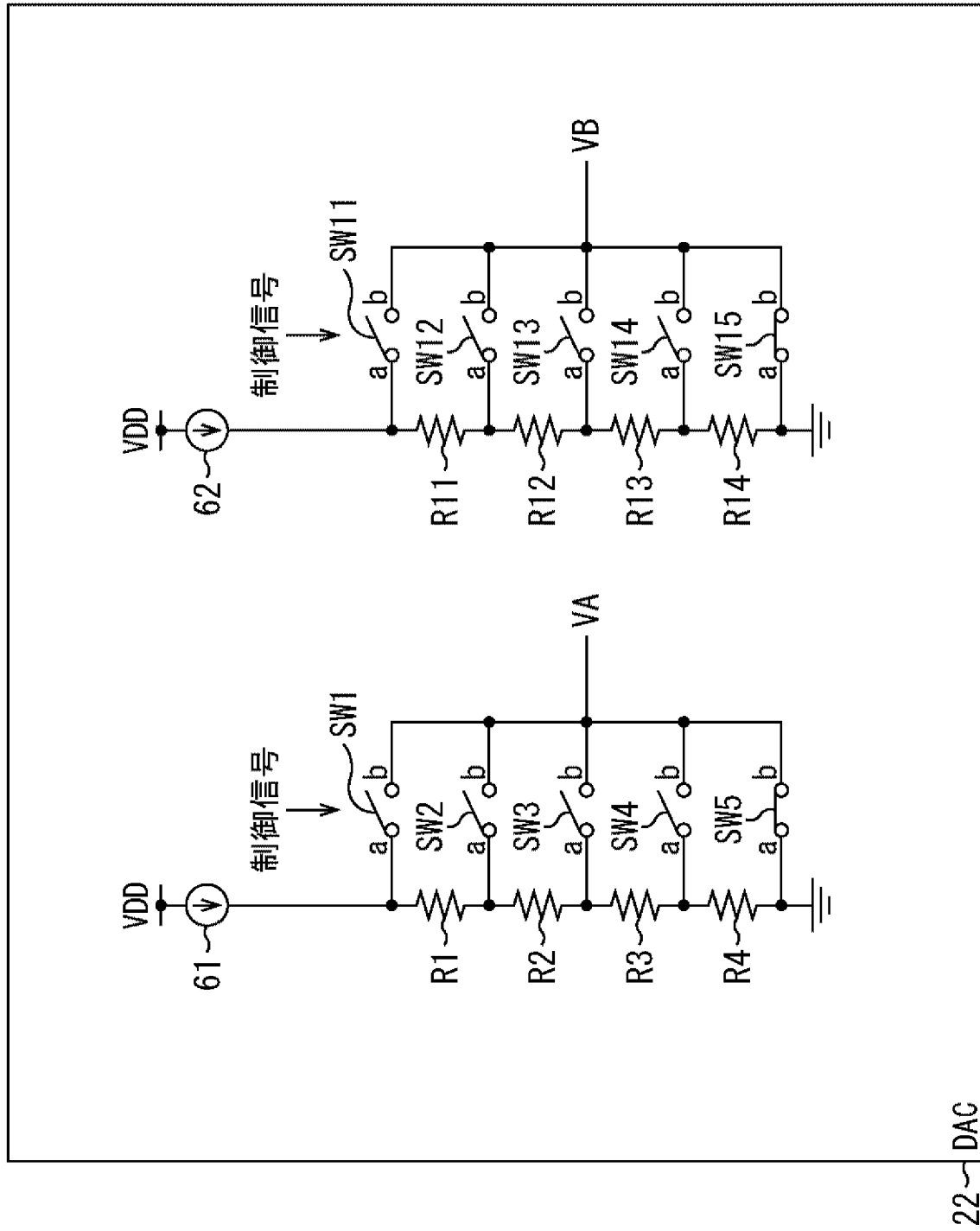
[図11]
FIG. 11



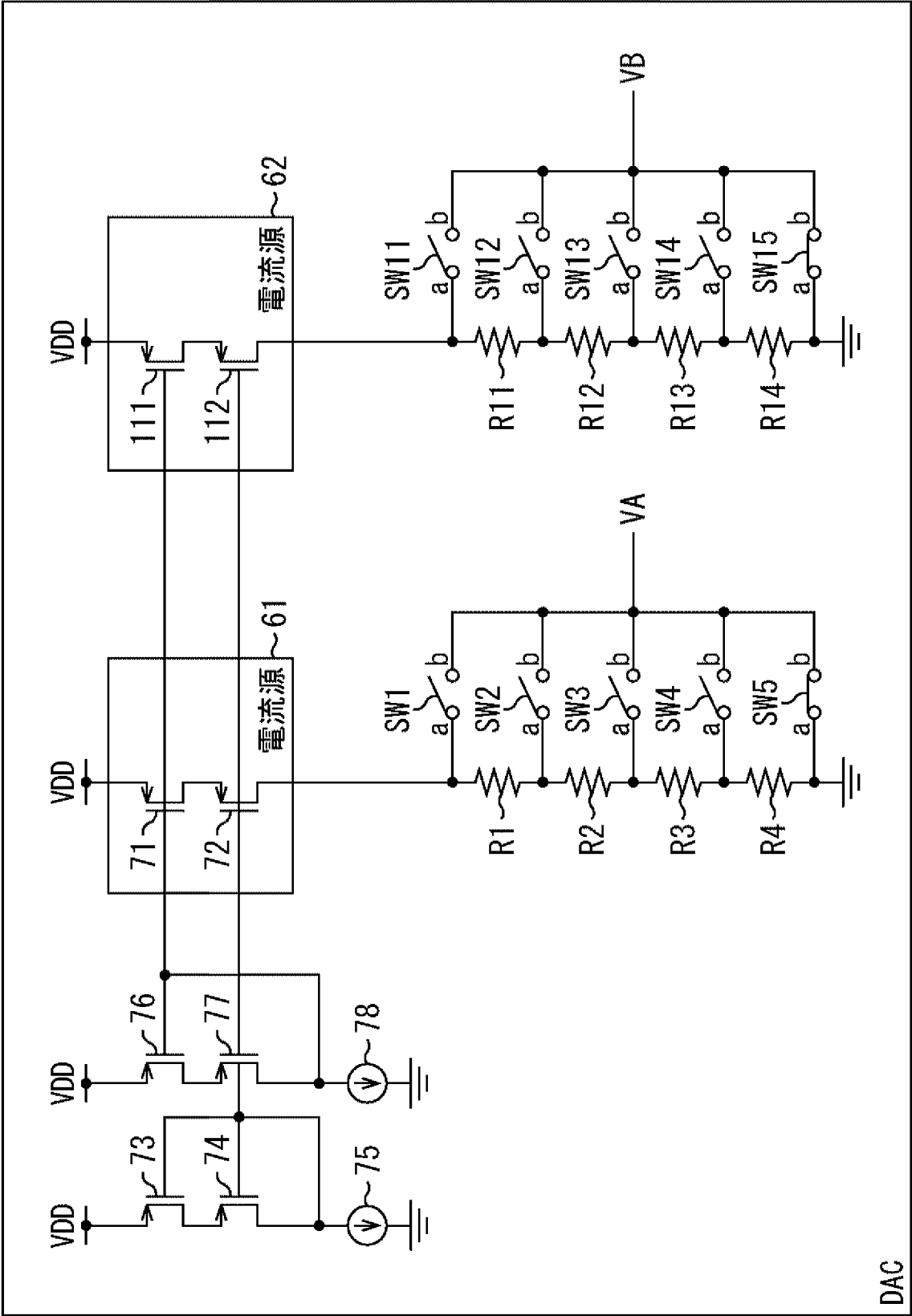
[図12]
FIG. 12

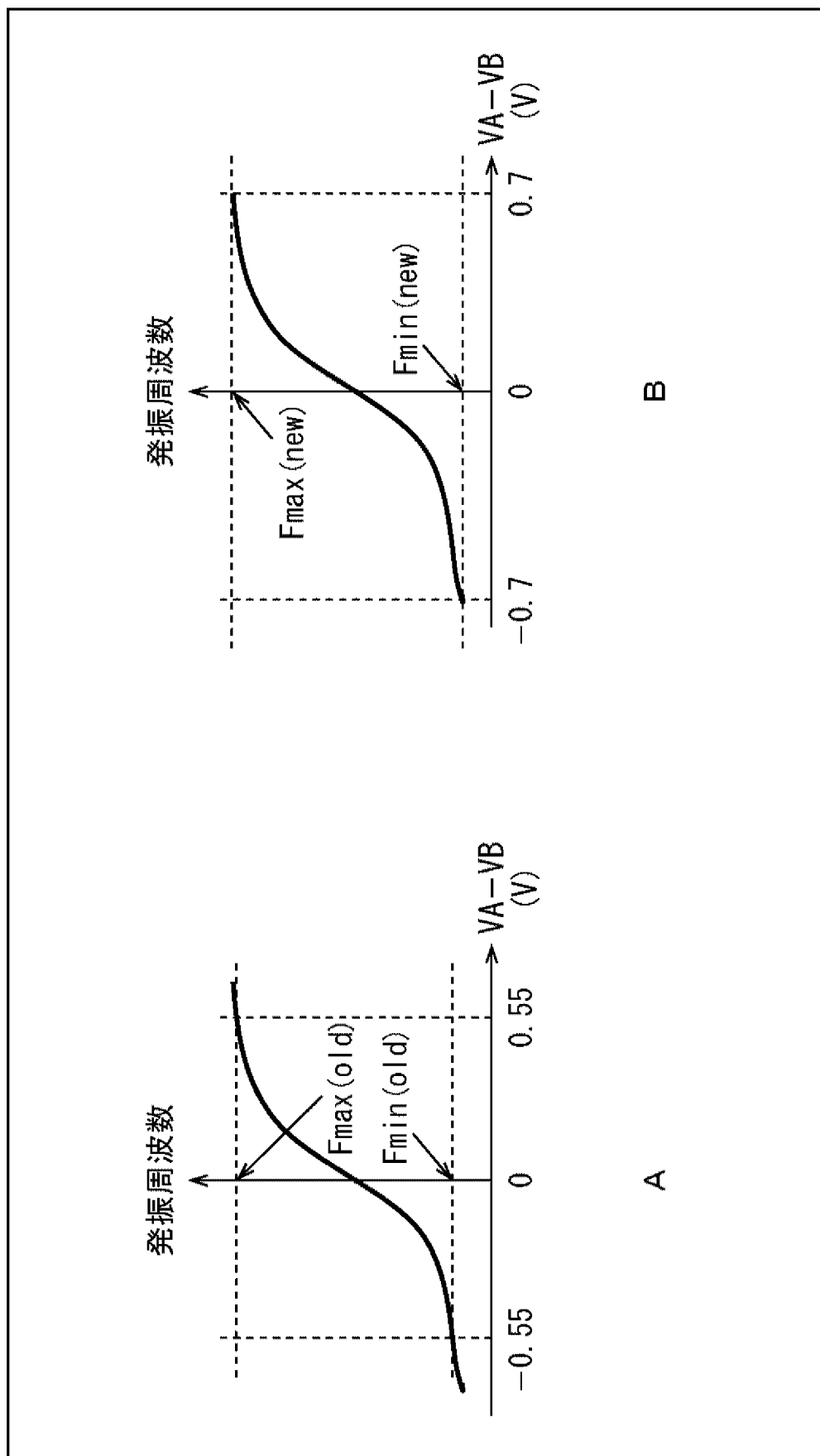


[図13]
FIG. 13



[図14]
FIG. 14



[図15]
FIG. 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/044857

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03M1/76 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03M1/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-243987 A (FUJITSU LIMITED) 29 August 2003, paragraphs [0002], [0003], fig. 11, 12 & US 2003/0151537 A1, paragraphs [0005]-[0007], fig. 1, 2	1-6 7-11
Y	JP 8-125538 A (NEC CORPORATION) 17 May 1996, paragraph [0024], fig. 4 (Family: none)	7-10
Y	JP 2001-339300 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 7 December 2001, paragraphs [0022]-[0037], fig. 3 (Family: none)	11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 January 2018

Date of mailing of the international search report

13 February 2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/76(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-243987 A (富士通株式会社)	1-6
Y	2003.8.29 段落[0002],[0003], 図 11, 12 & US 2003/0151537 A1, 段落[0005]-[0007], 図 1, 2	7-11
Y	JP 8-125538 A (日本電気株式会社) 1996.5.17 段落[0024], 図 4 (ファミリーなし)	7-10
Y	JP 2001-339300 A (松下電器産業株式会社) 2001.12.7 段落[0022]-[0037], 図 3 (ファミリーなし)	11

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.01.2018

国際調査報告の発送日

13.02.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 亮

5W

1208

電話番号 03-3581-1101 内線 3576