(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3643421号
(P3643421)
(45)発行日　平成17年4月27日(2005.4.27)　(24)登録日　平成17年2月4日(2005.2.4)

(51)Int.Cl.[7]　F I
H03K 19/0175　H03K 19/00　101J
H03K 19/0948　H03K 19/094　B

請求項の数 7　(全 9 頁)

(21)出願番号　特願平8-13220
(22)出願日　平成8年1月29日(1996.1.29)
(65)公開番号　特開平9-205358
(43)公開日　平成9年8月5日(1997.8.5)
審査請求日　平成14年9月9日(2002.9.9)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(73)特許権者　000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町２丁目１８４４番２
(74)代理人　100068755
弁理士　恩田　博宣
(72)発明者　齊藤　輝彦
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ヴィエルエスアイ株式会社内

審査官　彦田　克文

最終頁に続く

(54)【発明の名称】出力回路

(57)【特許請求の範囲】

【請求項１】
入力信号に基づいて、一対の出力端子の相補信号を出力する出力回路であって、
ハイインピーダンス設定信号に基づいて、前記一対の出力端子を導通するスイッチ回路を設けたことを特徴とする出力回路。

【請求項２】
前記一対の出力端子を所定時間導通させる時限回路を設けたことを特徴とする請求項１記載の出力回路。

【請求項３】
導通時には、前記一対の出力端子に所定電圧を供給することを特徴とする請求項１又は２記載の出力回路。

【請求項４】
前記入力信号と前記ハイインピーダンス設定信号とは互いに独立して出力回路に供給されることを特徴とする請求項１、請求項２又は請求項３記載の出力回路。

【請求項５】
前記一対の出力端子に複数の回路が接続された場合に、競合信号に基づいて前記スイッチ回路を不導通とする競合阻止回路を設けたことを特徴とする請求項１、請求項２、請求項３又は請求項４記載の出力回路。

【請求項６】
前記スイッチ回路は、転送ゲートを含むことを特徴とする請求項１、請求項２、請求項３

、請求項４又は請求項５記載の出力回路。
【請求項７】
入力信号に基づいて一対の出力端子の相補信号を出力し、ハイインピーダンス設定信号に基づいて前記一対の出力端子にハイインピーダンス信号を出力する出力回路であって、
前記ハイインピーダンス信号に基づいて、前記一対の出力端子に接続される一対の伝送路の間のインピーダンスを低下させる回路を設けたことを特徴とする出力回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、データ通信システムで使用される半導体装置の出力回路に関するものである。
【０００２】
近年、バスを介したデータ通信システムでは、データ伝送距離の長大化及び伝送データの信頼性の向上が必要となっている。このため、このようなデータ通信システムで使用される半導体装置の出力回路では、データの信頼性を確保しながら、長距離伝送を可能とし、かつ消費電力の低減を図ることが必要となっている。
【０００３】
【従来の技術】
データ通信システムで使用する半導体装置の３値出力回路の従来例を図８に示す。
【０００４】
入力信号ＩＮは、ＮＯＲ回路１ａとＮＡＮＤ回路２ａに入力されるとともに、インバータ回路３ａを介して、ＮＯＲ回路１ｂとＮＡＮＤ回路２ｂとに入力される。
【０００５】
ハイインピーダンス設定信号Ｚは、前記ＮＯＲ回路１ａ，１ｂに入力されるとともに、インバータ回路３ｂを介して前記ＮＡＮＤ回路２ａ，２ｂに入力される。
【０００６】
前記ＮＯＲ回路１ａの出力信号は、インバータ回路３ｃを介してＰチャネルＭＯＳトランジスタＴr1のゲートに入力され、前記ＮＡＮＤ回路２ａの出力信号は、インバータ回路３ｄを介してＮチャネルＭＯＳトランジスタＴr2のゲートに入力される。
【０００７】
前記トランジスタＴr1のソースは、電源Ｖccに接続され、ドレインは前記トランジスタＴr2のドレインに接続される。前記トランジスタＴr2のソースは、グランドＧＮＤに接続される。そして、両トランジスタＴr1，Ｔr2のドレインが出力端子Ｔo1に接続され、その出力端子Ｔo1から出力信号ＯＵＴＰが出力される。
【０００８】
前記ＮＯＲ回路１ｂの出力信号は、インバータ回路３ｅを介してＰチャネルＭＯＳトランジスタＴr3のゲートに入力され、前記ＮＡＮＤ回路２ｂの出力信号は、インバータ回路３ｆを介してＮチャネルＭＯＳトランジスタＴr4のゲートに入力される。
【０００９】
前記トランジスタＴr3のソースは、電源Ｖccに接続され、ドレインは前記トランジスタＴr4のドレインに接続される。前記トランジスタＴr4のソースは、グランドＧＮＤに接続される。そして、両トランジスタＴr3，Ｔr4のドレインが出力端子Ｔo2に接続され、その出力端子Ｔo2から出力信号ＯＵＴＭが出力される。
【００１０】
前記出力端子Ｔo1，Ｔo2にはそれぞれ伝送線路Ｌ１，Ｌ２が接続され、その伝送線路Ｌ１，Ｌ２間には終端抵抗Ｒが接続される。
このように構成された出力回路では、ハイインピーダンス設定信号ＺがＬレベルであって、入力信号ＩＮがＨレベルとなると、ＮＯＲ回路１ａの出力信号はＬレベルとなって、インバータ回路３ｃの出力信号がＨレベルとなり、トランジスタＴr1がオフされる。
【００１１】

ＮＡＮＤ回路２ａの出力信号はＬレベルとなって、インバータ回路３ｄの出力信号がＨレベルとなり、トランジスタＴr2がオンされる。従って、出力信号ＯＵＴＰはＬレベルとなる。

【００１２】

同時に、ＮＯＲ回路１ｂの出力信号はＨレベルとなってインバータ回路３ｅの出力信号はＬレベルとなり、トランジスタＴr3がオンされる。ＮＡＮＤ回路２ｂの出力信号はＨレベルとなってインバータ回路３ｆの出力信号はＬレベルとなり、トランジスタＴr4はオフされる。

【００１３】

従って、出力信号ＯＵＴＭはＨレベルとなる。そして、Ｌレベルの出力信号ＯＵＴＰと、ＨレベルのＯＵＴＭとにより、このときの出力データを「－１」とする。

【００１４】

ハイインピーダンス設定信号ＺがＬレベルであって、入力信号ＩＮがＬレベルとなると、前記各回路の動作はそれぞれ反転されて、出力信号ＯＵＴＰはＨレベル、出力信号ＯＵＴＭはＬレベルとなる。このときの出力データを「＋１」とする。

【００１５】

一方、ハイインピーダンス設定信号ＺがＨレベルとなると、入力信号ＩＮに関わらずＮＯＲ回路１ａの出力信号はＬレベルとなり、ＮＡＮＤ回路２ａの出力信号はＨレベルとなる。

【００１６】

すると、インバータ回路３ｃの出力信号はＨレベル、インバータ回路３ｄの出力信号はＬレベルとなって、トランジスタＴr1，Ｔr2はともにオフされる。従って、出力信号ＯＵＴＰはハイインピーダンスとなる。

【００１７】

同様に、ＮＯＲ回路１ｂの出力信号はＬレベルとなり、ＮＡＮＤ回路２ｂの出力信号はＨレベルとなる。

すると、インバータ回路３ｅの出力信号はＨレベル、インバータ回路３ｆの出力信号はＬレベルとなって、トランジスタＴr3，Ｔr4はともにオフされる。従って、出力信号ＯＵＴＭはハイインピーダンスとなる。従って、出力信号ＯＵＴＰ，ＯＵＴＭはともにハイインピーダンスとなり、出力データを「０」とする。このような動作により、「＋１」，「０」，「－１」の３値が出力される。

【００１８】

【発明が解決しようとする課題】

上記のような出力回路では、出力信号ＯＵＴＰ，ＯＵＴＭがハイインピーダンスとなるとき、伝送線路Ｌ１，Ｌ２の電位は不定となるため、伝送線路Ｌ１，Ｌ２がＨレベル若しくはＬレベルから中間レベルに移行する過程で、図９に示すようなアンダーシュートあるいはオーバーシュート等のノイズＮが発生し易い。

【００１９】

そして、このようなノイズＮにより、伝送線路Ｌ１，Ｌ２に接続された受信装置で、誤ったデータを受信するおそれがある。

このようなノイズＮは、終端抵抗Ｒの抵抗値を低くすることにより低減される。しかし、終端抵抗Ｒの抵抗値を低くすると、出力信号ＯＵＴＰ，ＯＵＴＭの立ち上がり及び立ち下がり速度が低下する。

【００２０】

また、出力信号ＯＵＴＰ，ＯＵＴＭの振幅が小さくなって、伝送線路Ｌ１，Ｌ２が長距離となった場合のデータの信頼性が低下する。

そこで、十分な振幅を確保するためにはトランジスタＴr1～Ｔr4の電流駆動能力を十分に確保して、終端抵抗Ｒに流れる電流を増大させる必要があるため、消費電力が増大するという問題点がある。

【００２１】

この発明の目的は、低消費電力で、かつ長距離伝送の信頼性を向上させ得る出力回路を提供することにある。

【００２２】

【課題を解決するための手段】

図１は請求項１の原理説明図である。すなわち、入力信号ＩＮに基づいて、出力回路から一対の出力端子Ｔo1，Ｔo2に相補信号が出力される。前記一対の出力端子Ｔo1，Ｔo2間には、ハイインピーダンス設定信号Ｚに基づいて導通するスイッチ回路４が設けられる。

【００２５】

（作用）

請求項１では、ハイインピーダンス設定信号Ｚに基づいて、スイッチ回路４が導通して、一対の出力端子Ｔo1，Ｔo2が短絡される。

【００２９】

【発明の実施の形態】

（第一の実施の形態）

図２は、この発明を具体化した第一の実施の形態を示す。この実施の形態は、前記従来例の出力回路にスイッチ回路として動作する転送ゲート４ａを付加したものである。

【００３０】

すなわち、前記転送ゲート４ａは出力端子Ｔo1，Ｔo2間に接続され、その転送ゲート４ａのＮチャネル側ゲートには、ハイインピーダンス設定信号Ｚが入力され、Ｐチャネル側ゲートには、前記インバータ回路３ｂの出力信号が入力される。

【００３１】

このような構成により、ハイインピーダンス設定信号ＺがＬレベルとなるとき、転送ゲート４ａはオフされて、前記従来例と同様に動作する。

また、ハイインピーダンス設定信号ＺがＨレベルとなると、転送ゲート４ａがオンされて、出力端子Ｔo1，Ｔo2が短絡される状態となる。

【００３２】

すると、出力信号ＯＵＴＰ，ＯＵＴＭがハイインピーダンスとなるとき、出力端子Ｔo1，Ｔo2が短絡状態となって、伝送線路Ｌ１，Ｌ２間のインピーダンスが低下する。

【００３３】

上記のような出力回路は次に示すような作用効果を得ることができる。

（イ）出力信号ＯＵＴＰ，ＯＵＴＭがハイインピーダンスとなるとき、伝送線路Ｌ１，Ｌ２間のインピーダンスが低下するので、図７に示すように、伝送線路Ｌ１，Ｌ２に発生するノイズＮを抑制することができる。

（ロ）ハイインピーダンス設定信号ＺがＬレベルのときは、転送ゲート４ａがオフされるので、伝送線路Ｌ１，Ｌ２間のインピーダンスが低下することはない。従って、出力信号ＯＵＴＰ，ＯＵＴＭの一方がＨレベル、他方がＬレベルとなるときに、伝送線路Ｌ１，Ｌ２間に流れる電流を増大させることはないので、消費電力を増大させることはない。

（第二の実施の形態）

図３は、第二の実施の形態を示す。この実施の形態は、前記第一の実施の形態の転送ゲート４ａを一定時間に限りオンさせる構成としたものである。

【００３４】

すなわち、ハイインピーダンス設定信号Ｚは、ＮＡＮＤ回路２ｃに入力されるとともに、奇数段のインバータ回路３ｇを介してＮＡＮＤ回路２ｃに入力される。

【００３５】

前記ＮＡＮＤ回路２ｃの出力信号であるノードＮ１は、前記転送ゲート４ａのＰチャネル側ゲートに入力されるとともに、インバータ回路３ｈを介して転送ゲート４ａのＮチャネル側ゲートに入力される。

【００３６】

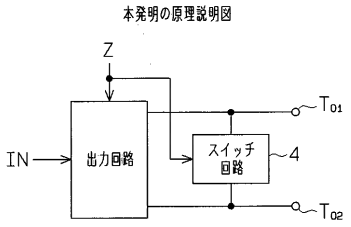
このような構成により、ハイインピーダンス設定信号ＺがＬレベルであれば、ＮＡＮＤ回路２ｃの出力信号はＨレベルとなるので、転送ゲート４ａはオフされる。

【００３７】
また、ハイインピーダンス設定信号ＺがＬレベルからＨレベルに立ち上がると、図６に示すように、ノードＮ１はインバータ回路３ｇの動作遅延時間ｔ１の間に限りＬレベルとなる。
【００３８】
すると、転送ゲート４ａは時間ｔ１の間に限りオンされて、出力端子Ｔo1，Ｔo2が短絡状態となる。
上記のような出力回路では、前記第一の実施の形態の作用効果に加えて、次に示すような作用効果を得ることができる。
（イ）ハイインピーダンス設定信号ＺのＬレベルからＨレベルへの立ち上がりに基づいて、所定時間ｔ１に限り転送ゲート４ａをオンさせて出力端子Ｔo1，Ｔo2を短絡状態として、伝送線路Ｌ１，Ｌ２でのノイズの発生を抑制した後は、転送ゲート４ａをオフさせることができる。
【００３９】
このため、伝送線路Ｌ１，Ｌ２が短絡状態に維持されることはないので、伝送線路Ｌ１，Ｌ２に複数の出力回路を接続することができる。
（第三の実施の形態）
図４は、第三の実施の形態を示す。この実施の形態は、前記第二の実施の形態の転送ゲート４ａを転送ゲート４ｂ，４ｃに置換したものである。
【００４０】
すなわち、出力端子Ｔo1，Ｔo2の間には転送ゲート４ｂ，４ｃが直列に接続される。前記転送ゲート４ｂ，４ｃのＰチャネル側ゲートには、前記ＮＡＮＤ回路２ｃの出力信号が入力され、転送ゲート４ｂ，４ｃのＮチャネル側ゲートには、前記ＮＡＮＤ回路２ｃの出力信号がインバータ回路３ｈを介して入力される。
【００４１】
また、前記転送ゲート４ｂ，４ｃ間には電源ＶccとグランドＧＮＤとの中間レベルであるＶcc／２が供給される。
このように構成された出力回路では、ハイインピーダンス設定信号ＺがＬレベルであれば、ＮＡＮＤ回路２ｃの出力信号がＨレベルとなって、転送ゲート４ｂ，４ｃがオフされる。従って、前記第一及び第二の実施の形態と同様に動作する。
【００４２】
また、ハイインピーダンス設定信号ＺがＬレベルからＨレベルに立ち上がると、インバータ回路３ｇ及びＮＡＮＤ回路２ｃの動作により、転送ゲート４ａ，４ｂが一定時間に限りオンされる。
【００４３】
転送ゲート４ｂ，４ｃがオンされると、出力端子Ｔo1，Ｔo2にはＶcc／２が供給される。従って、ハイインピーダンス設定信号ＺがＬレベルからＨレベルに立ち上がると、出力端子Ｔo1，Ｔo2はＶcc／２レベルに強制的にリセットされたのち、ハイインピーダンスとなる。
【００４４】
上記のような出力回路では、前記第二の実施の形態の作用効果に加えて、次に示すような作用効果を得ることができる。
（イ）ハイインピーダンス設定信号ＺのＬレベルからＨレベルへの立ち上がりに基づいて、所定時間に限り転送ゲート４ａ，４ｂをオンさせて出力端子Ｔo1，Ｔo2を短絡状態として、伝送線路Ｌ１，Ｌ２をＶcc／２レベルに強制的にリセットすることができる。
【００４５】
このため、トランジスタＴr1，Ｔr2と、トランジスタＴr3，Ｔr4とにおいて、電流駆動能力にばらつきが生じていても、出力信号ＯＵＴＰ，ＯＵＴＭがハイインピーダンスとなるときは、伝送線路Ｌ１，Ｌ２を電源VccとグランドＧＮＤレベルとの中間レベルに確実にリセットすることができる。

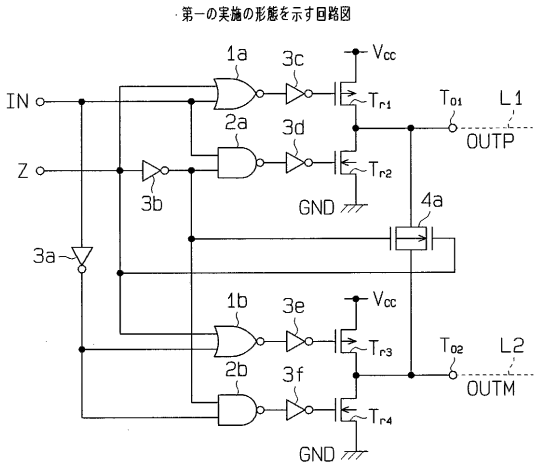
（第四の実施の形態）
図５は、第四の実施の形態を示す。この実施の形態は、前記第二の実施の形態のインバータ回路３ｈを除去し、ＮＯＲ回路１ｃ及びインバータ回路３ｉを付加したものであり、伝送線路Ｌ１，Ｌ２に複数の出力回路が接続され、その出力回路が同時に動作するときに出力端子To1，To2を短絡状態とすることを防止するものである。
【００４６】
すなわち、前記ＮＡＮＤ回路２ｃの出力信号は、競合阻止回路を構成するＮＯＲ回路１ｃに入力され、そのＮＯＲ回路１ｃには他の出力回路が動作しているときにＨレベルとなる競合信号Ｋが入力される。
【００４７】
前記ＮＯＲ回路１ｃの出力信号は、転送ゲート４ａのＮチャネル側ゲートに入力されるとともに、インバータ回路３ｉを介して転送ゲート４ａのＰチャネル側ゲートに入力される。
【００４８】
このような構成により、競合信号ＫがＨレベルであれば、ＮＡＮＤ回路２ｃの出力信号に関わらず、ＮＯＲ回路１ｃの出力信号はＬレベルとなるため、転送ゲート４ａはオフされる。
【００４９】
また、競合信号ＫがＬレベルであれば、ハイインピーダンス設定信号Ｚの立ち上がりに基づいてＮＡＮＤ回路２ｃから所定時間Ｌレベルとなるパルス信号が出力され、そのパルス信号がＮＯＲ回路１ｃで反転されて転送ゲート４ａのＮチャネル側ゲートに入力されるとともに、さらにインバータ回路３ｉで反転されて、転送ゲート４ａのＰチャネル側ゲートに入力される。
【００５０】
従って、ハイインピーダンス設定信号Ｚの立ち上がりに基づいて、転送ゲート４ａが一定時間に限りオンされ、前記第一の実施の形態と同様に動作する。
上記のような出力回路では、前記第一の実施の形態の作用効果に加えて、次に示すような作用効果を得ることができる。
（イ）伝送線路Ｌ１，Ｌ２に接続されされる他の出力回路が動作するときには、転送ゲート４ａのオン動作を解除して、出力端子To1，To2の短絡を阻止することにより、他の出力回路の負荷となることを防止することができる。
【００５１】
なお、前記各実施例では、スイッチ回路を転送ゲートで構成したが、ＮチャネルＭＯＳトランジスタやＰチャネルＭＯＳトランジスタあるいはその他のスイッチング阻止で構成してもよい。
【００５２】
前記実施の形態から把握できる請求項以外の技術思想を以下に、その効果とともに述べる。
（１）請求項１において、前記スイッチ回路はスイッチングトランジスタで構成した。ハイインピーダンス設定信号に基づいてスイッチングトランジスタをオンさせて、一対の出力端子を短絡することができる。
【００５３】
【発明の効果】
以上詳述したように、この発明は低消費電力で、かつ長距離伝送の信頼性を向上させ得る出力回路を提供することができる。
【図面の簡単な説明】
【図１】　本発明の原理説明図である。
【図２】　第一の実施の形態を示す回路図である。
【図３】　第二の実施の形態を示す回路図である。
【図４】　第三の実施の形態を示す回路図である。

【図５】　第四の実施の形態を示す回路図である。
【図６】　第二の実施の形態の動作を示すタイミング波形図である。
【図７】　第一の実施の形態の出力信号を示す波形図である。
【図８】　従来例を示す回路図である。
【図９】　従来例の出力信号を示す波形図である。
【符号の説明】
4　　スイッチ回路
ＩＮ　　入力信号
Ｔo1，Ｔo2　出力端子
Ｚ　　ハイインピーダンス設定信号

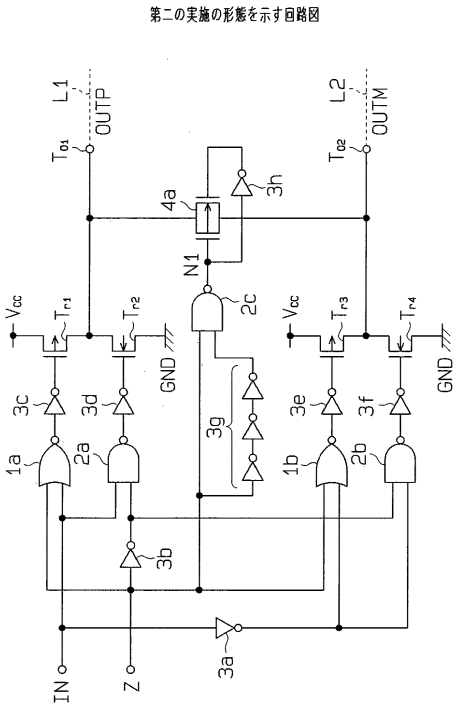
【図１】



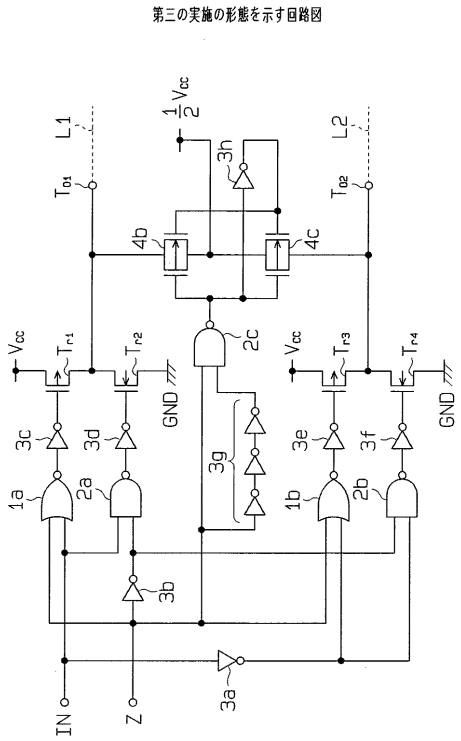
【図２】



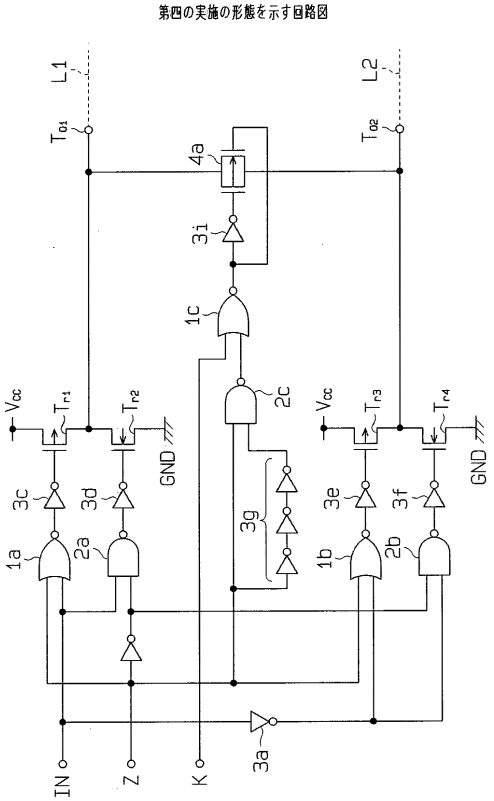
【図３】



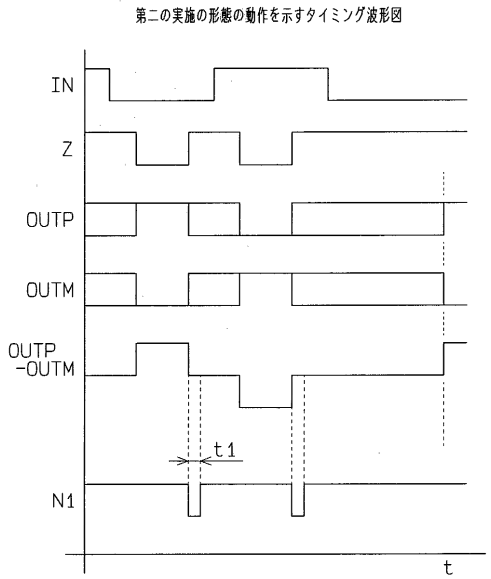
【図４】



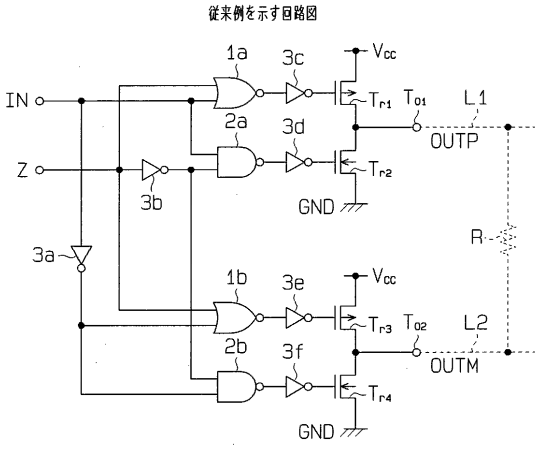
【図５】



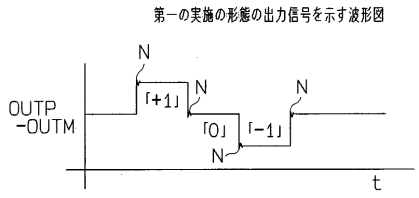
【図６】



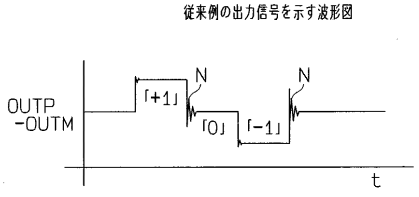
【図８】



【図７】



【図９】



フロントページの続き

(56)参考文献 特開平7－95041（ＪＰ，Ａ）
特開平1－248827（ＪＰ，Ａ）
特開平6－195304（ＪＰ，Ａ）
特開平7－249977（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K 19/0175
H03K 19/0948