

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-123880

(P2012-123880A)

(43) 公開日 平成24年6月28日 (2012.6.28)

(51) Int.Cl.			F I			テーマコード (参考)		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00	6 3 9 C	5 B 1 2 5		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 0 1 B	5 L 1 0 6		
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00	6 2 2 E			
G 1 1 C	29/42	(2006.01)	G 1 1 C	17/00	6 4 1			
			G 1 1 C	29/00	6 3 1 D			

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願2010-275346 (P2010-275346)
 (22) 出願日 平成22年12月10日 (2010.12.10)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明

最終頁に続く

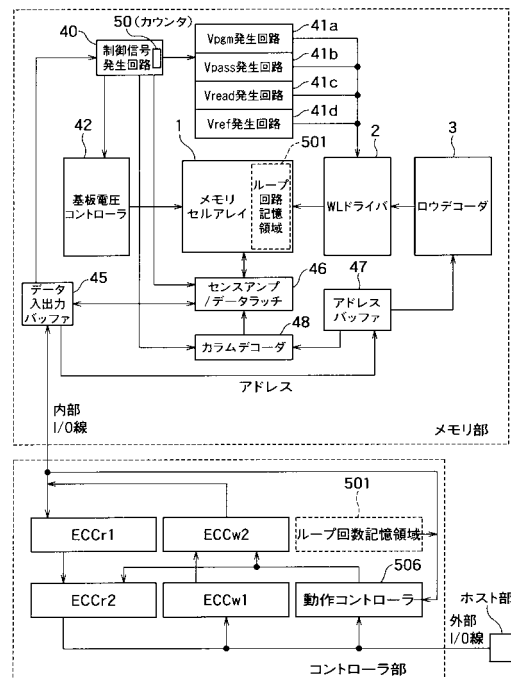
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】メモリの状態に適した誤り訂正能力を有し、無駄な消費電力を省いたECC回路を備えたメモリを提供する。

【解決手段】メモリは、ビット線と、ワード線と、ビット線とワード線との交点に対応して設けられたメモリセルを含むメモリセルアレイとを備える。センスアンプは、ビット線に接続され、メモリセルに格納されたデータを検出する。ワード線ドライバは、ワード線の電圧を制御する。コントローラは、第1の誤り訂正能力を有する第1の誤り訂正回路および第2の誤り訂正能力を有する第2の誤り訂正回路を含む。メモリセルは、データ消去の単位となるメモリセルブロックを成し、メモリセルブロックにおいて各ワード線に接続されたメモリセルがページを成す。コントローラは、書き込み時にワード線の電圧をステップさせる回数に応じて、読み出し時または書き込み時に第1の誤り訂正回路および第2の誤り訂正回路のうちいずれか一方またはそれらの両方を駆動させる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のビット線と、
前記ビット線に交差する複数のワード線と、
前記ビット線と前記ワード線との交点に対応して設けられた複数のメモリセルを含むメモリセルアレイと、
前記ビット線に接続され、前記複数のメモリセルに格納されたデータを検出するセンスアンプと、

前記ワード線の電圧を制御するワード線ドライバと、
第 1 の誤り訂正能力を有する第 1 の誤り訂正回路および第 2 の誤り訂正能力を有する第 2 の誤り訂正回路を含む訂正回路部とを備え、

各前記ワード線に接続された前記メモリセルがページを成し、

前記コントローラは、データ書込み時に前記ワード線の電圧をステップさせる回数に応じて、データ読出し時またはデータ書込み時に前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路のうちいずれか一方またはそれらの両方を駆動させることを特徴とする半導体記憶装置。

【請求項 2】

前記メモリセルアレイは、データ書込み時における前記ワード線電圧のステップ回数を各前記ページごとに格納するステップ回数格納領域を含み、

前記ステップ回数が所定値以上の場合、前記訂正回路部は、データ読出し時またはデータ書込み時に前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路のうちいずれか一方のみを選択的に駆動させ、前記ステップ回数が所定値未満の場合、前記訂正回路部は、データ読出し時またはデータ書込み時に前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路の両方を駆動させることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記訂正回路部は、データ書込み時における前記ワード線電圧のステップ回数を各前記ページごとに格納するステップ回数格納領域を含み、

前記ステップ回数が所定値以上の場合、前記訂正回路部は、データ読出し時またはデータ書込み時に前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路のうちいずれか一方のみを選択的に駆動させ、前記ステップ回数が所定値未満の場合、前記訂正回路部は、データ読出し時またはデータ書込み時に前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路の両方を駆動させることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記ステップ回数が所定値以上の場合、前記訂正回路部は、前記第 1 の誤り訂正回路によって符号化されたデータを書き込み、あるいは、前記第 1 の誤り訂正回路によって復号化されたデータを読み出し、

前記ステップ回数が所定値未満の場合、前記訂正回路部は、前記第 1 の誤り訂正回路および前記第 2 の誤り訂正回路による接続符号によって符号化したデータを書き込み、あるいは、該接続符号によって復号化したデータを読み出すことを特徴とする請求項 2 または請求項 3 に記載のデータ記憶システム。

【請求項 5】

複数のビット線と、
前記ビット線に交差する複数のワード線と、
前記ビット線と前記ワード線との交点に対応して設けられた複数のメモリセルを含むメモリセルアレイと、

前記ビット線に接続され、前記複数のメモリセルに格納されたデータを検出するセンスアンプと、

前記ワード線の電圧を制御するワード線ドライバと、

第 1 の誤り訂正能力を有する第 1 の誤り訂正回路および第 2 の誤り訂正能力を有する第 2 の誤り訂正回路を含む訂正回路部とを備え、

10

20

30

40

50

複数の前記メモリセルがデータ消去の単位となるメモリセルブロックを成し、前記メモリセルブロックにおいて各前記ワード線に接続された前記メモリセルがページを成し、前記訂正回路部は、前記ページ内に含まれるフェイルビット数に応じて、データ読出し時またはデータ書込み時に前記第1の誤り訂正回路および前記第2の誤り訂正回路のうちいずれか一方またはそれらの両方を駆動させることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

NAND型フラッシュメモリ等のようなEEPROM（以下、単にメモリともいう）は、データの信頼性を向上させるためにECC(error correcting code)を用いる。通常、書込みおよび消去（以下、W/Eともいう）を繰り返すことにより、不良メモリセル（以下、フェイルビットともいう）が増加する。ECC回路は、このようなフェイルビットを訂正することによって、メモリのW/E回数の上限を向上させることができる。

【0003】

W/E回数の上限を増大させるためには、誤り訂正能力の高いECC回路を用いればよい。これにより、メモリの信頼性は向上する。しかし、誤り訂正能力の高いECC回路は、消費電力が大きい。また、W/E回数がまだ少ない段階では、フェイルビット数が少ないため、ECC回路の誤り訂正能力が過剰である場合もある。このような場合、過剰に高い訂正能力を有するECC回路は、電力を必要以上に消費していることになる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-164634号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

メモリの状態に適した誤り訂正能力を有し、無駄な消費電力を省いたECC回路を備えた半導体記憶装置を提供する。

【課題を解決するための手段】

【0006】

本実施形態による半導体記憶装置は、複数のビット線と、前記ビット線に交差する複数のワード線と、前記ビット線と前記ワード線との交点に対応して設けられた複数のメモリセルを含むメモリセルアレイとを備えている。センスアンプは、前記ビット線に接続され、前記複数のメモリセルに格納されたデータを検出する。ワード線ドライバは、前記ワード線の電圧を制御する。コントローラは、第1の誤り訂正能力を有する第1の誤り訂正回路および第2の誤り訂正能力を有する第2の誤り訂正回路を含む。複数の前記メモリセルは、データ消去の単位となるメモリセルブロックを成し、前記メモリセルブロックにおいて各前記ワード線に接続された前記メモリセルがページを成す。前記コントローラは、データ書込み時に前記ワード線の電圧をステップさせる回数に応じて、データ読出し時またはデータ書込み時に前記第1の誤り訂正回路および前記第2の誤り訂正回路のうちいずれか一方またはそれらの両方を駆動させる。

【図面の簡単な説明】

【0007】

【図1】第1実施形態に係るメモリ装置の構成例を示すブロック図。

【図2】メモリセルアレイ1の部分的な構成例を示す図。

【図3】第1および第2の誤り訂正回路の両方を用いた誤り訂正処理を示す概念図。

【図4】第1の実施形態によるメモリ装置のデータ書込み動作を示すフロー図。

10

20

30

40

50

【図5】第1の実施形態によるメモリ装置のデータ読出し動作を示すフロー図。

【図6】第2の実施形態によるメモリ装置の構成例を示すブロック図。

【図7】第2の実施形態によるメモリ装置のデータ書込み動作を示すフロー図。

【図8】第2の実施形態によるメモリ装置のデータ読出し動作を示すフロー図。

【図9】第2の実施形態の変形例の構成例を示すブロック図。

【図10】第2の実施形態の変形例のデータ書込み動作を示すフロー図。

【発明を実施するための形態】

【0008】

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。

10

【0009】

(第1の実施形態)

図1は、第1実施形態に係るメモリ装置の構成例を示すブロック図である。メモリ部とコントローラ部とは、一体として樹脂封止されたメモリ装置でよい。訂正回路部としてのコントローラ部は、複数のメモリ部(メモリチップ)を制御することができるように構成されている。

【0010】

以下、メモリ部において、メモリセルブロックは、単一または複数のページを含み、同時に消去動作が行われるメモリセルの単位を示す。ページは、或るワード線に接続された複数のメモリセル(あるいは、それらのメモリセルに格納されたデータ)からなり、書込みまたは読出しの単位を示す。電荷蓄積層を有したフラッシュメモリセルでは、メモリセルブロックは複数のページを含み、複数のページで一度に消去動作が行われるように構成されても良い。例えば、電荷蓄積層を有したフラッシュメモリセルにおいて1ページのメモリセルの消去時間が1ページのメモリセルの書き込み時間よりも長いには、1ブロックあたりの書き込み時間と1ブロックあたりの消去時間とを同程度にすることができる。その結果、システムから見た書き込みデータ転送速度、及び消去速度のパフォーマンスを向上できる。

20

【0011】

図1に示すメモリ部は、メモリセルアレイ1と、WLドライバ2と、ロウデコーダ3と、制御信号発生回路40と、基板電圧コントローラ42と、データ入出力バッファ45と、センスアンプ(データラッチ回路含む)46と、アドレスバッファ47と、カラムデコーダ48と、V_{pgm}発生回路41aと、V_{pass}発生回路41bと、V_{read}発生回路41cと、V_{ref}発生回路41dとを備えている。

30

【0012】

メモリセルアレイ1は、マトリクス状に二次元配列された複数のメモリセルMCによって構成されている。メモリセルアレイ1の詳細な構成は、図2を参照して後述する。

【0013】

センスアンプ46は、ビット線BLに接続されており、データ読出し時においてビット線BLを介してメモリセルMCのデータを検出する。センスアンプ46は、データラッチを兼ねており、データ読出し時またはデータ書込み時においてデータを保持する機能も有する。センスアンプ46は、データ書込み時において保持するデータに従ってビット線BLに電圧を印加する。

40

【0014】

カラムデコーダ48は、アドレスバッファ47からカラムアドレス信号を受け取り、カラムアドレス信号をデコードして出力する。これにより、データ入出力バッファ45に与えられた書込みデータは、所望のビット線BLに接続されたメモリセルMCに書き込まれ得る。あるいは、所望のビット線BLに接続されたメモリセルMCのデータは、データ入出力バッファ45および内部I/O線を介して読み出され得る。

【0015】

アドレスバッファ47は、データ入出力バッファ45に格納されたアドレス信号を一時

50

的に保持する。データ入出力バッファ45は、コントローラ部(コントローラチップ)から受け取ったデータ、アドレスおよびコマンド等の信号を格納する。

【0016】

WLドライバ2は、ワード線WLに接続されており、読出し動作、書込み動作および消去動作において、ワード線WLの電圧を制御するスイッチ回路である。

【0017】

ロウデコーダ3は、アドレスバッファ47からロウアドレス信号を受け取り、ロウアドレス信号をデコードして出力する。これにより、WLドライバ2は、書込み動作または読出し動作において所望のワード線WLに接続された複数のメモリセルMC(所望のページ)を選択することができる。

10

【0018】

制御信号発生回路40は、データ入出力バッファ45からのコマンドを受け取り、そのコマンドに従って、電圧発生回路41a、41b、41c、41d、42を制御する。

【0019】

Vp gm発生回路41aは、例えば、電源電圧を昇圧した書込み電圧Vp gmを発生する。書込み電圧Vp gmは、データ書込み時に、選択されたメモリセルに対して用いられる。書込み電圧Vp gmは、例えば、選択されたメモリセルの制御ゲート(選択ワード線WL)に印加される。書込み電圧Vp gmは、例えば、10V以上、30V以下である。

【0020】

Vp ass発生回路41bは、書込み中間電圧Vp assを発生する。書込み中間電圧Vp assは、データ書込み時に、非選択のメモリセルに対して用いられる。例えば、書込み中間電圧Vp assは、データ書込み時、非選択のメモリセルの制御ゲート(非選択ワード線WL)に印加される。書込み中間電圧Vp assは、例えば、3V以上、15V以下である。

20

【0021】

Vread発生回路41cは、読出し中間電圧Vreadを発生する。読出し中間電圧Vreadは、データ読出し時に、非選択のメモリセルに用いられる。例えば、読出し中間電圧Vreadは、データ読出し時に、非選択のメモリセルの制御ゲート(非選択ワード線WL)に印加される。読出し中間電圧Vreadは、例えば、1V以上、9V以下である。読出し電流を十分に確保し、かつ、リードディスターブを抑制するために、読出し中間電圧Vreadは、メモリセルMCのしきい値電圧の上限よりも1V程度高い電圧にするとよい。

30

【0022】

Vref発生回路41dは、しきい値判定電圧Vrefを発生する。しきい値判定電圧Vrefは、データ読出し時に、選択メモリセルに用いられる。例えば、しきい値判定電圧Vrefは、データ読出し時に、選択メモリセルの制御ゲート(選択ワード線WL)に印加される。しきい値判定電圧Vrefは、互いに異なる論理データを格納するメモリセルのしきい値電圧の中間電圧である。例えば、2値メモリの場合、しきい値判定電圧Vrefは、データ“1”を格納するメモリセル(“1”セル)の閾値電圧分布と、データ“0”を格納するメモリセル(“0”セル)の閾値電圧分布との中間電圧に設定される。多値メモリの場合、複数のしきい値判定電圧Vrefが、隣接する論理の閾値電圧分布間にそれぞれ設定される。例えば、4値メモリの場合、3つのしきい値判定電圧Vref1~Vref3が、データ“11”とデータ“10”との閾値電圧分布間、データ“10”とデータ“00”との閾値電圧分布間、および、データ“00”とデータ“01”との閾値電圧分布間にそれぞれ設定される。具体的には、しきい値判定電圧Vrefは、-0.5V~5Vの範囲の電圧でよい。

40

【0023】

基板電圧制御回路42は、メモリセルアレイ1が形成されるp型シリコン領域(p型ウェルまたはp型シリコン基板)の電圧を制御する。例えば、基板電圧制御回路42は、消去時に、10V以上の消去電圧をp型シリコン領域に印加する。

50

【 0 0 2 4 】

電圧発生回路 4 1 a、4 1 b、4 1 c、4 1 d、4 2 は、制御信号発生回路 4 0 によって制御される。電圧発生回路 4 1 a、4 1 b、4 1 c、4 1 d は、“データ書込み”、“データ読出し”および“データ消去”の各動作において、必要な電圧を W L ドライバ 2 を介して選択ワード線 W L に印加する。

【 0 0 2 5 】

メモリセルアレイ 1 は、ループ回数記憶領域 5 0 1 を含む。ループ回数記憶領域 5 0 1 は、メモリセルアレイ 1 内の各ページにデータを書き込むときのワード線電圧のステップ回数（書込みループ回数）を記憶する。

【 0 0 2 6 】

通常、1 回の書込みループ（1 回の電圧印加）では全てのメモリセル M C の閾値電圧をターゲット分布内にシフトさせることはできない。そこで、メモリ装置は、書込みループごとに選択ワード線 W L の電圧をステップアップさせ、書込みループを繰り返す。これにより、閾値電圧が徐々に上昇し、閾値電圧は、所定の閾値範囲へシフトし、データがメモリセル M C へ書き込まれる。つまり、1 回のデータ書込み動作は、複数の書込みループによって完了する。ループ回数記憶領域 5 0 1 は、データ書込み動作における書込みループの回数を各ページごとに記憶する。

【 0 0 2 7 】

図 1 のコントローラ部は、動作コントローラ 5 0 6 と、第 1 の誤り訂正符号化回路 E C C w 1 と、第 2 の誤り訂正符号化回路 E C C w 2 と、第 1 の誤り訂正復号化回路 E C C r 1 と、第 2 の誤り訂正復号化回路 E C C r 2 とを備えている。

【 0 0 2 8 】

第 1 の誤り訂正符号化回路 E C C w 1 および第 1 の誤り訂正復号化回路 E C C r 1 は、第 1 の誤り訂正回路を構成し、第 2 の誤り訂正符号化回路 E C C w 2 および第 2 の誤り訂正復号化回路 E C C r 2 は、第 2 の誤り訂正回路を構成する。データ書込み時には、第 1 の誤り訂正符号化回路 E C C w 1 および第 2 の誤り訂正符号化回路 E C C w 2 が、それぞれ第 1 の誤り訂正回路および第 2 の誤り訂正回路として書込みデータのエラービットを訂正する。データ読出し時には、第 1 の誤り訂正復号化回路 E C C r 1 および第 2 の誤り訂正復号化回路 E C C r 2 が、それぞれ第 1 の誤り訂正回路および第 2 の誤り訂正回路として読出しデータのエラービットを訂正する。

【 0 0 2 9 】

より詳細には、第 1 の誤り訂正復号化回路 E C C r 1 は、内部 I / O 線を介してメモリ部に接続されており、データ読出し時に、メモリセル M C からの読出しデータを受け取る。第 1 の誤り訂正復号化回路 E C C r 1 は、第 1 の誤り訂正能力で読出しデータを復号化する。第 2 の誤り訂正復号化回路 E C C r 2 は、第 1 の誤り訂正復号化回路 E C C r 1 と外部 I / O 線との間に接続されている。第 2 の誤り訂正復号化回路 E C C r 2 は、第 1 の誤り訂正復号化回路 E C C r 1 からのデータを受け取り、第 2 の誤り訂正能力で第 1 の誤り訂正復号化回路 E C C r 1 からのデータをさらに復号化する。その後、第 2 の誤り訂正復号化回路 E C C r 2 は、E C C r 1 および E C C r 2 において復号化されたデータを外部 I / O 線を介してメモリ装置の外部へ出力する。尚、動作コントローラ 5 0 6 が第 2 の誤り訂正復号化回路 E C C r 2 を停止している場合には、第 1 の誤り訂正復号化回路 E C C r 1 において復号化されたデータが出力される。

【 0 0 3 0 】

第 1 の誤り訂正符号化回路 E C C w 1 は、外部 I / O 線と第 2 の誤り訂正符号化回路 E C C w 2 との間に接続されている。データ書込み時に、第 1 の誤り訂正符号化回路 E C C w 1 は、メモリ装置外部から書込みデータを受け取り、第 1 の誤り訂正能力で書込みデータを符号化する。第 2 の誤り訂正符号化回路 E C C w 2 は、第 1 の誤り訂正符号化回路 E C C w 1 とメモリ部との間に接続されている。第 2 の誤り訂正符号化回路 E C C w 2 は、第 1 の誤り訂正符号化回路 E C C w 1 からのデータを受け取り、第 2 の誤り訂正能力で第 1 の誤り訂正符号化回路 E C C w 1 からのデータをさらに符号化する。その後、第 2 の誤

10

20

30

40

50

り訂正符号化回路 E C C w 2 は、E C C w 1 および E C C w 2 において符号化されたデータを内部 I / O 線を介してメモリ部へ送る。尚、動作コントローラ 5 0 6 が第 2 の誤り訂正符号化回路 E C C w 2 を停止している場合には、第 1 の誤り訂正符号化回路 E C C w 1 において符号化されたデータが出力される。

【 0 0 3 1 】

第 1 の誤り訂正符号化回路 E C C w 1、第 2 の誤り訂正符号化回路 E C C w 2、第 1 の誤り訂正復号化回路 E C C r 1 および第 2 の誤り訂正復号化回路 E C C r 2 の各誤り訂正能力は、等しくてもよく、あるいは、相違させてもよい。ここでは、便宜的に、データ書込み動作では、第 1 の誤り訂正符号化回路 E C C w 1 および第 2 の誤り訂正符号化回路 E C C w 2 の各誤り訂正能力を、それぞれ第 1 の誤り訂正能力および第 2 の誤り訂正能力と呼ぶ。データ読出し動作では、第 1 の誤り訂正復号化回路 E C C r 1 および第 2 の誤り訂正復号化回路 E C C r 2 の各誤り訂正能力を、それぞれ第 1 の誤り訂正能力および第 2 の誤り訂正能力と呼ぶ。

10

【 0 0 3 2 】

動作コントローラ 5 0 6 は、メモリ部、外部 I / O 線、第 2 の誤り訂正回路 (E C C r 2、E C C w 2) に接続されている。動作コントローラ 5 0 6 は、ループ回数記憶領域 5 0 1 からのループ回数に応じて、第 1 および第 2 の誤り訂正回路の動作を制御する。動作コントローラ 5 0 6 は、データ書込み時に第 1 の誤り訂正符号化回路 E C C w 1 および第 2 の誤り訂正符号化回路 E C C w 2 のうちいずれか一方を選択的に駆動させることができ、あるいは、それらの両方を駆動させることができる。動作コントローラ 5 0 6 は、データ読出し時に第 1 の誤り訂正復号化回路 E C C r 1 および第 2 の誤り訂正復号化回路 E C C r 2 のうちいずれか一方を選択的に駆動させることができ、あるいは、それらの両方を駆動させることができる。図 1 では、動作コントローラ 5 0 6 は、第 2 の誤り訂正符号化回路 E C C w 2 および第 2 の誤り訂正復号化回路 E C C r 2 を選択的に停止させ、第 1 の誤り訂正符号化回路 E C C w 1 および第 1 の誤り訂正復号化回路 E C C r 1 のみを選択的に駆動させることができる。

20

【 0 0 3 3 】

一般に、書込みループ回数は、W / E 回数の増大に従って減少する。これは、W / E 回数が増大すると、フローティングゲート F G やトンネルゲート絶縁膜にトラップされる電荷 (例えば、電子) が増加し、メモリセル M C の書き込み前の閾値電圧が上昇するためである。従って、書込みループ回数が多い場合、W / E 回数は少なく、従って、書込み動作または読出し動作におけるエラービットは、比較的少ないと判断することができる。逆に、書込みループ回数が少ない場合、W / E 回数は多く、従って、書込み動作または読出し動作におけるエラービットは、比較的多いと判断することができる。

30

【 0 0 3 4 】

よって、動作コントローラ 5 0 6 は、書込みループ回数が所定値以上の場合、データ読出し時に第 1 の誤り訂正復号化回路 E C C r 1 のみを選択的に駆動させ、データ書込み時に第 1 の誤り訂正符号化回路 E C C w 1 のみを選択的に駆動させる。また、ステップ回数が所定値未満の場合、動作コントローラ 5 0 6 は、データ読出し時に第 1 の誤り訂正復号化回路 E C C r 1 および前記第 2 の誤り訂正復号化回路 E C C r 2 の両方を駆動させ、データ書込み時に第 1 の誤り訂正符号化回路 E C C w 1 および前記第 2 の誤り訂正符号化回路 E C C w 2 の両方を駆動させる。書き込みループ回数の比較の基準となる所定値は、メモリ部またはコントローラ部内の R O M (図示せず) に格納しておけばよい。

40

【 0 0 3 5 】

また、制御信号発生回路 4 0 は書込みループ回数をカウントするカウンタ 5 0 を含み、該カウンタ 5 0 が書込み動作の終了後にセンスアンプ 4 6 を介してループ回数記憶領域 5 0 1 にループ回数の情報を格納するように構成されている。

【 0 0 3 6 】

尚、カウンタ 5 0 は制御信号発生回路 4 0 ではなく、コントローラ部に含まれていても良い。

50

【 0 0 3 7 】

書込みデータは、外部 I / O 線を介して本実施形態によるメモリ装置の外部からコントローラ部に入力される。読出しデータは、外部 I / O 線を介してメモリセル M C のデータをメモリ装置の外部へ出力される。

【 0 0 3 8 】

図 2 は、メモリセルアレイ 1 の部分的な構成例を示す図である。メモリセルアレイ 1 は、マトリクス状に二次元配列された複数のメモリセル M C によって構成されている。ワード線 W L およびビット線 B L がほぼ直行して延伸している。メモリセル M C は、ワード線 W L とビット線 B L との交点に対応して設けられている。メモリセル M C は、電荷を蓄積可能なフローティングゲート F G およびワード線 W L に接続されたコントロールゲート C G を有する F E T (Field Effect Transistor) である。

10

【 0 0 3 9 】

複数のメモリセル M C は、直列に接続されてセルストリング C S を構成している。セルストリング C S は、メモリセル M C のドレイン側において選択トランジスタ S T D を介してビット線 B L に接続されている。セルストリング C S は、メモリセル M C のソース側において選択トランジスタ S T S を介してソースに接続されている。セルストリング C S 内のメモリセル M C のコントロールゲート C G は、それぞれ異なるワード線 W L に接続されている。

【 0 0 4 0 】

ワード線 W L の延伸方向に配列された複数のセルストリング C S がメモリセルブロック B L K を構成する。メモリセルブロック B L K は、上述の通り、データ消去動作の単位である。さらに、メモリセルブロック B L K において、或るワード線 W L に接続された複数のメモリセル M C がページを構成する。ページは、上述の通り、データ書込み動作およびデータ読出し動作の単位である。

20

【 0 0 4 1 】

尚、図 2 に示すように、選択トランジスタ S T D は、信号 S G D によって制御され、選択トランジスタ S T S は、信号 S G S によって制御される。

【 0 0 4 2 】

以上のように、本実施形態によるコントローラ部は、2 種類の誤り訂正符号化回路 E C C w 1、E C C w 2 および 2 種類の誤り訂正復号化回路 E C C r 1、E C C r 2、および動作コントローラ 5 0 6 を備えている。

30

【 0 0 4 3 】

誤り訂正回路 E C C w 1、E C C w 2、E C C r 1、E C C r 2 は、巡回ハミング符号 (復号) 回路、または、B C H (Bose-Chaudhuri-Hocquenghem) 符号 (復号) 回路でもよい。さらに、誤り訂正回路 E C C w 1、E C C w 2、E C C r 1、E C C r 2 は、符号語を r ビットでまとめ $2 r$ 個の元を持つバイト符号 (復号) 回路でもよい。この場合、例えば、リードソロモン符号 (復号) 回路でもよい。

【 0 0 4 4 】

勿論、誤り訂正回路 E C C w 1、E C C w 2、E C C r 1、E C C r 2 として他の符号 (復号) 回路を用いてもよい。例えば、B C H 符号 (復号)、多数決符号 (復号)、差集合巡回符号 (復号)、L D P C (Low Density Parity Check) 符号 (復号) を用いた E C C 回路でもよく、それらのいずれかを組み合わせた E C C 回路でもよい。尚、コントローラ部の構成の簡素化を考慮すると、誤り訂正回路 E C C w 1、E C C w 2、E C C r 1、E C C r 2 は、小さい回路規模で時系列に情報ビットを符号化 (復号化) する巡回符号回路であることが好ましい。

40

【 0 0 4 5 】

図 3 (A) および図 3 (B) は、第 1 および第 2 の誤り訂正回路の両方を用いた誤り訂正処理を示す概念図である。尚、便宜的に、第 1 の誤り訂正回路 E C C r 1、E C C w 1 の訂正符号を C A とし、第 2 の誤り訂正回路 E C C r 2、E C C w 2 の訂正符号を C B とする。訂正符号 C A の符号長は n_1 、訂正符号 C A の情報ビット数は k_1 である。訂正符

50

号 C B の符号長は n_2 、訂正符号 C B の情報ビット数は k_2 である。訂正符号 C A および C B はともに線形組織符号である。

【0046】

第1の誤り訂正回路 E C C r 1 (または E C C w 1)、および、第2の誤り訂正回路 E C C r 2 (または E C C w 2) の両方を用いて誤り訂正を実行する場合、訂正符号 C A および C B の積符号 (product code)、または、接続符号 (concatenated code) を形成することができる。

【0047】

以下、説明を簡単にするために、積符号について述べるが、接続符号についても同様のことが言える。訂正符号 C A および C B の積符号 C A × C B では、図3(A)に示すように、線形組織符号により、符号長が $n_1 \times n_2$ 、情報ビット数が $k_1 \times k_2$ となる。ここで、積符号 C A × C B の最小距離は、訂正符号 C A の最小距離と訂正符号 C B の最小距離の積になる。一般に、訂正符号 t ビットの符号間距離は $(2t + 1)$ ビット以上となるので、積符号 C A × C B の符号間距離は、訂正符号 C A または C B の各符号間距離よりも大きくなる。これは、第1の誤り訂正回路 E C C r 1 (または E C C w 1)、および、第2の誤り訂正回路 E C C r 2 (または E C C w 2) の両方を用いた誤り訂正能力は、それらのいずれか一方を用いた誤り訂正能力よりも高いことを意味する。より詳細には、訂正符号 C A の最小符号間距離を d_A とし、訂正符号 C B の最小符号間距離を d_B として、既知のレディ・ロビンソン復号法を用いれば、 $(d_A \times d_B - 1) / 2$ 個の誤りをすべて訂正することができる。

【0048】

例えば、第1の誤り訂正回路は、図3(A)に示す $(k_1 \times k_2)$ 個の情報データ 601 を、 k_1 ビットの単位で区切った k_2 個の情報データに配列する。第1の誤り訂正回路は、 k_1 ビットの情報データのそれぞれに対して、訂正符号 C A で符号化を行う。つまり、 k_1 ビットの情報データに訂正符号 C A を付加する。これによって、 n_1 の符号長を有する第1の符号化データ (601、603) が k_2 個形成される。このとき、訂正符号 C A の全体のビット数 (1回目の符号化の検査データのビット数) は、図3(A)の603の面積に該当する、 $(n_1 - k_1) \times k_2$ ビットとなる。

【0049】

次に、第2の誤り訂正回路が、第1の符号化データ ($n_1 \times k_2$ ビットのデータ) を k_2 ビットの単位で区切って符号化を行う。このとき、第2の誤り訂正回路は、 k_2 ビット単位で区切られた第1の符号化データそれぞれに対して、訂正符号 C B で符号化を行う。つまり、 k_2 ビットの第1の符号化データに訂正符号 C B を付加して、第2の符号化データを得る。訂正符号 C B の全体のビット数 (2回目の符号化の検査データのビット数) は、図3(A)の602の面積に該当する、 $(n_2 - k_2) \times n_1$ ビットとなる。これにより、全体として $(n_1 \times n_2)$ ビットの情報データの積符号を形成することができる。

【0050】

なお、第2の符号を時系列で記録する際には、図3(B)に示すように一次元的に並べて記録すればよい。この際、例えば、図3(B)に示すように、 n_1 ビットからなる k_2 個の第1の符号化データを、図3(A)の各列に対応するように時系列で並べ、その後、 $(n_2 - k_2) \times n_1$ からなる2回目の訂正符号 C B を出力すればよい。

【0051】

図4は、第1の実施形態によるメモリ装置のデータ書込み動作を示すフロー図である。まず、ループ回数記憶領域 501 は、以前の書込み動作におけるループ回数を各ページごとに記憶している。データ書込み動作が開始すると、動作コントローラ 506 は、内部 I/O 線を介してループ回数記憶領域 501 から書込み対象である選択ページのループ回数を獲得する (S10)。このとき、読み出されるループ回数は、以前に実行された書込み動作においてカウントされ、ループ回数記憶領域 501 に格納されたループ回数である。ループ回数は、読出し動作を遅延させないために選択ページのデータと同時に読み出される。

10

20

30

40

50

【 0 0 5 2 】

動作コントローラ 5 0 6 は、ループ回数が所定値以上か否かを判定する (S 2 0 A) 。ループ回数が所定値以上である場合 (S 2 0 A の Y E S) 、 W / E 回数は少なく、書込み後のエラービットが少ないと推定できるので、動作コントローラ 5 0 6 は、図 1 の第 2 の誤り訂正符号化回路 E C C w 2 を停止 (不活性化) し、第 1 の誤り訂正符号化回路 E C C w 1 のみを選択的に動作 (活性化) させる (S 3 0) 。これにより、過剰な誤り訂正能力を省き、消費電力を低減させることができる。また、符号化に要する時間を短縮し、高速な書込み動作を実現できる。

【 0 0 5 3 】

次に、符号化されたデータを選択ページのメモリセルに書き込む (S 4 5 A) 。この際、ループ回数記憶領域 5 0 1 に、ループ回数を各ページに対応させて書き込む。この書込み動作時に、カウンタ 5 0 は、今回の書込み動作における書込みループ回数をカウントする (S 5 0) 。そして、今回の書込み動作のループ回数は、ループ回数記憶領域 5 0 1 の選択ページのループ回数として格納される。即ち、以前のループ回数の情報は、今回の書込み動作のループ回数で更新される (S 6 0) 。その後、動作コントローラ 5 0 6 は、ループ回数が所定値以上か否かを判定する (S 2 0 B) 。ループ回数が所定値以上である場合 (S 2 0 B の Y E S) 、 W / E 回数は少なく、書込み後のエラービットが少ないと推定できるので、データ書き込み動作を終了させる。この時点において、ステップ S 3 0 で図 1 の第 2 の誤り訂正符号化回路 E C C w 2 を停止 (不活性化) し、第 1 の誤り訂正符号化回路 E C C w 1 のみを選択的に動作 (活性化) させている。その結果、そのままデータ書き込み動作を終了させても消費電力は増加しない。ループ回数が所定値未満である場合 (S 2 0 B の N O) 、 W / E 回数は多く、書込み後のエラービットが多いと推定できるので、動作コントローラ 5 0 6 は、第 1 および第 2 の誤り訂正符号化回路 E C C w 1 および E C C w 2 の両方を動作 (活性化) させる (S 4 0) 。すなわち、ループ回数が所定値未満である場合 (S 2 0 A の N O) の場合と同じ動作を行う。S 4 0 以降の動作は、ループ回数が所定値未満である場合 (S 2 0 A の N O) の場合に詳説する。

【 0 0 5 4 】

ループ回数が所定値未満である場合 (S 2 0 A の N O) 、 W / E 回数が多く、書込み後のエラービットが多いと推定できるので、動作コントローラ 5 0 6 は、第 1 および第 2 の誤り訂正符号化回路 E C C w 1 および E C C w 2 の両方を動作 (活性化) させる (S 4 0) 。これにより、図 3 を参照して説明した積符号等の高い誤り訂正能力でデータを符号化することができる。その後、メモリ部は、ステップ S 3 0 または S 4 0 において符号化されたデータを選択ページのメモリセル M C へ書き込む (S 4 5 B) 。この際、ループ回数記憶領域 5 0 1 に、ループ回数を各ページに対応させて書き込む。すなわち、センスアンプ 4 6 にラッチされたデータを第 1 および第 2 の誤り訂正符号化回路 E C C w 1 および E C C w 2 で符号化した後、再度センスアンプ 4 6 にラッチさせメモリセルアレイ 1 に書き込む。その際、同時にループ回数記憶領域 5 0 1 にカウンタ 5 0 に記憶された値を書き込む。ここで、ループ回数記憶領域 5 0 1 に記憶されるループ回数の情報は、更新されたループ回数を用いられる。ステップ S 2 0 A 及び S 2 0 B で所定値以下となった値である。この値を記憶することによりデータを正確に復号化することができる。

【 0 0 5 5 】

ループ回数の判定に用いられる上記所定値は、メモリの種類、構造、製造ライン等によって異なり得るので、一概に特定することはできない。例えば、NAND型フラッシュメモリでは、ループ回数の判定に用いられる上記所定値は、5回から50回の間の数値でよい。

【 0 0 5 6 】

図 5 は、第 1 の実施形態によるメモリ装置のデータ読出し動作を示すフロー図である。まず、ループ回数記憶領域 5 0 1 は、以前の書込み動作におけるループ回数を各ページごとに記憶している。データ読出し動作が開始すると、動作コントローラ 5 0 6 は、内部 I / O 線を介して選択ページのデータを読み出すのと同時に、ループ回数記憶領域 5 0 1 か

10

20

30

40

50

ら読出し対象である選択ページの以前のループ回数を獲得する (S 1 1 0) 。

【 0 0 5 7 】

動作コントローラ 5 0 6 は、ループ回数が所定値以上か否かを判定する (S 1 2 0) 。

ループ回数が所定値以上である場合 (S 1 2 0 の Y E S)、W / E 回数は少なく、かつ読出しデータにエラービットが少ないと推定できるので、動作コントローラ 5 0 6 は、図 1 の第 2 の誤り訂正復号化回路 E C C r 2 を停止 (不活性化) し、第 1 の誤り訂正復号化回路 E C C r 1 のみを選択的に動作 (活性化) させる (S 1 3 0) 。

これにより、過剰な誤り訂正能力を省き、消費電力を低減させることができる。また、復号化に要する時間を短縮し、高速な読出し動作を実現できる。

【 0 0 5 8 】

ループ回数が所定値未満である場合 (S 1 2 0 の N O)、W / E 回数が多く、かつ読出しデータにエラービットが多いと推定できるので、動作コントローラ 5 0 6 は、第 1 および第 2 の誤り訂正復号化回路 E C C r 1 および E C C r 2 の両方を動作 (活性化) させる (S 1 4 0) 。

これにより、図 3 を参照して説明した積符号等の高い誤り訂正能力でデータを符号化することができる。その後、コントローラ部は、メモリ部から得た選択ページの読出しデータをステップ S 1 3 0 または S 1 4 0 において復号化し (S 1 5 0)、復号化されたデータを外部 I / O 線を介してメモリ装置の外部へ出力する (S 1 6 0) 。

【 0 0 5 9 】

尚、ループ回数記憶領域 5 0 1 は、書込み動作が実行されるまで選択ページのループ回数をそのまま保持する。従って、書込み動作が実行されるまで、同じループ回数が用いられる。

【 0 0 6 0 】

本実施形態によるメモリ装置は、書込みループ回数の多いページのデータを比較的低い誤り訂正能力で符号化または復号化し、書込みループ回数の少ないページのデータを比較的高い誤り訂正能力で符号化または復号化する。これにより、W / E 回数またはファイルビット数に適した誤り訂正能力を用いてデータを符号化または復号化することができる。これは、過剰な誤り訂正能力の削減、並びに、消費電力の低減につながる。また、これは、読出し動作および書込み動作の高速化につながる。これにより、本実施形態は、消費電力削減と信頼性向上とを両立させることができる。

【 0 0 6 1 】

通常、W / E 回数は、消去単位であるメモリセルブロックごと、あるいは、メモリチップごとに管理される。従って、W / E 回数に応じて誤り訂正能力を変更する場合、メモリ装置は、少なくともメモリセルブロック単位で誤り訂正能力を変更する必要がある。

【 0 0 6 2 】

これに対し、書込み動作はページごとに実行されるので、書込みループ回数は、各ページごとに記憶し管理することができる。従って、本実施形態は、メモリセルブロックよりも小さなページ単位で誤り訂正能力を変更することができる。即ち、本実施形態は、W / E 回数で管理する方式よりもより細かいメモリ単位で誤り訂正能力を設定することができる。その結果、本実施形態は、消費電力削減および信頼性向上をより一層向上させることができる。

【 0 0 6 3 】

本実施形態は、積符号だけでなく、接続符号も同様に用いることができる。例えば、第 1 の誤り訂正符号 C A として、 2^3 元のリードソロモン符号を用い、さらに、第 2 の誤り訂正符号 C B として 2 元の B C H 符号を用いてもよい。即ち、E C C の方式が線形符号であれば、本実施形態の効果は失われない。

【 0 0 6 4 】

本実施形態では、ループ回数記憶領域 5 0 1 は、メモリセルアレイ 1 内に設けられていた。しかし、ループ回数記憶領域 5 0 1 は、メモリ部の他の場所に設けられていてもよく、あるいは、図 1 の破線で示すように、コントローラ部内に設けられていてもよい。カウンタ 5 0 もまた、制御信号発生回路 4 0 以外の場所に設けられていてもよい。

10

20

30

40

50

【 0 0 6 5 】

また、第 1 及び第 2 の誤り訂正復号化回路 E C C r 1 , E C C r 2 や第 1 及び第 2 の誤り訂正符号化回路 E C C w 1 , E C C w 2 がメモリ部に配置されていても良く、外部 I / O 線から先に接続されるホスト部に配置されていても良い。

【 0 0 6 6 】

また、ループ回数記憶領域 5 0 1 にはカウンタ 5 0 の値でなく、第 1 及び第 2 の誤り訂正符号化回路 E C C w 1 , E C C w 2 のいずれか一方を動作させた場合を、“ 0 ”、第 1 及び第 2 の誤り訂正符号化回路 E C C w 1 , E C C w 2 の両方を動作させた場合を“ 1 ”とする 2 値データを記憶しても良い。その結果、ループ回数記憶領域 5 0 1 に記憶したデータの信頼性を高くすることができる。さらに、メモリセルの信頼性が劣化した場合を、メモリセルに電荷を蓄積させない“ 1 ”データにすることにより、さらに信頼性を高くすることができる。

10

【 0 0 6 7 】

(第 2 の実施形態)

図 6 は、第 2 の実施形態によるメモリ装置の構成例を示すブロック図である。第 2 の実施形態では、書込みループ回数に代えて、フェイルビット数を用いて誤り訂正能力を変更する。第 2 の実施形態によるメモリ装置の構成は、第 1 の実施形態によるメモリ装置の構成と同様でよい。ただし、第 2 の実施形態では、図 1 のカウンタ 5 0 は不要であり、ループ回数記憶領域 5 0 1 に代えて、フェイルビット数を格納するフェイルビット数記憶領域 5 0 2 を有する。

20

【 0 0 6 8 】

フェイルビットは、或るページに書き込んだデータと該ページから読み出したデータとにおいて論理が異なるビットである。フェイルビット数は、読出し時に冗長ビットを復元することによって判明する。従って、ループ回数記憶領域 5 0 1 に格納されるフェイルビット数は、読出し時に更新され、書込み時には更新されない。

【 0 0 6 9 】

図 7 は、第 2 の実施形態によるメモリ装置のデータ書込み動作を示すフロー図である。まず、フェイルビット数記憶領域 5 0 2 は、以前の読出し動作におけるフェイルビット数を各ページごとに記憶している。データ書込み動作が開始すると、動作コントローラ 5 0 6 は、内部 I / O 線を介してフェイルビット数記憶領域 5 0 2 から書込み対象である選択ページのフェイルビット数を獲得する (S 2 1 0)。このとき、選択ページのデータも同時に読み出してもよい。

30

【 0 0 7 0 】

動作コントローラ 5 0 6 は、フェイルビット数が所定値以上か否かを判定する (S 2 2 0)。フェイルビット数が所定値未満である場合 (S 2 2 0 の N O)、書込み後のエラービットが少ないと推定できるので、動作コントローラ 5 0 6 は、図 1 の第 2 の誤り訂正符号化回路 E C C w 2 を停止 (不活性化) し、第 1 の誤り訂正符号化回路 E C C w 1 のみを選択的に動作 (活性化) させる (S 2 3 0)。これにより、過剰な誤り訂正能力を省き、消費電力を低減させることができる。また、符号化に要する時間を短縮し、高速な書込み動作を実現できる。

40

【 0 0 7 1 】

フェイルビット数が所定値以上である場合 (S 2 2 0 の Y E S)、書込み後のエラービットが多いと推定できるので、動作コントローラ 5 0 6 は、第 1 および第 2 の誤り訂正符号化回路 E C C w 1 および E C C w 2 の両方を動作 (活性化) させる (S 2 4 0)。これにより、図 3 を参照して説明した積符号等の高い誤り訂正能力でデータを符号化することができる。その後、メモリ部は、ステップ S 2 3 0 または S 2 4 0 において符号化されたデータを選択ページのメモリセル M C へ書き込む (S 2 4 5)。この際、フェイルビット数記憶領域 5 0 2 に、フェイルビット数を各ページに対応させて書き込む。

【 0 0 7 2 】

フェイルビット数の判定 (S 2 2 0) に用いられる上記所定値は、メモリ装置の種類、

50

構造、製造ライン等によって異なり得るので、一概に特定することはできない。例えば、NAND型フラッシュメモリでは、フェイルビット数の判定に用いられる上記所定値は、1個から100個の間の数値でよい。

【0073】

図8は、第2の実施形態によるメモリ装置のデータ読出し動作を示すフロー図である。まず、フェイルビット数記憶領域502は、以前の読出し動作におけるフェイルビット数を各ページごとに記憶している。データ読出し動作が開始すると、動作コントローラ506は、内部I/O線を介して選択ページのデータを読み出すのと同時に、フェイルビット数記憶領域502から読出し対象である選択ページの以前のフェイルビット数を獲得する(S310)。

10

【0074】

動作コントローラ506は、フェイルビット数が所定値以上か否かを判定する(S320)。フェイルビット数が所定値未満である場合(S320のNO)、今回の読出しデータもエラービットが少ないと推定できるので、動作コントローラ506は、図1の第2の誤り訂正復号化回路ECCr2を停止(不活性化)し、第1の誤り訂正復号化回路ECCr1のみを選択的に動作(活性化)させる(S330)。これにより、過剰な誤り訂正能力を省き、消費電力を低減させることができる。また、復号化に要する時間を短縮し、高速な読出し動作を実現できる。

【0075】

フェイルビット数が所定値以上である場合(S320のYES)、今回の読出しデータにもエラービットが多いと推定できるので、動作コントローラ506は、第1および第2の誤り訂正復号化回路ECCr1およびECCr2の両方を動作(活性化)させる(S340)。これにより、図3を参照して説明した積符号等の高い誤り訂正能力でデータを復号化することができる。その後、コントローラ部は、メモリ部から得た選択ページの読出しデータをステップS330またはS340において復号化し(S350)、復号化されたデータを外部I/O線を介してメモリ装置の外部へ出力する(S360)。

20

【0076】

ステップS350における復号化において今回の読出しデータにおけるフェイルビット数が判明する。そして今回の読出しデータのフェイルビット数は、フェイルビット数記憶領域502の選択ページに対応して格納される。即ち、以前のフェイルビット数の情報は、今回の読出し動作でのフェイルビット数によって更新される(S370)。次の読出し動作時には、更新されたフェイルビット数が用いられる。

30

【0077】

第2の実施形態は、フェイルビット数に適した誤り訂正能力を用いてデータを符号化または復号化することができる。従って、第2の実施形態は、メモリ装置の実際の状態にさらに適合した誤り訂正能力を用いることができる。さらに、第2の実施形態は、第1の実施形態と同様の効果を得ることができる。

【0078】

(第2の実施形態の変形例)

図9は、第2の実施形態の変形例の構成例を示すブロック図である。第2の実施形態の変形例では、第2の実施形態に比べてフェイルビット数記憶領域502を省略したものである。一方、第1の実施形態と同様にカウンタ50は存在する。ここで、フェイルビットのカウントは、或るページに書き込んだデータと該ページから読み出したデータとにおいて論理が異なるビットの数をカウンタ50にてカウントすることにより判断する。フェイルビット数は、読出し時に冗長ビットを復元することによって判明する。従ってフェイルビット数記憶領域502を省略することができ、メモリセルアレイ1の大きさを小さくすることができる。

40

【0079】

例えば、図10に本変形例のデータ書き込み動作を示す。まず、動作コントローラ501が検査データのビット数に基づいて、第1の誤り訂正復号化回路ECCr1、または、

50

第 2 の誤り訂正復号化回路 E C C r 2 のいずれかを用いて復号するか、あるいは、第 1 及び第 2 の誤り訂正復号化回路 E C C r 1、E C C r 2 を用いて復号するか決定する (S 2 1 1)。

【 0 0 8 0 】

その後、訂正復号化回路 E C C r が検査データを演算し、カウンタ 5 0 で検査データと記憶データが異なるビット数 (論理値が異なるビット数) をカウントする (S 2 1 2)。以降の動作は第 2 の実施形態と同じであるため説明を省略する。

【 0 0 8 1 】

この変形例は、例えば、ページコピーなど、データを読み出した後、あるページから読み出したデータを別のページに書き写す場合などに有効である。すなわち、フェイルビット数記憶領域 5 0 2 を設けることなく、E C C の救済不良効率を向上させることができる。

10

【 0 0 8 2 】

(第 1 および第 2 の実施形態の変形例)

上記第 1 および第 2 の実施形態では、ページごとに誤り訂正能力を判定する。しかし、メモリ装置は、ブロックごとに誤り訂正能力を判定してもよい。例えば、選択ページの書込みループ回数が所定値未満またはフェイルビット数が所定値以上となった場合、コントローラ部は、その選択ページが含まれるメモリセルブロック全体について、図 3 で示した高い誤り訂正能力を用いてよい。

20

【 0 0 8 3 】

代替的に、メモリセルブロック内の全ページの書込みループ回数の平均値が所定値未満またはメモリセルブロック内の全ページのフェイルビット数の平均値が所定値以上となった場合、コントローラ部は、そのメモリセルブロック全体について、図 3 で示した高い誤り訂正能力を用いてよい。

【 0 0 8 4 】

この場合、メモリ装置は、メモリセルブロックごとに誤り訂正能力を変更するものの、メモリの状態に適した誤り訂正能力を有し、無駄な消費電力を従来よりも低減させることは可能である。

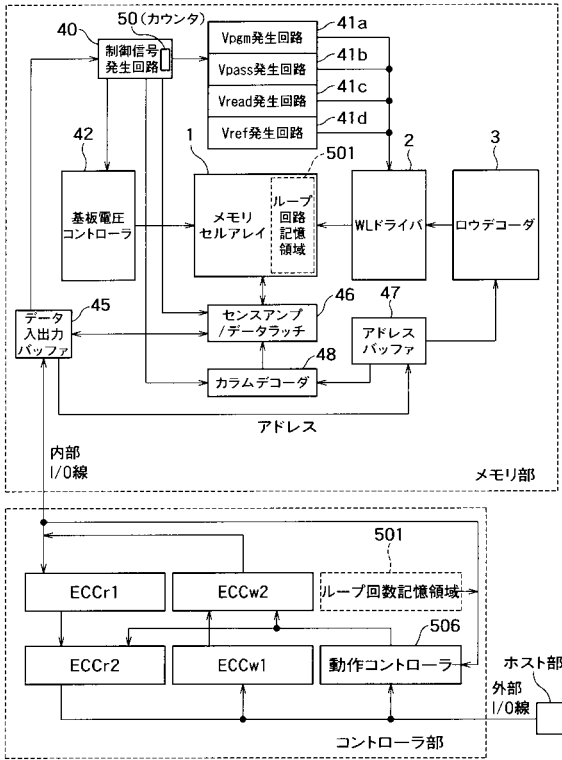
【 符号の説明 】

【 0 0 8 5 】

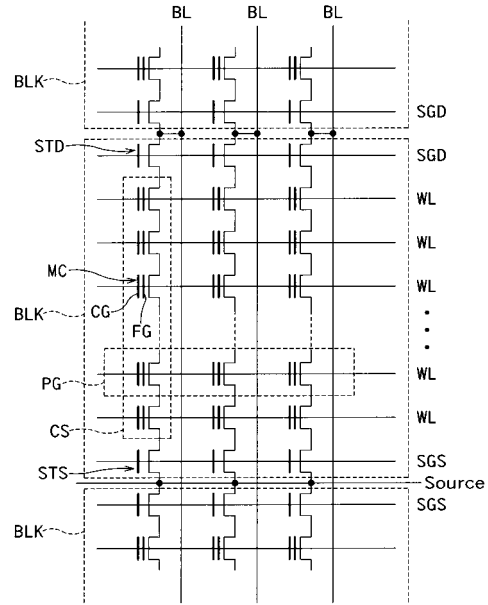
1・・・メモリセルアレイ、2・・・W L ドライバ、3・・・ロウデコーダ、4 6・・・センスアンプ、4 7・・・アドレスバッファ、4 8・・・カラムデコーダ、5 0 1・・・ループ回数記憶領域、5 0 2・・・フェイルビット数記憶領域、4 0・・・制御信号発生回路、5 0・・・カウンタ、E C C w 1・・・第 1 の誤り訂正符号化回路、E C C w 2・・・第 2 の誤り訂正符号化回路、E C C r 1・・・第 1 の誤り訂正復号化回路、E C C r 2・・・第 2 の誤り訂正復号化回路、5 0 6・・・動作コントローラ

30

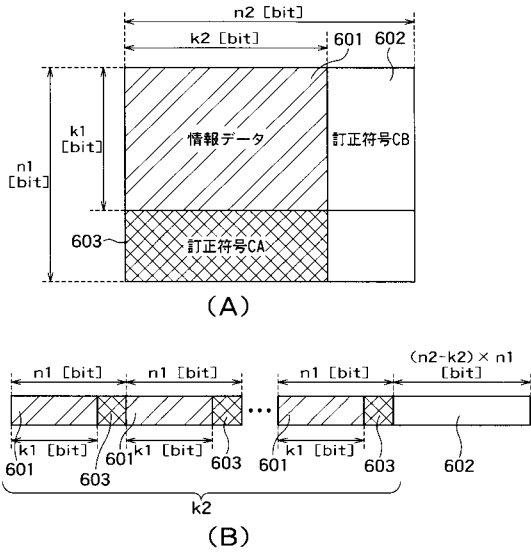
【図1】



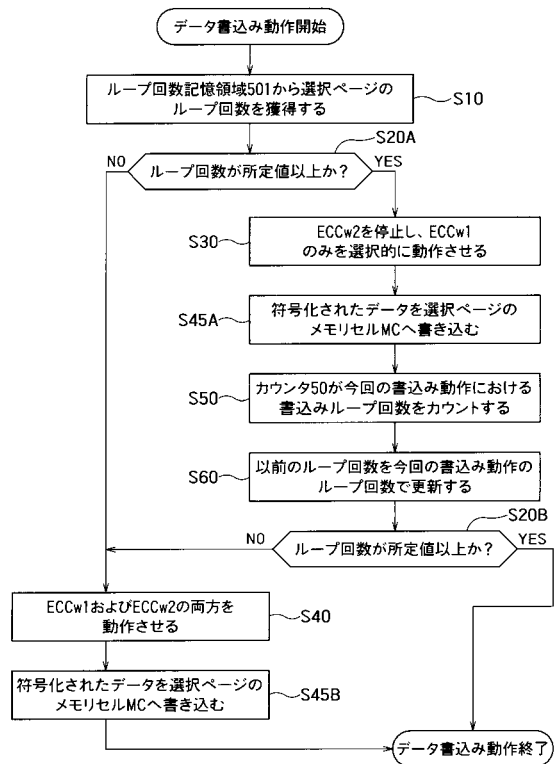
【図2】



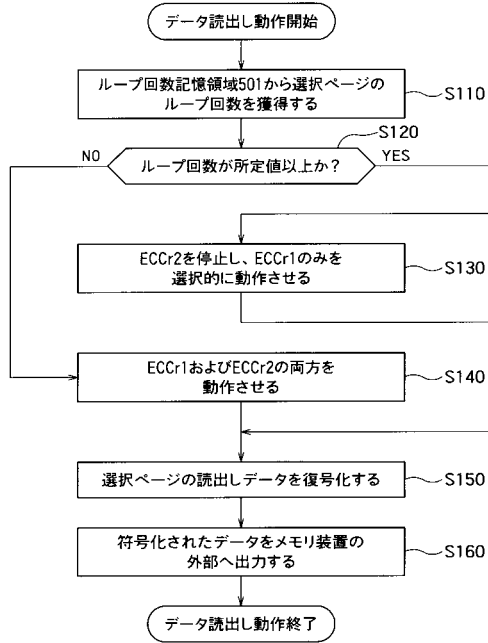
【図3】



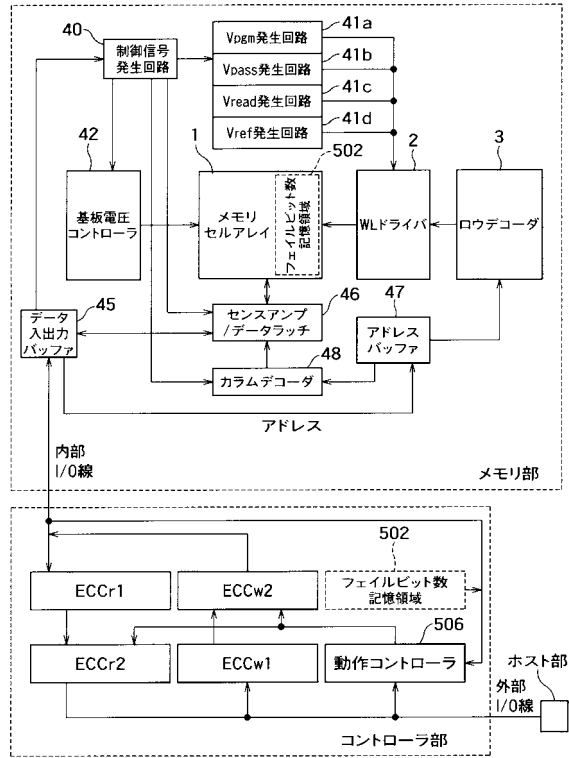
【図4】



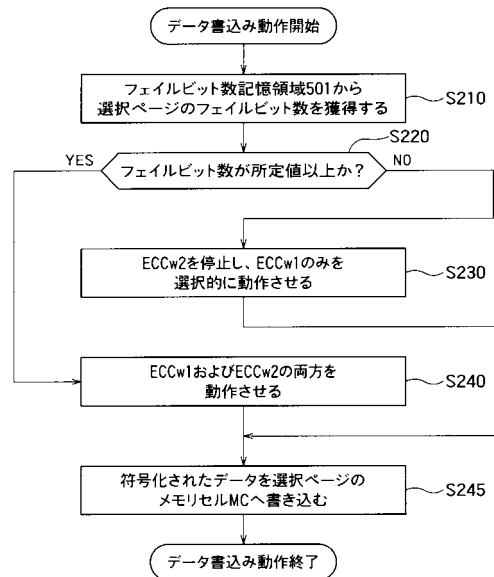
【 図 5 】



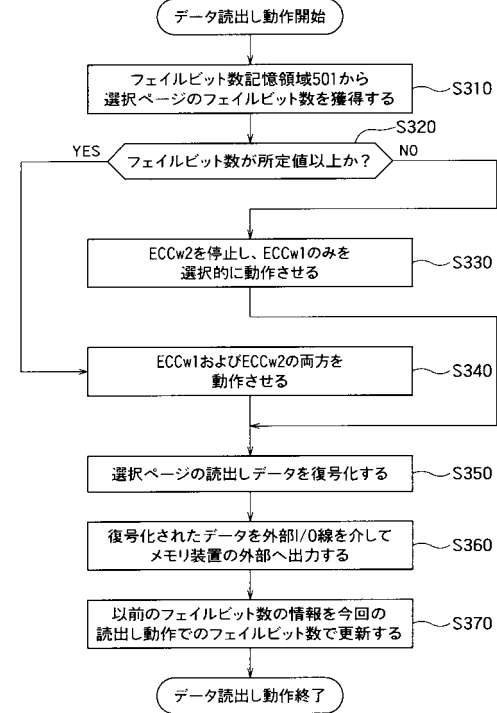
【 図 6 】



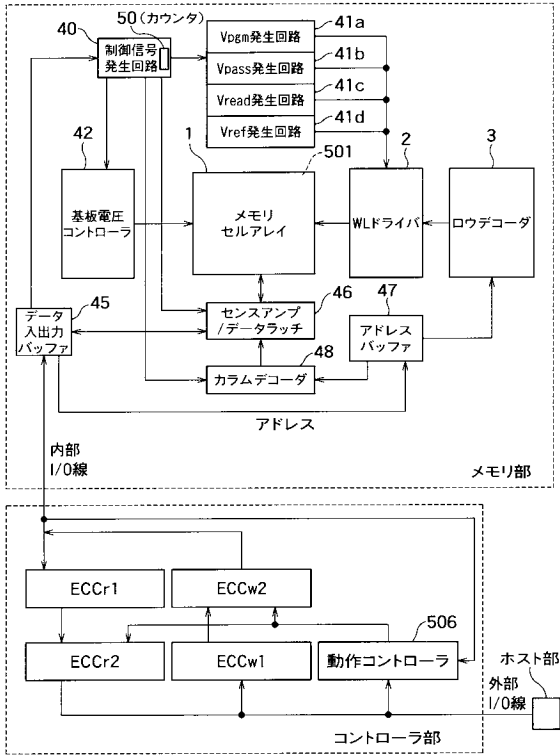
【 図 7 】



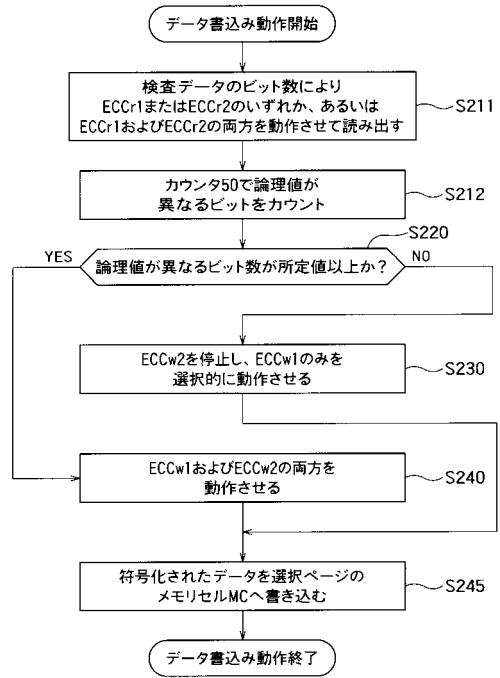
【 図 8 】



【図9】



【図10】



フロントページの続き

(72)発明者 泉 達 雄

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 野 口 充 宏

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA04 CA11 DA03 DB02 DE08 EA05 EA10 FA01
5L106 AA10 BB12 FF04