

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5635540号  
(P5635540)

(45) 発行日 平成26年12月3日(2014.12.3)

(24) 登録日 平成26年10月24日(2014.10.24)

(51) Int.Cl.

A 6 1 B 8/00 (2006.01)

F 1

A 6 1 B 8/00

請求項の数 15 (全 29 頁)

(21) 出願番号 特願2012-15135 (P2012-15135)  
 (22) 出願日 平成24年1月27日 (2012.1.27)  
 (65) 公開番号 特開2013-106931 (P2013-106931A)  
 (43) 公開日 平成25年6月6日 (2013.6.6)  
 審査請求日 平成25年12月19日 (2013.12.19)  
 (31) 優先権主張番号 特願2011-235082 (P2011-235082)  
 (32) 優先日 平成23年10月26日 (2011.10.26)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 300019238  
 ジーイー・メディカル・システムズ・グローバル・テクノロジー・カンパニー・エルエルシー  
 アメリカ合衆国・ウィスコンシン州・53188・ワウケシャ・ノース・グランドビュー・ブルバード・ダブリュー・7100  
 (74) 代理人 100106541  
 弁理士 伊藤 信和  
 (72) 発明者 雨宮 慎一  
 東京都日野市旭が丘四丁目7番地の127  
 GEヘルスケア・ジャパン株式会社内  
 審査官 富永 昌彦

最終頁に続く

(54) 【発明の名称】受信回路、超音波プローブ及び超音波画像表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

超音波プローブ内に配置される受信回路であつて、  
 超音波振動子で受信されたエコー信号を増幅する増幅部と、  
 前記増幅部に接続され、前記増幅部の出力電流に遅延時間を与える第1回路と第2回路  
 とを有する遅延部とを備え、  
 前記第1回路及び前記第2回路は、複数のキャパシタバンクを有し、  
 前記キャパシタバンクはそれぞれ、  
 前記増幅部で増幅された信号が書き込まれ、容量が異なる二以上のコンデンサと、  
 前記二以上のコンデンサに前記出力電流を書き込む書き込みスイッチと、  
 前記二以上のコンデンサに書き込まれた前記出力電流を読み出す読み出しスイッチと  
 を有する受信回路。

## 【請求項 2】

前記読み出しスイッチによって、前記第1回路の前記コンデンサから前記出力電流が読み出されるタイミングと前記第2回路の前記コンデンサから前記出力電流が読み出されるタイミングとが90°位相異なる請求項1に記載の受信回路。

## 【請求項 3】

前記第1回路の複数のキャパシタバンクと前記第2回路の複数のキャパシタバンクとは、前記書き込みスイッチによって該キャパシタバンク毎に書き込みタイミングが同じである請求項1または請求項2に記載の受信回路。

**【請求項 4】**

前記書き込みスイッチによって、前記出力電流が前記第1回路及び前記第2回路のすべての前記コンデンサに書き込まれ、前記読み出しスイッチによって、前記遅延時間に応じて前記コンデンサのうち、所定のコンデンサから前記出力電流又は電荷を読み出す請求項1から請求項3のいずれか一項に記載の受信回路。

**【請求項 5】**

前記書き込みスイッチによって、前記出力電流が前記第1回路及び前記第2回路の所定の前記コンデンサに書き込まれ、前記読み出しスイッチによって、前記遅延時間に応じて少なくとも前記所定のコンデンサから前記出力電流又は電荷を読み出す請求項1から請求項4のいずれか一項に記載の受信回路。 10

**【請求項 6】**

前記書き込みスイッチによって、前記第1回路の複数の前記キャパシタバンクは、それぞれ(90° / n)(nは自然数)位相異なって前記出力電流が書き込まれる請求項1から請求項4のいずれか一項に記載の受信回路。

**【請求項 7】**

前記二以上のコンデンサのそれぞれの容量比は、前記遅延時間を均等に分割するように設定されている請求項1から請求項6のいずれか一項に記載の受信回路。

**【請求項 8】**

前記遅延部は、前記超音波振動子の各チャンネルに設けられている請求項1から請求項7のいずれか一項に記載の受信回路。 20

**【請求項 9】**

前記コンデンサの総容量は、前記超音波プローブと超音波画像表示装置の装置本体とを接続するケーブルの容量よりも小さい請求項1から請求項8のいずれか一項に記載の受信回路。

**【請求項 10】**

前記読み出しスイッチの後段側で、前記遅延部からの出力ラインにおいて前記遅延部の出力電流又は電荷を加算する請求項1から請求項9のいずれか一項に記載の受信回路。

**【請求項 11】**

前記增幅部は、入力信号を増幅するとともに電流信号に変換して出力する電流出力型増幅器である請求項1から請求項10のいずれか一項に記載の受信回路。 30

**【請求項 12】**

前記読み出しスイッチ及び前記書き込みスイッチのスイッチングクロック周波数を可変するスイッチ制御部をさらに備える請求項1から請求項11のいずれか一項に記載の受信回路。

**【請求項 13】**

前記スイッチングクロック周波数は、被検体のエコー反射点が深くなるほど低くなる請求項12に記載の受信回路。

**【請求項 14】**

請求項1から請求項13に記載のいずれか一項の受信回路を設けた超音波プローブ。

**【請求項 15】**

請求項14に記載の超音波プローブを備える超音波画像表示装置。 40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、超音波のエコー信号が増幅された出力信号に所定の遅延時間を与える遅延部を有する受信回路、この受信回路を備える超音波プローブ及び超音波画像表示装置に関する。

**【背景技術】****【0002】**

超音波画像表示装置においては、超音波プローブに設けられた複数の超音波振動子から 50

超音波の送信を行い、各超音波振動子でエコー信号を受信する。各超音波振動子で受信されたエコー信号は、受信回路に入力されて整相加算される。これにより、一つの受信ビームが形成される。

### 【0003】

この受信回路においては、超音波振動子毎に設けられた増幅部でエコー信号が増幅される。例えば、特許文献1に示されるように、各増幅部の出力信号は、遅延部で所定の時間だけ遅延を与えた後、加算部で加算されるようになっている。

### 【先行技術文献】

#### 【特許文献】

#### 【0004】

10

【特許文献1】特開2010-68957号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

一般に、遅延部は、抵抗器とコンデンサとで構成されるRC回路が使用される。しかし、RC回路は、多数の増幅部を使用しなければならず、また抵抗ノイズを低減させるため抵抗値の低い抵抗器が使用する。このためRC回路を使った遅延部は、エネルギー消費量が大きい。

#### 【課題を解決するための手段】

#### 【0006】

20

第1の観点の受信回路は、超音波振動子で受信されたエコー信号の電流を増幅する増幅部と、増幅部に接続され出力電流に遅延時間を与える第1回路と第2回路とを有する遅延部と、を備える。そして、第1回路及び第2回路は、 $4n$ (nは自然数)のキャパシタバンクを有し、キャパシタバンクはそれぞれ、増幅部で増幅された出力電流が書き込まれ、容量が異なる二以上のコンデンサと、第1及び第2コンデンサに出力電流を書き込む書き込みスイッチと、第1及び第2コンデンサに書き込まれた出力電流を読み出す読み出しスイッチと、を有する。

#### 【0007】

第2の観点の受信回路は、読み出しスイッチによって、第1回路のコンデンサから出力電流が読み出されるタイミングと第2回路のコンデンサから出力電流が読み出されるタイミングとが $90^\circ$ 位相異なる。

30

第3の観点の受信回路は、第1回路のコンデンサから出力電流を読み出すタイミングと、第2回路のコンデンサから出力電流を読み出すタイミングとが同じであり、第2回路が $90^\circ$ 移相器を有する。

第4の観点の受信回路において、第1回路の $4n$ のキャパシタバンクと第2回路の $4n$ のキャパシタバンクとは、書き込みスイッチによって該キャパシタバンク毎に書き込みタイミングが同じである。

#### 【0008】

第5の観点の受信回路において、書き込みスイッチによって、出力電流が第1回路及び第2回路のすべてのコンデンサに書き込まれ、読み出しスイッチによって、遅延時間に応じてコンデンサのうち、所定のコンデンサから出力電流を読み出す。

40

第6の観点の受信回路において、書き込みスイッチによって、出力電流が第1回路及び第2回路の所定のコンデンサに書き込まれ、読み出しスイッチによって、遅延時間に応じて所定のコンデンサから出力電流を読み出す。

第7の観点の受信回路において、書き込みスイッチによって、第1回路の $4n$ のキャパシタバンクが、それぞれ( $90^\circ/n$ )位相異なって出力電流が書き込まれる。

#### 【0009】

第8の観点の受信回路において、二以上のコンデンサのそれぞれの容量比は、遅延時間を均等に分割するように設定されている。

第9の観点の受信回路内の遅延部は、超音波振動子の各チャンネルに設けられている。

50

第10の観点の受信回路のコンデンサの総容量は、超音波プローブと超音波画像表示装置の装置本体とを接続するケーブルの容量よりも小さい。

第11の観点の受信回路は、読み出しスイッチの後段側で、遅延部からの出力ラインにおいて遅延部の出力電流を加算する。

#### 【0010】

第12の観点の受信回路の増幅部は、電圧信号である入力信号を増幅するとともに電流信号に変換して出力するV/I増幅部又は電流信号である入力信号を増幅して電流信号を出力するI/I増幅部のいずれかである。

第13の観点の受信回路は、読み出しスイッチ及び書き込みスイッチのスイッチングクロック周波数を可変するスイッチ制御部をさらに備える。 10

第14の観点の受信回路は、第12の観点において、スイッチングクロック周波数が被検体のエコー反射点が深くなるほど低くなる。

また、上記第1の観点から第12の観点の受信回路を超音波プローブが設けてもよい。またその超音波プローブは超音波画像表示装置に使用される。

#### 【発明の効果】

#### 【0011】

本発明の受信回路は、コンデンサを使用することにより消費電力を抑制することができる。また受信回路は、容量が異なる二以上のコンデンサを使用して、出力信号に所定の遅延時間を設定することができる。

#### 【図面の簡単な説明】 20

#### 【0012】

【図1】超音波画像表示装置の実施の形態の一例を示す概略図である。

【図2】受信回路10を示すプロック図である。

【図3】第1実施形態の受信回路10内の遅延部14の構成を示す図である。

【図4】遅延部14のキャパシタバンクCAの構成を示す図である。

【図5】4つのキャパシタバンクCA及び4つのキャパシタバンクCB内のコンデンサへ、書き込み、読み出し及び電荷のクリアするタイミングについて説明する図である。

【図6】時刻T0及び時刻T1における、書き込みスイッチWSと読み出しスイッチRSとの状態を示した図である。

【図7】時刻T2及び時刻T3における、書き込みスイッチWSと読み出しスイッチRSとの状態を示した図である。 30

【図8】時刻T0における、キャパシタバンクCA1及びCA2のオンオフスイッチCSの状態を示した図である。

【図9】時刻T1における、キャパシタバンクCA1及びCA2のオンオフスイッチCSの状態を示した図である。

【図10】4つのコンデンサCの容量と一周期CYとの関係を示した図である。

【図11】22.5°毎に出力電流を移相する際に、コンデンサC1～C4に対するオンオフスイッチCSの状態を示した表である。

【図12】時刻T1における、キャパシタバンクCA1及びCA2のオンオフスイッチCSの状態を示した図である。 40

【図13】時刻T1における、キャパシタバンクCA1及びCA2のオンオフスイッチCSの状態を示した図である。

【図14】第3実施形態の受信回路10内の遅延部14'の構成を示す図である。

【図15】8つのキャパシタバンクCA及び8つのキャパシタバンクCB内のコンデンサへ、書き込み、読み出し及び電荷のクリアするタイミングについて説明する図である。

【図16】3つのコンデンサCの容量と一周期CYとの関係を示した図である。

【図17】第6実施形態の受信回路10内の遅延部14''の構成を示す図である。

【図18】(a)は、中心周波数と被検体の深さとの関係を示したグラフである。(b)は、位相と被検体の深さとの関係を示したグラフである。(c)は、スイッチングクロック周波数と被検体の深さとの関係を示したグラフである。 50

**【発明を実施するための形態】**

**【0013】**

(第1実施形態)

(超音波画像表示装置の構成)

図1は、第1実施形態の超音波画像表示装置100の一例を示す概略図である。図1に示されるように、超音波画像表示装置100は、装置本体101とこの装置本体101と接続された超音波プローブ102とを有している。この超音波プローブ102は、ケーブル103を介して装置本体101と接続されている。

**【0014】**

超音波プローブ102には、超音波振動子で受信した超音波のエコー信号が入力される受信回路10が設けられている。また、超音波プローブ102には、特に図示しないがこの超音波プローブ102の超音波振動子を所定の送信条件で駆動させ、スキャン面を超音波ビームによって音線順次で走査させる送信回路が設けられていてもよい。

**【0015】**

装置本体101には、受信回路10からの出力信号がケーブル103を介して入力される。出力信号は、装置本体101内の図示しないA/D変換部においてA/D変換される。そして、超音波画像表示装置100は、A/D変換後のエコー信号に基づいて超音波画像を作成し、この超音波画像が装置本体101の表示部104に表示される。

**【0016】**

(受信回路の構成)

図2は、受信回路10を示すブロック図である。受信回路10は、増幅部12と遅延部14とを有している。増幅部12と遅延部14とは、チャンネル0(c h 0)～チャンネルx(c h x : xは任意の自然数)まで設けられた複数の超音波振動子Tr毎に設けられている。各超音波振動子Trで受信されたエコー信号は、増幅部12で増幅され、その後遅延部14で所定の遅延時間が与えられる。超音波プローブ102に配置される超音波振動子Trは、一次元アレイ又は二次元アレイに配列されよい。超音波振動子Trは、個々に又はグループ単位で、電子的に制御されてもよい。

**【0017】**

増幅部12は、電流出力回路で構成されている。この電流出力回路は、電圧信号である入力信号を増幅するとともに電流信号に変換して出力するV/I増幅部又は電流信号である入力信号を増幅して電流信号を出力するI/I増幅部のいずれかである。

**【0018】**

(遅延部の構成)

図3は、受信回路10内の遅延部14の構成を示す図である。図3に示されるように、遅延部14は、大別すると、A群回路142とB群回路144とを有している。A群回路142は、キャパシタバンクCA(CA1～CA4)と、書き込みスイッチWS(WS1a～WS4a、WS1b～WS4b)と、読み出しスイッチRS(RS1a～RS4a、RS1b～RS4b)とを有している。B群回路144は、キャパシタバンクCB(CB1～CB4)と、書き込みスイッチWS(WS1a～WS4a、WS1b～WS4b)と、読み出しスイッチRS(RS1a～RS4a、RS1b～RS4b)とを有している。第1実施形態では、A群回路142がキャパシタバンクCA1～CA4を有し、B群回路144がキャパシタバンクCB1～CB4を有している。しかし、この実施形態に限られず、A群回路142及びB群回路144は、それぞれキャパシタバンクを4n(nは自然数)有していてもよい。基本的に、A群回路142とB群回路144とは、同じ構成である。キャパシタバンクについては図4を使って後述する。

**【0019】**

A群回路142のキャパシタバンクCA1には、書き込みスイッチWS1a及びWS1bが接続され、さらに読み出しスイッチRS1a及びRS1bが接続されている。同様に、キャパシタバンクCA2には、書き込みスイッチWS2a及びWS2bが接続され、さらに読み出しスイッチRS2a及びRS2bが接続されている。図3に示されるように、

10

20

30

40

50

キャパシタバンク C A 3 及びキャパシタバンク C A 4 も同様である。

【 0 0 2 0 】

B 群回路 1 4 4 のキャパシタバンク C B 1 には、書き込みスイッチ W S 1 a 及び W S 1 b が接続され、さらに読み出しスイッチ R S 1 a 及び R S 1 b が接続されている。同様に、キャパシタバンク C B 2 には、書き込みスイッチ W S 2 a 及び W S 2 b が接続され、さらに読み出しスイッチ R S 2 a 及び R S 2 b が接続されている。図 3 に示されるように、キャパシタバンク C B 3 及びキャパシタバンク C B 4 も同様である。

【 0 0 2 1 】

A 群回路 1 4 2 及び B 群回路 1 4 4 の書き込みスイッチ W S の一端側は、増幅部 1 2 と接続され、他端側は、キャパシタバンク C A 又はキャパシタバンク C B の一端側と接続されている。また、A 群回路 1 4 2 の読み出しスイッチ R S の一端側は、キャパシタバンク C A の一端側と接続され、他端側は、切り換えスイッチ S W A に接続されている。同様に、B 群回路 1 4 4 の読み出しスイッチ R S の一端側は、キャパシタバンク C B の一端側と接続され、他端側は、切り換えスイッチ S W B に接続されている。

10

【 0 0 2 2 】

切り換えスイッチ S W A の出力側及び切り換えスイッチ S W B の出力側は、差動増幅部 1 6 に接続される。遅延部 1 4 は、このような回路構成により、電流サンプリングを行う。なお、図 4 において、書き込みスイッチ W S 1 a ~ W S 4 a 及び W S 1 b ~ W S 4 b が設けられているが、書き込みスイッチ W S 1 b ~ W S 4 b が無く直接つながっていてもよい。同様に、読み出しスイッチ R S 1 a ~ R S 4 a 又は R S 1 b ~ R S 4 b の一方が無くてもよい。

20

【 0 0 2 3 】

差動増幅部 1 6 は、差動電圧増幅器又は差動 I / V 変換器又は差動 I / I 変換器を使用することができる。電圧をケーブルに検出する際には、接続されたコンデンサ C の総容量を等しくする必要がある。このため差動増幅部 1 6 に総容量を等しくする補完コンデンサを用意する。つまり、キャパシタバンク C A 及びキャパシタバンク C B のコンデンサ C 1 ~ C 4 の接続された容量に応じて、総容量を等しくするため、電荷の蓄積されていない補完コンデンサと接続するようとする。

【 0 0 2 4 】

また、差動増幅部 1 6 を設けずに、そのまま電流出力されるように、切り換えスイッチ S W A の出力側及び切り換えスイッチ S W B の出力側の一端が出力され、切り換えスイッチ S W A の出力側及び切り換えスイッチ S W B の出力側の他端がグランドと接続されるようにもよい。差動増幅部 1 6 を設けずに、そのままケーブル 1 0 3 に電流出力される場合には、コンデンサ C に書き込まれた電流がケーブル 1 0 3 を流れるように、コンデンサ C の総容量は、ケーブル 1 0 3 の容量よりも小さくなっていることが好ましい。従って、ケーブル 1 0 3 として、コンデンサ C の総容量よりも容量が大きいケーブルを選択することが好ましい。コンデンサの容量は位相によって異なり最小と最大では 8 相、または 1 6 相では 1 . 4 倍 ( 0 . 3 2 × 2 + 0 . 3 8 × 2 ) になり、ケーブルの容量が 2 0 倍ならば 3 % 程度の振幅誤差を有するが、実害は殆どない。

30

【 0 0 2 5 】

( キャパシタバンクの構成 )

40

図 4 は、遅延部 1 4 の A 群回路 1 4 2 のキャパシタバンク C A 1 及び C A 2 の構成を示す図である。図示しないが、キャパシタバンク C A 3 及び C A 4 も同様な構成である。また、B 群回路 1 4 4 のキャパシタバンク C B 1 ~ C B 4 も同様な構成である。このため、キャパシタバンク C A 1 の構成を説明し、他のキャパシタバンクについては説明を割愛する。

【 0 0 2 6 】

キャパシタバンク C A 1 は、コンデンサ C 1 ~ C 4 と、電流のオン/オフを切り換えるオンオフスイッチ C S ( C S 1 a ~ C S 4 a, C S 1 b ~ C S 4 b ) と、クリアースイッチ c c とを有している。第 1 実施形態では、キャパシタバンク C A 1 が、4 つのコンデン

50

サCを有しているが、これに限らず、キャパシタバンクCA1は、2以上のコンデンサCを有していればよい。

#### 【0027】

コンデンサC1は、その両端にオンオフスイッチCS1a及びCS1bを有している。同様に、コンデンサC2は、その両端にオンオフスイッチCS2a及びCS2bを有している。コンデンサC3及びコンデンサC4も同様である。各オンオフスイッチCSは、書き込みスイッチWS1a及びWS1b、又は読み出しスイッチRS1a及びWS1bに接続される。各コンデンサCにはクリアースイッチccが並列に接続されている。クリアースイッチccが接続されると、コンデンサCに書き込まれた電荷（出力電流）がクリア（放電）される。なお、図5において、オンオフスイッチCS1a～CS4a及びCS1b～CS4bが設けられているが、オンオフスイッチCS1a～CS4a又はCS1b～CS4bの一方が無くてもよい。

10

#### 【0028】

（遅延部の動作）

次に、遅延部14の動作について説明する。図5は、キャパシタバンクCA（CA1～CA4）及びキャパシタバンクCB（CB1～CB4）内のコンデンサCへ、出力電流の書き込み、読み出し及び電荷のクリアのタイミングについて説明する図である。図6は、時刻T0及び時刻T1における、書き込みスイッチWSと読み出しスイッチRSとの状態を示した図である。図7は、時刻T2及び時刻T3における、書き込みスイッチWSと読み出しスイッチRSとの状態を示した図である。さらに、図8は、時刻T0における、キャパシタバンクCA1及びキャパシタバンクCA2のスイッチチング状態を示した図である。図9は、時刻T1における、キャパシタバンクCA1及びキャパシタバンクCA2のスイッチチング状態を示した図である。

20

#### 【0029】

図5では、書き込みが“W”で、読み出しが“R”で、電荷のクリアが“C”で示されている。また図5では、時刻T0（0）から時刻T4（4CY/4）までが一周期CYであり、一周期CYが4等分されて示されている。出力電流の書き込み、読み出し及び電荷のクリアのタイミングに関して、時刻T0（0）と時刻T4（4CY/4）とは同じであり、出力電流の書き込み、読み出し及び電荷のクリアは、その以降時刻T5（5CY/4）、時刻T6（6CY/4）……と続いている。

30

#### 【0030】

<時刻T0（0）>

図5で示された時刻T0（0）において、A群回路142のキャパシタバンクCA1は書き込み（W）、キャパシタバンクCA2は電荷のクリア（C）、キャパシタバンクCA4は読み出し（R）と示されている。また、B群回路144のキャパシタバンクCB1は書き込み（W）、キャパシタバンクCB2は電荷のクリア（C）、キャパシタバンクCB3は読み出し（R）と示されている。

#### 【0031】

図6の上段は、時刻T0（0）の書き込みスイッチWS及び読み出しスイッチRSの状態を示している。A群回路142のキャパシタバンクCA1には書き込みスイッチWS1a及びWS1bが接続している。さらに図8に示されるように、オンオフスイッチCS1a（CS1b）～CS4a（CS4b）は、コンデンサC1～C4に接続されている。このため、増幅部12（図3を参照）で増幅された出力電流が、コンデンサC1～C4に書き込まれる（蓄積される）。A群回路142のキャパシタバンクCA4には読み出しスイッチRS1a及びRS1bが接続している。図示されていないが、オンオフスイッチCS1a（CS1b）～CS4a（CS4b）は、キャパシタバンクCA4内のコンデンサC1～C4に接続されている。このためコンデンサC1～C4に蓄積された電荷（出力電流）が、作動増幅部16（図3を参照）に読み出される。

40

#### 【0032】

また、時刻T0（0）において、キャパシタバンクCA2の各コンデンサCは、クリア

50

ースイッチ c c が接続状態であり、各コンデンサ C に蓄積された電荷がクリアされる。

【 0 0 3 3 】

図 6 の上段において、B 群回路 1 4 4 のキャパシタバンク C B 1 には書き込みスイッチ W S 1 a 及び W S 1 b が接続している。このとき、B 群回路 1 4 4 のキャパシタバンク C B 1 内のコンデンサ C 1 ~ C 4 に書き込まれる（蓄積される）。また、キャパシタバンク C B 3 には読み出しスイッチ R S 1 a 及び R S 1 b が接続している。このとき、キャパシタバンク C B 3 内のコンデンサ C 1 ~ C 4 に蓄積された電荷（出力電流）が、作動増幅部 1 6 に読み出される。

【 0 0 3 4 】

< 時刻 T 1 ( C Y / 4 ) >

10

図 5 で示された時刻 T 1 ( C Y / 4 ) において、A 群回路 1 4 2 のキャパシタバンク C A 1 は読み出し ( R ) 、キャパシタバンク C A 2 は書き込み ( W ) 、キャパシタバンク C A 3 は電荷のクリア ( C ) と示されている。また、B 群回路 1 4 4 のキャパシタバンク C B 2 は書き込み ( W ) 、キャパシタバンク C B 3 は電荷のクリア ( C ) 、キャパシタバンク C B 4 は読み出し ( R ) と示されている。

【 0 0 3 5 】

図 6 の下段は、時刻 T 1 ( C Y / 4 ) の書き込みスイッチ W S 及び読み出しスイッチ R S の状態を示している。A 群回路 1 4 2 のキャパシタバンク C A 1 には読み出しスイッチ R S 1 a 及び R S 1 b が接続している。さらに図 9 に示されるように、オンオフスイッチ C S 1 a ( C S 1 b ) ~ C S 4 a ( C S 4 b ) は、コンデンサ C 1 ~ C 4 に接続されている。このため、コンデンサ C 1 ~ C 4 に蓄積された電荷が、作動増幅部 1 6 ( 図 3 を参照 ) に読み出される。A 群回路 1 4 2 のキャパシタバンク C A 2 には書き込みスイッチ W S 1 a 及び W S 1 b が接続している。図 9 に示されるように、オンオフスイッチ C S 1 a ( C S 1 b ) ~ C S 4 a ( C S 4 b ) は、キャパシタバンク C A 2 内のコンデンサ C 1 ~ C 4 に接続されている。このため増幅部 1 2 ( 図 3 を参照 ) で増幅された出力電流が、コンデンサ C 1 ~ C 4 に書き込まれる。

20

【 0 0 3 6 】

また、時刻 T 1 ( C Y / 4 ) において、キャパシタバンク C A 3 の各コンデンサ C は、クリアースイッチ c c が接続状態であり、各コンデンサ C に蓄積された電荷がクリアされる。

30

【 0 0 3 7 】

図 6 の下段において、B 群回路 1 4 4 のキャパシタバンク C B 2 には書き込みスイッチ W S 1 a 及び W S 1 b が接続している。このとき、B 群回路 1 4 4 のキャパシタバンク C B 1 内のコンデンサ C 1 ~ C 4 に書き込まれる。また、キャパシタバンク C B 4 には読み出しスイッチ R S 1 a 及び R S 1 b が接続している。このとき、キャパシタバンク C B 4 内のコンデンサ C 1 ~ C 4 に蓄積された電荷が、作動増幅部 1 6 に読み出される。

【 0 0 3 8 】

< 時刻 T 2 ( 2 C Y / 4 ) >

図 5 で示された時刻 T 2 ( 2 C Y / 4 ) において、A 群回路 1 4 2 のキャパシタバンク C A 2 は読み出し ( R ) 、キャパシタバンク C A 3 は書き込み ( W ) 、キャパシタバンク C A 4 は電荷のクリア ( C ) と示されている。また、B 群回路 1 4 4 のキャパシタバンク C B 1 は読み出し ( R ) 、キャパシタバンク C B 3 は書き込み ( W ) 、キャパシタバンク C B 4 は電荷のクリア ( C ) と示されている。

40

【 0 0 3 9 】

図 7 の上段は、時刻 T 2 ( 2 C Y / 4 ) の書き込みスイッチ W S 及び読み出しスイッチ R S の状態を示している。A 群回路 1 4 2 のキャパシタバンク C A 2 には読み出しスイッチ R S 1 a 及び R S 1 b が接続している。このため、キャパシタバンク C A 2 のコンデンサ C 1 ~ C 4 に蓄積された電荷が、作動増幅部 1 6 に読み出される。A 群回路 1 4 2 のキャパシタバンク C A 3 には書き込みスイッチ W S 1 a 及び W S 1 b が接続している。増幅部 1 2 で増幅された出力電流が、キャパシタバンク C A 3 のコンデンサ C 1 ~ C 4 に書き

50

込まれる。

**【0040】**

また、時刻 T 2 ( 2 CY / 4 )において、キャパシタバンク CA 4 の各コンデンサ C は、クリアースイッチ c c が接続状態であり、各コンデンサ C に蓄積された電荷がクリアされる。

**【0041】**

図 7 の上段において、B 群回路 144 のキャパシタバンク CB 1 には読み出しスイッチ RS 1 a 及び RS 1 b が接続している。このとき、キャパシタバンク CB 1 内のコンデンサ C 1 ~ C 4 に蓄積された電荷が、作動增幅部 16 に読み出される。また、キャパシタバンク CB 3 には書き込みスイッチ WS 1 a 及び WS 1 b が接続している。このとき、B 群回路 144 のキャパシタバンク CB 3 内のコンデンサ C 1 ~ C 4 に書き込まれる。  
10

**【0042】**

<時刻 T 3 ( 3 CY / 4 ) >

図 5 で示された時刻 T 3 ( 3 CY / 4 )において、A 群回路 142 のキャパシタバンク CA 1 は電荷のクリア ( C ) 、キャパシタバンク CA 3 は読み出し ( R ) 、キャパシタバンク CA 4 は書き込み ( W ) と示されている。また、B 群回路 144 のキャパシタバンク CB 1 は電荷のクリア ( C ) 、キャパシタバンク CB 3 は読み出し ( R ) 、キャパシタバンク CB 4 は書き込み ( W ) と示されている。

**【0043】**

図 7 の下段は、時刻 T 3 ( 3 CY / 4 )の書き込みスイッチ WS 及び読み出しスイッチ RS の状態を示している。A 群回路 142 のキャパシタバンク CA 3 には読み出しスイッチ RS 1 a 及び RS 1 b が接続している。このため、キャパシタバンク CA 3 のコンデンサ C 1 ~ C 4 に蓄積された電荷が、作動增幅部 16 に読み出される。A 群回路 142 のキャパシタバンク CA 4 には書き込みスイッチ WS 1 a 及び WS 1 b が接続している。増幅部 12 で増幅された出力電流が、キャパシタバンク CA 4 のコンデンサ C 1 ~ C 4 に書き込まれる。  
20

**【0044】**

また、時刻 T 3 ( 3 CY / 4 )において、キャパシタバンク CA 1 の各コンデンサ C は、クリアースイッチ c c が接続状態であり、各コンデンサ C に蓄積された電荷がクリアされる。  
30

**【0045】**

図 7 の下段において、B 群回路 144 のキャパシタバンク CB 2 には読み出しスイッチ RS 1 a 及び RS 1 b が接続している。このとき、キャパシタバンク CB 2 内のコンデンサ C 1 ~ C 4 に蓄積された電荷が、作動增幅部 16 に読み出される。また、キャパシタバンク CB 4 には書き込みスイッチ WS 1 a 及び WS 1 b が接続している。このとき、B 群回路 144 のキャパシタバンク CB 4 内のコンデンサ C 1 ~ C 4 に書き込まれる。

**【0046】**

(遅延時間 ( 移相 ) の制御 )

次に出力電流の遅延について説明する。遅延は、増幅部 12 ( 図 3 を参照 ) で増幅された出力電流の移相 ( 位相を移す ) ことによって行われる。そして遅延時間は、A 群回路 142 のキャパシタバンク CA 及び B 群回路 144 のキャパシタバンク CB 内のコンデンサ C の容量を変更することで、決定される。図 10 は、各コンデンサ C の容量と一周期 CY との関係を示した図である。また、図 11 は、0° から 360° まで 22.5° 每に出力電流を移相する際に、コンデンサ C 1 ~ C 4 に対するオンオフスイッチの状態を示した表である。  
40

**【0047】**

各コンデンサの容量比は、コンデンサ C 1 が 0.08 、コンデンサ C 2 が 0.22 、コンデンサ C 3 が 0.32 、及びコンデンサ C 4 が 0.38 に設定されている。コンデンサ C 1 ~ C 4 の容量比を合計すると 1 になる。これは、図 10 の左上図の A 群回路 142 の周期を見れば理解されるように、コンデンサ C 1 の容量比が “ $1 - \cos(22.5^\circ)$  ”  
50

”、コンデンサC2の容量比が“ $\cos(22.5^\circ) - \cos(45^\circ)$ ”、コンデンサC3の容量比が“ $\cos(45^\circ) - \cos(67.5^\circ)$ ”、コンデンサC4の容量比が“ $\cos(67.5^\circ)$ ”に設定されていることに対応している。

#### 【0048】

図10の左上図のA群回路142に示されるように、キャパシタバンクCA内のコンデンサC1～C4をオンオフスイッチCSでオンオフすることによって、出力電流を $0^\circ$ ( $360^\circ$ )、 $22.5^\circ$ ( $337.5^\circ$ )、 $45^\circ$ ( $315^\circ$ )、 $67.5^\circ$ ( $292.5^\circ$ )に移相することができる。またA群回路142の正負極性を切り換えると、図10の右上図に示されるように、出力電流を $112.5^\circ$ ( $247.5^\circ$ )、 $135^\circ$ ( $225^\circ$ )、 $157.5^\circ$ ( $202.5^\circ$ )、 $180^\circ$ に移相することができる。A群回路142の正負極性の切り換えは、切り替えスイッチSWA(図3を参照)によって行われる。  
10

#### 【0049】

図10の左下図のB群回路144に示されるように、キャパシタバンクCB内のコンデンサC1～C4をオンオフスイッチCSでオンオフすることによって、出力電流を $22.5^\circ$ ( $157.5^\circ$ )、 $45^\circ$ ( $135^\circ$ )、 $67.5^\circ$ ( $112.5^\circ$ )、 $90^\circ$ に移相することができる。またB群回路144の正負極性を切り換えると、図10の右下図に示されるように、出力電流を $202.5^\circ$ ( $337.5^\circ$ )、 $225^\circ$ ( $315^\circ$ )、 $247.5^\circ$ ( $292.5^\circ$ )、 $270^\circ$ に移相することができる。B群回路144の正負極性の切り換えは、切り替えスイッチSWB(図3を参照)によって行われる。  
20

#### 【0050】

以上をまとめると、図11に示されるように、コンデンサC1～C4に対するオンオフ、並びにA群回路142及びB群回路144の正負極性の切り換えによって、 $0^\circ$ から $360^\circ$ まで $22.5^\circ$ 毎に出力電流を移相することができる。なお、A群回路142とB群回路144とが同じ回路構成であるにもかかわらず、B群回路144がA群回路142に対して $90^\circ$ 位相がずれている。その理由は、特に図5で示されたように、A群回路142とB群回路144とが同じタイミングで出力電流をコンデンサCに書き込んでいる一方で、B群回路144からのコンデンサCの出力電流の読み出しタイミングが、A群回路144からのコンデンサCの出力電流の読み出しタイミングより $90^\circ$ 位相分遅れているからである。  
30

#### 【0051】

図9及び図12を使って、遅延時間(移相)の制御を詳細に説明する。

図9及び図12は、時刻T1(CY/4)のキャパシタバンクCA1及びキャパシタバンクCA2を示している。そして、キャパシタバンクCA2に、増幅部12(図3を参照)で増幅された出力電流が、コンデンサC1～C4に書き込まれている。一方、キャパシタバンクCA1からコンデンサC1～C4に蓄積された電荷が、作動増幅部16(図3を参照)に読み出される。

#### 【0052】

図9に示されたキャパシタバンクCA1は、すべてのコンデンサC1～C4にオンオフスイッチCS1a(CS1b)～CS4a(CS4b)が接続されている。すなわち、図11において、遅延部14が出力電流の移相を $0^\circ$ に設定する場合を示している。  
40

#### 【0053】

これに対して、図12に示されたキャパシタバンクCA1は、コンデンサC3にオンオフスイッチCS3a(CS3b)が接続され、コンデンサC4にオンオフスイッチCS4a(CS4b)が接続されている。すなわち、図11において、遅延部14が出力電流の移相を $45^\circ$ に設定する場合を示している。

#### 【0054】

このように、第1実施形態の遅延部14は、コンデンサC1～C4に蓄積された電荷の読み出しを切り換えることによって、出力電流の遅延時間(移相)を設定している。

#### 【0055】

(第2実施形態)

第1実施形態では、図8及び図9で示されたように、出力電力をコンデンサCに書き込む際には、キャパシタバンクCAのコンデンサC1～C4にすべて書き込まれていた。第2実施形態では、遅延時間に応じて所定のコンデンサにのみ出力電流を書き込む。

#### 【0056】

図13は、時刻T1(CY/4)のキャパシタバンクCA1及びキャパシタバンクCA2を示している。また、遅延部14は、遅延時間を67.5°に設定している。図13では、キャパシタバンクCA1及びCA2のオンオフスイッチCS4a及びCS4bが、コンデンサC4に接続されている。そして増幅部12で増幅された出力電流が、キャパシタバンクCA2のコンデンサC4にのみ書き込まれている。一方、キャパシタバンクCA1からコンデンサC4のみに蓄積された電荷が、作動増幅部16(図3を参照)に読み出される。10

#### 【0057】

このように、第2実施形態では、遅延時間に応じて所定のコンデンサCにのみ出力電流を書き込む。遅延時間に必要なコンデンサCのみに出力電流を書き込みため、消費電流の低減を図ることができる。

#### 【0058】

##### (第3実施形態)

第1実施形態では、図5に示されたように、B群回路144のキャパシタバンクCB1～CB4は、A群回路142のキャパシタバンクCA1～CA4よりも、90°位相ずれて出力電流を読み出していた。第3実施形態では、B群回路144の読み出しラインに90度移相器を配置した。20

#### 【0059】

図14は、第3実施形態の受信回路10内の遅延部14'の構成を示す図である。第3実施形態の遅延部14'の構成は、図3に示された第1実施形態の遅延部14の構成と基本的に同じである。しかし、B群回路144の読み出しラインに90度移相器15を配置している。このため、第3実施形態では、第1実施形態のように、キャパシタバンクCA及びキャパシタバンクCB内のコンデンサCへ出力電流の書き込むタイミングを同じにして、出力電流をコンデンサCから読み出すタイミングを90°位相をずらす必要がない。すなわち、第3実施形態の遅延部14'は、キャパシタバンクCA及びキャパシタバンクCB内のコンデンサCへ出力電流の書き込むタイミングと、出力電流をコンデンサCから読み出すタイミングとを同期させることができる。30

#### 【0060】

##### (第4実施形態)

第1実施形態から第3実施形態では、図3に示されたように、A群回路142は、4つのキャパシタバンクCA1～CA4を有し、B群回路144は、4つのキャパシタバンクCB1～CB4を有していた。また、A群回路142とB群回路144とが、それぞれ4つのキャパシタバンクを有しているため、遅延部14は、一周期CYが4等分して、出力電流の書き込み及び読み出しを行っていた。第4実施形態では、A群回路142とB群回路144とが、それぞれ8つのキャパシタバンクを有している(不図示)。40

#### 【0061】

図15は、書き込みが“W”で、読み出しが“R”で、電荷のクリアが“C”で示されている。また図15では、時刻T0(0)から時刻T8(8CY/8)までが一周期CYであり、一周期CYが8等分されて示されている。出力電流の書き込み、読み出し及び電荷のクリアのタイミングに関して、時刻T0(0)と時刻T8(8CY/4)とは同じであり、出力電流の書き込み、読み出し及び電荷のクリアは、その以降時刻T9(9CY/8)、時刻T10(10CY/8)……と続いている。

#### 【0062】

例えば、時刻T1(CY/8)において、A群回路142のキャパシタバンクCA1は読み出し(R)、キャパシタバンクCA2は書き込み(W)、キャパシタバンクCA3は電荷のクリア(C)と示されている。また、B群回路144のキャパシタバンクCB2は50

書き込み (W)、キャパシタバンク C B 3 は電荷のクリア (C)、キャパシタバンク C B 7 は読み出し (R) と示されている。

#### 【0063】

A 群回路 142 と B 群回路 144 とが、それぞれ 8 つのキャパシタバンクを有している場合であっても、A 群回路 142 のキャパシタバンクへの書き込みタイミングと、B 群回路 144 のキャパシタバンクへの書き込みタイミングとは、同時に行われる。また、A 群回路 142 のキャパシタバンクからの読み出しタイミングと、B 群回路 144 のキャパシタバンクからの読み出しタイミングとは、 $90^\circ$  位相ずれている。A 群回路 142 と B 群回路 144 とが、それぞれ 8 つのキャパシタバンクを有していると、出力電流を書き込む回数 (サンプル回数) が増えるため、遅延部 14 は、より精度良く遅延時間を制御できる。

10

#### 【0064】

(第 5 実施形態)

第 1 実施形態から第 4 実施形態では、図 9 等に示されたように、1 つのキャパシタバンク C A 又は C B 内に、容量が異なる 4 つのコンデンサ C 1 ~ C 4 を有していた。第 5 実施形態では、1 つのキャパシタバンク C A 又は C B 内に容量が異なる 3 つのコンデンサ C 1 ~ C 3 を有している。

#### 【0065】

図 16 は、3 つのコンデンサ C の容量と一周期 CY との関係を示した図である。

各コンデンサの容量比は、コンデンサ C 1 が 0.13、コンデンサ C 2 が 0.37、及びコンデンサ C 3 が 0.5 に設定されている。コンデンサ C 1 ~ C 3 の容量比を合計すると 1 になる。これは、図 16 の左上図の A 群回路 142 の周期を見れば理解されるように、コンデンサ C 1 の容量比が “ $1 - \cos(30^\circ)$ ”、コンデンサ C 2 の容量比が “ $\cos(30^\circ) - \cos(60^\circ)$ ”、コンデンサ C 3 の容量比が “ $\cos(60^\circ)$ ” に設定されていることに対応している。

20

#### 【0066】

図 16 の左上図の A 群回路 142 に示されるように、キャパシタバンク C A 内のコンデンサ C 1 ~ C 3 をオンオフスイッチ CS でオンオフすることによって、出力電流を  $0^\circ$  ( $360^\circ$ )、 $30^\circ$  ( $330^\circ$ )、 $60^\circ$  ( $300^\circ$ ) に移相することができる。また A 群回路 142 の正負極性を切り換えると、図 16 の右上図に示されるように、出力電流を  $120^\circ$  ( $240^\circ$ )、 $150^\circ$  ( $210^\circ$ )、 $180^\circ$  に移相することができる。A 群回路 142 の正負極性の切り替えは、切り替えスイッチ SW A (図 3 を参照) によって行われる。

30

#### 【0067】

図 16 の左下図の B 群回路 144 に示されるように、キャパシタバンク C B 内のコンデンサ C 1 ~ C 3 をオンオフスイッチ CS でオンオフすることによって、出力電流を  $30^\circ$  ( $150^\circ$ )、 $60^\circ$  ( $120^\circ$ )、 $90^\circ$  に移相することができる。また B 群回路 144 の正負極性を切り換えると、図 16 の右下図に示されるように、出力電流を  $210^\circ$  ( $330^\circ$ )、 $240^\circ$  ( $300^\circ$ )、 $270^\circ$  に移相することができる。B 群回路 144 の正負極性の切り替えは、切り替えスイッチ SW B (図 3 を参照) によって行われる。

40

#### 【0068】

図示しないが、1 つのキャパシタバンク C A 又は C B 内に、容量が異なる 2 つのコンデンサ C 1 ~ C 2 を有してもよいし、1 つのキャパシタバンク C A 又は C B 内に、容量が異なる 5 つのコンデンサ C 1 ~ C 5 を有してもよい。容量が異なる 2 つのコンデンサ C 1 ~ C 2 であれば、容量比は、コンデンサ C 1 が  $0.29 (1 - \cos(45^\circ))$ 、コンデンサ C 2 が  $0.71 (\cos(45^\circ))$  になる。また容量が異なる 5 つのコンデンサ C 1 ~ C 5 であれば、容量比は、コンデンサ C 1 が  $0.05 (1 - \cos(18^\circ))$ 、コンデンサ C 2 が  $0.14 (\cos(18^\circ) - \cos(36^\circ))$ 、コンデンサ C 3 が  $0.22 (\cos(36^\circ) - \cos(54^\circ))$ 、コンデンサ C 4 が  $0.28 (\cos(54^\circ) - \cos(72^\circ))$ 、コンデンサ C 5 が  $0.31 (\cos(72^\circ))$  になる。

50

。

### 【0069】

第1実施形態から第5実施形態までは、遅延部14は、1周期(360°)の遅延時間を設定できるようにしたが、半周期(0~180°又は90°位相から270°)の遅延時間を設定できるようにしてもよい。半周期の遅延時間であれば、切り替えスイッチSWA又は切り替えスイッチSWB(図3、図14を参照)を省略することができる。

### 【0070】

#### (第6実施形態)

第1実施形態から第5実施形態までは、受信回路10内の遅延部14は、書き込みスイッチWS及び読み出しスイッチRSのスイッチングクロック周波数が一定である場合を説明した。第6実施形態では、遅延部14"が、スイッチングクロック周波数を可変するスイッチ制御部16を有する例を説明する。特に第6実施形態は、第1実施形態で説明した図3と比較して説明するが、第2実施形態から第5実施形態にも適用できる。

### 【0071】

被検体内的深い位置ほど、中心周波数が低い周波数で送信しないと減衰が大きくなり、深部で反射されたエコー信号が超音波プローブ102に戻ってこない。このため、深部ほど中心周波数が低い周波数が送信されることが好ましい。第1実施形態から第5実施形態までは、中心周波数が被検体の深さに対して考慮せず、中心周波数が一定状態で、出力電流の遅延時間(移相)を設定した。

### 【0072】

第6実施形態では、遅延部14"は、エコー反射点の深度に応じた補正である、時間・周波数制御(TFC:time-frequency control)を行う。時間・周波数制御によって、中心周波数がえると、B-mode表示用に良いフォーカシングが可能となる。

### 【0073】

図17は、受信回路10内の遅延部14"の構成を示す図である。図17の遅延部14"は、図3に示された遅延部14と比較して、スイッチ制御部16を有する点で異なる。スイッチ制御部16は、一定のクロック周波数を受け取り、可変したクロック周波数を書き込みスイッチWS及び読み出しスイッチRSに出力する。具体的には、スイッチ制御部16は、可変した周波数を、A群回路142及びB群回路144の書き込みスイッチWS(WS1a~WS4a、WS1b~WS4b)と読み出しスイッチRS(RS1a~RS4a、RS1b~RS4b)とに出力する。

### 【0074】

図18(a)は、中心周波数と被検体の深さとの関係を示したグラフである。図18(b)は、位相と被検体の深さとの関係を示したグラフである。また図18(c)は、スイッチのクロック周波数と被検体の深さとの関係を示したグラフである。ここで、被検体のエコー反射点が深くなればなるほど、エコー信号が戻ってくる時間が長くなるため、横軸はエコー信号が戻ってくる時間でもある。つまり、図18(a)は時間・周波数制御を示したグラフである。

### 【0075】

図18(a)のグラフf1は、第1実施形態から第5実施形態までの中心周波数である。被検体の浅部であっても深部であっても中心周波数は一定である。そしてグラフf6は、被検体のエコー反射点が深くなればなるほど中心周波数が低くなるグラフである。第6実施形態では、このような時間周波数制御を行うため、A群回路142及びB群回路144の書き込みスイッチWS(WS1a~WS4a、WS1b~WS4b)と読み出しスイッチRS(RS1a~RS4a、RS1b~RS4b)とのスイッチングクロック周波数を、被検体のエコー反射点に応じて変化させる。つまり、図5では、時刻T0(0)、時刻T1(CY/4)、時刻T2(2CY/4)、時刻T3(3CY/4)、時刻T4(4CY/4)と均等に割り振られていたが、この時刻Tが可変となる。

### 【0076】

図18(c)のグラフc1は、図5で示された、時刻T0(0)、時刻T1(CY/4)

10

20

30

40

50

) 等である。被検体のエコー反射点に関係なくスイッチングクロック周波数が一定である。グラフ c 6 は、被検体のエコー反射点が深くなるほど、スイッチングクロック周波数が低くなり、被検体のエコー反射点が浅いほど、スイッチングクロック周波数が高くなることを示している。

#### 【 0 0 7 7 】

グラフ c 6 に示されるようにスイッチングクロック周波数が変化すると、図 18 ( b ) に示されるように、位相も変化する。図 18 ( b ) のグラフ p 1 は、第 1 実施形態から第 5 実施形態までの位相であり、グラフ p 6 は、第 6 実施形態の位相である。グラフ p 6 のように、被検体のエコー反射点が浅い位置から深い位置まで位相を大きく変えることで、図 18 ( a ) のグラフ f 6 に示されるように、中心周波数を可変できる。したがってスイッチ制御部 1 6 は、ダイナミックフォーカス用の受信の遅延を制御できる。

10

#### 【 0 0 7 8 】

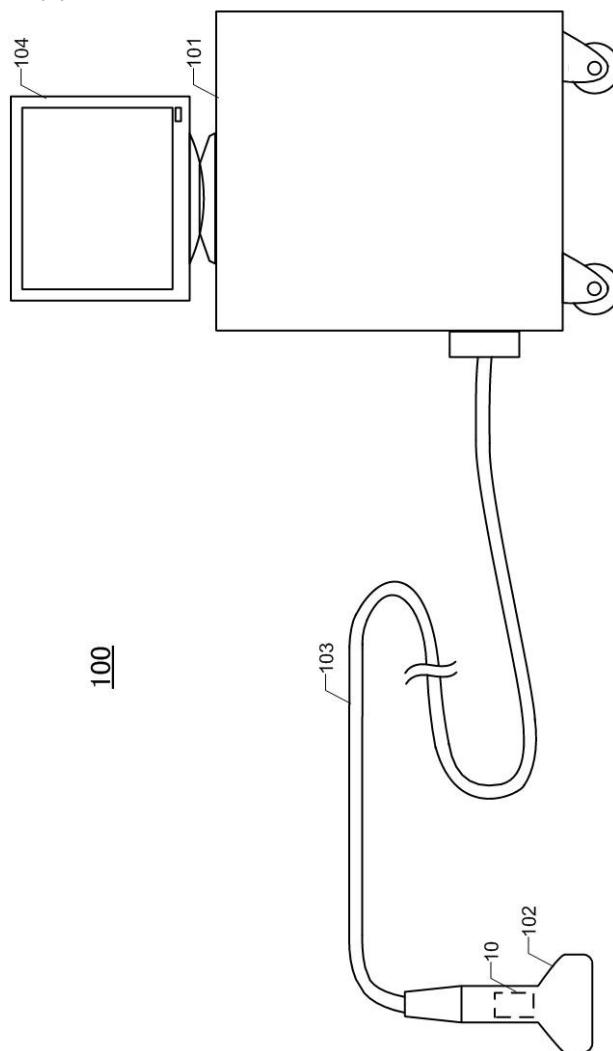
以上、本発明の最適な実施形態について詳細に説明したが、当業者に明らかなように、本発明はその技術的範囲内において実施形態に様々な変更・変形を加えて実施することができる。

#### 【 符号の説明 】

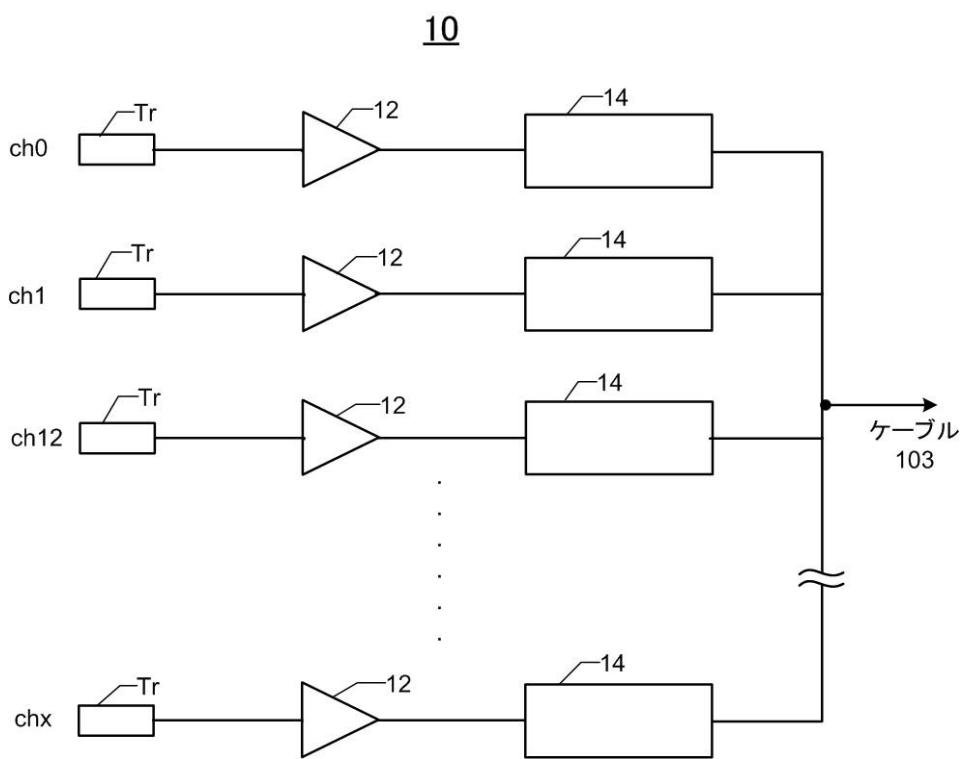
#### 【 0 0 7 9 】

1 0	…	受信回路	
1 2	…	増幅器	
1 4 、 1 4 '	…	遅延部	20
1 6	…	差動増幅部	
1 0 0	…	超音波画像表示装置	
1 0 1	…	装置本体	
1 0 2	…	超音波プローブ	
1 0 3	…	ケーブル	
1 4 2	…	A 群回路	
1 4 4	…	B 群回路	
C A ( C A 1 ~ C A 8 ) 、 C B ( C B 1 ~ C B 8 )	…	キャパシタバンク	
W S	…	書き込みスイッチ	
R S	…	読み出しスイッチ	30
C S	…	オンオフスイッチ	
c c	…	クリアースイッチ	
C ( C 1 ~ C 5 )	…	コンデンサ	

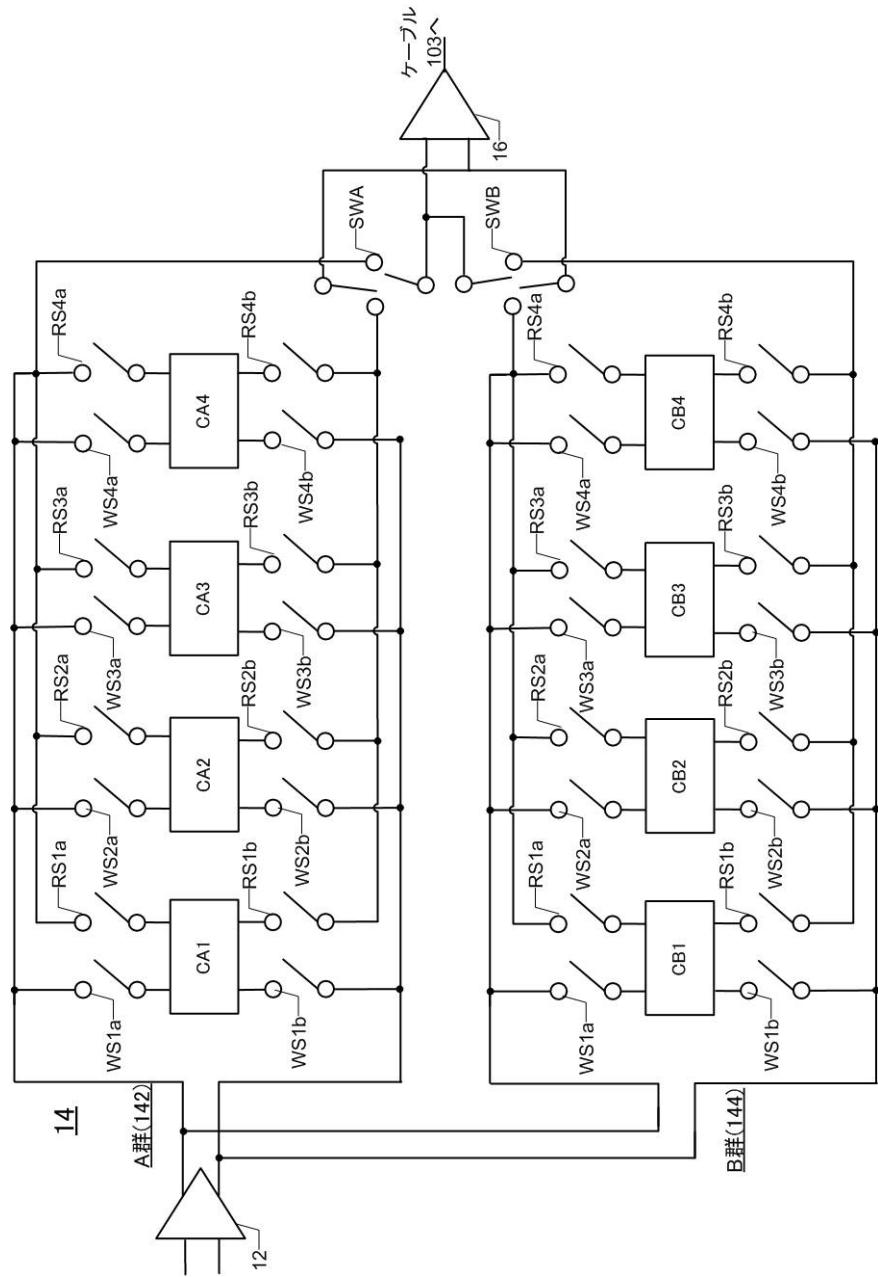
【図1】



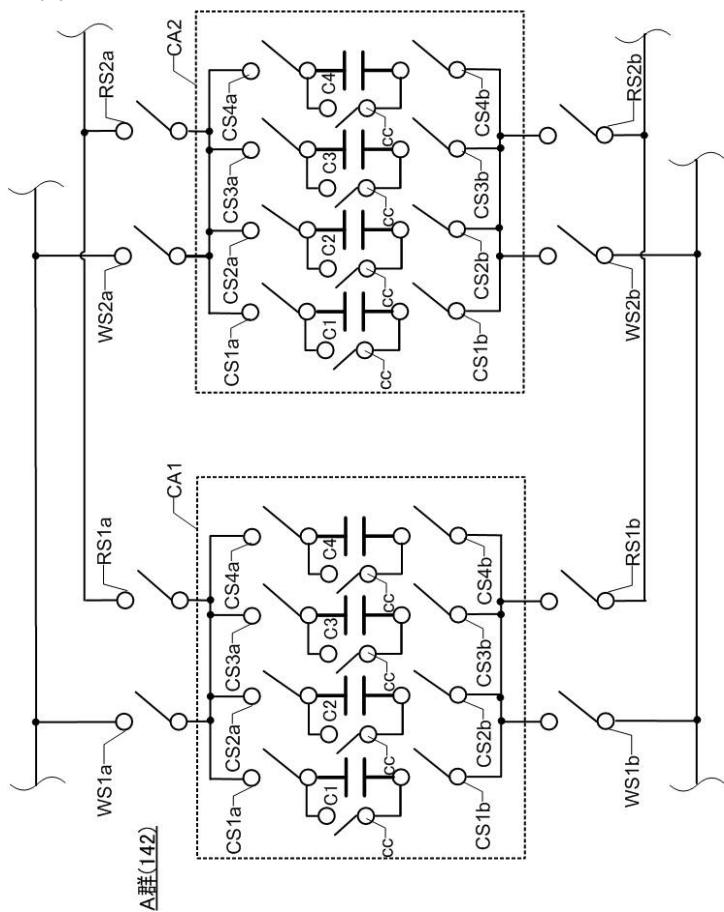
【図2】



【図3】



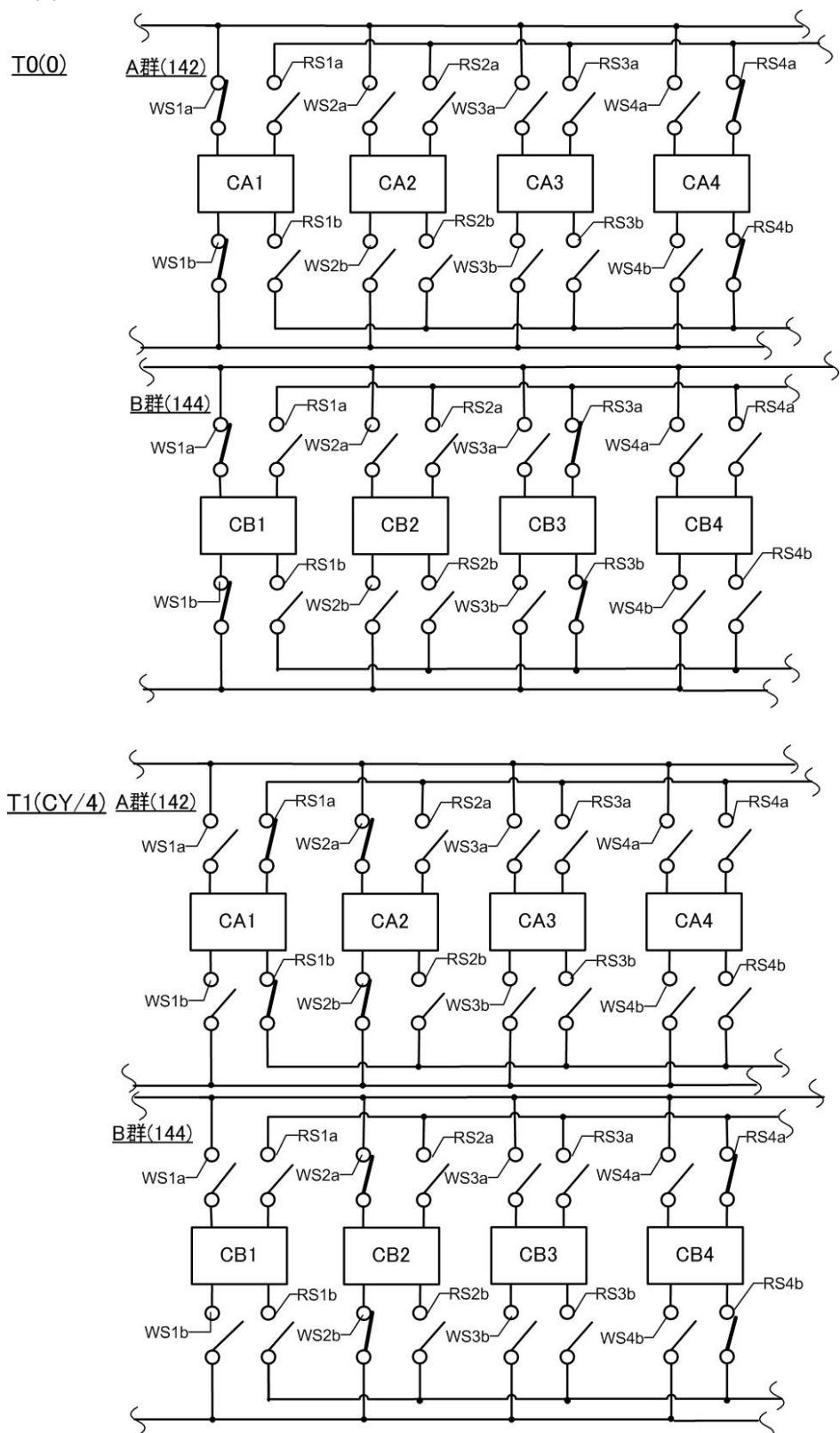
【図4】



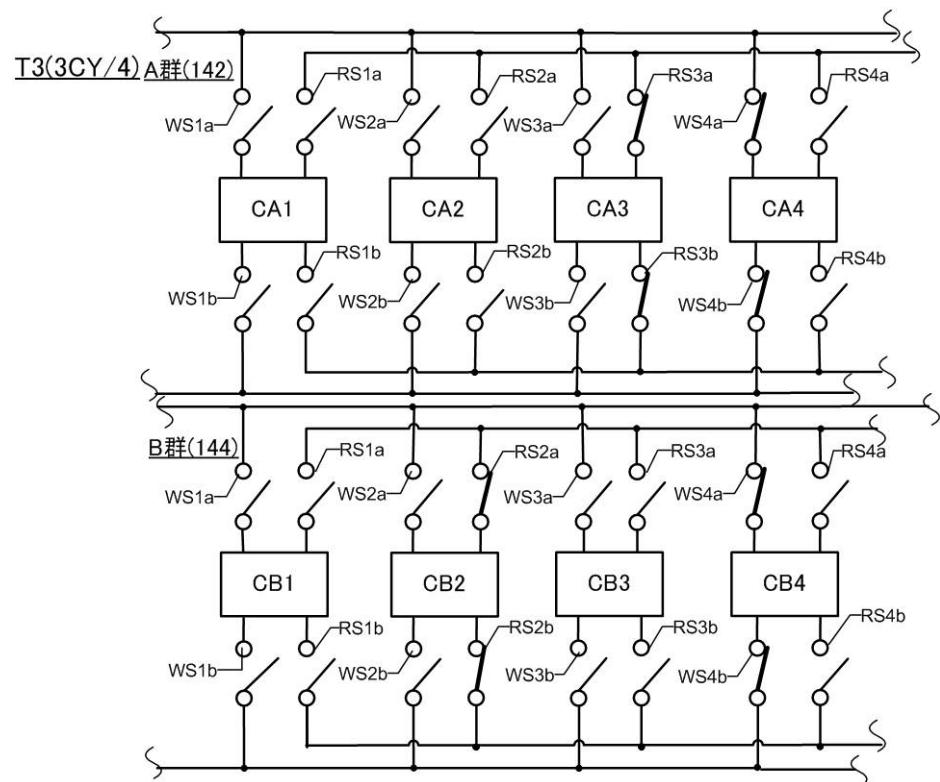
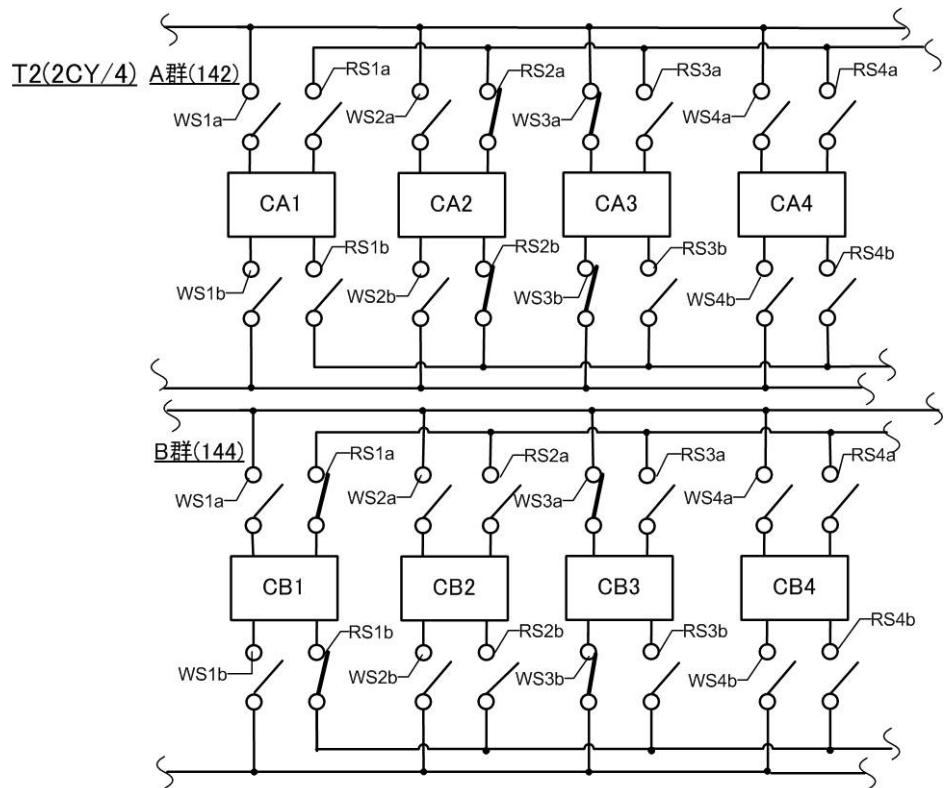
【図5】

	A群(142)				B群(144)			
	CA1	CA2	CA3	CA4	CB1	CB2	CB3	CB4
T0(0)	W	C	R	R	W	C	R	R
T1(CY/4)	R	W	C	R	W	C	W	C
T2(2CY/4)	R	W	C	R	W	C	W	W
T3(3CY/4)	C	R	W	C	R	C	R	R
T4(4CY/4)	W	C	R	W	C	W	C	R

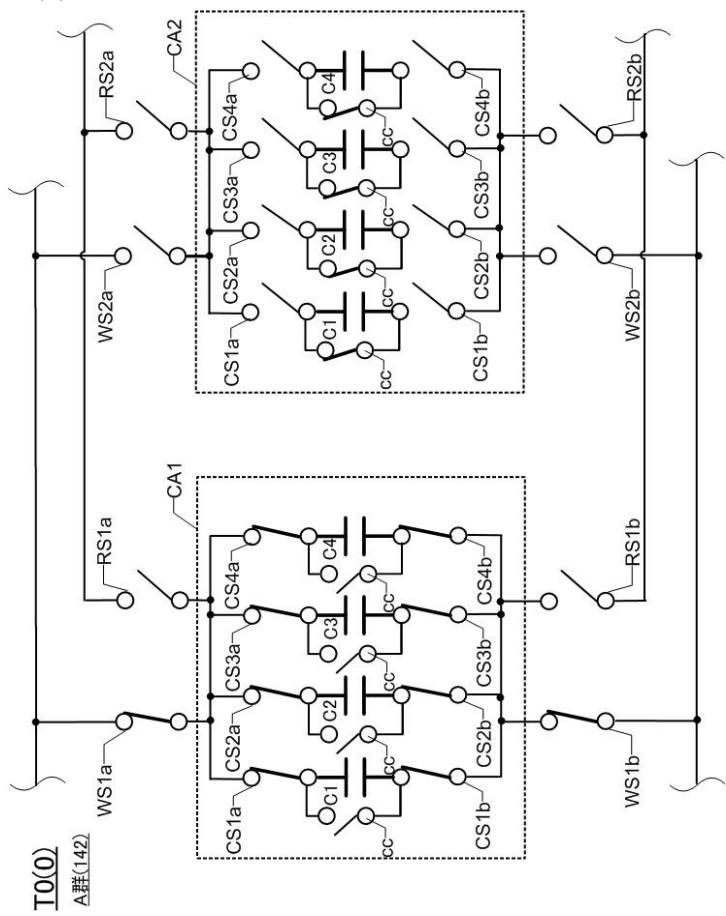
【図6】



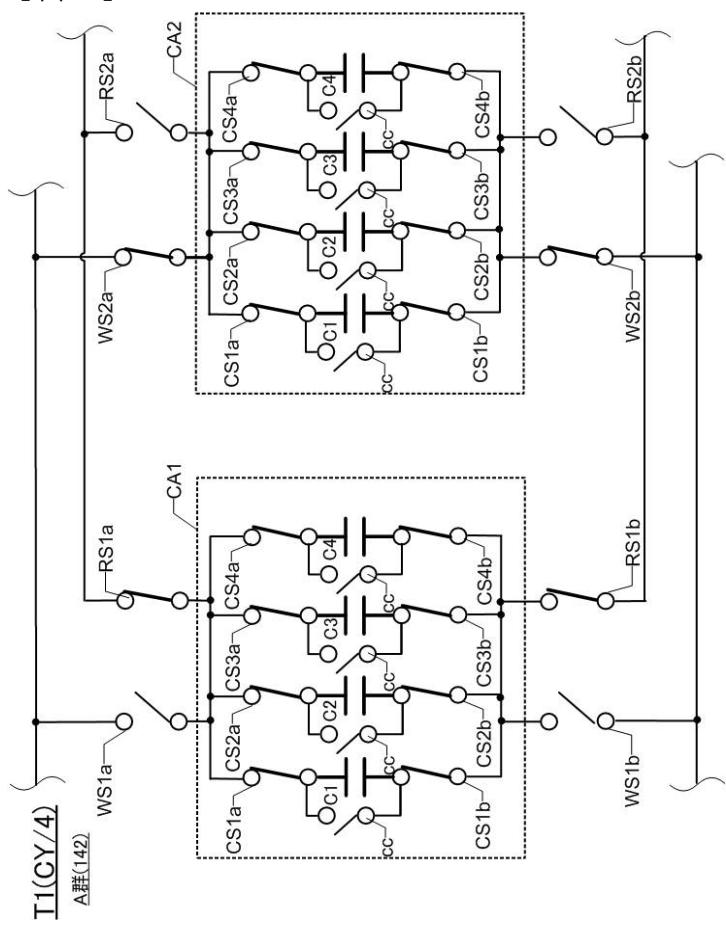
【図7】



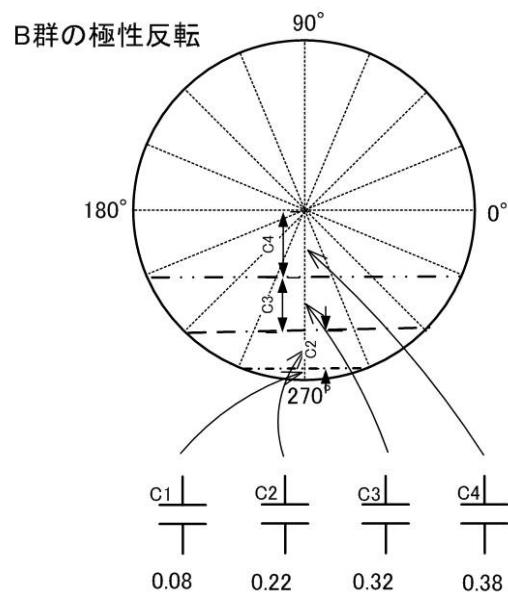
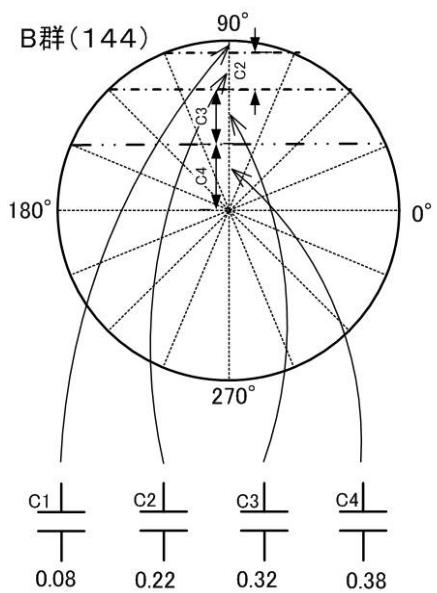
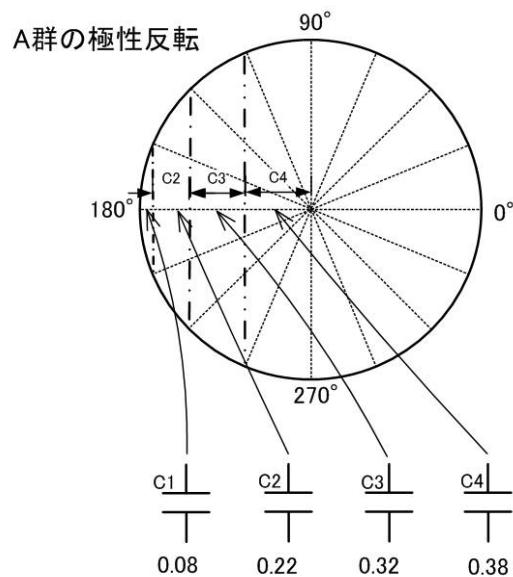
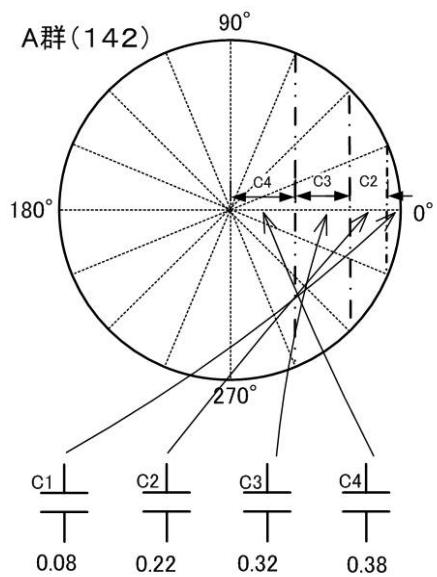
【図 8】



【図 9】



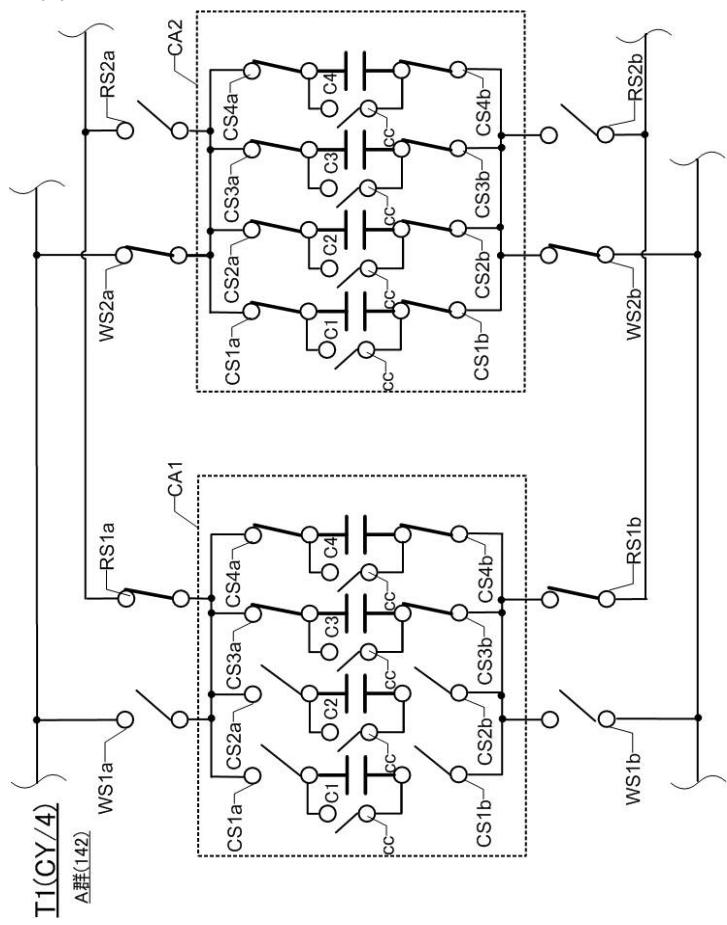
【図10】



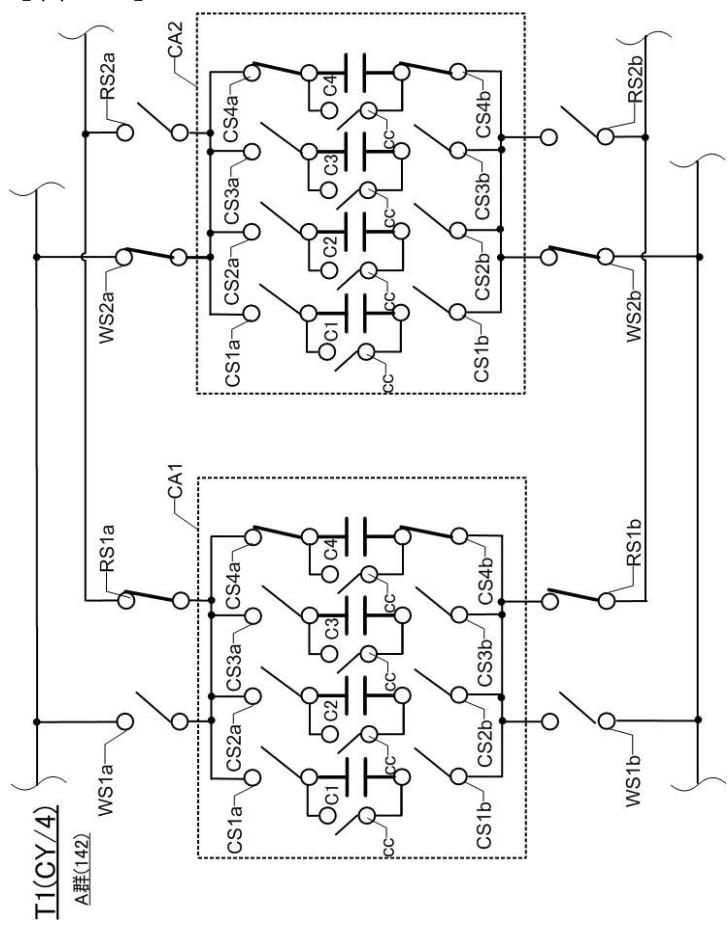
【図 1 1】

移相	A群(142: CA1～CA4)				B群(144: CB1～CB4)					
	接続	C1	C2	C3	C4	接続	C1	C2	C3	C4
0 正	ON	ON	ON	ON	ON	正				
22.5 正		ON	ON	ON	ON				ON	ON
45 正			ON	ON	ON	正		ON	ON	ON
67.5 正				ON	ON	正	ON	ON	ON	ON
90					ON	正	ON	ON	ON	ON
112.5 負					ON	正	ON	ON	ON	ON
135 負					ON	正	ON	ON	ON	ON
157.5 負					ON	正	ON	ON	ON	ON
180 負	ON	ON	ON	ON	ON	正				
202.5 負	ON	ON	ON	ON	ON	負				
225 負		ON	ON	ON	ON	負				
247.5 負			ON	ON	ON	負				
270				ON	ON	負	ON	ON	ON	ON
292.5 正				ON	ON	負	ON	ON	ON	ON
315 正				ON	ON	負	ON	ON	ON	ON
337.5 正				ON	ON	負				
360 正	ON	ON	ON	ON	ON					

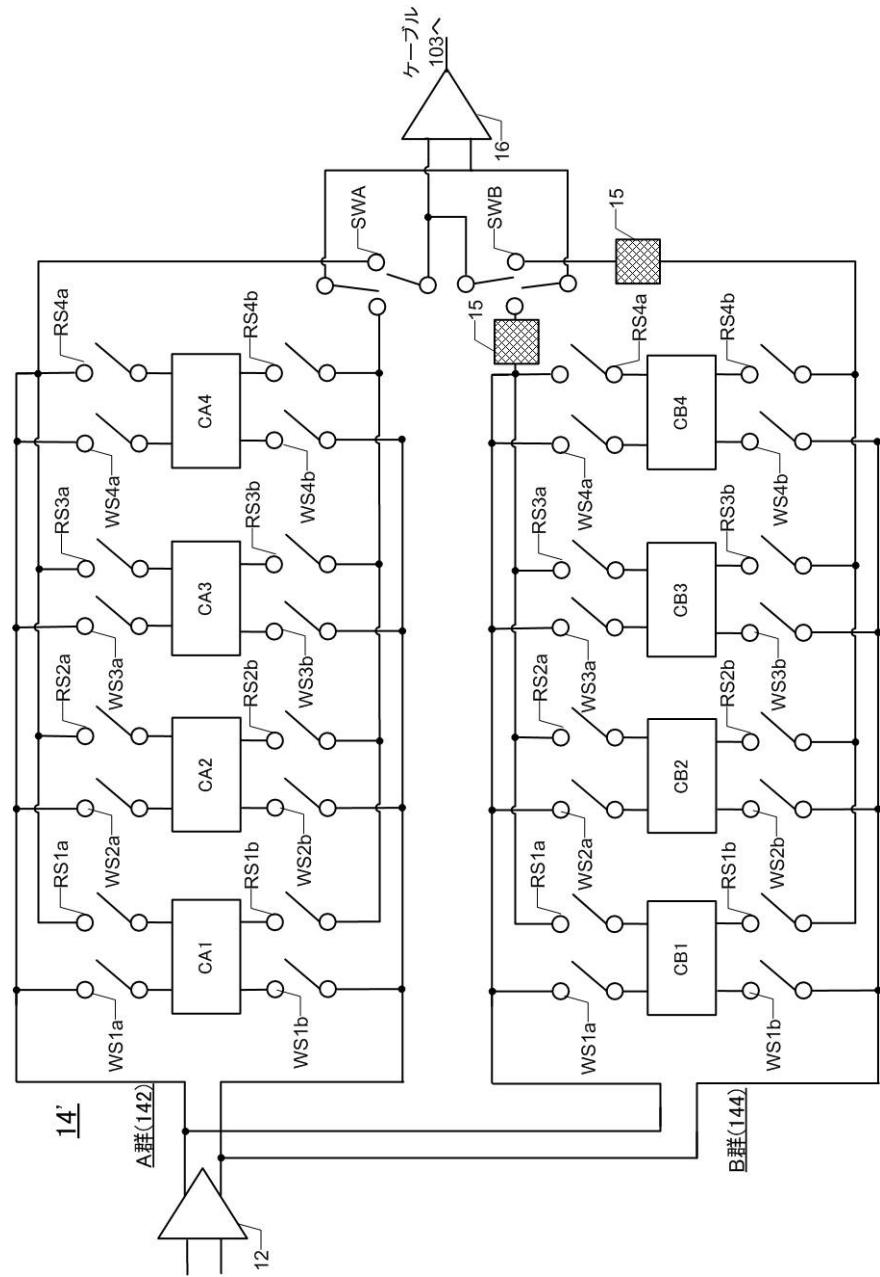
【図 1 2】



【図 1 3】



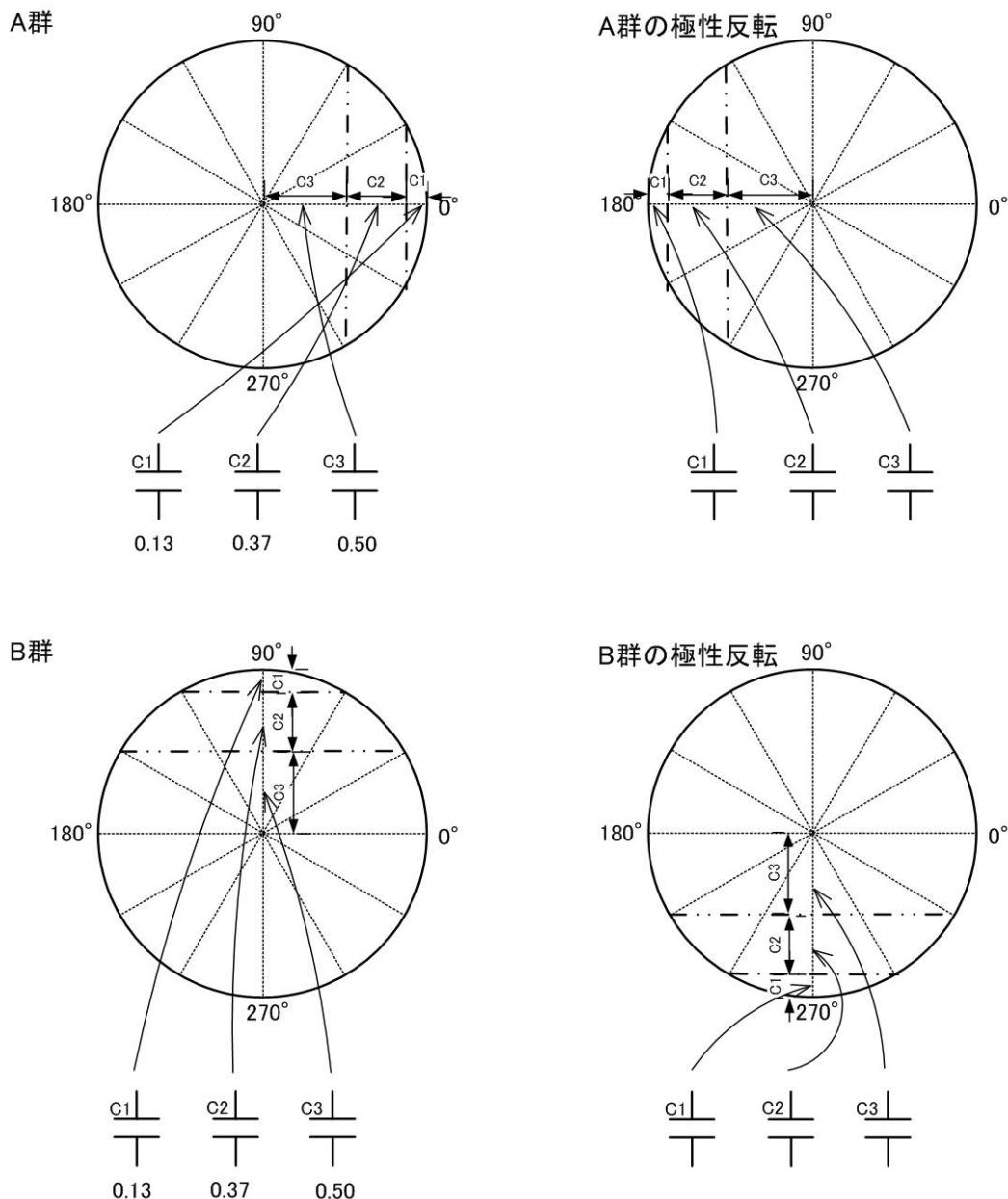
【図14】



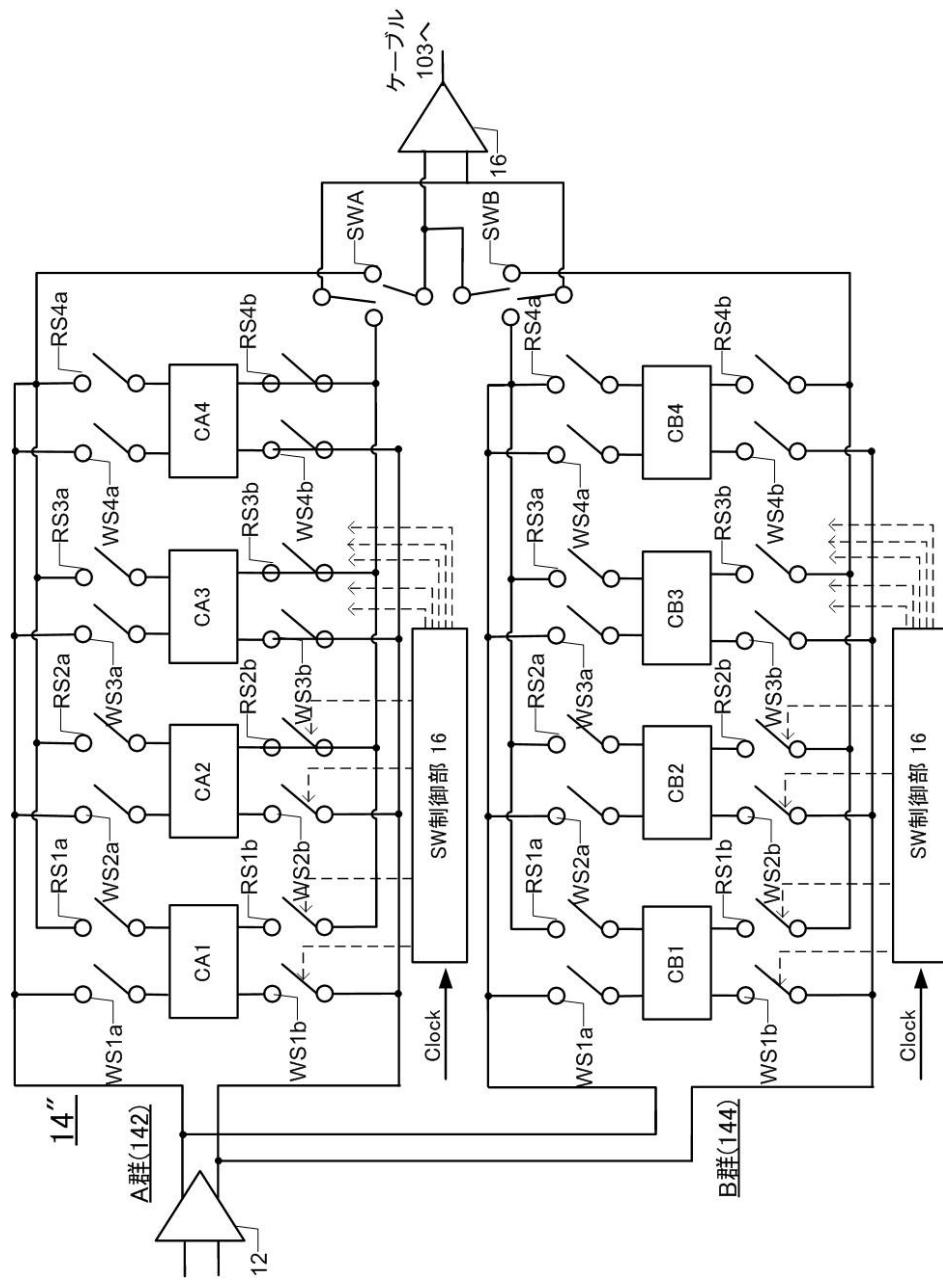
【図 15】

	A群(142)								B群(144)							
	CA1	CA2	CA3	CA4	CA5	CA6	CA7	CA8	CB1	CB2	CB3	CB4	CB5	CB6	CB7	CB8
T0(0)	W	C						R	W	C			R			
T1(CY/8)	R	W	C						W	C			R			R
T2(2CY/8)	R	W	C						W	C						
T3(3CY/8)	R	W	C						R							
T4(4CY/8)		R	W	C					R							
T5(5CY/8)		R	W	C					R							
T6(6CY/8)		R	W	C					R							
T7(7CY/8)	C			R	W	C			R							
T8(8CY/8)	W	C			R	W	C		R							

【図16】

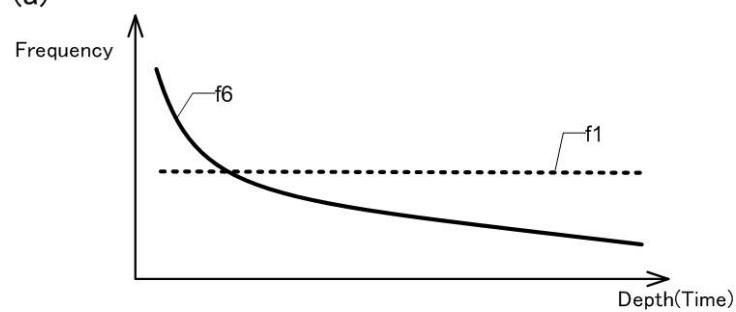


【図17】

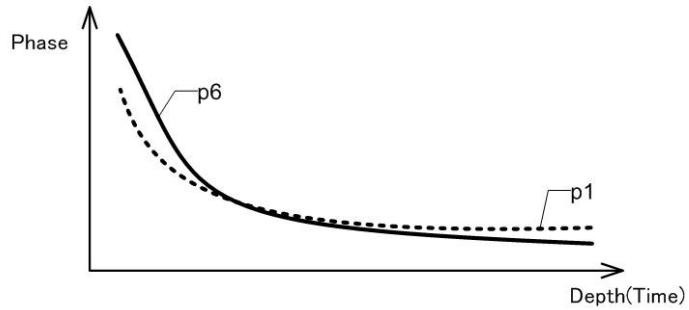


【図 1 8】

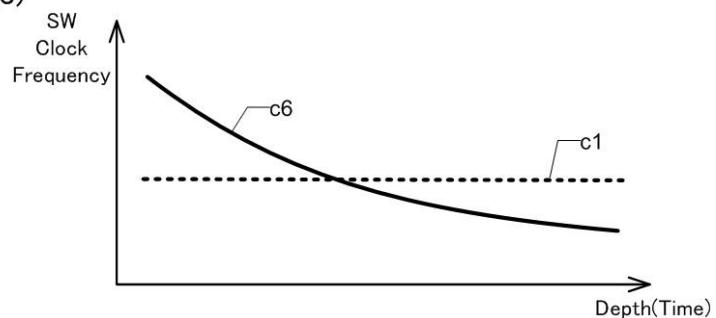
(a)



(b)



(c)



---

フロントページの続き

(56)参考文献 特開2008-229096(JP,A)  
特開2011-072587(JP,A)  
特開平03-291580(JP,A)  
米国特許出願公開第2002/0045820(US,A1)  
特開昭62-123819(JP,A)  
特開平09-019429(JP,A)  
特開2001-170049(JP,A)

(58)調査した分野(Int.Cl., DB名)

A 61 B 8 / 00 - 8 / 15